



(12)发明专利

(10)授权公告号 CN 104347560 B

(45)授权公告日 2018.06.01

(21)申请号 201410355202.8

(22)申请日 2014.07.24

(65)同一申请的已公布的文献号

申请公布号 CN 104347560 A

(43)申请公布日 2015.02.11

(30)优先权数据

13/950,101 2013.07.24 US

(73)专利权人 精材科技股份有限公司

地址 中国台湾桃园县中坜市中坜工业区吉
林路23号9F

(72)发明人 黄玉龙 林超彦 孙唯伦 陈键辉

(74)专利代理机构 北京林达刘知识产权代理事
务所(普通合伙) 11277

代理人 刘新宇

(51)Int.Cl.

H01L 23/488(2006.01)

H01L 23/31(2006.01)

H01L 21/60(2006.01)

H01L 21/56(2006.01)

(56)对比文件

CN 102593086 A,2012.07.18,

US 2011/0095441 A1,2011.04.28,

CN 102244047 A,2011.11.16,

审查员 赵辉

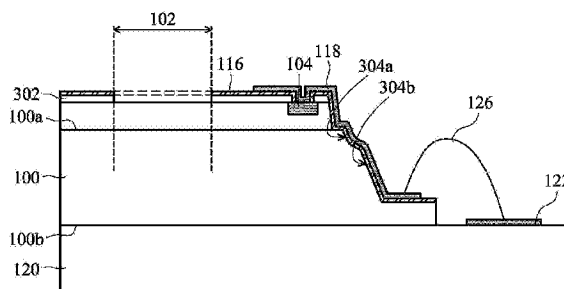
权利要求书2页 说明书5页 附图12页

(54)发明名称

晶片封装体及其制造方法

(57)摘要

本发明揭露一种晶片封装体及其制造方法,该晶片封装体包括一基底,其具有一上表面及一下表面;一装置区或感测区定义于基底内;一导电垫位于基底的上表面上;至少两个凹陷,包括一上凹陷及一下凹陷,自基底的上表面朝基底的下表面延伸,其中上凹陷的底部及下凹陷的侧壁邻接相同材料而共同形成基底的一侧壁;一导电层与导电垫电性连接,且自基底的上表面延伸至基底的侧壁;以及一绝缘层位于导电层与基底之间。本发明所述的晶片封装体所需的导电接线可顺利地形成,且晶片封装过程中所需的图案化制程步骤可大幅减少,而且晶片封装体的整体高度亦可显著地降低。



1. 一种晶片封装体,其特征在于,包括:

一基底,其具有一上表面及一下表面;

一装置区或感测区,定义于该基底内;

一导电垫,位于该基底的该上表面上;

至少两个凹陷,包括一上凹陷及一下凹陷,自该基底的该上表面朝该基底的该下表面延伸,其中该上凹陷的底部及该下凹陷的侧壁邻接相同材料而共同形成该基底的一侧壁,该侧壁构成该晶片封装体的一外侧边缘,且该上凹陷及该下凹陷中的一个延伸横跨该基底的一侧边的全部长度;及

一导电层,与该导电垫电性连接,且自该基底的该上表面延伸至该基底的该侧壁;以及

一第一绝缘层,位于该导电层与该基底之间。

2. 根据权利要求1所述的晶片封装体,其特征在于,该基底的该侧壁具有至少一部分倾斜于该基底的该上表面。

3. 根据权利要求1所述的晶片封装体,其特征在于,该基底包括一半导体基底及一第二绝缘层,该第二绝缘层形成于该半导体基底表面,且至少该上凹陷的底部及该下凹陷的侧壁邻接该半导体基底。

4. 根据权利要求1所述的晶片封装体,其特征在于,还包括一电路板,其中该基底设置于该电路板上,且该导电层通过一导电结构电性连接至该电路板上的一接触垫。

5. 根据权利要求4所述的晶片封装体,其特征在于,该导电结构为一焊球或一接线。

6. 根据权利要求5所述的晶片封装体,其特征在于,该导电结构为该焊球,且位于该基底与该电路板之间的角落上。

7. 根据权利要求5所述的晶片封装体,其特征在于,该导电结构为该接线,且设置于该基底的该侧壁上方的该导电层上。

8. 根据权利要求7所述的晶片封装体,其特征在于,该接线设置于该上凹陷及该下凹陷中的一个的底部上方的该导电层上。

9. 根据权利要求4所述的晶片封装体,其特征在于,该导电结构设置于该电路板与该基底的该上表面之间。

10. 根据权利要求1所述的晶片封装体,其特征在于,该基底包括一半导体基底及一第二绝缘层,该上凹陷及该下凹陷邻接该半导体基底且彼此相连。

11. 根据权利要求1所述的晶片封装体,其特征在于,该装置区或感测区包括一指纹识别区。

12. 根据权利要求1所述的晶片封装体,其特征在于,该上凹陷及该下凹陷中的一个还沿着与该侧边相邻的另一侧边的至少一部分长度延伸。

13. 根据权利要求1所述的晶片封装体,其特征在于,该上凹陷及该下凹陷中的一个还沿着与该侧边相邻的两侧边的至少一部分长度延伸。

14. 一种晶片封装体的制造方法,其特征在于,包括:

提供一基底,该基底具有一上表面及一下表面,且包括至少一装置区或感测区,其中至少一导电垫设置于该基底的该上表面上;

在该基底内形成至少两个凹陷,所述凹陷包括一上凹陷及一下凹陷,其中该上凹陷的底部及该下凹陷的侧壁邻接相同材料,且该上凹陷及该下凹陷的侧壁及底部共同形成该基

底的一侧壁,该侧壁构成该晶片封装体的一外侧边缘,以及该上凹陷及该下凹陷中的一个延伸横跨该基底的一侧边的全部长度;

在该基底的该上表面上及该上凹陷及该下凹陷内形成一第一绝缘层;

在该第一绝缘层上形成一导电层,该导电层与该导电垫电性连接,且自该基底的该上表面延伸至该基底的该侧壁;以及

切割该基底,以形成多个分离的晶片封装体。

15. 根据权利要求14所述的晶片封装体的制造方法,其特征在于,还包括在形成该上凹陷及该下凹陷之前,薄化该基底。

16. 根据权利要求14所述的晶片封装体的制造方法,其特征在于,还包括:

提供一电路板,该电路板具有一接触垫;

将该基底设置于该电路板上;以及

形成一导电结构,该导电结构电性连接该接触垫及该导电层。

17. 根据权利要求16所述的晶片封装体的制造方法,其特征在于,该导电结构为一焊球或一接线。

18. 根据权利要求16所述的晶片封装体的制造方法,其特征在于,该导电结构设置于该电路板与该基底的该上表面之间。

19. 根据权利要求18所述的晶片封装体的制造方法,其特征在于,该导电结构直接接触该上凹陷及该下凹陷中的一个的底部上方的该导电层。

20. 根据权利要求14所述的晶片封装体的制造方法,其特征在于,该基底包括一半导体基底及一第二绝缘层,其中该第二绝缘层形成于该半导体基底表面,且至少该上凹陷的底部及该下凹陷的侧壁邻接该半导体基底。

21. 根据权利要求16所述的晶片封装体的制造方法,其特征在于,该基底包括一半导体基底及一第二绝缘层,该第二绝缘层形成于该半导体基底表面,形成该上凹陷及该下凹陷的步骤包括:

去除该第二绝缘层及该半导体基底的一部分,以形成该上凹陷;以及

去除该半导体基底的另一部分,以形成该下凹陷,以与该上凹陷相连。

22. 根据权利要求14所述的晶片封装体的制造方法,其特征在于,通过蚀刻制程形成该上凹陷及该下凹陷。

23. 根据权利要求14所述的晶片封装体的制造方法,其特征在于,该上凹陷及该下凹陷中的一个还沿着与该侧边相邻的另一侧边的至少一部分长度延伸。

24. 根据权利要求14所述的晶片封装体的制造方法,其特征在于,该上凹陷及该下凹陷中的一个还沿着与该侧边相邻的两侧边的至少一部分长度延伸。

晶片封装体及其制造方法

技术领域

[0001] 本发明有关于一种晶片封装体及其制造方法,特别为有关于一种具有感测晶片的晶片封装体。

背景技术

[0002] 传统晶片封装体的制程涉及多道的图案化制程与材料沉积制程,不仅耗费生产成本,亦需较长的制程时间。

[0003] 因此,亟需更为简化与快速的晶片封装技术。

发明内容

[0004] 本发明实施例提供一种晶片封装体,包括一基底,其具有一上表面及一下表面。一装置区或感测区定义于基底内,一导电垫位于基底的上表面上。至少两个凹陷,包括一上凹陷及一下凹陷,自基底的上表面朝基底的下表面延伸,其中上凹陷的底部及下凹陷的侧壁邻接相同材料而共同形成基底的一侧壁。一导电层与导电垫电性连接,且自基底的上表面延伸至基底的侧壁。一绝缘层位于导电层与半导体基底之间。

[0005] 本发明实施例提供一种晶片封装体的制造方法,包括提供一基底,该基底具有一上表面及一下表面,其中基底包括至少一装置区或感测区,且至少一导电垫设置于基底的上表面。在基底内形成至少两个凹陷,所述凹陷包括一上凹陷及一下凹陷,其中上凹陷的底部及下凹陷的侧壁邻接相同材料,且其中所述凹陷的侧壁及底部共同形成基底的一侧壁。在基底的上表面及凹陷内形成一绝缘层。在绝缘层上形成一导电层,其中导电层电性连接至导电垫,且自基底的上表面延伸至基底的侧壁。切割基底,以形成多个分离的晶片封装体。

[0006] 本发明所述的晶片封装体所需的导电接线可顺利地形成,且晶片封装过程中所需的图案化制程步骤可大幅减少,而且晶片封装体的整体高度亦可显著地降低。

附图说明

[0007] 图1A至1D绘示出根据本发明一实施例的晶片封装体的形成步骤的剖面示意图。

[0008] 图2A至2C绘示出根据本发明各种实施例的晶片封装体的剖面示意图。

[0009] 图3A至3E绘示出根据本发明各种实施例的晶片封装体的平面示意图。

[0010] 其中,附图中符号的简单说明如下:

[0011]	100	半导体基底
[0012]	100a	上表面
[0013]	100b	下表面
[0014]	101	介电层
[0015]	102	装置区/感测区
[0016]	104	导电垫
[0017]	111、112、113、114	侧边

[0018]	116	绝缘层
[0019]	118	导电层
[0020]	120	电路板
[0021]	122	接触垫
[0022]	124	焊球
[0023]	126	导电结构/接线
[0024]	302	钝化保护层
[0025]	304a、304b、304c、306a	凹陷
[0026]	305	凹陷通道。

具体实施方式

[0027] 以下将详细说明本发明实施例的制作与使用方式。然应注意的是,本发明提供许多可供应用的发明概念,其可以多种特定型式实施。文中所举例讨论的特定实施例仅为制造与使用本发明的特定方式,非用以限制本发明的范围。此外,在不同实施例中可能使用重复的标号或标示。这些重复仅为了简单清楚地叙述本发明,不代表所讨论的不同实施例及/或结构之间具有任何关连性。再者,当述及一第一材料层位于一第二材料层上或之上时,包括第一材料层与第二材料层直接接触或间隔有一或更多其他材料层的情形。

[0028] 本发明一实施例的晶片封装体可用以封装微机电系统晶片。然其应用不限于此,例如在本发明的晶片封装体的实施例中,其可应用于各种包含有源元件或无源元件(active or passive elements)、数字电路或模拟电路(digital or analog circuits)等集成电路的电子元件(electronic components),例如是有关于光电元件(opto electronic devices)、微机电系统(Micro Electro Mechanical System, MEMS)、微流体系统(micro fluidic systems)、或利用热、光线或压力等物理量变化来测量的物理感测器(Physical Sensor)。特别是可选择使用晶圆级封装(wafer scale package, WSP)制程对影像感测元件、发光二极管(light-emitting diodes, LEDs)、太阳能电池(solar cells)、射频元件(RF circuits)、加速计(accelerators)、陀螺仪(gyroscopes)、微制动器(micro actuators)、表面声波元件(surface acoustic wave devices)、压力感测器(process sensors)或喷墨头(ink printer heads)等半导体晶片进行封装。

[0029] 其中上述晶圆级封装制程主要指在晶圆阶段完成封装步骤后,再予以切割成独立的封装体,然而,在一特定实施例中,例如将已分离的半导体晶片重新分布在一承载晶圆上,再进行封装制程,亦可称之为晶圆级封装制程。另外,上述晶圆级封装制程亦适用于通过堆叠(stack)方式安排具有集成电路的多片晶圆,以形成多层集成电路(multi-layer integrated circuit devices)的晶片封装体。

[0030] 图1A至1D绘示出根据本发明一实施例的晶片封装体的形成步骤的剖面示意图。

[0031] 如图1A所示,提供一半导体基底100,其具有一上表面100a及一下表面100b。举例来说,半导体基底100为一硅基底。在一实施例中,半导体基底100为一硅晶圆,以利于进行晶圆级封装。

[0032] 如图1A所示,半导体基底100内定义有一装置区或感测区102。电子元件可形成于装置区或感测区102内。在一实施例中,半导体基底100内包括多个装置区或感测区102。举

例来说,在一实施例中,装置区或感测区102为感测区(例如,指纹辨识区)。装置区或感测区102内的电子元件可设置于半导体基底100的上表面100a上。在另一实施例中,装置区或感测区102内的电子元件可具有一部分位于半导体基底100的上表面100a上方。另外,又另一实施例中,装置区或感测区102内的电子元件可完全形成于半导体基底100内且自半导体基底100的上表面100a露出。

[0033] 如图1A所示,一介电层101及一导电垫104可形成于半导体基底100的上表面100a上。导电垫104通过形成于介电层101中的内连线结构(未绘示)而与装置区或感测区102内的电子元件电性连接。在一实施例中,一钝化保护(passivation)层302可形成于半导体基底100的上表面100a上。可将钝化保护层302图案化,以露出装置区或感测区102及导电垫104。钝化保护层302可包括氮化物、氧化物、氮氧化物或其组合,但并不限于此。在另一实施例中,钝化保护层302可保留于装置区或感测区102上而未被去除。因此,图式中使用虚线绘示装置区或感测区102上的钝化保护层302,以表示其可保留或不保留于装置区或感测区102上。

[0034] 接着,如图1B所示,可将钝化保护层302及介电层101图案化,以露出其下方的半导体基底100。在一实施例中,通过蚀刻制程去除一部分的钝化保护层302及介电层101。蚀刻制程可包括干式蚀刻制程、湿式蚀刻制程或其组合。在进行上述蚀刻制程之后,可能会去除一部分的半导体基底100。

[0035] 接着,如图1B所示,形成一凹陷(recess)或凹口(notch)304a,其沿着自半导体基底100的上表面100a朝半导体基底100的下表面100b的方向延伸。在一实施例中,可在形成凹陷304a之前,选择性薄化半导体基底100。在一实施例中,从上表面100a去除一部分的半导体基底100,例如通过图案化制程(包括微影制程及蚀刻制程),以形成凹陷304a。接着,可进一步去除另一部分的半导体基底100,例如通过图案化制程(包括微影制程及蚀刻制程),以形成一凹陷(或凹口)304b。凹陷304b沿着自凹陷304a的底部朝半导体基底100的下表面100b的方向延伸。在一实施例中,上凹陷304a及下凹陷304b彼此相连,以形成一凹陷通道(recess channel)305,延伸至半导体基底100的上表面100a的两个角落,如图3A所示。在一实施例中,上凹陷304a的底部及下凹陷304b的侧壁邻接相同材料,例如上凹陷304a的底部及下凹陷304b的侧壁邻接半导体基底100。

[0036] 本发明实施例并不限于此。在另一实施例中,半导体基底100内可形成更多的凹陷。所有凹陷的侧壁及底部可形成半导体基底100的一侧壁。另外,凹陷(例如,凹陷304a及/或凹陷304b)的侧壁可垂直于半导体基底100的上表面100a或倾斜于半导体基底100的上表面100a。再者,凹陷304a的底部及凹陷304b的底部并不限于与半导体基底100的上表面100a平行。

[0037] 接着,如图1C所示,在半导体基底100的上表面100a、凹陷304a的侧壁及底部以及凹陷304b的侧壁及底部上沉积一绝缘材料,且将其图案化为一绝缘层116。在一实施例中,绝缘层116可具有开口,露出装置区或感测区102。在另一实施例中,绝缘层116可覆盖装置区或感测区102。因此,图式中使用虚线绘示装置区或感测区102上的绝缘层116,以表示其可位于或不位于装置区或感测区102上。

[0038] 接着,在绝缘层116上形成一图案化的导电层118。在一实施例中,绝缘层116可为氧化物、氮化物、氮氧化物或其组合,且可通过化学气相沉积制程(chemical vapor

deposition process)而形成,但并不限于于此。图案化的导电层118可包括铜、铝、镍、金、铂或其组合。

[0039] 如图1C所示,导电层118电性连接至导电垫104,且自半导体基底100的上表面100a延伸至凹陷304a及凹陷304b的侧壁及底部。

[0040] 接着,如图1C所示,在一实施例中,沿着半导体基底100的预定切割道(predetermined scribe lines,未绘示)切割半导体基底100,以形成多个分离的晶片封装体。由于电性连接至导电垫104的导电层118延伸至晶片封装体的侧壁上(即,导电层118自半导体基底100的上表面100a延伸至半导体基底100的侧壁),可将导电路径自半导体基底100的上表面100a经由半导体基底100的侧壁向下引导。

[0041] 如图1D所示,在一实施例中,所形成的晶片封装体可进一步设置于一电路板120上。在一实施例中,电路板120包括一接触垫122位于其上。接触垫122电性连接至电路板120内的导线且作为与晶片封装体内的装置区或感测区102电性连接的一接触点。如图1D的实施例所示,一导电结构(例如,接线(bonding wire))126形成于电路板120上的接触垫122与位于半导体基底100内的凹陷(例如,凹陷304b)的侧壁及/或底部上的导电层118之间。

[0042] 导电结构(例如,接线)126形成于接触垫122与位于半导体基底100的较低部分上的导电层118之间。如此一来,导电结构(例如,接线)126可大致上低于半导体基底100的上表面100a,因此所形成的晶片封装体的整体高度可显著地降低。

[0043] 本发明实施例并不限于此。举例来说,图2A至2C绘示出根据本发明各种实施例的晶片封装体的剖面示意图,其中相同或相似的标号用以标示相同或相似的元件。

[0044] 如图2A所示,凹陷304b的侧壁倾斜于半导体基底100的上表面100a。如此一来,可改善形成于凹陷304b的侧壁上的导电层118的可靠度。另外,导电结构(例如,接线)126可形成于电路板120上的接触垫122与凹陷304a的侧壁及/或底部上的导电层118之间。在另一实施例中,半导体基底100内可形成两个以上的凹陷,以形成一阶梯状(step-like)侧壁。导电结构(例如,接线)126可直接接触位于多个凹陷中的任意一个的侧壁及/或底部上的导电层118,如图2C中的凹陷304a、304b及304c所示。

[0045] 可以理解的是,本发明实施例并不限于采用接线作为连接电路板与晶片的导电结构。在另一实施例中,可采用其他导电结构(例如,导电层、导电凸块、焊球(solder ball)或焊线(solder wire))取代接线126。举例来说,在图2B的实施例中,使用焊球124取代接线126。因此,任何适合形成接触垫122与导电层118之间的导电路径的导电结构皆涵盖于本发明实施例的范围内。

[0046] 图3A至3E绘示出根据本发明各种实施例的晶片封装体的平面示意图,其中相同或相似的标号用以标示相同或相似的元件。

[0047] 如图3A所示,凹陷304a及凹陷304b延伸横跨半导体基底100的一侧边111的全部长度。虽然图3A绘示出凹陷304a及凹陷304b皆延伸跨越侧边111的全部长度,然而在其他实施例中,可仅有凹陷304a(较低的凹陷)延伸横跨侧边111的全部长度。图3B绘示出不同的实施例,其中凹陷304a还沿着相邻的一侧边112的至少一部分长度延伸。图3C绘示出另一实施例,其中凹陷304a还沿着相邻的两个侧边112及114的至少一部分长度延伸。在其他实施例中,凹陷304a可连续地延伸横跨半导体基底100的两个、三个或甚至四个侧边的全部长度。

[0048] 如图3D所示,两个独立的凹陷304a及凹陷306a形成于半导体基底100的相对两侧

边111及113。凹陷304a及凹陷306a分别延伸横跨半导体基底100的侧边111及相对的侧边113的全部长度。相似地,凹陷304a及凹陷306a皆可各自进一步延伸至相邻的一个或两个侧边。举例来说,如图3E所示,凹陷304a进一步沿着相邻的侧边112的部分长度延伸。因此,虽然未绘示于图式中,本发明所属技术领域中具有通常知识者可以理解只要凹陷延伸横跨半导体基底100的一个侧边的全部长度或宽度,凹陷304a及凹陷306a皆可具有其他的配置方式。

[0049] 根据本发明的上述实施例,在晶片的前表面(即,装置区或感测区所形成的一侧)形成凹陷,且与装置区或感测区电性连接的导电层沿着凹陷的侧壁形成。所需的导电接线可顺利地形成,且晶片封装过程中所需的图案化制程步骤可大幅减少。如此一来,制程时间及生产成本可显著地降低。另外,所形成的晶片封装体的整体高度亦可显著地降低。

[0050] 再者,凹陷跨越半导体基底100的全部宽度或长度,可增加晶片封装体的输出信号的布局弹性。

[0051] 以上所述仅为本发明较佳实施例,然其并非用以限定本发明的范围,任何熟悉本项技术的人员,在不脱离本发明的精神和范围内,可在此基础上做进一步的改进和变化,因此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

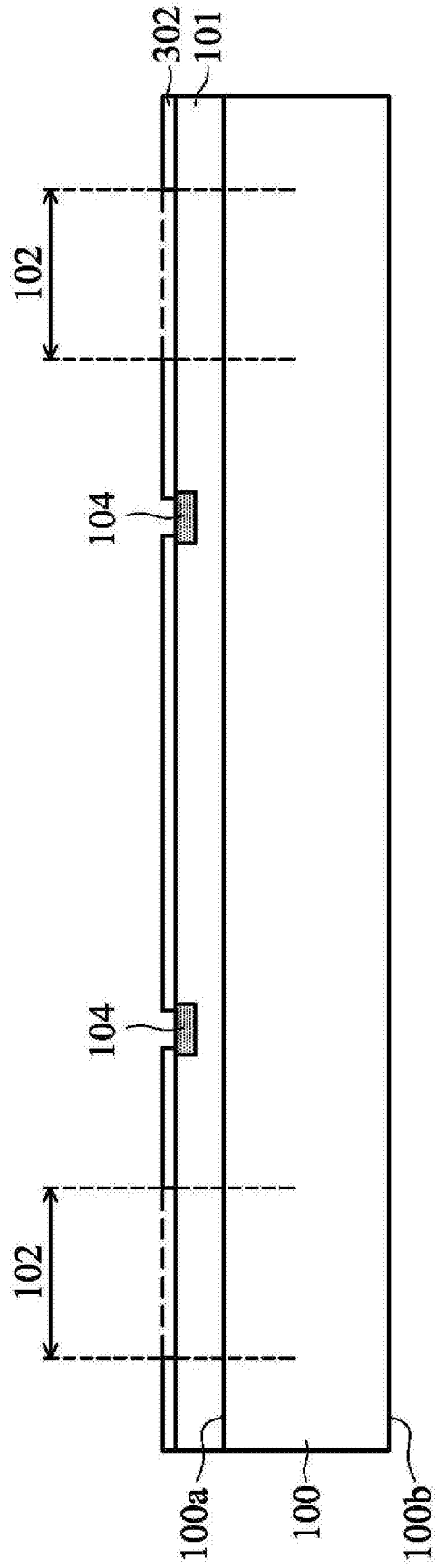


图1A

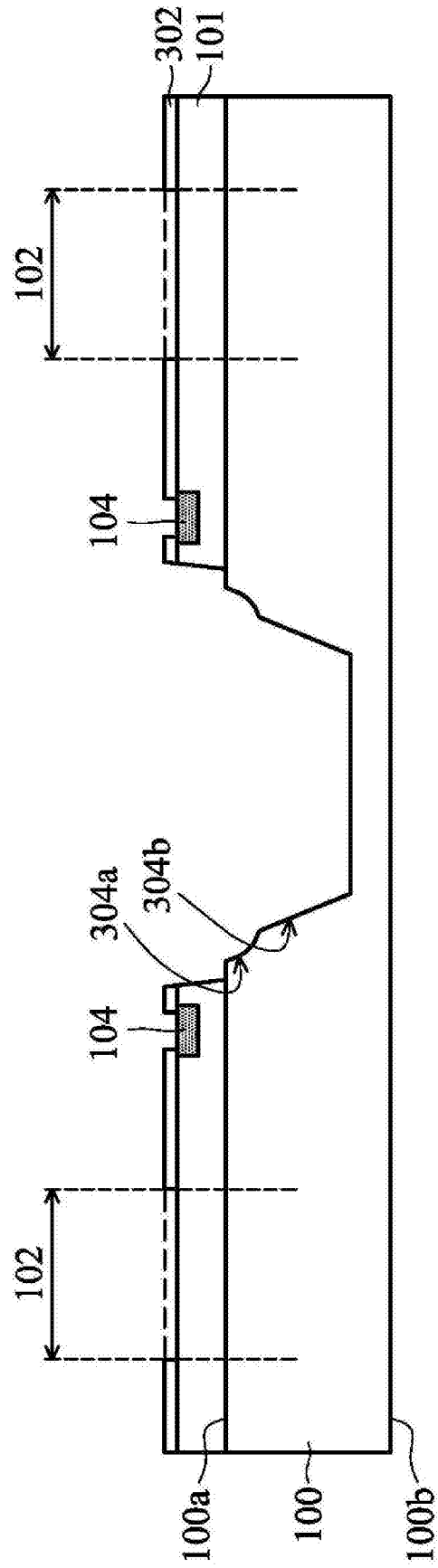


图1B

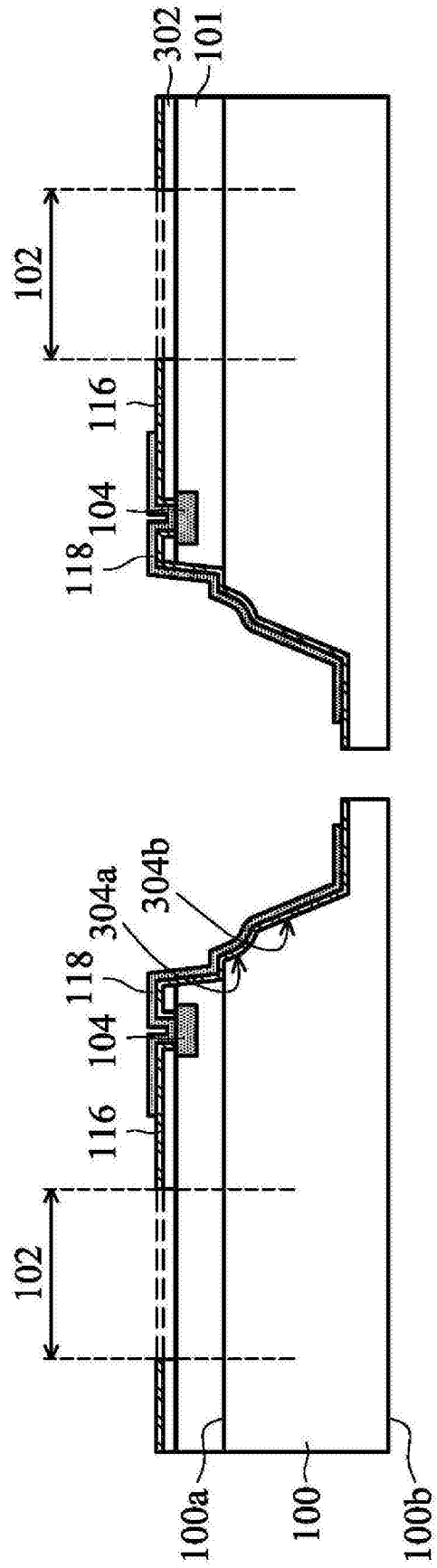


图1C

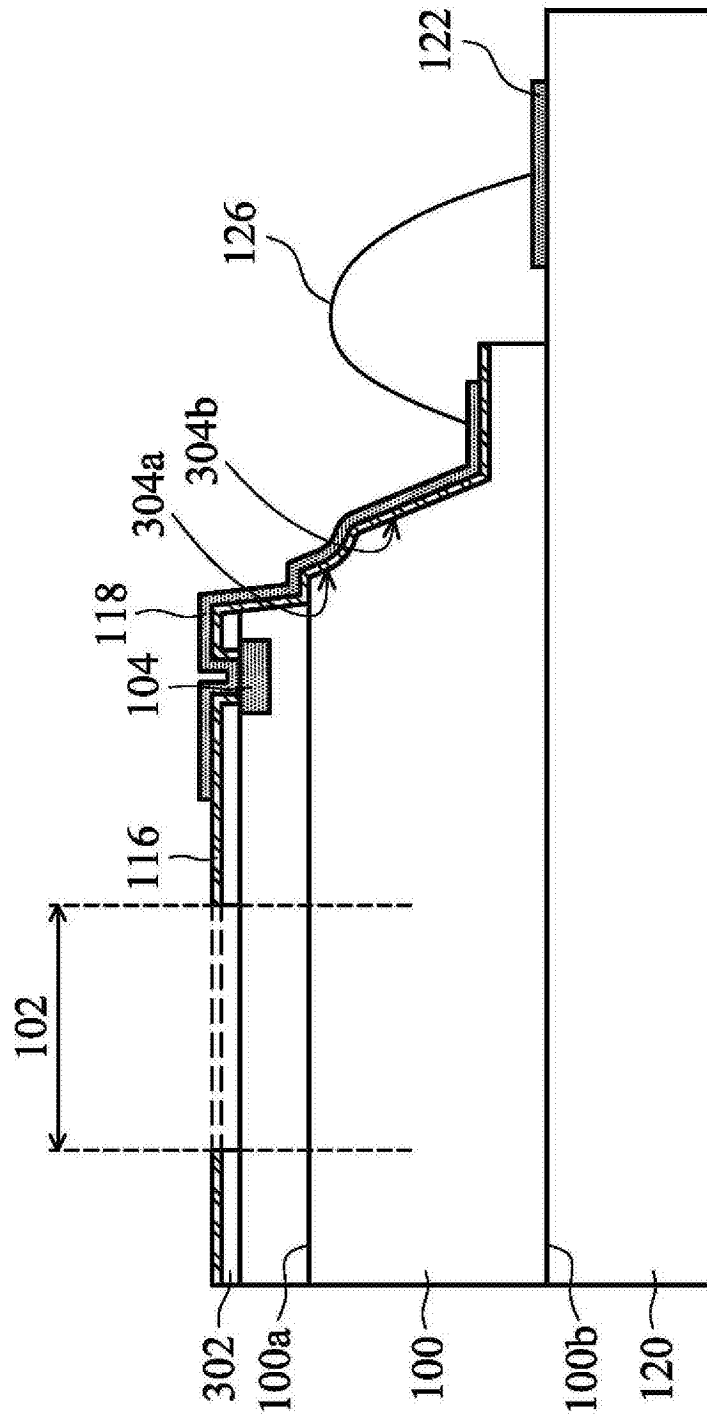


图1D

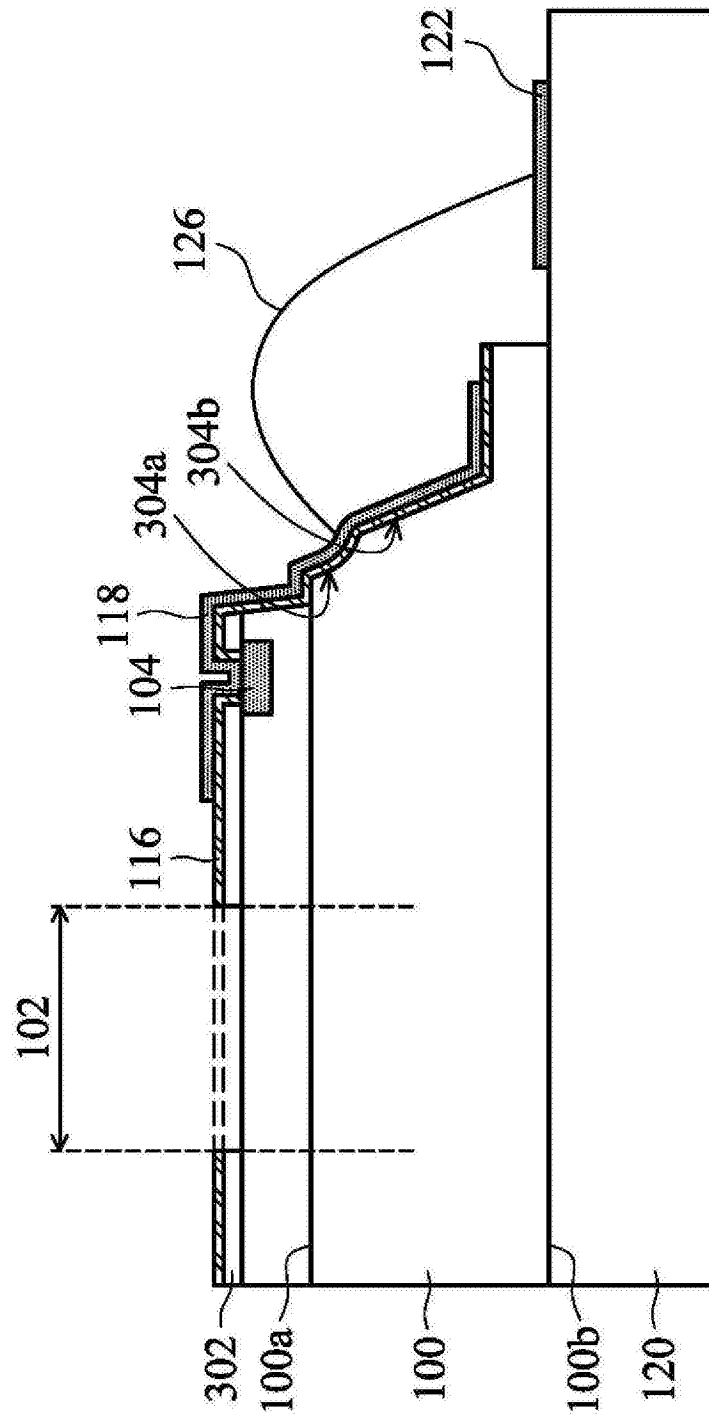


图2A

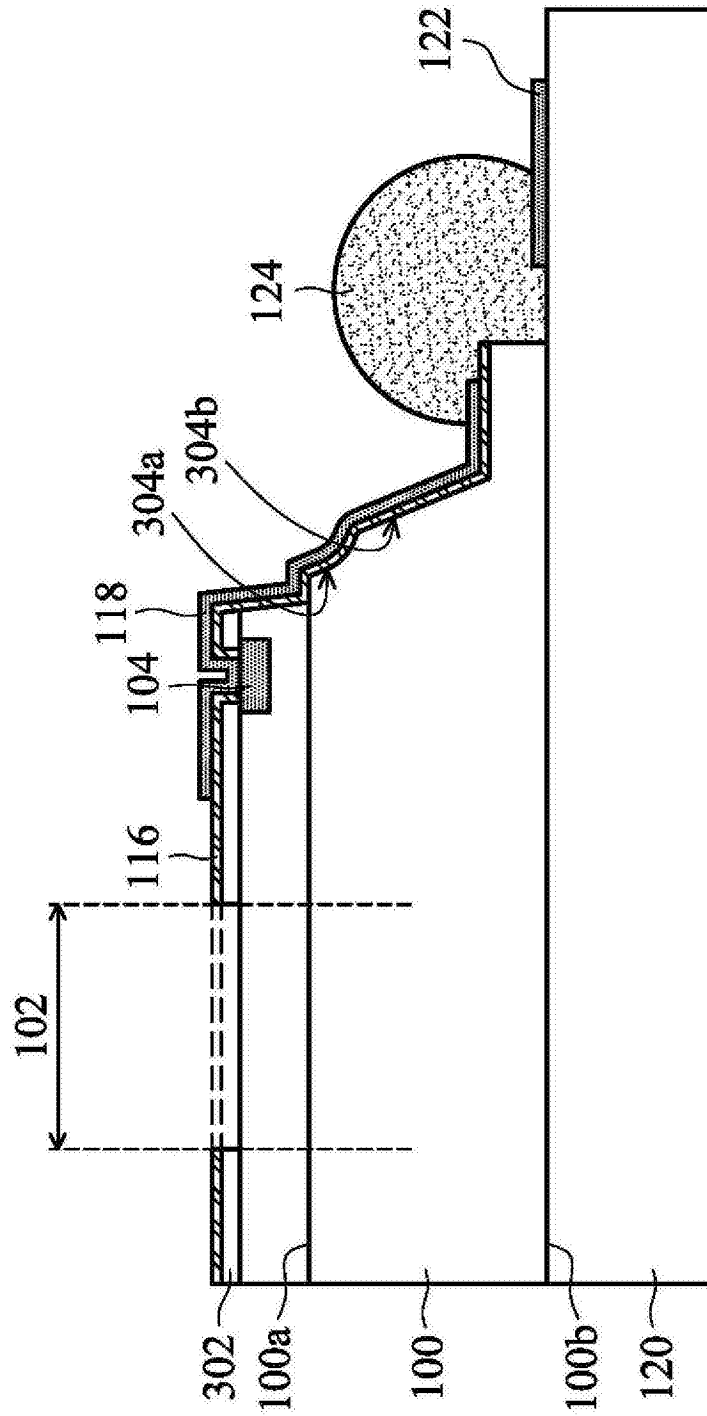


图2B

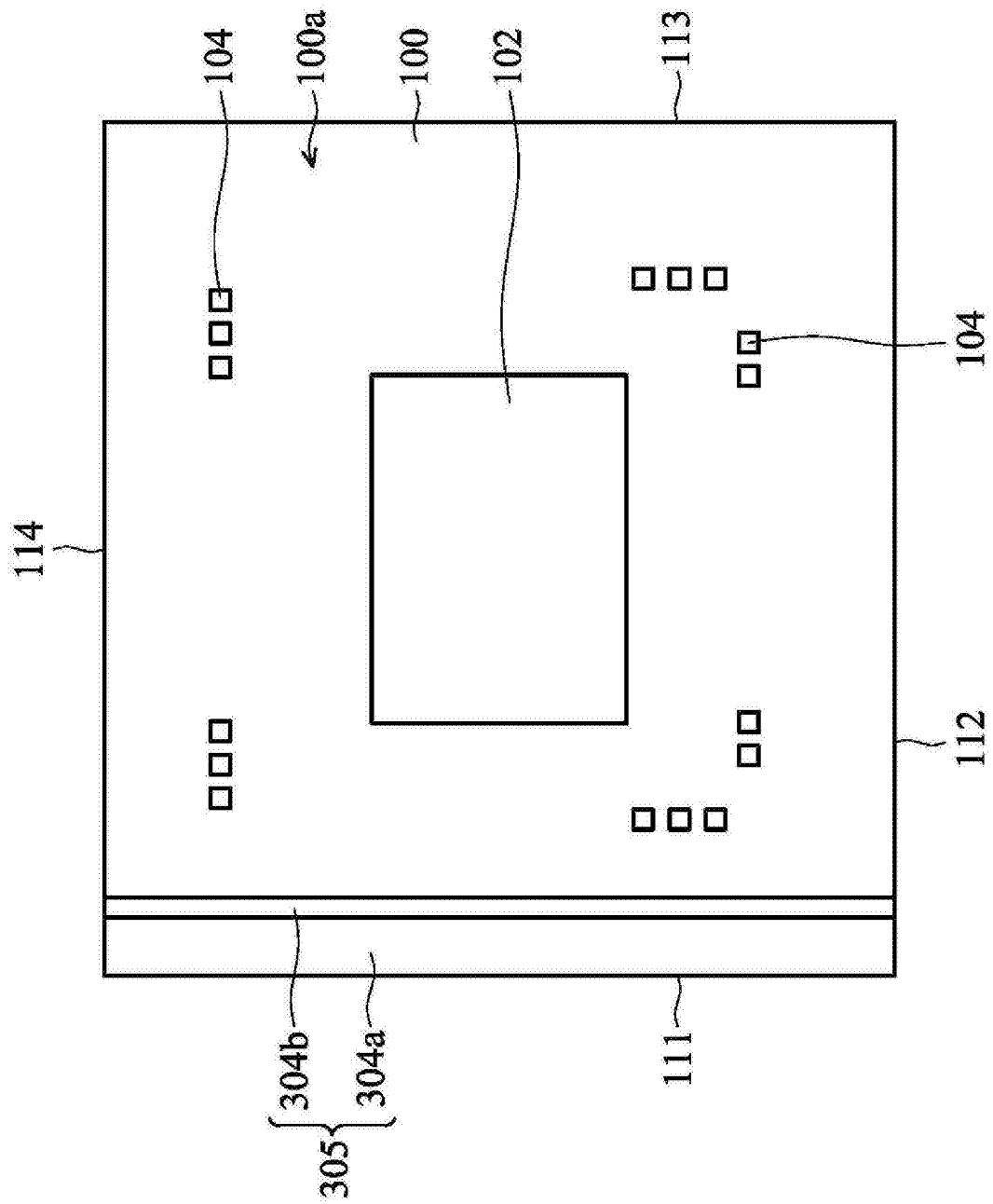


图3A

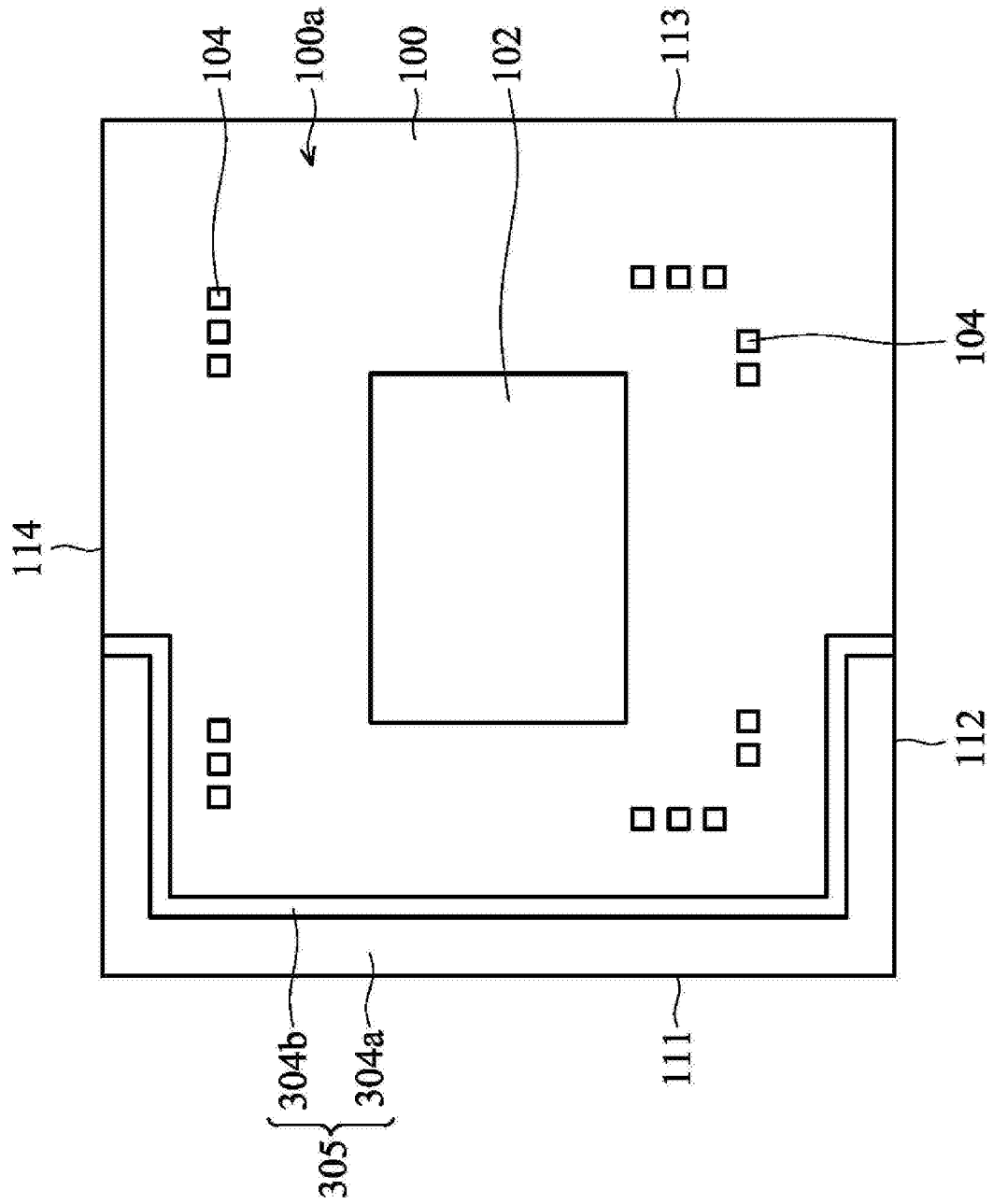


图3C

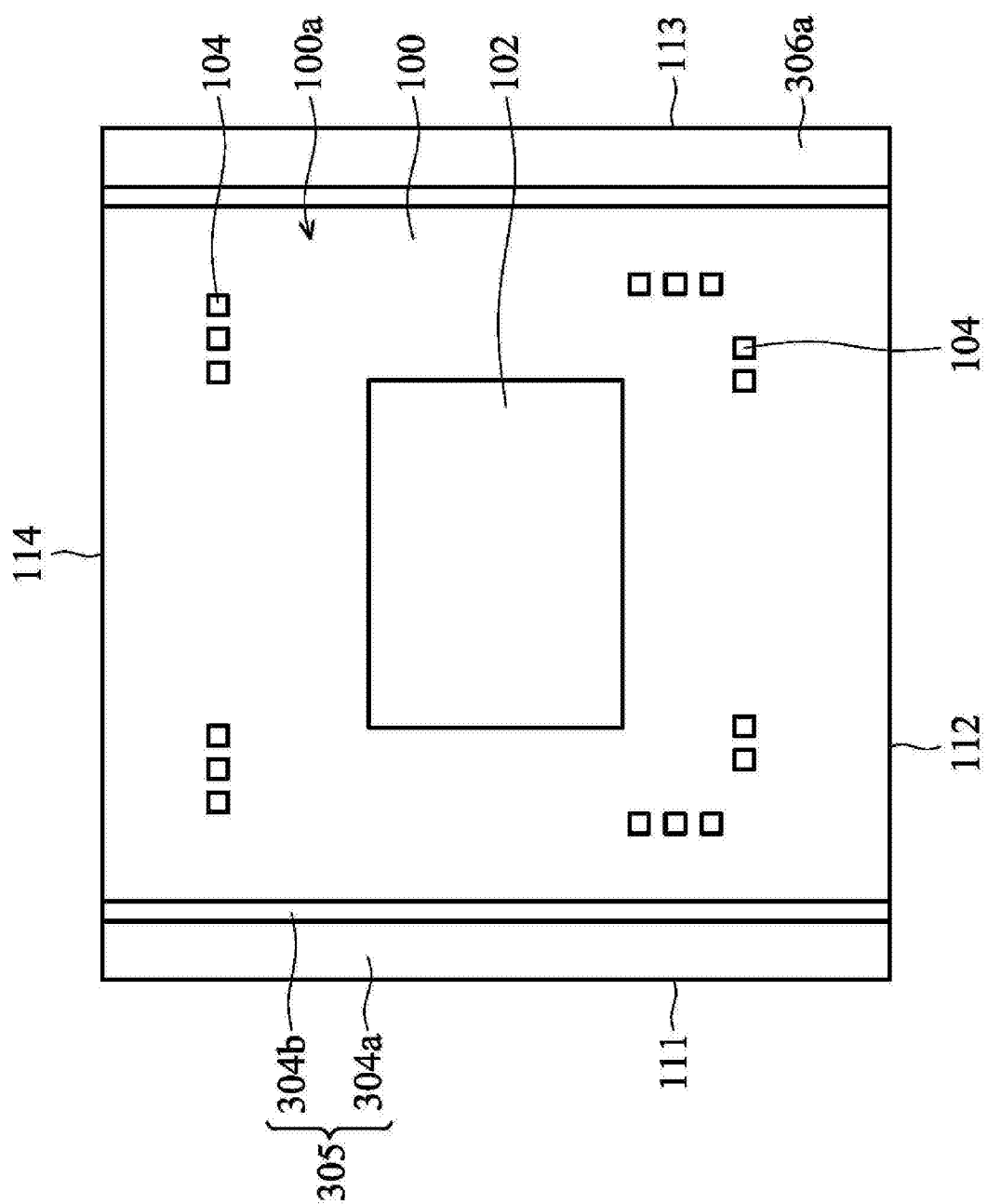


图3D

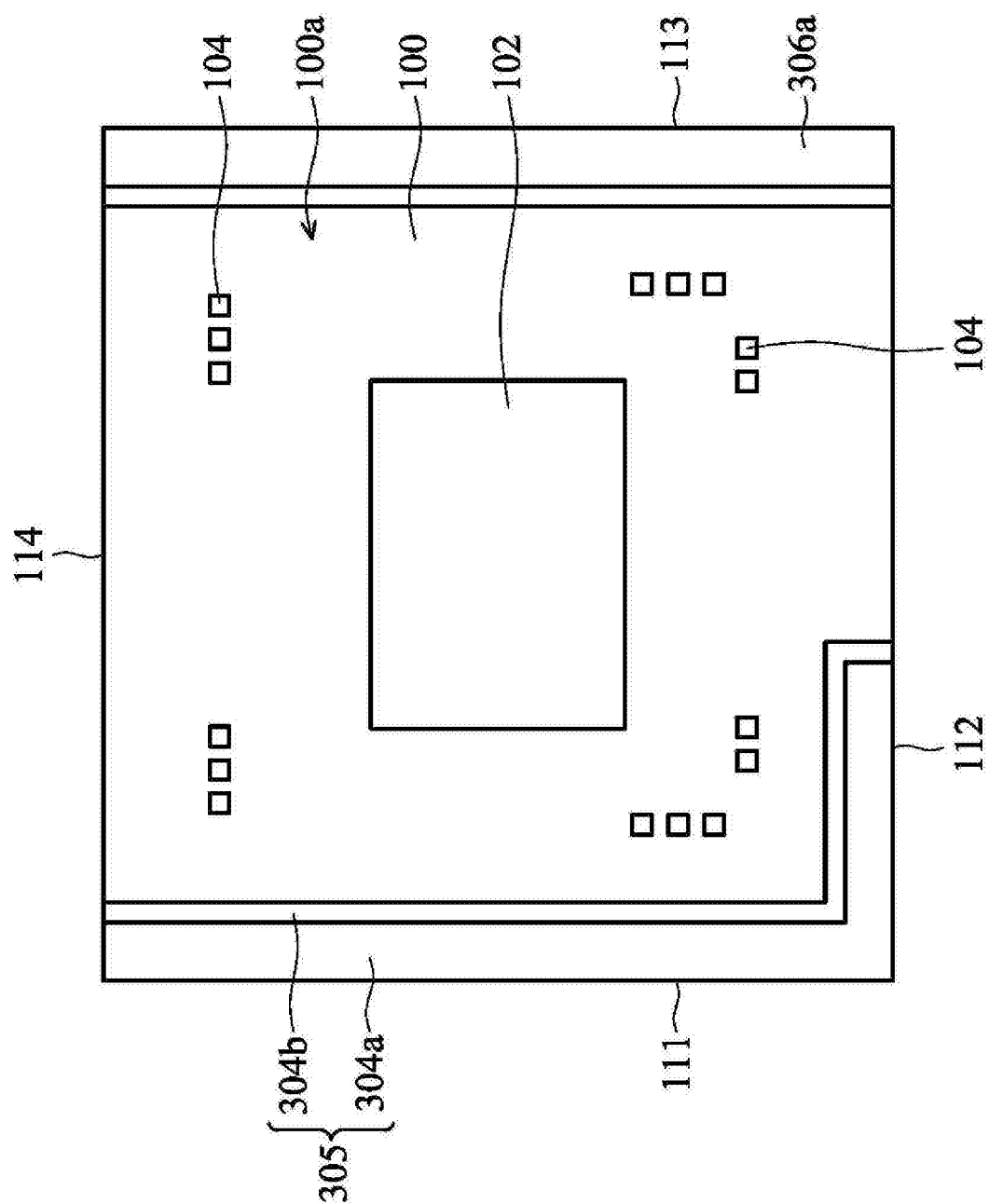


图3E