

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7649974号  
(P7649974)

(45)発行日 令和7年3月24日(2025.3.24)

(24)登録日 令和7年3月13日(2025.3.13)

(51)国際特許分類

F I

H 1 0 D	30/47	(2025.01)	H 1 0 D	30/47	2 0 1
H 1 0 D	30/87	(2025.01)	H 1 0 D	30/87	L
H 1 0 D	30/80	(2025.01)	H 1 0 D	30/80	W
H 1 0 D	30/83	(2025.01)	H 1 0 D	30/87	E
			H 1 0 D	30/83	

請求項の数 15 (全21頁)

(21)出願番号 特願2021-542839(P2021-542839)  
 (86)(22)出願日 令和2年8月21日(2020.8.21)  
 (86)国際出願番号 PCT/JP2020/031634  
 (87)国際公開番号 WO2021/039631  
 (87)国際公開日 令和3年3月4日(2021.3.4)  
 審査請求日 令和5年7月19日(2023.7.19)  
 (31)優先権主張番号 特願2019-157572(P2019-157572)  
 (32)優先日 令和1年8月30日(2019.8.30)  
 (33)優先権主張国・地域又は機関  
 日本国(JP)

(73)特許権者 314012076  
 パナソニックIPマネジメント株式会社  
 大阪府門真市元町2番6号  
 (74)代理人 100109210  
 弁理士 新居 広守  
 (74)代理人 100137235  
 弁理士 寺谷 英作  
 (74)代理人 100131417  
 弁理士 道坂 伸一  
 (72)発明者 山際 優人  
 日本国大阪府門真市大字門真1006番  
 地 パナソニック株式会社内  
 (72)発明者 柳原 学  
 日本国大阪府門真市大字門真1006番  
 地 パナソニック株式会社内

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

基板と、

前記基板の上に形成された第1の窒化物半導体層と、

前記第1の窒化物半導体層よりもバンドギャップが大きく、且つ前記第1の窒化物半導体層の上に形成された第2の窒化物半導体層と、

前記第2の窒化物半導体層の上に互いに離隔して形成された第1のソース電極と第1のドレイン電極と、前記第1のソース電極と前記第1のドレイン電極との間に形成された第1のゲート電極と、を有する第1の電界効果トランジスタと、を備え、

前記第1の電界効果トランジスタは、前記第2の窒化物半導体層の上で、前記第1のソース電極の下部から前記第1のゲート電極の間の一部分に前記第1のゲート電極とは離隔して形成された第3の半導体層を有し、

前記第3の半導体層と前記第1のソース電極とは電氣的に接続され、

前記第3の半導体層がP型半導体であり、

前記第1のソース電極と前記第2の窒化物半導体層との接触部と、前記第1のゲート電極との間に、前記第3の半導体層の少なくとも一部が形成され、

平面視において、

前記第3の半導体層が前記第1のソース電極を囲むように形成される

半導体装置。

【請求項2】

基板と、

前記基板の上に形成された第 1 の窒化物半導体層と、

前記第 1 の窒化物半導体層よりもバンドギャップが大きく、且つ前記第 1 の窒化物半導体層の上に形成された第 2 の窒化物半導体層と、

前記第 2 の窒化物半導体層の上に互いに離隔して形成された第 1 のソース電極と第 1 のドレイン電極と、前記第 1 のソース電極と前記第 1 のドレイン電極との間に形成された第 1 のゲート電極と、を有する第 1 の電界効果トランジスタと、を備え、

前記第 1 の電界効果トランジスタは、前記第 2 の窒化物半導体層の上で、前記第 1 のソース電極の下部から前記第 1 のゲート電極の間の一部分に前記第 1 のゲート電極とは離隔して形成された第 3 の半導体層を有し、

前記第 3 の半導体層と前記第 1 のソース電極とは電氣的に接続され、

前記第 3 の半導体層が P 型半導体であり、

前記第 1 の電界効果トランジスタは、前記第 3 の半導体層と前記第 1 のゲート電極との間に、前記第 1 のソース電極と前記第 2 の窒化物半導体層との接触部の一部を有する半導体装置。

【請求項 3】

前記第 3 の半導体層直下の前記第 2 の窒化物半導体層の膜厚が、他の領域における前記第 2 の窒化物半導体層の膜厚よりも薄い

請求項 2 に記載の半導体装置。

【請求項 4】

基板と、

前記基板の上に形成された第 1 の窒化物半導体層と、

前記第 1 の窒化物半導体層よりもバンドギャップが大きく、且つ前記第 1 の窒化物半導体層の上に形成された第 2 の窒化物半導体層と、

前記第 2 の窒化物半導体層の上に互いに離隔して形成された第 1 のソース電極と第 1 のドレイン電極と、前記第 1 のソース電極と前記第 1 のドレイン電極との間に形成された第 1 のゲート電極と、を有する第 1 の電界効果トランジスタと、を備え、

前記第 1 の電界効果トランジスタは、前記第 2 の窒化物半導体層の上で、前記第 1 のソース電極の下部から前記第 1 のゲート電極の間の一部分に前記第 1 のゲート電極とは離隔して形成された第 3 の半導体層を有し、

前記第 3 の半導体層と前記第 1 のソース電極とは電氣的に接続され、

前記第 3 の半導体層が P 型半導体であり、

前記第 3 の半導体層が島状に形成される

半導体装置。

【請求項 5】

前記第 1 の電界効果トランジスタは、前記第 1 のゲート電極と前記第 1 のドレイン電極との間の前記第 2 の窒化物半導体層の上に、前記第 1 のドレイン電極に近接してかつ前記第 1 のゲート電極と離隔して形成される第 4 の半導体層を有し、

前記第 4 の半導体層と前記第 1 のドレイン電極とは電氣的に接続されている

請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記第 1 のソース電極と前記基板との電位が互いに異なる

請求項 1 から請求項 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記第 2 の窒化物半導体層の上に互いに離隔して形成された第 2 のソース電極と第 2 のドレイン電極と、前記第 2 のソース電極と前記第 2 のドレイン電極との間に形成された第 2 のゲート電極と、を有する第 2 の電界効果トランジスタをさらに備え、

前記第 1 のソース電極と前記第 2 のソース電極とは、別電位である

請求項 6 に記載の半導体装置。

【請求項 8】

10

20

30

40

50

前記第 1 のソース電極と前記第 2 のドレイン電極とが電氣的に接続されている  
請求項 7 に記載の半導体装置。

【請求項 9】

前記第 2 のソース電極と前記基板とが電氣的に接続されている  
請求項 8 に記載の半導体装置。

【請求項 10】

前記第 1 のソース電極と前記第 2 のドレイン電極とが共通電極である  
請求項 8 に記載の半導体装置。

【請求項 11】

前記第 2 の電界効果トランジスタは、前記共通電極における前記第 2 のゲート電極側の  
共通電極端から前記第 2 のゲート電極の間の前記第 2 の窒化物半導体層の上に、前記第 2  
のゲート電極と離隔して第 5 の半導体層を有し、

10

前記第 5 の半導体層と前記共通電極は電氣的に接続されている  
請求項 10 に記載の半導体装置。

【請求項 12】

基板と、

前記基板の上に形成された第 1 の窒化物半導体層と、

前記第 1 の窒化物半導体層よりもバンドギャップが大きく、且つ前記第 1 の窒化物半導  
体層の上に形成された第 2 の窒化物半導体層と、

前記第 2 の窒化物半導体層の上に互いに離隔して形成された第 1 のソース電極と第 2 の  
ソース電極と、前記第 1 のソース電極と前記第 2 のソース電極との間に形成された第 1 の  
ゲート電極と第 2 のゲート電極と、を有する双方向電界効果トランジスタと、を備え、

20

前記双方向電界効果トランジスタは、前記第 2 の窒化物半導体層と前記第 1 のソース電  
極との間及び前記第 1 のソース電極と前記第 1 のゲート電極との間の前記第 2 の窒化物半  
導体層の上の一部分に前記第 1 のゲート電極とは離隔して形成された第 3 の半導体層を有  
し、

前記第 3 の半導体層と前記第 1 のソース電極とは電氣的に接続され、

前記第 3 の半導体層が P 型半導体である

半導体装置。

【請求項 13】

30

前記第 1 のソース電極と前記基板の電位とが互いに異なる

請求項 12 に記載の半導体装置。

【請求項 14】

前記双方向電界効果トランジスタは、前記第 2 の窒化物半導体層と前記第 2 のソース電  
極との間及び前記第 2 のソース電極と前記第 2 のゲート電極との間の前記第 2 の窒化物半  
導体層の上の一部分に前記第 2 のゲート電極とは離隔して形成された第 4 の半導体層とを  
有し、

前記第 4 の半導体層と前記第 2 のソース電極とは電氣的に接続され、

前記第 4 の半導体層が P 型半導体である

請求項 13 に記載の半導体装置。

40

【請求項 15】

前記第 2 のソース電極と前記基板の電位とが互いに異なる

請求項 14 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、窒化物半導体層を有する半導体装置に関し、特にスイッチング電源回路やイ  
ンバータなどに用いられる半導体装置に関する。

【背景技術】

【0002】

50

窒化ガリウム ( GaN ) に代表される III - V 族窒化物系化合物半導体、いわゆる窒化物半導体は、一般式が  $In_x Ga_y Al_{1-x-y} N$  (  $0 < x < 1$ 、 $0 < y < 1$ 、 $x + y < 1$  ) で表される、III 族元素であるアルミニウム ( Al )、ガリウム ( Ga )、及びインジウム ( In ) と、V 族元素である窒素 ( N ) からなる化合物半導体である。

#### 【0003】

窒化物半導体は種々の混晶を形成することができ、ヘテロ接合界面を容易に形成することができる。窒化物半導体のヘテロ接合には、その界面に自発分極及びピエゾ分極によって高濃度の二次元電子ガス層 ( 2DEG 層 ) が接合界面に発生するという特徴がある。この高濃度の 2DEG 層をキャリアとして用いた電界効果トランジスタ ( FET : Field Effect Transistor ) が高周波用及び大電力用のデバイスとして注目

10

#### 【0004】

窒化物半導体を用いた FET には、電流コラプスと呼ばれる現象が生じやすいことが知られている。電流コラプスとは、いったんデバイスをオフ状態とした後、再びオン状態とする際に FET のオン抵抗が増大する現象であり、電子が窒化物半導体に捕獲されることによりキャリアである 2DEG が狭窄されることで発生する。電流コラプスの特性が悪いとオン抵抗による導通損失が増大し、スイッチング電源やインバータの動作に深刻な問題が生じる。

#### 【0005】

電流コラプスを低減する方法として、ドレイン電極に P 型半導体の第 4 の電極を接続することによって、ドレイン電圧が高電圧となるオフ状態において、正孔電流により窒化物半導体に捕獲された電子を再結合させる構造がある ( 特許文献 1、特許文献 2 を参照 )。

20

#### 【0006】

また、窒化物半導体を用いた FET を用いた代表的なスイッチング電源やインバータの回路構成として、FET をハイサイドとローサイドに 1 個ずつ用いるハーフブリッジがある。また、ハーフブリッジを 2 つ用いたフルブリッジやハーフブリッジを 3 つ用いた 3 相インバータもある。ハーフブリッジにおいては、ハイサイドの FET とローサイドの FET を交互にオンオフスイッチングさせることにより、入力から出力への電力変換を行う。

#### 【先行技術文献】

##### 【特許文献】

30

#### 【0007】

【文献】特開 2011 - 181743 号公報

【文献】国際公開第 2014 / 174810 号

##### 【発明の概要】

##### 【発明が解決しようとする課題】

#### 【0008】

図 9 は、従来の窒化物半導体を用いた FET の断面図を示している。従来の窒化物半導体を用いた FET では、基板 901 の電位は低電位となるソース電極 912 に接続することが一般的である。

#### 【0009】

40

窒化物半導体を用いた FET はソース電極、ドレイン電極、ゲート電極のすべての電極が窒化物半導体の表面に存在する横型構造であるため、単一の半導体チップの中にハイサイドとローサイドの FET を集積し、ハーフブリッジを形成することが可能である。図 10 は、従来の窒化物半導体を用いたハイサイドである第 1 の FET 91 とローサイドである第 2 の FET 92 とを集積したハーフブリッジ構造を示している。ハーフブリッジ構造においては、スイッチング時に基板 901 からのノイズの発生を抑制するために、基板 901 は電位が安定している第 2 の FET 92 のソース電極 922 に接続する。

#### 【0010】

従来の窒化物半導体を用いたハーフブリッジにおいてハイサイドの第 1 の FET とローサイドの第 2 の FET とをスイッチングした場合、ハイサイドの第 1 の FET で電流コラ

50

プスが発生する課題がある。図 1 1 A は従来のローサイドの第 2 の F E T のスイッチング時のドレインソース間電圧  $V_{ds}$  とドレイン電流  $I_{ds}$  との波形であり、図 1 1 B は従来のハイサイドの第 1 の F E T のスイッチング時のドレインソース間電圧  $V_{ds}$  とドレイン電流  $I_{ds}$  との波形である。第 1 の F E T では電流コラプスによりドレインソース電圧  $V_{ds}$  が 50 V 程度まで上昇する。このように、従来、第 1 の F E T の導通損失が大きくなりハイサイドの第 1 の F E T のチャンネル温度が絶対最大定格温度を超えやすくなる課題がある。

【 0 0 1 1 】

そこで、本開示は、窒化物半導体を用いた F E T を集積したハーフブリッジ構造において電流コラプスの発生を抑制する半導体装置を提供することを目的とする。

10

【課題を解決するための手段】

【 0 0 1 2 】

上記目的を達成するために、本開示の一態様における半導体装置においては、F E T のソース電極下部からゲート電極の間的一部分にゲート電極とは離隔して第 3 の半導体層を形成する。

【発明の効果】

【 0 0 1 3 】

本開示の一態様における半導体装置においては、F E T のソース電極下部に形成した第 3 の半導体層から注入されるホール電流により、ソース電極下部の窒化物半導体層に捕獲された電子を再結合することにより、電流コラプスの発生を抑制する効果がある。

20

【図面の簡単な説明】

【 0 0 1 4 】

【図 1 A】図 1 A は、第 1 の実施形態における半導体装置の平面図である。

【図 1 B】図 1 B は、第 1 の実施形態における半導体装置の A - A 間における断面図である。

【図 1 C】図 1 C は、第 1 の実施形態における半導体装置の B - B 間における断面図である。

【図 1 D】図 1 D は、第 1 の実施形態における半導体装置の等価回路図である。

【図 2 A】図 2 A は、第 1 の実施形態におけるスイッチング回路図である。

【図 2 B】図 2 B は、第 1 の実施形態におけるスイッチング波形である。

30

【図 2 C】図 2 C は、第 1 の実施形態のオン状態における F E T の動作図である。

【図 3 A】図 3 A は、第 1 の実施形態における半導体装置の断面図である。

【図 3 B】図 3 B は、第 1 の実施形態における半導体装置の平面図である。

【図 3 C】図 3 C は、第 1 の実施形態における半導体装置の平面図である。

【図 4 A】図 4 A は、第 1 の実施形態の変形例 1 における半導体装置の平面図である。

【図 4 B】図 4 B は、第 1 の実施形態の変形例 1 における A - A 間の断面図である。

【図 4 C】図 4 C は、第 1 の実施形態の変形例 1 における A - A 間の断面図の別の例である。

【図 4 D】図 4 D は、第 1 の実施形態の変形例 1 における半導体装置の他の構成の平面図である。

40

【図 5 A】図 5 A は、第 1 の実施形態の変形例 2 における半導体装置の平面図である。

【図 5 B】図 5 B は、第 1 の実施形態の変形例 2 における A - A 間の断面図である。

【図 5 C】図 5 C は、第 1 の実施形態の変形例 2 における B - B 間の断面図である。

【図 5 D】図 5 D は、第 1 の実施形態の変形例 2 のオフ状態における F E T の動作図である。

【図 6 A】図 6 A は、第 2 の実施形態における半導体装置の平面図である。

【図 6 B】図 6 B は、第 2 の実施形態における A - A 間の断面図である。

【図 6 C】図 6 C は、第 2 の実施形態の変形例における半導体装置の平面図である。

【図 7 A】図 7 A は、第 3 の実施形態における半導体装置の平面図である。

【図 7 B】図 7 B は、第 3 の実施形態における A - A 間の断面図である。

50

【図 8 A】図 8 A は、第 3 の実施形態のオフ状態における双方向 F E T の動作図である。  
 【図 8 B】図 8 B は、第 3 の実施形態のオン状態における双方向 F E T の動作図である。  
 【図 8 C】図 8 C は、第 3 の実施形態のオフ状態における双方向 F E T の動作図である。  
 【図 8 D】図 8 D は、第 3 の実施形態のオン状態における双方向 F E T の動作図である。  
 【図 9】図 9 は、従来の半導体装置の断面図である。  
 【図 10】図 10 は、従来の半導体装置で構成されるハーフブリッジの断面図である。  
 【図 11 A】図 11 A は、従来のハーフブリッジのローサイドスイッチング波形である。  
 【図 11 B】図 11 B は、従来のハーフブリッジのハイサイドスイッチング波形である。  
 【発明を実施するための形態】

【0015】

以下、本開示の実施の形態について、図面を参照して詳細に説明する。ただし、同様の構成要素には、アルファベットを除く部分が同じ数字となる符号を付し、重複する説明は省略する。

【0016】

(実施形態 1)

図 1 A は本開示の第 1 の実施形態にかかる半導体装置 10 の平面図を示す。第 1 のドレイン電極 111、第 1 のソース電極 112 及び第 1 のゲート電極 113 からなる第 1 の F E T 1 (第 1 の電界効果トランジスタ 1) と、第 2 のドレイン電極 121、第 2 のソース電極 122、及び第 2 のゲート電極 123 からなる第 2 の F E T 2 (第 2 の電界効果トランジスタ 2) が同一基板上に集積されている。

【0017】

図 1 B は、図 1 A の A - A における断面図を示している。図 1 C は図 1 A の B - B における断面図を示している。S i からなる基板 101 の上にバッファ層 102、G a N チャネル層 103 (第 1 の窒化物半導体層 103)、G a N チャネル層 103 よりもバンドギャップが大きい A l G a N バリア層 104 (第 2 の窒化物半導体層 104) がこの順に形成されている。ここで、バッファ層 102 は例えば A l N と A l G a N からなる多層構造により構成され、総膜厚は例えば約 2.1  $\mu\text{m}$  である。G a N チャネル層 103 は例えばアンドープの G a N からなり、層厚は例えば約 1.6  $\mu\text{m}$  である。A l G a N バリア層 104 の組成は例えば A l<sub>0.17</sub>G a<sub>0.83</sub>N からなり、層厚は例えば約 60 nm である。G a N チャネル層 103、A l G a N バリア層 104 の界面においては、piezo 分極と自発分極の効果により高濃度の 2 D E G 層 105 が形成されている。

【0018】

A l G a N バリア層 104 の上に第 1 の F E T 1 を構成する第 1 のドレイン電極 111、第 1 のソース電極 112、第 1 のゲート電極 113 及び第 2 の F E T 2 を構成する第 2 のドレイン電極 121、第 2 のソース電極 122、第 2 のゲート電極 123 が形成されている。第 1 のドレイン電極 111、第 1 のソース電極 112、第 2 のドレイン電極 121 及び第 2 のソース電極 122 は、例えばチタン (T i) とアルミニウム (A l) の積層体であり、それぞれ 2 D E G 層 105 に対してオーミック接触をする。第 1 のゲート電極 113 及び第 2 のゲート電極 123 は、例えばニッケル (N i) と金 (A u) の積層体であり、A l G a N バリア層 104 に対してショットキー接触している。また、第 1 のゲート電極 113 及び第 2 のゲート電極 123 は、P 型半導体から形成されていてもよい。

【0019】

第 1 のドレイン電極 111 はそれぞれ第 1 のドレイン集約配線 11 に接続されている。第 1 のゲート電極 113 はそれぞれ第 1 のゲート集約配線 13 に接続されている。第 2 のソース電極 122 はそれぞれ第 2 のソース集約配線 22 に接続されている。第 2 のゲート電極 123 はそれぞれ第 2 のゲート集約配線 23 に接続されている。第 1 のソース電極 112 及び第 2 のドレイン電極 121 は、それぞれ中間集約配線 12 に接続されている。

【0020】

図 1 D は、第 1 の実施形態にかかる半導体装置 10 の等価回路を示す。第 1 の実施形態にかかる半導体装置 10 はハーフブリッジとなり、第 1 の F E T 1 はハイサイド、第 2 の

10

20

30

40

50

F E T 2 はローサイドとなる。

【 0 0 2 1 】

図 1 C には明示していないが、ハイサイドの第 1 の F E T 1 とローサイドの第 2 の F E T 2 からなるハーフブリッジを構成する場合、基板 1 0 1 はフローティングまたは第 2 のソース電極 1 2 2 と電氣的に接続する。基板 1 0 1 を第 2 のソース電極 1 2 2 と電氣的に接続した場合、第 2 のソース電極 1 2 2 は一般的に低電圧の安定電位に固定されるため、基板 1 0 1 を第 2 のソース電極 1 2 2 と接続することにより、基板 1 0 1 の電圧変動がなくなり、ノイズの発生を抑制することができる。

【 0 0 2 2 】

図 1 B に示すように、第 1 の F E T 1 には A l G a N バリア層 1 0 4 の上で第 1 のソース電極 1 1 2 の下部から第 1 のゲート電極 1 1 3 の間に、第 1 のゲート電極 1 1 3 とは隔離して選択的に第 3 の半導体層 1 1 4 が形成されている。第 3 の半導体層 1 1 4 は、第 1 のソース電極 1 1 2 の一部に埋め込まれるように電氣的に接触して形成される。第 3 の半導体層 1 1 4 は例えば G a N からなり、P 型半導体であることが望ましい。

【 0 0 2 3 】

次に、第 1 の実施形態にかかる半導体装置 1 0 の動作について説明する。図 2 A は、ハーフブリッジを用いたスイッチング回路の代表例である。高電圧電源 7 1 の両端に、ハーフブリッジを構成するハイサイドの第 1 の F E T 1 、ローサイドの第 2 の F E T 2 が接続される。ハーフブリッジの midpoint にインダクタ 7 2 の一端が接続され、インダクタ 7 2 の他端には、負荷 7 3 が接続される。

【 0 0 2 4 】

図 2 B は、図 2 A のスイッチング回路の動作波形を示している。第 1 の F E T 1 のゲートソース間電圧  $V_{gs\_H}$  に閾値電圧以下の電圧が印加されている期間  $T_1$  において、第 1 の F E T 1 はオフ状態であり、第 1 の F E T 1 のドレインソース間電圧  $V_{ds\_H}$  は高電圧電源 7 1 の電圧となる。高電圧電源 7 1 の電圧は例えば 4 0 0 V 程度である。

【 0 0 2 5 】

第 1 の F E T 1 のゲートソース間電圧  $V_{gs\_H}$  に閾値電圧以上の電圧が印加されている期間  $T_2$  において、第 1 の F E T 1 はオン状態であり、ドレイン、ソースを介して負荷 7 3 に電流が流れる。第 1 の F E T 1 のドレインソース間電圧  $V_{ds\_H}$  は、負荷電流  $I_L \times$  オン抵抗  $R_{ds\_on}$  であり、例えば  $I_L = 10 A$ 、 $R_{ds\_on} = 100 m\Omega$  であれば、 $V_{ds\_H} = 1 V$  である。

【 0 0 2 6 】

図 2 C は、第 1 の F E T 1 がオン状態における第 1 の F E T 1 の動作を示したものである。第 1 のドレイン電極 1 1 1 の電圧は 4 0 0 V に固定され、基板 1 0 1 の電圧は 0 V に固定されている。第 1 の F E T 1 はオン状態であるため、ドレインソース電圧  $V_{ds\_H}$  は約 1 V である。従って、第 1 のソース電極 1 1 2 の電圧はおよそ 3 9 9 V になっている。ここで、第 1 のソース電極 1 1 2 と基板 1 0 1 の間には、下向きの電界  $E_{S-SUB}$  が印加される。この  $E_{S-SUB}$  電界により、第 1 のソース電極 1 1 2 近傍のバッファ層 1 0 2、G a N チャンネル層 1 0 3 及び A l G a N バリア層 1 0 4 に電子が捕獲される。

【 0 0 2 7 】

本開示の第 1 の実施形態にかかる半導体装置 1 0 においては、第 1 のソース電極 1 1 2 の下部から第 1 のゲート電極 1 1 3 の間に P 型半導体の第 3 の半導体層 1 1 4 が A l G a N バリア層 1 0 4 の表面に形成されており、第 3 の半導体層 1 1 4 から基板 1 0 1 の方向に向かって正孔電流  $I_{h\_S}$  が流れる。この正孔電流  $I_{h\_S}$  により、バッファ層 1 0 2、G a N チャンネル層 1 0 3 及び A l G a N バリア層 1 0 4 に捕獲された電子と再結合することで、2 D E G 層 1 0 5 の狭窄を抑制し、オン抵抗上昇を抑制することができる。

【 0 0 2 8 】

本開示の第 1 の実施形態においては、図 1 B に示すように、第 3 の半導体層 1 1 4 は第 1 のソース電極 1 1 2 の一部が重なるように形成することにより、第 1 のドレイン電極 1 1 1 から第 1 のソース電極 1 1 2 までの距離を小さくすることができ、半導体装置 1 0 の

10

20

30

40

50

大きさを小さくすることができる。

【0029】

本開示の第1の実施形態においては、図3Aに示すように、第3の半導体層114Aが第1のソース電極112と平面的に離隔し、ソース接続部116によって第1のソース電極112と第3の半導体層114Aが電氣的に接続されるような構成であってもよい。ソース接続部116と第1のソース電極112は別の材料であってもよい。例えば、ソース接続部116として第1のソース電極112よりも第3の半導体層114Aに対してオーミック性の良い材料、たとえばパラジウム(Pd)を含む金属材料を用いることにより、第3の半導体層114Aから基板101に対する正孔電流 $I_{h\_S}$ を増加させ、オン抵抗上昇を抑制することができる。

10

【0030】

本開示の第1の実施形態においては、図3Bの平面図に示すように、第3の半導体層114Bは、第1のソース電極112の周囲を囲むような構造でもよい。このような構造にすることで、第1のソース電極112の全領域でオン抵抗上昇を抑制することができる。

【0031】

本開示の第1の実施形態においては、図3Cに示すように、第3の半導体層114Cが第1のソース電極112に沿って島状に形成されていてもよい。

【0032】

(実施形態1の変形例1)

本開示の第1の実施形態の第1の変形例について述べる。図4Aは、本開示の第1の実施形態の第1の変形例にかかる半導体装置10Dの平面図を示す。図4Bは、図4AのA-Aにおける断面図を示している。第1の実施形態の第1の変形例においては、第3の半導体層114Dと第1のゲート電極113の間に第1のソース電極112とAlGaInバリア層104との接触部が形成されている。このような構成にすることで第1の実施形態の図1Aよりも第1のドレイン電極111から第1のソース電極112までの距離を小さくすることができる。このような構成であっても第1の実施形態で述べたように第3の半導体層114Dから基板101に向かって正孔電流が流れ、オン抵抗上昇を抑制することができる。

20

【0033】

本開示の第1の実施形態の第1の変形例においては、図4Cに示すように第3の半導体層114Eの下部のAlGaInバリア層104の厚さが、他の領域におけるAlGaInバリア層104の厚さよりも薄くてもよい。第3の半導体層114Eの下部のAlGaInバリア層104が薄いことにより、第3の半導体層114Eから注入される正孔電流 $I_{h\_S}$ を大きくすることができ、バッファ層102、GaInチャンネル層103及びAlGaInバリア層104に捕獲された電子を効率よく再結合させることができるため、オン抵抗上昇をさらに抑制することができる。第3の半導体層114Eの下部のAlGaInバリア層が薄くなると、2DEG層105が空乏化しやすくなるが、第1のドレイン電極111から第1のソース電極112の間の2DEGチャンネルには影響を与えないため、オン抵抗の上昇は起こらない。

30

【0034】

本開示の第1の実施形態の第1の変形例においては、図4Dに示すように第3の半導体層114Fが島状に形成されていてもよい。

40

【0035】

(実施形態1の変形例2)

本開示の第1の実施形態の第2の変形例について述べる。図5Aは、本開示の第1の実施形態の第2の変形例にかかる半導体装置10Gの平面図を示す。図5Bは図5AのA-Aにおける断面図を示し、図5Cは図5AのB-Bにおける断面図を示している。

【0036】

第1の実施形態の第2の変形例では、第1のFET1の第1のドレイン電極111に接続される第4の半導体層115が形成され、第2のFET2の第2のドレイン電極121

50

に接続される第5の半導体層125が形成されている。第4の半導体層115及び第5の半導体層125は例えばGaNからなり、P型半導体であることが望ましい。

【0037】

図5Dは、第1のFET1Gがオフ状態における第1のFET1Gの動作を示したものである。第1のFET1Gがオフ状態であるため、第1のFET1Gのドレインソース間電圧 $V_{ds\_H}$ は約400Vである。従って、第1のドレイン電極111と基板101の間には下向き電界 $E_{D-SUB}$ が、第1のドレイン電極111と第1のゲート電極113の間には横向き電界 $E_{D-S}$ がかかっている。この $E_{D-SUB}$ 電界及び $E_{D-S}$ 電界により、第1のドレイン電極111近傍のパウファ層102、GaNチャネル層103及びAlGaNバリア層104に電子が捕獲される。

10

【0038】

本開示の第1の実施形態の第2の変形例にかかる半導体装置においては、P型半導体の第4の半導体層115がAlGaNバリア層104の表面に形成されており、第1のFETがオフ状態において、第1のドレイン電極111は電源電圧である400V、第1のソース電極112及び第1のゲート電極113はおよそ0V、基板101は0Vとなっている。この時第4の半導体層115から基板の方向及び第1のゲート電極113の方向に向かって正孔電流 $I_{h\_D}$ が流れる。この正孔電流 $I_{h\_D}$ により、パウファ層102、GaNチャネル層103及びAlGaNバリア層104に捕獲された電子と再結合することで、2DEG層105の狭窄を抑制し、オン抵抗上昇を抑制することができる。図示はしないが、第2のFET2に設けられた第5の半導体層125についても、同様のメカニズムにより2DEG層105の狭窄を抑制し、オン抵抗上昇を抑制することができる。

20

【0039】

また、本開示の第1の実施形態の第2の変形例においては、図5Aに示すように、第4の半導体層115は、第1のゲート電極113とは離隔して形成されており、第4の半導体層115と第1のドレイン電極111とは電氣的に接続されている。

【0040】

また、本開示の第1の実施形態の第2の変形例においては、図5Aに示すように、第5の半導体層125は、第2のゲート電極123とは離隔して形成されており、第5の半導体層125と第2のドレイン電極121とは電氣的に接続されている。

【0041】

30

(実施形態2)

本開示の第2の実施形態について述べる。図6Aは、第2の実施形態にかかる半導体装置10Hの平面図を示している。図6Bは図6AのA-A断面を示している。第1の実施形態と同様の構成要素、すなわち、符号のアルファベットを除く部分が同じ数字になっている構成要素については既に説明済みであるとしてその説明を省略する。

【0042】

第2の実施形態においては、第1のFET1Hの第1のソース電極と第2のFET2Hの第2のドレイン電極が共通化され、共通電極130となっている。中間集約配線12は共通電極130に接続されている。

【0043】

40

本開示の第2の実施形態においては、共通電極130が、第1のFET1Hの第1のソース電極と第2のFET2Hの第2のドレイン電極を兼ねているので、第1の実施形態の図1Aに示す、第1のソース電極112と第2のドレイン電極121とが個別に存在する場合に比べてチップ面積を縮小することができる。

【0044】

(実施形態2の変形例)

第2の実施形態においては、図6Cに示すように、第1のFET1Jの第1のドレイン電極111に接続される第4の半導体層115J、及び第2のFET2Jの第2のドレイン電極である共通電極130に接続される第5の半導体層125Jが形成されていてもよい。第4の半導体層115J及び第5の半導体層125Jは、第1の実施形態の第2の変

50

形例で示した通り、F E Tがオフ状態において正孔電流  $I_{h\_D}$  が流れ、バッファ層 1 0 2、G a Nチャネル層 1 0 3 及び A l G a Nバリア層 1 0 4 に捕獲された電子と再結合することで、2 D E G層 1 0 5 の狭窄を抑制し、オン抵抗上昇を抑制することができる。また、第3の半導体層 1 1 4 J と第5の半導体層 1 2 5 J とが共通電極 1 3 0 の長手方向の両端で接触されるような構成としてもよい。

#### 【 0 0 4 5 】

(実施形態3)

本開示の第3の実施形態について述べる。図7Aは第3の実施形態にかかる半導体装置 1 0 K であって、双方向 F E T 3 (双方向電界効果トランジスタ3) を備える半導体装置 1 0 K の平面図を示している。図7Bは、図7AのA - A断面を示している。

10

#### 【 0 0 4 6 】

A l G a Nバリア層 1 0 4 の上に、双方向 F E T 3 を構成する第1のソース電極 3 1 1、第2のソース電極 3 2 1、第1のゲート電極 3 1 3、第2のゲート電極 3 2 3 が形成されている。第1のソース電極 3 1 1 はそれぞれ第1のソース集約配線 3 1 に接続されている。第2のソース電極 3 2 1 はそれぞれ第2のソース集約配線 3 2 に接続されている。第1のソース電極 3 1 1 と第2のソース電極 3 2 1 の間には、第1のソース電極 3 1 1 に近接して第1のゲート電極 3 1 3 が、第2のソース電極 3 2 1 に近接して第2のゲート電極が形成されている。

#### 【 0 0 4 7 】

さらに、図7Bに示すように、A l G a Nバリア層 1 0 4 の上で第1のソース電極 3 1 1 の下部から第1のゲート電極 3 1 3 の間に、第1のゲート電極 3 1 3 とは離隔して第3の半導体層 3 1 4 が形成されている。第3の半導体層 3 1 4 は、第1のソース電極 3 1 1 の一部に埋め込まれるように電氣的に接触して形成される。また、A l G a Nバリア層 1 0 4 の上で第2のソース電極 3 2 1 の下部から第2のゲート電極 3 2 3 の間に、第2のゲート電極 3 2 3 とは離隔して第4の半導体層 3 2 4 が形成されている。第4の半導体層 3 2 4 は、第2のソース電極 3 2 1 の一部に埋め込まれるように電氣的に接触して形成される。

20

#### 【 0 0 4 8 】

第3の実施形態にかかる双方向 F E T 3 の遮断及び導通動作について説明する。第1のソース電極 3 1 1 に対して第2のソース電極 3 2 1 の電圧が高い場合に、第1のソース電極 3 1 1 に対して第1のゲート電極 3 1 3 の電圧が閾値電圧以下の電圧が印加される場合、第1のゲート電極 3 1 3 の下部の2 D E G層 1 0 5 が空乏化され、第2のソース電極 3 2 1 から第1のソース電極 3 1 1 には電流が流れない遮断状態となる。一方、第1のソース電極 3 1 1 に対して第1のゲート電極 3 1 3 の電圧が閾値電圧以上の電圧が印加される場合、第1のゲート電極 3 1 3 の下部の2 D E G層 1 0 5 が導通状態となり、第2のソース電極 3 2 1 から第1のソース電極 3 1 1 に電流が流れる。同様に第2のソース電極 3 2 1 に対して第1のソース電極 3 1 1 の電圧が高い場合に、第2のソース電極 3 2 1 に対して第2のゲート電極 3 2 3 の電圧が閾値電圧以下の電圧が印加される場合、第2のゲート電極 3 2 3 の下部の2 D E G層 1 0 5 が空乏化され、第1のソース電極 3 1 1 から第2のソース電極 3 2 1 には電流が流れない遮断状態となる。一方、第2のソース電極 3 2 1 に対して第2のゲート電極 3 2 3 の電圧が閾値電圧以上の電圧が印加される場合、第2のゲート電極 3 2 3 の下部の2 D E G層 1 0 5 が導通状態となり、第1のソース電極 3 1 1 から第2のソース電極 3 2 1 に電流が流れる。このように、第1のゲート電極 3 1 3 及び第2のゲート電極 3 2 3 をそれぞれ第1のソース電極 3 1 1 及び第2のソース電極 3 2 1 を基準に制御することにより、第1のソース電極 3 1 1 と第2のソース電極 3 2 1 との間の双方向電流の遮断、導通を制御することができる。

30

40

#### 【 0 0 4 9 】

次に、双方向 F E T 3 のスイッチング時の動作について説明する。図8Aは、双方向 F E T 3 がオフ状態であり、第2のソース電極 3 2 1 の電圧が第1のソース電極 3 1 1 よりも高いときのトランジスタの動作を示したものである。第1のソース電極 3 1 1 が例えば

50

基準電圧である 0 V の場合、第 2 のソース電極 3 2 1 の電圧は例えば 4 0 0 V 程度である。また、基板 1 0 1 の電圧は例えば 0 V である。双方向 F E T においては、システムの動作によって第 1 のソース電極 3 1 1 と第 2 のソース電極 3 2 1 の電圧の大小関係が変わるので、基板 1 0 1 の電位を第 1 のソース電極 3 1 1 及び第 2 のソース電極 3 2 1 に直接接続せずにフローティングにすることが一般的である。

#### 【 0 0 5 0 】

ここで、双方向 F E T 3 がオフ状態からオン状態に切り替わるときの挙動について説明する。図 8 B は、双方向 F E T 3 がオフ状態からオン状態に切り替わった直後の動作を示している。第 1 のソース電極 3 1 1 の電圧を基準電圧である 0 V とした場合、第 2 のソース電極 3 2 1 の電圧が 4 0 0 V から 2 V 程度まで低下する。双方向 F E T 3 がオン状態に切り替わった直後の基板 1 0 1 の電圧は、基板 1 0 1 がフローティングであるため、基板 1 0 1 の電圧は第 2 のソース電極 3 2 1 から基板 1 0 1 に対する容量と、第 1 のソース電極 3 1 1 から基板 1 0 1 に対する容量との割合によって決まり、基板 1 0 1 の電圧は第 2 のソース電極 3 2 1 から基板 1 0 1 に対する容量と、第 1 のソース電極 3 1 1 から基板 1 0 1 に対する容量との割合が 1 対 1 であればおよそ - 1 9 9 V となる。この時、第 1 のソース電極 3 1 1 と基板 1 0 1 との間には下向きの電界  $E_{S1-SUB}$  が印加される。この  $E_{S1-SUB}$  により、第 1 のソース電極 3 1 1 近傍のバッファ層 1 0 2、GaN チャンネル層 1 0 3 及び AlGa N バリア層 1 0 4 に電子が捕獲される。

10

#### 【 0 0 5 1 】

本開示の第 3 の実施形態にかかる半導体装置においては、P 型半導体の第 3 の半導体層 3 1 4 が AlGa N バリア層 1 0 4 の表面に形成されており、双方向 F E T 3 がオン状態に切り替わった時に第 3 の半導体層 3 1 4 から基板 1 0 1 の方向に向かって正孔電流  $I_{hS1}$  が流れる。この正孔電流  $I_{hS1}$  により、バッファ層 1 0 2、GaN チャンネル層 1 0 3 及び AlGa N バリア層 1 0 4 に捕獲された電子と再結合することで、2 D E G 層 1 0 5 の狭窄を抑制し、オン抵抗上昇を抑制することができる。

20

#### 【 0 0 5 2 】

双方向 F E T 3 の第 1 のソース電極 3 1 1 の電圧が第 2 のソース電極 3 2 1 よりも高い場合にも同様の動作が起きる。図 8 C は、双方向 F E T 3 がオフ状態の動作を示したものである。第 2 のソース電極 3 2 1 の電圧が例えば基準電圧である 0 V の場合、第 1 のソース電極 3 1 1 の電圧は例えば 4 0 0 V 程度である。また、基板 1 0 1 の電圧は 0 V である。図 8 D は、双方向 F E T がオフ状態からオン状態に切り替わるときの挙動を示している。第 2 のソース電極 3 2 1 の電圧が 0 V であり、第 1 のソース電極 3 1 1 の電圧が 4 0 0 V から 2 V 程度に低下し、基板 1 0 1 の電圧が - 1 9 9 V 程度となる。この時、第 2 のソース電極 3 2 1 から基板 1 0 1 に対して下向きの電界  $E_{S2-SUB}$  が発生し、第 2 のソース電極 3 2 1 近傍のバッファ層 1 0 2、GaN チャンネル層 1 0 3 及び AlGa N バリア層 1 0 4 に電子が捕獲される。

30

#### 【 0 0 5 3 】

本開示の第 3 の実施形態にかかる半導体装置 1 0 K においては、P 型半導体の第 4 の半導体層 3 2 4 が AlGa N バリア層 1 0 4 の表面に形成されており、双方向 F E T 3 がオン状態に切り替わった時に第 4 の半導体層 3 2 4 から基板 1 0 1 の方向に向かって正孔電流  $I_{hS2}$  が流れる。この正孔電流  $I_{hS2}$  により、バッファ層 1 0 2、GaN チャンネル層 1 0 3 及び AlGa N バリア層 1 0 4 に捕獲された電子と再結合することで、2 D E G 層 1 0 5 の狭窄を抑制し、オン抵抗上昇を抑制することができる。

40

#### 【 産業上の利用可能性 】

#### 【 0 0 5 4 】

本開示にかかる半導体装置は、スイッチング電源の代表的な構成であるハーフブリッジとして利用できる。このハーフブリッジを 2 つ用いて構成されるフルブリッジや、ハーフブリッジを 3 つ用いて構成される 3 相インバータとしても利用可能である。また、アクティブクランプ方式のフライバックコンバータにも利用可能である。

#### 【 符号の説明 】

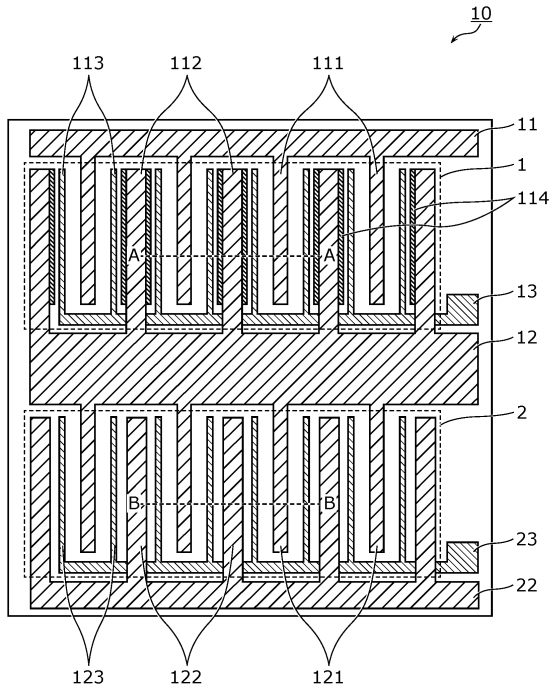
50

## 【 0 0 5 5 】

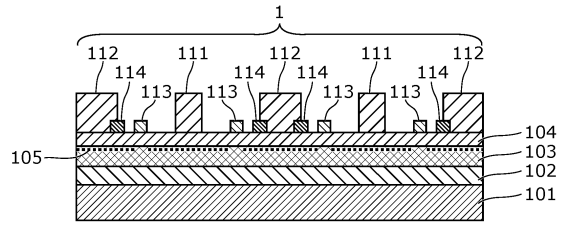
- 1 第1のFET(第1の電界効果トランジスタ)
- 2 第2のFET(第2の電界効果トランジスタ)
- 3 双方向FET(双方向電界効果トランジスタ)
- 10 半導体装置
- 11 第1のドレイン集約配線
- 12 中間集約配線
- 13 第1のゲート集約配線
- 22 第2のソース集約配線
- 23 第2のゲート集約配線 10
- 31 第1のソース集約配線
- 32 第2のソース集約配線
- 33 第1のゲート集約配線
- 34 第2のゲート集約配線
- 71 高電圧電源
- 72 インダクタ
- 73 負荷
- 101 基板
- 102 バッファ層
- 103 GaNチャンネル層(第1の窒化物半導体層) 20
- 104 AlGaNバリア層(第2の窒化物半導体層)
- 105 2次元電子ガス層(2DEG層)
- 111 第1のドレイン電極
- 112、311 第1のソース電極
- 113、313 第1のゲート電極
- 114、314 第3の半導体層
- 115、324 第4の半導体層
- 121 第2のドレイン電極
- 122、321 第2のソース電極
- 123、323 第2のゲート電極 30
- 125 第5の半導体層
- 130 共通電極

【図面】

【図 1 A】



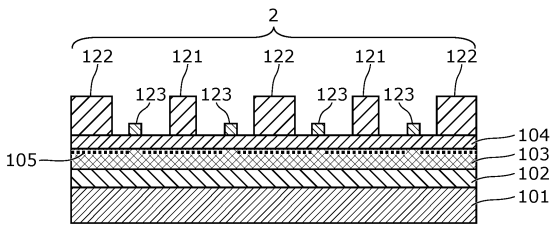
【図 1 B】



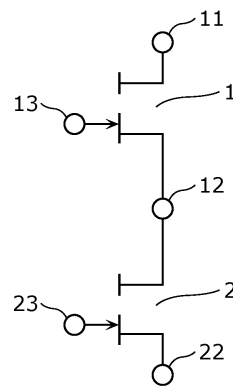
10

20

【図 1 C】



【図 1 D】

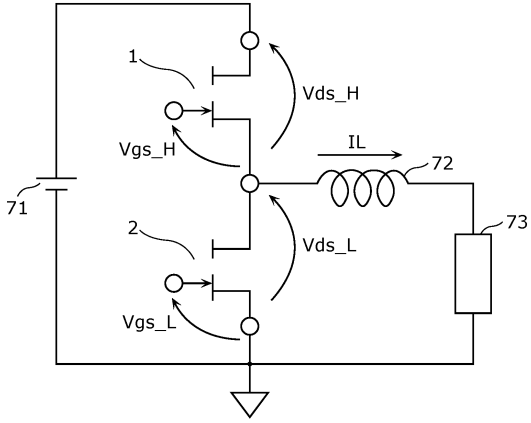


30

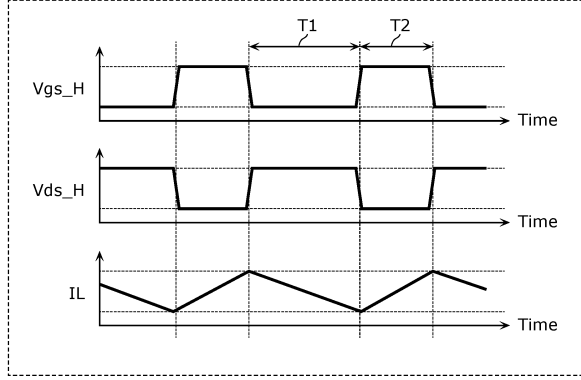
40

50

【 2 A 】

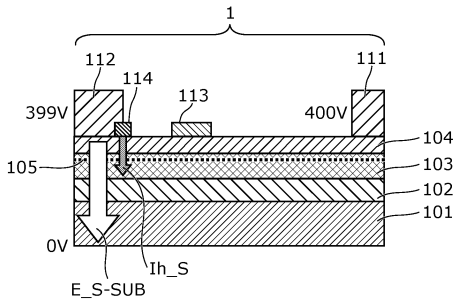


【 2 B 】

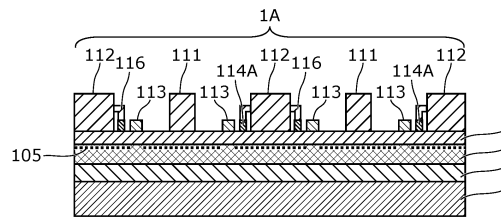


10

【 2 C 】



【 3 A 】



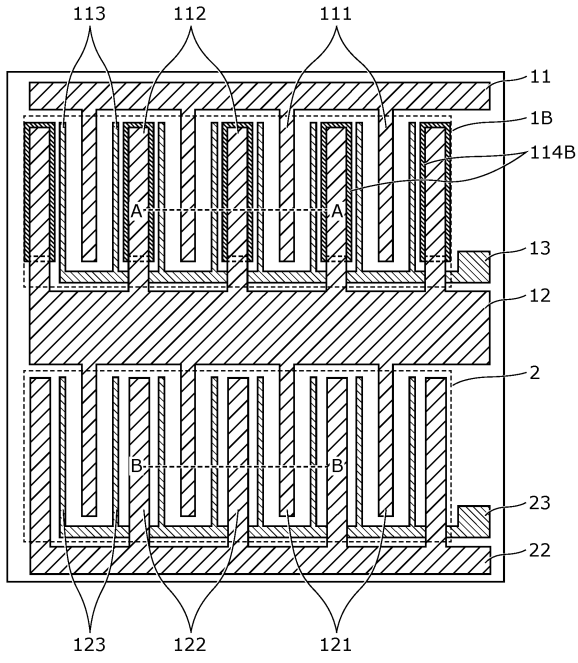
20

30

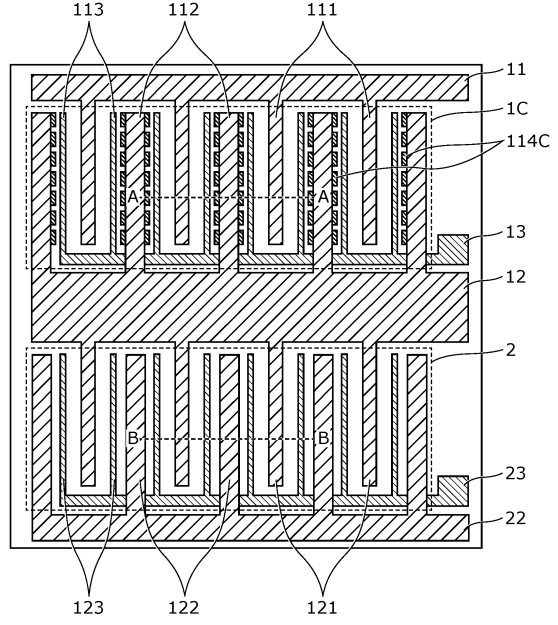
40

50

【図 3 B】



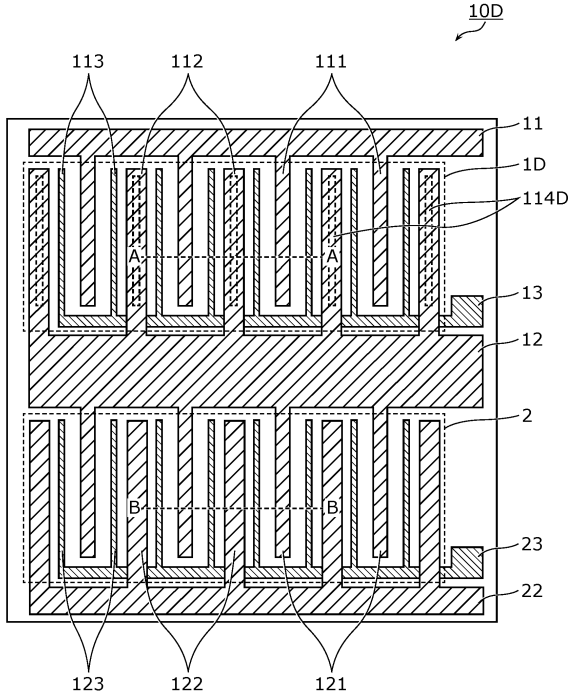
【図 3 C】



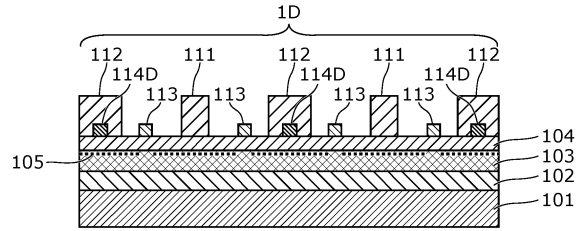
10

20

【図 4 A】



【図 4 B】

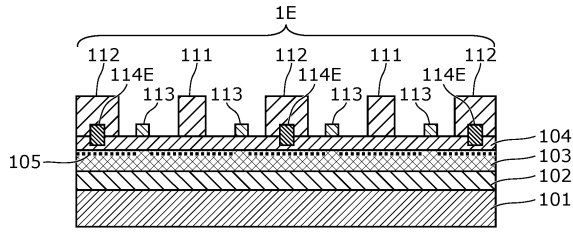


30

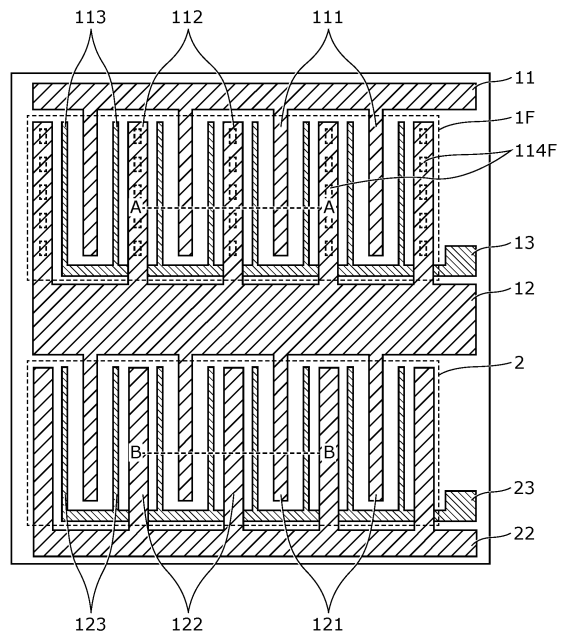
40

50

【図 4 C】

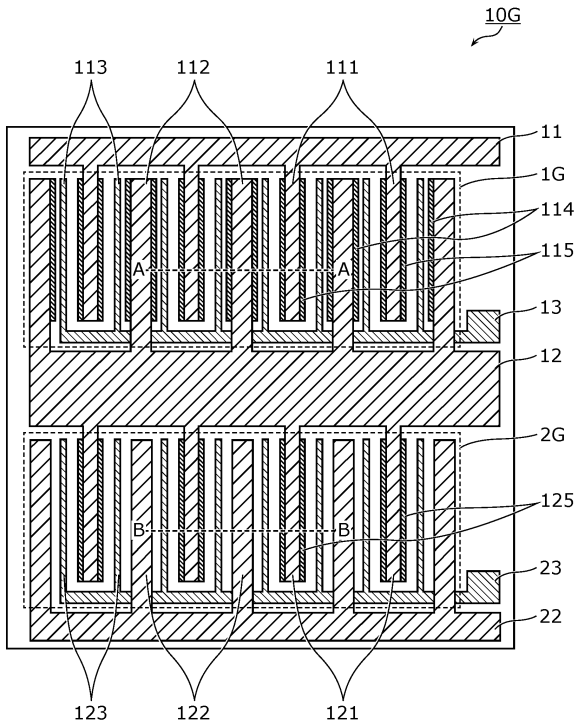


【図 4 D】

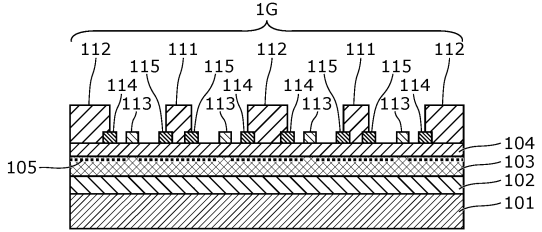


10

【図 5 A】



【図 5 B】



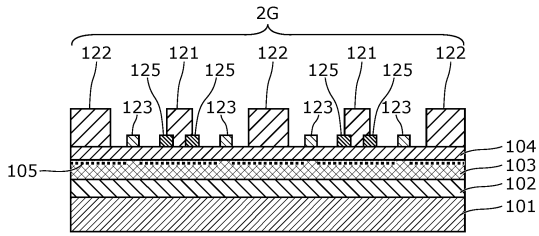
20

30

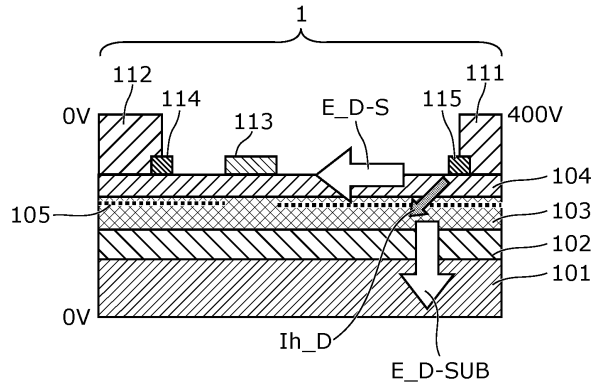
40

50

【図 5 C】

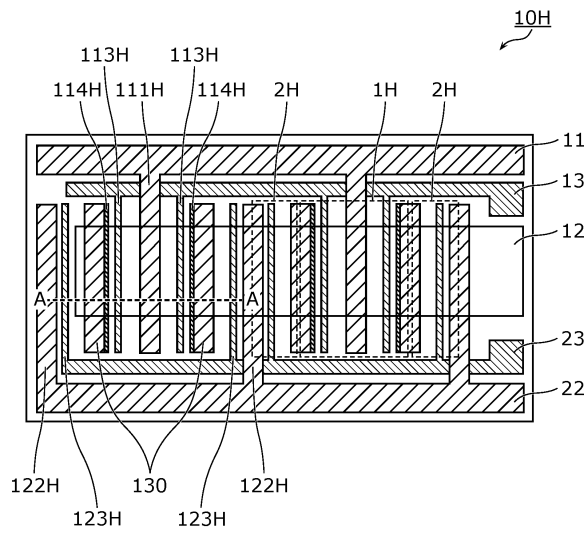


【図 5 D】

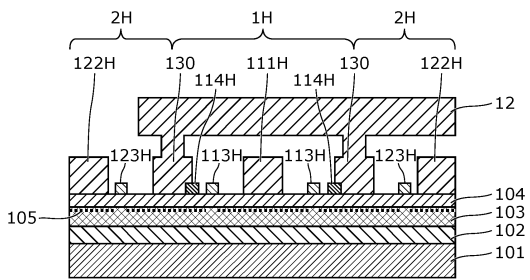


10

【図 6 A】



【図 6 B】



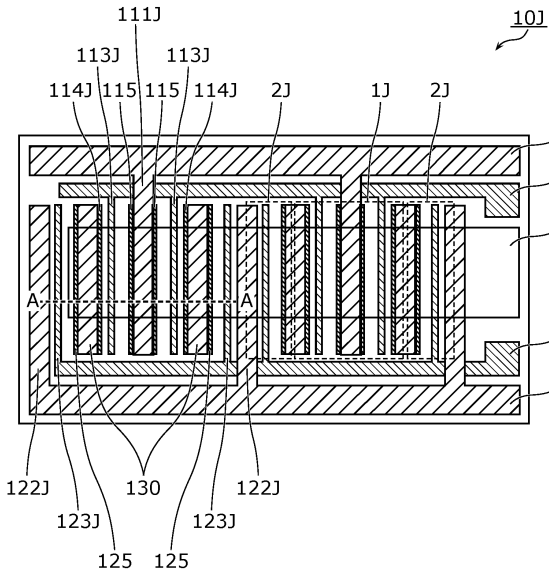
20

30

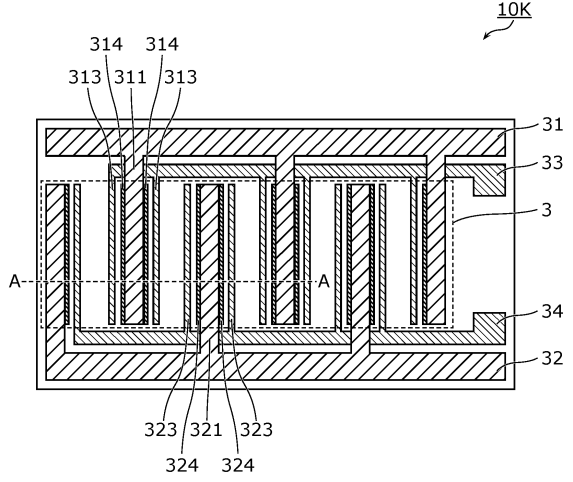
40

50

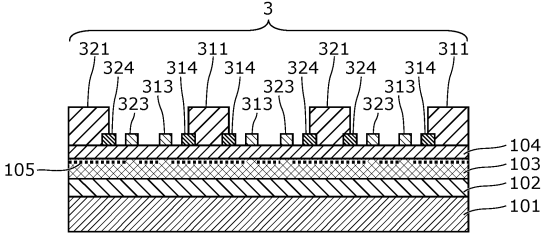
【図 6 C】



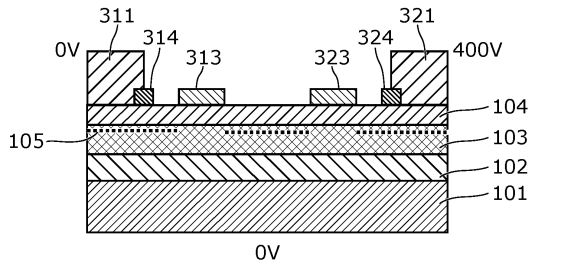
【図 7 A】



【図 7 B】



【図 8 A】



10

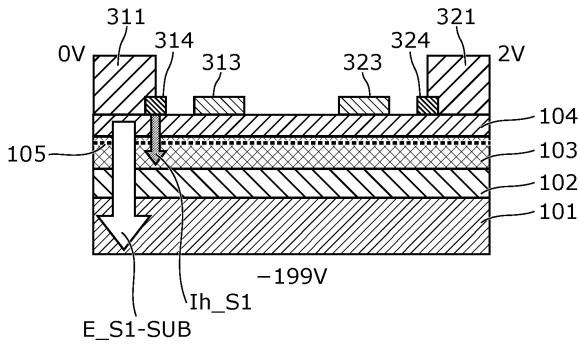
20

30

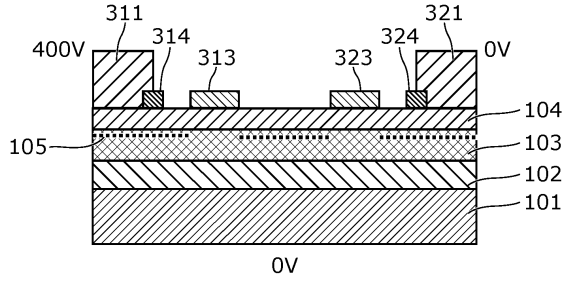
40

50

【図 8 B】

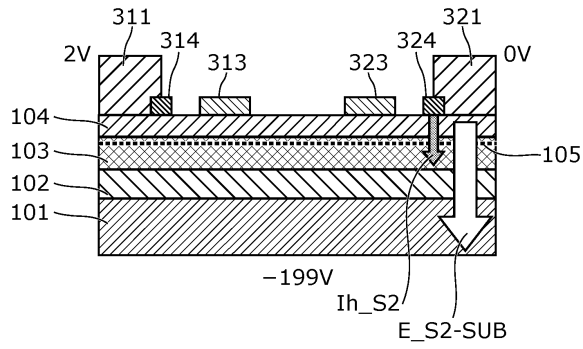


【図 8 C】

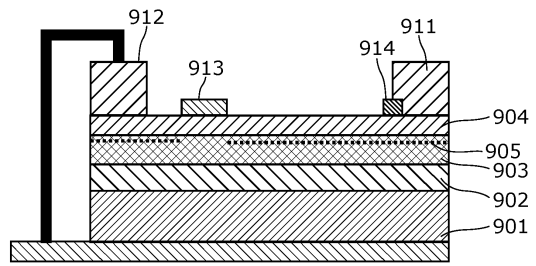


10

【図 8 D】

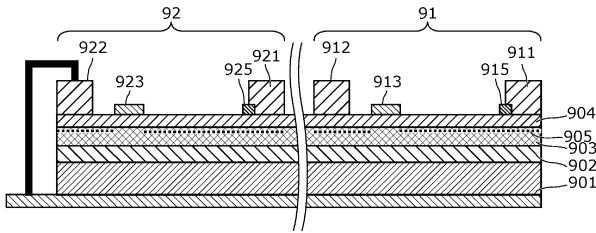


【図 9】

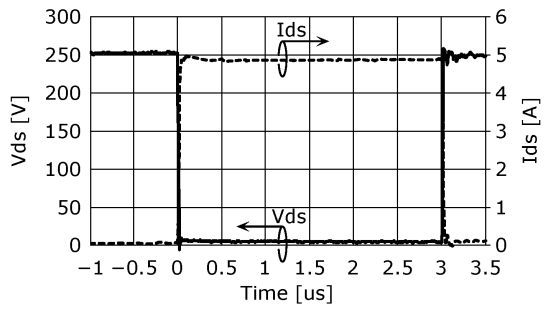


20

【図 10】



【図 11 A】

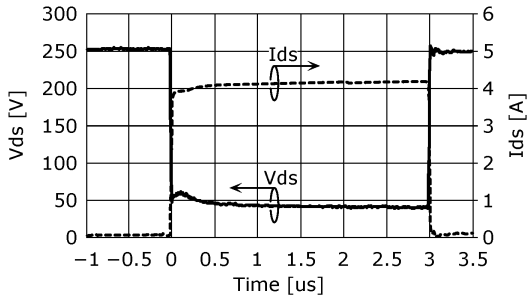


30

40

50

【 1 1 B】



10

20

30

40

50

## フロントページの続き

- (72)発明者 佐藤 高広  
日本国大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- (72)発明者 引田 正洋  
日本国大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- (72)発明者 上野 弘明  
日本国大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- (72)発明者 木下 雄介  
日本国大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- 審査官 志津木 康
- (56)参考文献 特開 2 0 1 5 - 1 7 3 1 5 1 ( J P , A )  
特開 2 0 1 6 - 0 3 1 9 9 7 ( J P , A )  
特開 2 0 1 3 - 0 3 8 2 5 0 ( J P , A )  
特開 2 0 1 3 - 1 2 5 9 1 8 ( J P , A )  
特開 2 0 0 8 - 0 9 9 4 3 4 ( J P , A )  
国際公開第 2 0 1 4 / 1 8 8 6 5 1 ( W O , A 1 )  
特表 2 0 0 7 - 5 2 6 6 3 3 ( J P , A )  
特開 2 0 0 7 - 0 2 7 2 8 4 ( J P , A )  
特開 2 0 1 8 - 1 2 5 5 0 0 ( J P , A )
- (58)調査した分野 (Int.Cl. , D B 名)  
H 1 0 D 3 0 / 4 7  
H 1 0 D 3 0 / 8 7  
H 1 0 D 3 0 / 8 0  
H 1 0 D 3 0 / 8 3