

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 9 月 1 日(01.09.2011)

(10) 国際公開番号
WO 2011/105056 A1

(51) 国際特許分類:

H01L 21/822 (2006.01) H01L 27/04 (2006.01)
H01L 21/8234 (2006.01) H01L 27/088 (2006.01)
H01L 23/12 (2006.01)

(21) 国際出願番号: PCT/JP2011/000991

(22) 国際出願日: 2011 年 2 月 22 日(22.02.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-042609 2010 年 2 月 26 日(26.02.2010) JP

(71) 出願人 (米国を除く全ての指定国について): 住友化学株式会社(SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目 2 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 秦 雅彦 (HATA, Masahiko) [JP/JP]; 〒3000845 茨城県土浦市乙戸南 2-20-6 Ibaraki (JP). 山中 貞則 (YAMANAKA, Sadanori) [JP/JP]; 〒3050005 茨城県つくば市天久保 2-13-10-305 Ibaraki (JP). 高田 朋幸 (TAKADA, Tomoyuki) [JP/JP]; 〒3050045 茨城県つくば市梅園 2-13-1-4

— 1 0 2 Ibaraki (JP). 本城 和彦 (HONJO, Kazuhiko) [JP/JP]; 〒3050035 茨城県つくば市松代 5-7-23 Ibaraki (JP).

(74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631522 東京都新宿区西新宿 1-6-1 新宿エルタワー 2 2 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

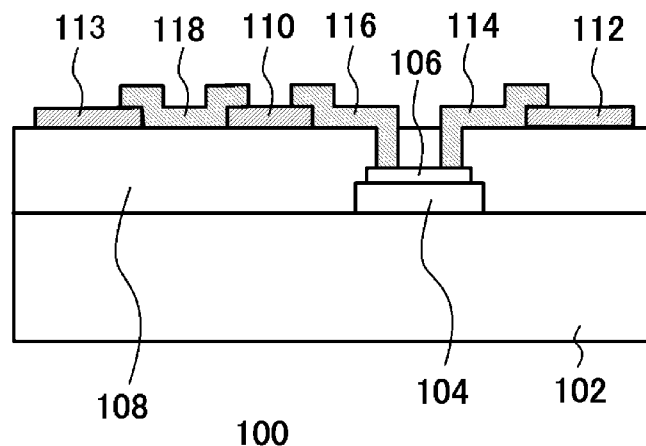
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: ELECTRONIC DEVICE AND METHOD FOR MANUFACTURING ELECTRONIC DEVICE

(54) 発明の名称: 電子デバイスおよび電子デバイスの製造方法

[図1]



(57) Abstract: Disclosed is an electronic device which is provided with: a base substrate having the surface thereof formed of a silicon crystal; a III-V compound semiconductor crystal formed in a region of a part of the silicon crystal; an electronic element which includes a part of the III-V compound semiconductor crystal as an active layer; an insulating film, which is formed on the base substrate, and which covers the electronic element; an electrode formed on the insulating film; a first connecting wiring line, which penetrates the insulating film, has at least a part thereof formed on the insulating film, and electrically connects together the electronic element and the electrode; a passive element formed on the insulating film; and a second connecting wiring line, which penetrates the insulating film, has at least a part thereof formed on the insulating film, and electrically connects together the electronic element and the passive element.

(57) 要約:

[続葉有]



WO 2011/105056 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, 添付公開書類:
NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

表面がシリコン結晶であるベース基板と、シリコン結晶上の一部の領域に形成された 3-5 族化合物半導体結晶と、3-5 族化合物半導体結晶の一部を活性層として含む電子素子と、ベース基板上に形成され、当該電子素子を覆う絶縁膜と、絶縁膜上に形成された電極と、絶縁膜を貫通し、少なくとも一部が絶縁膜上に形成され、電子素子と電極とを電氣的に結合する第 1 の結合配線と、絶縁膜上に形成された受動素子と、絶縁膜を貫通し、少なくとも一部が絶縁膜上に形成され、電子素子と受動素子とを電氣的に結合する第 2 の結合配線とを備える電子デバイスを提供する。

明 細 書

発明の名称： 電子デバイスおよび電子デバイスの製造方法

技術分野

[0001] 本発明は、電子デバイスおよび電子デバイスの製造方法に関する。

背景技術

[0002] たとえば特許文献 1 は、シリコン基板を用いた気密性が高いウェハレベルパッケージの技術を開示する。ウェハレベルパッケージの技術により薄くかつチップサイズに半導体素子を封止できるようになる。

(特許文献 1) 特開 2001-68580 号公報

発明の概要

発明が解決しようとする課題

[0003] シリコン基板は絶縁体ではないので、シリコン基板の上方に化合物半導体結晶、電極および配線を設けると、化合物半導体結晶からシリコン基板への漏洩電流が生じる場合がある。さらに、化合物半導体結晶とシリコン基板との間における高周波帯域での浮遊容量の影響により、化合物半導体結晶に入出力される信号の高周波特性が劣化する場合がある。

[0004] また、シリコン基板上に化合物半導体結晶をエピタキシャル成長させる場合には、化合物半導体結晶の成長を阻害する阻害体をシリコン基板上に形成し、阻害体に小さな開口を形成し、当該開口にゲルマニウム等のシード体を選択成長させた後に、シード体上に化合物半導体結晶を選択エピタキシャル成長させる方法が考えられる。このようにして化合物半導体結晶を選択エピタキシャル成長させた場合には、エピタキシャル成長させた化合物半導体結晶と阻害体との間に段差が形成される。化合物半導体結晶上の領域と阻害体上の領域とを接続する配線を形成すると、形成した配線が、段差に起因して断線する場合がある。

課題を解決するための手段

[0005] 上記課題を解決するために、本発明の第 1 の態様においては、表面がシリ

コン結晶であるベース基板と、シリコン結晶上の一部の領域に形成された 3-5 族化合物半導体結晶と、3-5 族化合物半導体結晶の一部を活性層として含む電子素子と、ベース基板上に形成され、当該電子素子を覆う絶縁膜と、絶縁膜上に形成された電極と、絶縁膜を貫通し、少なくとも一部が絶縁膜上に形成され、電子素子と電極とを電氣的に結合する第 1 の結合配線と、絶縁膜上に形成された受動素子と、絶縁膜を貫通し、少なくとも一部が絶縁膜上に形成され、電子素子と受動素子とを電氣的に結合する第 2 の結合配線とを備える電子デバイスを提供する。

[0006] 上記の電子デバイスは、絶縁膜上に形成され、電極及び第 1 の結合配線を封止する封止材をさらに備え、電極は、封止材を貫通して封止材の表面に露出しているもよい。3-5 族化合物半導体結晶は、シリコン結晶と 3-5 族化合物半導体結晶との間の格子不整合を緩和するシード体を介して形成されているもよい。当該シード体は、一例として、組成が $C_x Si_y Ge_z Sn_{1-x-y-z}$ ($0 \leq x < 1$, $0 \leq y \leq 1$, $0 \leq z < 1$, $0 < x + y + z \leq 1$) である。当該 3-5 族化合物半導体結晶は、一例として、GaAs 結晶、及び GaAs 結晶に格子整合または擬格子整合する $Al_a Ga_b In_{1-a-b} N_c P_d As_{1-c-d}$ ($0 \leq a \leq 1$, $0 \leq b \leq 1$, $0 \leq c \leq 1$, $0 \leq d \leq 1$, $0 \leq a + b \leq 1$, $0 \leq c + d \leq 1$) 結晶を含む。

[0007] また、電子デバイスは、ベース基板上に、化合物半導体結晶の成長を阻害する阻害体をさらに備え、シード体は、阻害体に形成されかつベース基板に達する開口内に形成されているもよい。第 1 の結合配線及び第 2 の結合配線は、一例として、シード体と電子素子とが接する面に垂直な方向に、電子素子から延伸している。

[0008] 上記の電子デバイスにおける電子素子は、例えばトランジスタであり、トランジスタと受動素子とがマイクロ波回路を形成している。当該トランジスタは、例えば FET である。当該トランジスタがヘテロバイポーラトランジスタであり、受動素子がヘテロバイポーラトランジスタの熱暴走を阻止する抵抗体を含んでもよい。

[0009] 本発明の第2の態様においては、表面がシリコン結晶であるベース基板と、シリコン結晶上の一部の領域に形成された複数の3-5族化合物半導体結晶と、複数の3-5族化合物半導体結晶のうち一部の複数の3-5族化合物半導体結晶のそれぞれの3-5族化合物半導体結晶の一部を活性層としてそれぞれ1つずつ含む電子素子と、ベース基板上に形成され、電子素子を覆う絶縁膜と、絶縁膜上に形成された電極と、絶縁膜を貫通し、少なくとも一部が絶縁膜上に形成され、電子素子と電極とを電氣的に結合する第1の結合配線と、絶縁膜上に形成された受動素子と、絶縁膜を貫通し、少なくとも一部が絶縁膜上に形成され、電子素子と受動素子とを電氣的に結合する第2の結合配線とを備え、一部の複数の3-5族化合物半導体結晶は、規則的に配置されている半導体ウェハーを提供する。

[0010] 本発明の第3の態様においては、表面がシリコン結晶であるベース基板と、シリコン結晶上の一部の領域に形成された複数のシード体と、複数のシード体のそれぞれのシード体上に形成された複数の3-5族化合物半導体結晶と、複数の3-5族化合物半導体結晶のうち一部の複数の3-5族化合物半導体結晶のそれぞれの3-5族化合物半導体結晶の一部を活性層としてそれぞれ1つずつ含む電子素子と、ベース基板上に形成され、電子素子を覆う絶縁膜と、絶縁膜上に形成された電極と、絶縁膜を貫通し、少なくとも一部が絶縁膜上に形成され、電子素子と電極とを電氣的に結合する第1の結合配線と、絶縁膜上に形成された受動素子と、絶縁膜を貫通し、少なくとも一部が絶縁膜上に形成され、電子素子と受動素子とを電氣的に結合する第2の結合配線とを備え、シード体は、シリコン結晶と3-5族化合物半導体結晶との間の格子不整合を緩和する結晶であり、複数のシード体は、規則的に配置されている半導体ウェハーを提供する。

[0011] 本発明の第4の態様においては、表面がシリコン結晶であるベース基板上の一部の領域に形成されたシード体と、シード体上に形成され、活性層として機能する層を含む3-5族化合物半導体結晶を有する電子素子とを備える基体 (base structure) に、電子素子を覆う絶縁膜を形成する段階と、絶縁

膜上に、電子素子と電氣的に結合される電極を形成する段階と、絶縁膜上に、電子素子と電氣的に結合される受動素子を形成する段階と、電子素子に達する第1のビアホール及び第2のビアホールを絶縁膜に形成する段階と、第1のビアホールを介して電子素子と電極とを電氣的に結合する第1の結合配線を形成する段階と、第2のビアホールを介して電子素子と受動素子とを電氣的に結合する第2の結合配線を形成する段階とを備える電子デバイスの製造方法を提供する。

図面の簡単な説明

- [0012] [図1] 電子デバイス100の断面を示す。
- [図2] 電子デバイス200の断面を示す。
- [図3] 電子デバイス200の製造過程における断面を示す。
- [図4] 電子デバイス200の製造過程における断面を示す。
- [図5] 電子デバイス200の製造過程における断面を示す。

発明を実施するための形態

- [0013] 以下、発明の実施の形態を通じて本発明を説明する。図1は、電子デバイス100の断面を示す。電子デバイス100は、ベース基板102、3-5族化合物半導体結晶104、電子素子106、絶縁膜108、受動素子110、電極112、電極113、結合配線114、結合配線116および結合配線118を有する。
- [0014] ベース基板102は、表面がシリコン結晶である。ベース基板102は、例えば、バルク全体がシリコンであるシリコンウェハまたはSOI (Silicon on Insulator) である。
- [0015] 3-5族化合物半導体結晶104は、シリコン結晶上の一部の領域に形成されている。つまり、3-5族化合物半導体結晶104は、シリコン結晶上に局所的に形成されている。3-5族化合物半導体結晶104をシリコン結晶上の一部の領域に形成すると、形成した3-5族化合物半導体結晶104をアニールすることにより、内部の結晶欠陥を3-5族化合物半導体結晶104の周辺部に移動させることができるので、3-5族化合物半導体結晶1

104の内部の結晶性が向上する。3-5族化合物半導体結晶104は、例えば、GaAs、AlGaAs、InGaAs、InGaP、GaP、InP、またはGaNである。

[0016] ここで、「シリコン結晶上の」とは、シリコン結晶に接する場合とシリコン結晶に接しない場合のいずれであってもよい。つまり、電子デバイス100は、シリコン結晶と3-5族化合物半導体結晶104との間に、3-5族化合物半導体結晶104以外の物質を有してもよい。

[0017] 電子素子106は、3-5族化合物半導体結晶104の一部を活性層として含む。3-5族化合物半導体結晶104において、電子素子106の活性層とならない領域は、ベース基板102と電子素子106との間のバッファ層として機能してよい。電子素子106は、例えば、電界効果トランジスタ、バイポーラトランジスタ、ダイオード、発光素子、受光素子である。なお、図1では、3-5族化合物半導体結晶104と電子素子106とは、重複部分がないかのように記載されているが、これは図を簡明に記載するために詳細を省略して記載したものであり、電子素子106は、3-5族化合物半導体結晶104の一部を活性層として含む。以下の図においても同様である。

[0018] 絶縁膜108は、ベース基板102上に形成され、電子素子106を覆う。絶縁膜108は、電子素子106と電極112および受動素子110との間を電氣的に絶縁する。絶縁膜108は、例えば、酸化シリコン、窒化シリコン、酸窒化シリコン、これらのフッ化物、ベンゾシクロブテン樹脂、液晶ポリマー、またはポリイミドである。絶縁膜108は、結合配線114および結合配線116が電子素子106に接する領域を除く領域において、電子素子106を覆う。

[0019] 受動素子110は、絶縁膜108上に形成され、結合配線116を介して電子素子106と電氣的に結合する。受動素子110は、例えば抵抗、コンデンサ、コイル、配線である。抵抗は、金属薄膜またはポリシリコンを有する。コンデンサは、一例として、絶縁膜と、当該絶縁膜を挟む導体膜とを有

する。コイルは、一例として、コイル状にパターンニングされた導体を有する。配線は、例えば、金属膜、または、不純物を高濃度にドーピングしたポリシリコン等の半導体である。

[0020] 電極 112 は、外部回路と電氣的に接続される端子として機能する。電極 112 は、絶縁膜 108 上に形成され、結合配線 114 を介して電子素子 106 と電氣的に結合される。電極 112 は導電体であり、例えば、アルミニウム、銅、タングステン等の金属、不純物が高濃度にドーピングされた半導体である。

[0021] 結合配線 114 は、絶縁膜 108 を貫通し、かつ、少なくとも一部が絶縁膜 108 上に形成され、電子素子 106 と電極 112 とを電氣的に結合する。一例として、結合配線 114 は、電子素子 106 を起点として、3-5 族化合物半導体結晶 104 と電子素子 106 が接する面と垂直な方向、つまり、3-5 族化合物半導体結晶 104 および電子素子 106 積層方向に延伸して、絶縁膜 108 を貫通する。結合配線 114 は、電子素子 106 の上方において屈曲し、絶縁膜 108 の表面に沿って電極 112 に達するまで延伸する。

[0022] 結合配線 116 は、絶縁膜 108 を貫通する。結合配線 116 は、少なくとも一部が絶縁膜 108 上に形成され、電子素子 106 と受動素子 110 とを電氣的に結合する。一例として、結合配線 116 は、電子素子 106 を起点として、3-5 族化合物半導体結晶 104 と電子素子 106 が接する面と垂直な方向、つまり、3-5 族化合物半導体結晶 104 および電子素子 106 積層方向に延伸して、絶縁膜 108 を貫通する。結合配線 116 は、電子素子 106 の上方において屈曲し、絶縁膜 108 の表面に沿って受動素子 110 に達するまで延伸する。

[0023] 結合配線 118 は、受動素子 110 と電極 113 とを電氣的に結合する。結合配線 118 は、受動素子 110 および電極 113 が接する絶縁膜 108 の表面に形成されている。

[0024] 電子デバイス 100 においては、結合配線 114 および結合配線 116 が

、電子素子 106 から離れる向きに延伸し、かつ、結合配線 114 および結合配線 116 における絶縁膜 108 の表面に沿って延伸する領域、受動素子 110、ならびに電極 112 は、絶縁膜 108 の同一平面上に形成されている。したがって、電子素子 106 がベース基板 102 の表面に対して突出して形成されている場合であっても、結合配線 114 および結合配線 116 は、電子素子 106 とベース基板 102 の表面との間の段差上に形成されていない。その結果、結合配線 114 および結合配線 116 が断線する可能性が低く、電子デバイス 100 の信頼性が向上する。

[0025] また、結合配線 114 および結合配線 116 がベース基板 102 から離れて形成されているので、結合配線 114 および結合配線 116 がベース基板 102 上に形成されている場合に比べて、結合配線 114 および結合配線 116 が有する浮遊容量が小さい。この結果、電子デバイス 100 の動作速度を高めることができる。さらに、絶縁膜 108 上に受動素子 110 を形成するので、電子デバイス 100 の素子集積度を高めることができる。

[0026] なお、図 1 においては、電子素子 106 には結合配線 114 および結合配線 116 が接続されているが、他の結合配線が電子素子 106 に接続されていてもよい。例えば、電子素子 106 がトランジスタである場合には、電子素子 106 は少なくとも 3 本の結合配線を有する。

[0027] 図 2 は、電子デバイス 200 の断面を示す。電子デバイス 200 は、例えば標準的なウェハサイズのベース基板 102 上を用いて形成される半導体ウェハーである。ここで、半導体ウェハーとは、半導体の薄膜を含む集積回路を有する基板である。

[0028] 図 1 に示す電子デバイス 100 における部材と同一の部材については同じ符号を付し、重複した説明を省略する。電子デバイス 200 は、ベース基板 102 の表面のシリコン結晶上の一部の領域に形成された複数の 3-5 族化合物半導体結晶 104 を有する。電子素子 106 は、複数の 3-5 族化合物半導体結晶 104 のうち一部の複数の 3-5 族化合物半導体結晶 104 のそれぞれの 3-5 族化合物半導体結晶 104 の一部を活性層としてそれぞれ 1

つつ含む。

- [0029] 当該一部の複数の 3-5 族化合物半導体結晶 104 は、規則的に配置されている。一例として、一部の複数の 3-5 族化合物半導体結晶 104 は、周期的に繰り返される配置パターンで配置されている。周期的に繰り返される配置パターンのそれぞれにおいては、複数の 3-5 族化合物半導体結晶 104 が相対的に同一の配置に設けられている。
- [0030] 一部の複数の 3-5 族化合物半導体結晶 104 は、回転対称性を有する周期的配列パターンで配置されていてもよい。つまり、3-5 族化合物半導体結晶 104 は、ベース基板 102 上の基準位置を中心とする円周上を、一定の回転角ごとに移動した位置に配置されてもよい。
- [0031] 例えば、複数の 3-5 族化合物半導体結晶 104 は、180度、120度、90度、または60度ずつ回転して配置される。複数の 3-5 族化合物半導体結晶 104 は、72度、45度、36度、または30度ずつ回転して配置されてもよい。複数の 3-5 族化合物半導体結晶 104 は、鋭角72度および鈍角108度のひし形と、鋭角36度および鈍角144度のひし形とを組み合わせたペンローズ・タイル状の配置パターンで配置されてもよい。
- [0032] 例えば、複数の 3-5 族化合物半導体結晶 104 は、格子状に配置されている。複数の 3-5 族化合物半導体結晶 104 は、互いに等間隔で配置されていてもよい。一例として、複数の 3-5 族化合物半導体結晶 104 の基準位置としての中心点が、第1の方向に一直線に配置されるとともに、第1の方向と直交する第2の方向にも一直線に配置される。
- [0033] 複数の 3-5 族化合物半導体結晶 104 を複数の周期的に繰り返される配置パターンで配置することで、3-5 族化合物半導体結晶 104 の配置設計の自由度を向上することができ、かつ、エピタキシャル成長条件の制御が容易になる。例えば、複数の 3-5 族化合物半導体結晶 104 のうちの一部の 3-5 族化合物半導体結晶 104 上にだけ電子素子 106 を形成し、他の 3-5 族化合物半導体結晶 104 上には電子素子 106 が形成されていない複数の電子素子 106 からなる同一の群をベース基板 102 上に形成するよう

にエピタキシャル成長条件を制御することができる。

[0034] 電子デバイス200を切断することにより、電子素子106を有する複数の電子デバイスを製造することができる。例えば、電子デバイス200は、複数の電子素子106からなる周期的に繰り返される配置パターン間の境界において切断される。

[0035] 電子デバイス200は、絶縁膜108上に形成された封止材120を有する。電極112は、一例として、封止材120を貫通し、封止材120の表面に露出する。封止材120は、例えばエポキシ樹脂、ベンゾシクロブテン樹脂、液晶ポリマー、およびポリイミドである。電極112のそれぞれにはボールバンプ126が形成されてもよい。ボールバンプ126は、封止材120の表面において電極112と接する。

[0036] 電子デバイス200は、ベース基板102と3-5族化合物半導体結晶104との間にシード体122を有してもよい。シード体122は、ベース基板102の表面におけるシリコン結晶と3-5族化合物半導体結晶104との間の格子不整合を緩和する。シード体122として、 $C_x Si_y Ge_z Sn_{1-x-y-z}$ ($0 \leq x < 1$, $0 \leq y \leq 1$, $0 \leq z < 1$, $0 < x + y + z \leq 1$) が挙げられる。3-5族化合物半導体結晶として、 $GaAs$ に格子整合または擬格子整合する $Al_a Ga_b In_{1-a-b} N_c P_d As_{1-c-d}$ ($0 \leq a \leq 1$, $0 \leq b \leq 1$, $0 \leq c \leq 1$, $0 \leq d \leq 1$, $0 \leq a + b \leq 1$, $0 \leq c + d \leq 1$) 結晶が挙げられる。

[0037] 図2に示すように、電子デバイス200は、ベース基板102上に形成された阻害体124を有してもよい。阻害体124は、化合物半導体結晶の成長を阻害する。阻害体124はベース基板102に達する開口を有し、シード体122は阻害体124の開口の内部に形成されている。阻害体124に開口を形成することで、当該開口位置に3-5族化合物半導体結晶104を選択的にエピタキシャル成長させることができる。

[0038] 電子素子106がトランジスタである場合、トランジスタと受動素子110とがマイクロ波回路を形成してもよい。この場合、トランジスタはEFT

(電界効果トランジスタ)であることが好ましい。FETとして、例えば、GaAsチャネル、GaNチャネル、またはInGaAsチャネルを有するヘテロ構造FETが挙げられる。

[0039] トランジスタがヘテロバイポーラトランジスタであってもよい。この場合、受動素子110は抵抗体を含み、当該抵抗体が、ヘテロバイポーラトランジスタの熱暴走を阻止するバラスト機能を有することが好ましい。ヘテロバイポーラトランジスタとして、例えば、InGaPエミッタまたはAlGaAsエミッタ、GaAsベース、およびGaAsコレクタを含むヘテロバイポーラトランジスタが挙げられる。

[0040] 図3から図5は、電子デバイス200の製造過程における断面を示す。まず、図3に示すように、表面がシリコン結晶であるベース基板102上の一部の領域に形成されたシード体122と、シード体122上に形成された3-5族化合物半導体結晶104の一部を活性層として含む電子素子106とをベース基板102に形成する。次に、図4に示すように、電子素子106を覆う絶縁膜108を形成する。続いて、絶縁膜108上に受動素子110を形成する。

[0041] 続いて、図5に示すように、絶縁膜108上に外部接続用の電極112を形成する。次に、絶縁膜108を貫通し、電子素子106に達するビアホールを絶縁膜108に形成する。具体的には、電子素子106と受動素子110とを電氣的に結合する結合配線116に対応するビアホールと、電子素子106と電極112とを電氣的に結合する結合配線114に対応するビアホールとを形成する。

[0042] 次に、それぞれのビアホールに導電体を充填する。例えば、絶縁膜108の表面にビアホールに導電性ペーストを塗布することにより、ビアホールに導電体を充填する。続いて、当該導電体を介して電子素子106と受動素子110とを電氣的に結合する結合配線114、および、電子素子106と電極112とを電氣的に結合する結合配線116を形成する。デュアルダマシン法を用いて、ビアホール内の導電体を含む結合配線114および結合配線

116を形成してもよい。

[0043] 電子デバイス200によれば、3-5族化合物半導体結晶104をベース基板102上に形成するために設けた障害体124が存在することにより、3-5族化合物半導体結晶104と障害体124との間に空隙が生じる場合であっても、当該空隙上に結合配線が配置されない。したがって、結合配線が当該空隙における段差によって断線することを防ぐことができる。

[0044] また、電子デバイス200においては、封止材120の表面に接するボールバンプ126が設けられている。ボールバンプ126は、封止材120の表面に接するとともに、電極112、結合配線116を介して電子素子106と電氣的に結合する。ボールバンプ126が、封止材120の平面上に設けられていることにより、電子デバイス200が表面実装に適した形状を有するので、電子デバイス200を用いることにより電子回路の高密度な実装が可能になる。

[0045] 請求の範囲、明細書、および図面中において示した装置、システムおよび方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0046] 100 電子デバイス、102 ベース基板、104 3-5族化合物半導体結晶、106 電子素子、108 絶縁膜、110 受動素子、112 電極、113 電極、114 結合配線、116 結合配線、118 結合配線、120 封止材、122 シード体、124 障害体、126 ボールバンプ、200 電子デバイス

請求の範囲

- [請求項1] 表面がシリコン結晶であるベース基板と、
前記シリコン結晶上の一部の領域に形成された 3－5 族化合物半導体結晶と、
前記 3－5 族化合物半導体結晶の一部を活性層として含む電子素子と、
前記ベース基板上に形成され、前記電子素子を覆う絶縁膜と、
前記絶縁膜上に形成された電極と、
前記絶縁膜を貫通し、少なくとも一部が前記絶縁膜上に形成され、前記電子素子と前記電極とを電氣的に結合する第 1 の結合配線と、
前記絶縁膜上に形成された受動素子と、
前記絶縁膜を貫通し、少なくとも一部が前記絶縁膜上に形成され、前記電子素子と前記受動素子とを電氣的に結合する第 2 の結合配線とを備える電子デバイス。
- [請求項2] 前記絶縁膜上に形成され、前記電極及び前記第 1 の結合配線を封止する封止材をさらに備え、
前記電極は、前記封止材を貫通して前記封止材の表面に露出している
請求項 1 に記載の電子デバイス。
- [請求項3] 前記 3－5 族化合物半導体結晶は、前記シリコン結晶と前記 3－5 族化合物半導体結晶との間の格子不整合を緩和するシード体を介して形成されている
請求項 1 に記載の電子デバイス。
- [請求項4] 前記シード体は、組成が $C_x Si_y Ge_z S_{n_{1-x-y-z}}$ ($0 \leq x < 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z < 1$ 、 $0 < x + y + z \leq 1$) である
請求項 3 に記載の電子デバイス。
- [請求項5] 前記 3－5 族化合物半導体結晶は、GaAs 結晶、及び前記 GaAs 結晶に格子整合または擬格子整合する $Al_a Ga_b In_{1-a-b} N_c P$

$a + b + c + d \leq 1$ ($0 \leq a \leq 1$ 、 $0 \leq b \leq 1$ 、 $0 \leq c \leq 1$ 、 $0 \leq d \leq 1$ 、 $0 \leq a + b \leq 1$ 、 $0 \leq c + d \leq 1$) 結晶を含む、

請求項 4 に記載の電子デバイス。

[請求項 6] 前記ベース基板上に、化合物半導体結晶の成長を阻害する阻害体をさらに備え、

前記シード体は、前記阻害体に形成されかつ前記ベース基板に達する開口内に形成されている

請求項 3 に記載の電子デバイス。

[請求項 7] 前記電子素子がトランジスタであり、
前記トランジスタと前記受動素子とがマイクロ波回路を形成している

請求項 3 に記載の電子デバイス。

[請求項 8] 前記トランジスタが FET である

請求項 7 に記載の電子デバイス。

[請求項 9] 前記トランジスタがヘテロバイポーラトランジスタであり、
前記受動素子が前記ヘテロバイポーラトランジスタの熱暴走を阻止する抵抗体を含む

請求項 7 に記載の電子デバイス。

[請求項 10] 前記第 1 の結合配線及び前記第 2 の結合配線が、前記シード体と前記電子素子とが接する面に垂直な方向に、前記電子素子から延伸している

請求項 3 に記載の電子デバイス。

[請求項 11] 表面がシリコン結晶であるベース基板と、
前記シリコン結晶上の一部の領域に形成された複数の 3-5 族化合物半導体結晶と、

前記複数の 3-5 族化合物半導体結晶のうち一部の複数の 3-5 族化合物半導体結晶のそれぞれの 3-5 族化合物半導体結晶の一部を活性層としてそれぞれ 1 つずつ含む電子素子と、

前記ベース基板上に形成され、前記電子素子を覆う絶縁膜と、
前記絶縁膜上に形成された電極と、
前記絶縁膜を貫通し、少なくとも一部が前記絶縁膜上に形成され、
前記電子素子と前記電極とを電氣的に結合する第1の結合配線と、
前記絶縁膜上に形成された受動素子と、
前記絶縁膜を貫通し、少なくとも一部が前記絶縁膜上に形成され、
前記電子素子と前記受動素子とを電氣的に結合する第2の結合配線と
を備え、
前記一部の複数の3-5族化合物半導体結晶は、規則的に配置され
ている
半導体ウェハー。

[請求項12]

表面がシリコン結晶であるベース基板と、
前記シリコン結晶上の一部の領域に形成された複数のシード体と、
前記複数のシード体のそれぞれのシード体上に形成された複数の3-5族化合物半導体結晶と、
前記複数の3-5族化合物半導体結晶のうち一部の複数の3-5族化合物半導体結晶のそれぞれの3-5族化合物半導体結晶の一部を活性層としてそれぞれ1つずつ含む電子素子と、
前記ベース基板上に形成され、前記電子素子を覆う絶縁膜と、
前記絶縁膜上に形成された電極と、
前記絶縁膜を貫通し、少なくとも一部が前記絶縁膜上に形成され、
前記電子素子と前記電極とを電氣的に結合する第1の結合配線と、
前記絶縁膜上に形成された受動素子と、
前記絶縁膜を貫通し、少なくとも一部が前記絶縁膜上に形成され、
前記電子素子と前記受動素子とを電氣的に結合する第2の結合配線と
を備え、
前記シード体は、前記シリコン結晶と前記3-5族化合物半導体結晶との間の格子不整合を緩和する結晶であり、

前記複数のシード体は、規則的に配置されている
半導体ウエハー。

[請求項13]

表面がシリコン結晶であるベース基板上の一部の領域に形成された
シード体と、前記シード体上に形成され、活性層として機能する層を
含む3-5族化合物半導体結晶を有する電子素子とを備える基体に、

前記電子素子を覆う絶縁膜を形成する段階と、

前記絶縁膜上に、前記電子素子と電氣的に結合される電極を形成す
る段階と、

前記絶縁膜上に、前記電子素子と電氣的に結合される受動素子を形
成する段階と、

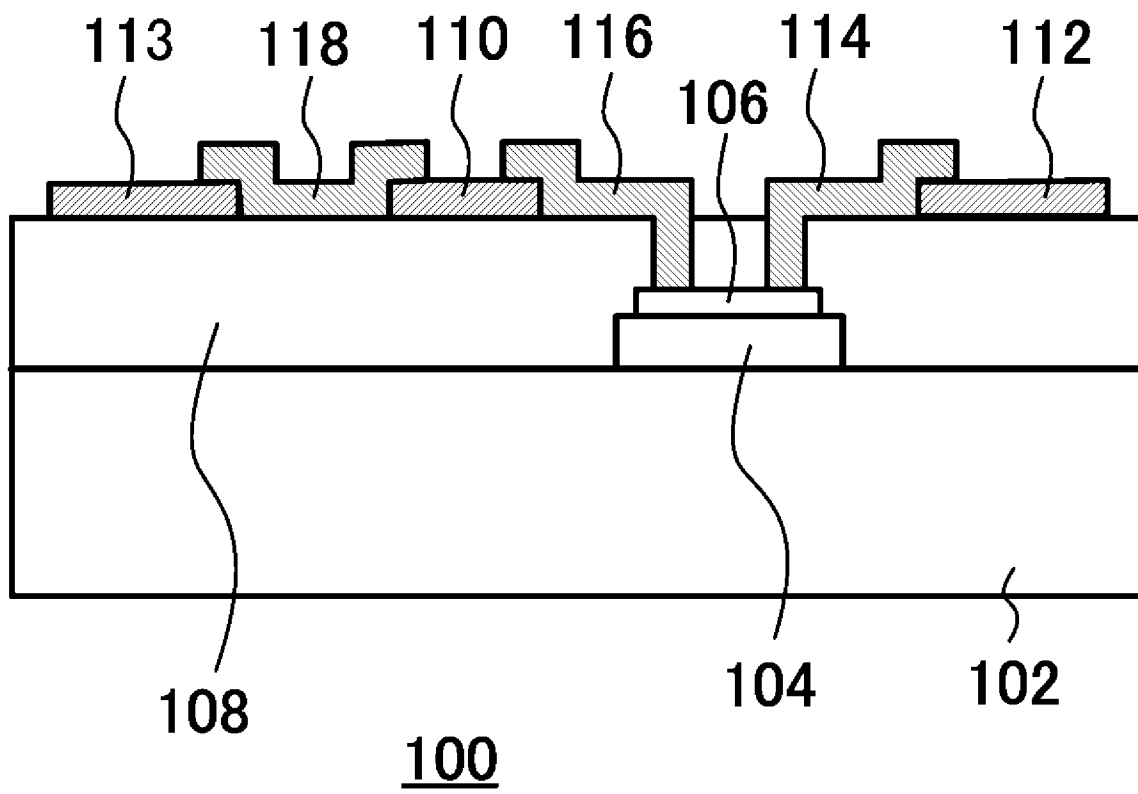
前記電子素子に達する第1のビアホール及び第2のビアホールを前
記絶縁膜に形成する段階と、

前記第1のビアホールを介して前記電子素子と前記電極とを電氣的
に結合する第1の結合配線を形成する段階と、

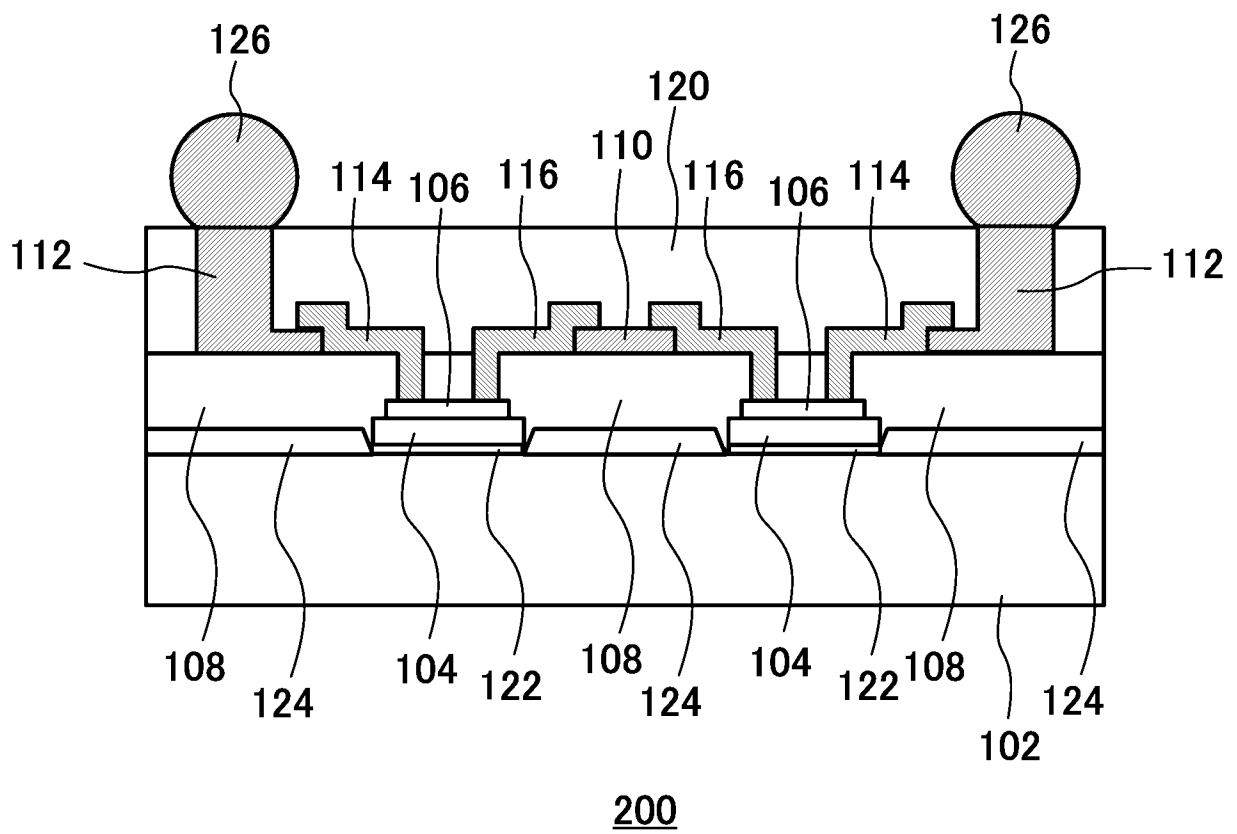
前記第2のビアホールを介して前記電子素子と前記受動素子とを電
氣的に結合する第2の結合配線を形成する段階と

を備える電子デバイスの製造方法。

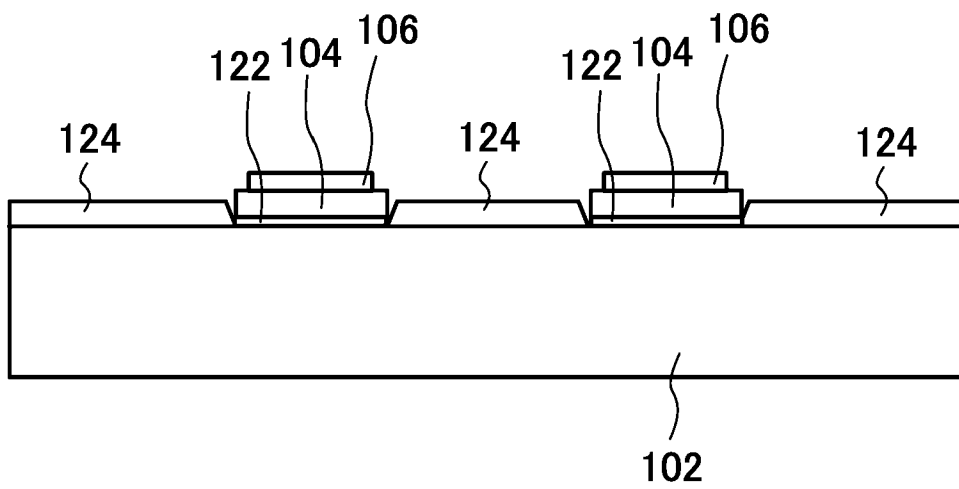
[図1]



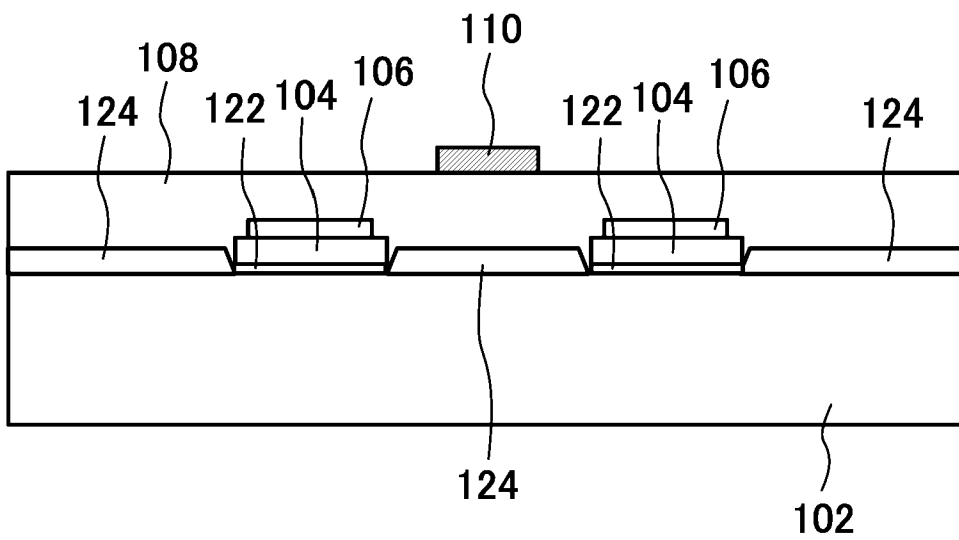
[図2]



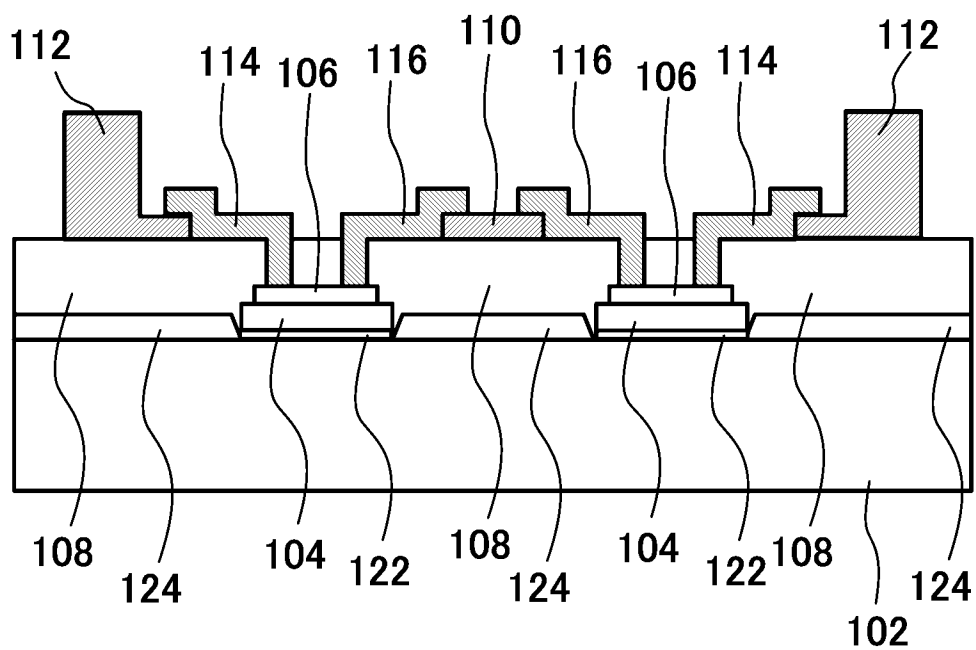
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000991

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L23/12(2006.01)i,
H01L27/04(2006.01)i, H01L27/088(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L21/8234, H01L23/12, H01L27/04, H01L27/088

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-177168 A (Sumitomo Chemical Co., Ltd.), 06 August 2009 (06.08.2009), entire text; all drawings & WO 2009/084241 A1 & KR 10-2010-0096084 A	1-13
Y	JP 60-257162 A (NEC Corp.), 18 December 1985 (18.12.1985), entire text; all drawings (Family: none)	1-13
Y	JP 05-013584 A (Matsushita Electric Industrial Co., Ltd.), 22 January 1993 (22.01.1993), entire text; all drawings (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 May, 2011 (12.05.11)

Date of mailing of the international search report
24 May, 2011 (24.05.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000991

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-177167 A (Sumitomo Chemical Co., Ltd.), 06 August 2009 (06.08.2009), entire text; all drawings & WO 2010/038460 A1 & WO 2010/038461 A1 & WO 2010/038463 A1 & WO 2010/038464 A1 & WO 2009/084238 A1 & KR 10-2010-0094460 A	1-13
A	JP 63-018661 A (Massachusetts Institute of Technology), 26 January 1988 (26.01.1988), entire text; all drawings & US 4774205 A entire text; all drawings & EP 250171 A1 & DE 3782552 A & DE 3782552 T & AT 82431 T	1-13
A	JP 2010-021583 A (Sumitomo Chemical Co., Ltd.), 28 January 2010 (28.01.2010), entire text; all drawings & JP 2009-239270 A & JP 2010-226079 A & JP 2010-226080 A & JP 2010-226081 A & JP 2010-226082 A & WO 2009/110207 A1 & WO 2010/038460 A1 & WO 2010/038461 A1 & WO 2010/038463 A1 & WO 2010/038464 A1	1-13
A	JP 06-232126 A (Nippon Telegraph and Telephone Corp.), 19 August 1994 (19.08.1994), entire text; all drawings (Family: none)	1-13
A	JP 2003-234411 A (Taiyo Yuden Co., Ltd.), 22 August 2003 (22.08.2003), entire text; all drawings & US 2003/0107060 A1 entire text; all drawings	1-13
A	JP 2002-093920 A (Matsushita Electric Industrial Co., Ltd.), 29 March 2002 (29.03.2002), entire text; all drawings & US 2003/0006415 A1 entire text; all drawings & EP 1231640 A1 & WO 2002/001641 A1	1-13

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/822 (2006.01) i, H01L21/8234 (2006.01) i, H01L23/12 (2006.01) i, H01L27/04 (2006.01) i, H01L27/088 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/822, H01L21/8234, H01L23/12, H01L27/04, H01L27/088

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-177168 A (住友化学株式会社) 2009.08.06, 全文, 全図 & WO 2009/084241 A1 & KR 10-2010-0096084 A	1-13
Y	JP 60-257162 A (日本電気株式会社) 1985.12.18, 全文, 全図 (ファミリーなし)	1-13
Y	JP 05-013584 A (松下電器産業株式会社) 1993.01.22, 全文, 全図 (ファミリーなし)	1-13

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 5 . 2 0 1 1

国際調査報告の発送日

2 4 . 0 5 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

宇多川 勉

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

4 L

3 1 2 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-177167 A (住友化学株式会社) 2009.08.06, 全文, 全図 & WO 2010/038460 A1 & WO 2010/038461 A1 & WO 2010/038463 A1 & WO 2010/038464 A1 & WO 2009/084238 A1 & KR 10-2010-0094460 A	1-13
A	JP 63-018661 A (マサチューセッツ・インステチユート・オブ・テクノロジー) 1988.01.26, 全文, 全図 & US 4774205 A, 全文, 全図 & EP 250171 A1 & DE 3782552 A & DE 3782552 T & AT 82431 T	1-13
A	JP 2010-021583 A (住友化学株式会社) 2010.01.28, 全文, 全図 & JP 2009-239270 A & JP 2010-226079 A & JP 2010-226080 A & JP 2010-226081 A & JP 2010-226082 A & WO 2009/110207 A1 & WO 2010/038460 A1 & WO 2010/038461 A1 & WO 2010/038463 A1 & WO 2010/038464 A1	1-13
A	JP 06-232126 A (日本電信電話株式会社) 1994.08.19, 全文, 全図 (ファミリーなし)	1-13
A	JP 2003-234411 A (太陽誘電株式会社) 2003.08.22, 全文, 全図 & US 2003/0107060 A1, 全文, 全図	1-13
A	JP 2002-093920 A (松下電器産業株式会社) 2002.03.29, 全文, 全図 & US 2003/0006415 A1, 全文, 全図 & EP 1231640 A1 & WO 2002/001641 A1	1-13