

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 03164805.3

G02F 1/133 (2006.01)
H01L 21/00 (2006.01)
H01L 29/786 (2006.01)
H01L 21/336 (2006.01)
G03F 7/00 (2006.01)

[45] 授权公告日 2009年3月4日

[11] 授权公告号 CN 100465704C

[22] 申请日 2003.9.2 [21] 申请号 03164805.3

[30] 优先权

[32] 2002.9.2 [33] KR [31] 0052509/02

[32] 2002.9.4 [33] KR [31] 0053220/02

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 白范基 崔权永 李荣竣 姜奉周

林承泽 孔香植 金垣炷

[56] 参考文献

JP2000267595A 2000.9.29

US20020074549A1 2002.6.20

JP4253342A 1992.9.9

US6207970B1 2001.3.27

US20020053701A1 2002.5.9

US6218221B1 2001.4.17

US6022753A 2000.2.8

CN1343900A 2002.4.10

审查员 张 华

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李晓舒 魏晓刚

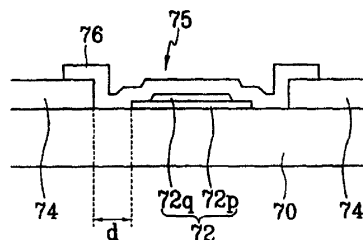
权利要求书 2 页 说明书 22 页 附图 47 页

[54] 发明名称

触点结构及制造方法，薄膜晶体管阵列面板及制造方法

[57] 摘要

在衬底上形成栅极线。依次淀积栅极绝缘层，本征 a-Si 层，非本征 a-Si 层，Cr 构成的下膜，和含 Al 金属构成的上膜。在上膜上形成光刻胶，光刻胶在布线区域上具有较厚的第一部分，在沟道区域上具有较薄的第二部分。湿蚀刻在其余区域上的上膜，与光刻胶的第二部分一起干蚀刻其余区域上的下膜和 a-Si 层。除去沟道区域上的上膜、下膜、和非本征 a-Si 层。用湿蚀刻除去沟道区域上的上膜和下膜，除去沟道区域上的上膜后，再除去光刻胶的第一部分。



1. 一种制造薄膜晶体管阵列面板的方法，包括以下步骤：

在绝缘衬底上形成栅极导电层；

形成栅极绝缘层；

形成包括本征膜和非本征膜的半导体层；

形成包括数据线和漏电极的数据导电层；

在至少一部分栅极导电层和数据导电层上形成具有接触孔的保护层；

以及

形成通过接触孔连接到至少一部分栅极导电层、数据导电层和衬底上的 IZO 导电层，

其中，栅极导电层和数据导电层的至少一种包括可干蚀刻的下膜和由 Al 或 Al 合金制成的上膜，其中上膜的边缘位于下膜的边缘的内侧，

其中，所述接触孔暴露下膜的边缘以及与下膜的边缘相邻的衬底，且

其中，数据导电层和半导体层的形成是通过用单一光刻胶蚀刻而进行的，且光刻胶包括：位于布线区域上的第一厚度的第一部分，位于沟道区域上且具有比第一厚度小的第二厚度的第二部分，以及位于其余区域上并比第二部分薄的第三部分。。

2. 如权利要求 1 所述的方法，其中，栅极导电层和数据导电层的至少一部分的形成包括：

依次淀积下膜和上膜；

在上膜上形成光刻胶；

湿蚀刻上膜；以及

干蚀刻下膜。

3. 如权利要求 2 所述的方法，其中，下膜包含 Cr。

4. 如权利要求 3 所述的方法，其中，下膜的厚度等于或小于约 500Å 且大于零。

5. 如权利要求 1 所述的方法，其中，光刻胶利用单一掩膜形成。

6. 如权利要求 5 所述的方法，其中，栅极绝缘层，本征膜，非本征膜和数据导电层的形成包括：

依次淀积栅极绝缘层，本征非晶硅膜，非本征非晶硅膜，下膜和上

膜，它们包括在布线区域上的第一部分，在沟道区域上的第二部分，和在其余区域上的第三部分；

在导电层上涂覆光刻胶；

通过掩膜对光刻胶曝光；

对光刻胶显影；

通过除去上膜、下膜、非本征非晶硅膜和本征非晶硅膜的第三部分，以及上膜、下膜和非本征非晶硅膜的第二部分，形成导电层，非本征膜和本征膜；以及

除去光刻胶。

7. 如权利要求5所述的方法，其中，数据导电层，非本征膜和本征膜的形成包括：

进行湿蚀刻，以除去上膜的第三部分，并露出下膜的第三部分；

进行干蚀刻，以除去下膜的第三部分，并露出非本征非晶硅膜的第三部分；

进行干蚀刻，以除去非本征非晶硅膜和本征非晶硅膜的第三部分和光刻胶的第二部分，以露出上膜的第二部分，且由本征非晶硅膜完成本征膜；

除去上膜的第二部分；

除去下膜的第二部分，以完成数据导电层；

除去非本征非晶硅膜的第二部分，以完成非本征膜；以及

除去光刻胶的第一部分。

8. 如权利要求7所述的方法，其中，光刻胶的第一部分的除去是在除去上膜的第二部分和除去下膜的第二部分之间进行。

触点结构及制造方法， 薄膜晶体管阵列面板及制造方法

技术领域

本发明涉及半导体器件的触点结构及其制造方法，以及包括该触点结构的薄膜晶体管阵列面板及其制造方法。

背景技术

用于半导体器件的引线通常由具有低电阻率的金属制成，例如由铝和铝合金的含铝金属制成，以便可以以最小的信号延迟传送信号。然而，含铝金属的物理性能和化学性能差，它与其他材料的触点容易蚀刻，使得半导体器件的性能恶化。

特别是，液晶显示器（LCD）由用作像素电极的透明导电的铟锡氧化物（ITO）增强引线的触点，而铟锡氧化物蚀刻含铝金属制成的引线。尽管提出了用不蚀刻含铝金属的铟锌氧化物（IZO）代替 ITO，但是，出现了在 IZO 与引线之间的接触电阻高的问题。还提出了在 ITO 或 IZO 与引线之间夹置具有良好接触性能的附加导体。但是，附加导体需要附加的光蚀刻工艺，从而造成制造工艺复杂且制造成本增大。

用于 LCD 的面板通常具有包括若干导电层和绝缘层的多层结构，而且，为了制造 LCD 板需要多个光刻步骤。由于随着光刻步骤数量的增加制造成本也增加，所以应减少光刻步骤的数量。

同时，用于检测引线的断开以及 LCD 面板上形成的薄膜晶体管（TFT）的故障的粗略测试是通过用测试仪的探针针尖接触引线并给触点施加测试信号来进行的。

然而，由于探针针尖牢固地固定在触点的一个点上，并可以在多个触点的表面上滑动，因而它们刮伤触点，并被残留物覆盖。由于用来增强引线的 ITO 和 IZO 具有较高的电阻率，覆盖在探针针尖上的它们的残留物会增加针尖的接触电阻，降低粗略测试的可靠性。

发明内容

提供一种半导体器件的触点结构，包括：可干蚀刻的下导电膜；形成在下导电膜上并包含 Al 或 Al 合金的上导电膜，上导电膜具有位于下导电膜上的边缘；绝缘体，其具有露出下导电膜至少一部分的接触孔；以及 IZO 层，其形成在绝缘体上并通过接触孔接触下导电膜。

接触孔优选地露出下导电膜的至少一个边缘，下导电膜的边缘与上导电膜的边缘之间的距离基本均匀。

下导电膜优选地包含 Cr。

提供了一种半导体器件的触点结构的形成方法，包括以下步骤：形成下导电膜；在下导电膜上形成上导电膜，上导电膜包含 Al 或 Al 合金；上导电膜上形成光刻胶(photoresist)；利用光刻胶作为掩膜湿蚀刻上导电膜，以在光刻胶下产生下根切部分；利用光刻胶作为掩膜干蚀刻下导电膜；形成具有露出至少一部分下导电膜的接触孔的绝缘层；以及在绝缘层上形成 IZO 层，IZO 层通过接触孔接触下导电膜。

接触孔优选地露出下导电膜的至少一个边缘，而下导电膜优选地包含 Cr。

提供了一种薄膜晶体管阵列面板，其包括：形成在绝缘衬底上的栅极导电层；栅极导电层上的栅极绝缘层；栅极绝缘层上的半导体层；至少在部分半导体层上形成的数据导电层；数据导电层上形成的钝化层；和钝化层上形成的 IZO 导电层，其中，栅极导电层和数据导电层中的至少一个包括可干蚀刻的下导电膜和在下导电膜上形成的上导电膜，上导电膜包含 Al 或 Al 合金并具有位于下导电膜上的边缘，IZO 导电层接触下导电膜。

下膜的边缘和与其相邻的上膜的边缘之间的距离基本一致均匀。

优选的是，下膜包含 Cr，且下膜的厚度等于或小于约 500Å。

优选的是，数据导电层包括彼此分开的数据线和漏电极，IZO 导电层包括：接触漏电极的像素电极，接触一部分栅极导电层的栅极辅助触点，和接触数据线的一部分的数据辅助触点。

除位于数据线与漏电极之间的一部分之外，半导体层与数据导电层具有基本相同的平面形状。

钝化层可以接触半导体层。

提供了一种薄膜晶体管阵列面板的制造方法，包括以下步骤：在绝缘

衬底上形成栅极导电层；形成栅极绝缘层；形成半导体层；形成包括数据线和漏电极的数据导电层；在栅极导电层和数据导电层的至少一部分上形成具有接触孔的保护层；以及形成通过接触孔连接到栅极导电层和数据导电层的至少一部分上的 IZO 导电层，其中，栅极导电层和数据导电层的至少一部分包括可干蚀刻的下膜和 Al 或 Al 合金制成的上膜。

优选的是，栅极导电层和数据导电层的至少一部分的形成包括：依次淀积下膜和上膜；在上膜上形成光刻胶；湿蚀刻上膜；以及干蚀刻下膜。

优选的是，下膜包含 Cr，且下膜的厚度等于或小于约 500Å。

半导体层优选地包括本征膜和非本征膜。

根据本发明的实施例，通过用单一光刻胶蚀刻，进行数据导电层和半导体层的形成，光刻胶包括：位于布线区域上的具有第一厚度的第一部分，位于沟道区域上的具有比第一厚度小的第二厚度的第二部分，以及位于其余区域上的比第二部分薄的第三部分。

光刻胶利用单一掩膜形成。

栅极绝缘层、本征膜、非本征膜、和数据导电层的形成优选地包括：依次淀积栅极绝缘层、本征非晶硅膜、非本征非晶硅膜、下膜和上膜，它们包括在布线区域上的第一部分，在沟道区域上的第二部分，和在其余区域上的第三部分；在导电层上涂覆光刻胶；通过掩膜对光刻胶曝光；对光刻胶显影；通过除去上膜、下膜、非本征非晶硅膜、和本征非晶硅膜的第三部分，以及上膜、下膜和非本征非晶硅膜的第二部分，形成数据导电层、非本征膜、本征膜；以及除去光刻胶图形。

根据本发明的实施例，数据导电层、非本征膜和本征膜的形成包括：进行湿蚀刻，除去上膜的第三部分并露出下膜的第三部分；进行干蚀刻，除去下膜的第三部分并露出非本征非晶硅膜的第三部分；进行干蚀刻，以除去非本征非晶硅膜和本征非晶硅膜的第三部分以及光刻胶的第二部分，以露出上膜的第二部分，且本征膜由本征非晶硅膜完成；除去上膜的第二部分；除去下膜的第二部分，以完成数据导电层；除去非本征非晶硅膜的第二部分，以完成非本征膜；以及除去光刻胶的第一部分。

优选的是，除去光刻胶的第一部分在除去上膜的第二部分与除去下膜的第二部分之间进行。

提供了一种薄膜晶体管阵列面板，它包括：形成在绝缘衬底上的栅极

线；在栅极线上的栅极绝缘层；在栅极绝缘层上的半导体层；在至少一部分半导体层上形成的数据线；在至少一部分半导体层上形成的与数据线隔开的漏电极；在半导体层上形成的钝化层，其具有露出漏电极的第一接触孔、露出一部分栅极线的第二接触孔、和露出一部分数据线的第三接触孔；通过第一接触孔连接到漏电极的像素电极；通过第二接触孔连接到栅极线的栅极辅助触点；和通过第三接触孔连接到数据线上并具有不均性的数据辅助触点。

优选的是，数据线包括 Cr 膜和在 Cr 膜上的 Al 膜，而数据辅助触点包括 IZO。

薄膜晶体管阵列面板还包括夹置在半导体层与数据线和漏电极之间的欧姆接触层，其具有与数据线和漏电极基本上相同的平面形状，除了位于数据线与漏电极之间的一部分之外，半导体层具有与欧姆接触层基本相同的平面形状。

提供了一种薄膜晶体管阵列面板，它包括：绝缘衬底；形成在衬底上的栅电极；在栅电极上的栅极绝缘层；在栅极绝缘层上与栅电极相对的半导体层；形成在至少一部分半导体层上并具有沟槽的数据线；形成在至少一部分半导体层上并与数据线隔开的漏电极；在半导体层上形成的钝化层，其具有露出漏电极的第一接触孔、和露出数据线的沟槽的第二接触孔；通过第一接触孔连接到漏电极的像素电极；和通过第二接触孔连接到数据线上并沿着数据线的沟槽延伸的数据辅助触点。

优选地，数据线包含 Cr 膜，和在 Cr 膜上的 Al 膜，而数据辅助触点包括 IZO。

仅在 Al 膜处设置沟槽，或沟槽露出衬底。

附图说明

通过以下参见附图对优选实施例的详细描述，本发明的上述优点和其他优点将变得更清楚。其中：

图 1A 是根据本发明实施例的半导体器件的触点的布局图；

图 1B 是沿图 1A 中 IA-IA' 线取得的触点的剖视图；

图 1C 是在根据本发明实施例的半导体器件的触点结构的制造方法的中间步骤中图 1A 和图 1B 所示触点结构的剖视图；

图 2 是根据本发明实施例的 LCD 的示意图;

图 3 是根据本发明实施例的用于 LCD 的示例性薄膜晶体管阵列面板的布局图;

图 4 是沿图 3 中 IV-IV'线取得的薄膜晶体管阵列面板的剖视图;

图 5A、6A、7A 和 8A 是在根据本发明实施例的薄膜晶体管阵列面板的制造方法的中间步骤中,如图 3 和图 4 所示的薄膜晶体管阵列面板的布局图;

图 5B、6B、7B 和 8B 分别是沿着线 VB-VB'、VIB-VIB'、VIIB-VIIB'和 VIIIB-VIIIB'取得的图 5A、6A、7A 和 8A 所示的薄膜晶体管阵列面板的剖视图;

图 9 是根据本发明另一实施例的用于 LCD 的示例性薄膜晶体管阵列面板的布局图;

图 10 和 11 分别是沿着线 X-X'和 XI-XI'取得的图 9 所示的薄膜晶体管阵列面板的剖视图;

图 12A 是在根据本发明实施例的薄膜晶体管阵列面板的制造方法的第一步骤中图 9-11 所示的薄膜晶体管阵列面板的布局图;

图 12B 和 12C 分别是沿着线 XIIB-XIIB'和 XIIC-XIIC'取得的图 12A 所示的薄膜晶体管阵列面板的剖视图;

图 13A 和 13B 分别是沿着线 XIIB-XIIB'和 XIIC-XIIC'取得的图 12A 所示的薄膜晶体管阵列面板的剖视图,并示出图 12B 和 12C 中所示的步骤之后的步骤;

图 14A 是图 13A 和 13B 所示的步骤之后的步骤中的薄膜晶体管阵列面板的布局图;

图 14B 和 14C 分别是沿着线 XIVB-XIVB'和 XIVC-XIVC'取得的图 14A 所示的薄膜晶体管阵列面板的剖视图;

图 15A、16A 和 17A,和图 15B、16B 和 17B 分别是沿着线 XIVB-XIVB'和 XIVC-XIVC'取得的图 14A 所示的薄膜晶体管阵列面板的剖视图,并示出图 14B 和 14C 所示的步骤之后的步骤;

图 18A 是图 17A 和 17B 所示的步骤之后的步骤中的薄膜晶体管阵列面板布局图;

图 18B 和 18C 分别是沿着线 XVIIIIB-XVIIIIB'和 XVIIIIC-XVIIIIC'取得的

图 18A 所示的薄膜晶体管阵列面板的剖视图；

图 19 是根据本发明另一实施例的用于 LCD 的示例性薄膜晶体管阵列面板的布局图；

图 20 是沿着线 XX-XX'取得的薄膜晶体管阵列面板的剖视图；

图 21A 和 22A 是在根据本发明实施例的薄膜晶体管阵列面板的制造方法的中间步骤中图 19 和图 20 所示的薄膜晶体管阵列面板的布局图；

图 21B 和 22B 分别是沿着线 XXIB-XXIB'和 XXIIB-XXIIB'取得的图 21A 和 22A 所示的薄膜晶体管阵列面板的剖视图；

图 23 是根据本发明另一实施例的薄膜晶体管阵列面板的剖视图；

图 24A 和 24B 是在根据本发明实施例的薄膜晶体管阵列面板的制造方法的中间步骤中图 23 所示的薄膜晶体管阵列面板的剖视图；

图 25A 和 25B 是在根据本发明另一实施例的薄膜晶体管阵列面板的制造方法的中间步骤中图 23 所示的薄膜晶体管阵列面板的剖视图；

图 26 是根据本发明另一实施例的用于 LCD 的示例性薄膜晶体管阵列面板的布局图；

图 27 和 28 分别是沿着线 XXVII-XXVII'和 XXVIII-XXVIII'取得的图 26 所示的薄膜晶体管阵列面板的剖视图；以及

图 29 是根据本发明另一实施例的薄膜晶体管阵列面板的剖视图。

具体实施方式

下面参照示出本发明优选实施例的附图更充分地描述本发明。但是，本发明可以用多种不同的形式实施。这里所描述的实施例不构成对本发明的限制。

附图中，为了显示清楚，放大了层、膜和区域的厚度。全部附图中相同的附图标记标识相同的元件。应了解，当诸如层、膜、区域或衬底等的元件称作是在其他元件“上”时，该元件可以直接在其他元件上，或者，还存在中间元件。相反，当一个元件被称作是“直接在其他元件上”时，则不存在中间元件。

现在，参见附图描述根据本发明实施例的半导体器件的触点结构及其制造方法，包括该触点结构的薄膜晶体管阵列面板及其制造方法。

图 1A 是根据本发明实施例的半导体器件的触点的布局图，图 1B 是

沿着图 1A 中的 IA-IA'线截取的触点的剖视图，而图 1C 是在根据本发明实施例的半导体器件的触点结构的制造方法的中间步骤中图 1A 和图 1B 所示触点结构的剖视图。

由于诸如 Al 和 Al 合金的含 Al 金属具有等于或小于 $15\mu\Omega\cdot\text{cm}$ 以下的低电阻率，因此，含 Al 金属适合作诸如液晶显示器的半导体器件的信号线，它能使信号延迟减小到最小。为了进行信号通信，信号线需要连接到其他金属层，信号线与其他金属层之间的接触电阻优选地尽可能小。

形成在衬底 70 上的根据本发明实施例的引线 72 包括下膜 72p 和上膜 72q，如图 1A 和 1B 所示。下膜 72p 优选地由诸如 Cr、Mo 和 Mo 合金的金属制成，它们可干蚀刻并具有与铟锌氧化物 (IZO) 低的接触电阻，而上膜 72q 优选地由具有低电阻率的 Al 或 Al 合金构成。下膜 72p 比上膜 72q 宽，下膜 72p 的边缘位于上膜 72q 的边缘外侧。

绝缘层 74 形成在引线 72 上，并具有露出引线 72 的接触孔 75，尤其是露出下膜 72p 的至少一部分。

优选地由 IZO 制成的导体 76 形成在绝缘层 74 上，并通过接触孔 75 接触引线 72 的下膜 72p。

接触孔 75 优选地露出下膜 72p 的边缘，下膜 72p 露出的边缘和与其相邻的接触孔 75 的边缘之间的距离等于或小于预定的值，例如大约 $2\mu\text{m}$ 。这是因为如果距离大于预定值，由接触孔 75 处的高度差和在引线 72 处的根切会产生导体 76 断开。

根据本发明实施例的形成图 1A 和 1B 所示的触点结构的制造方法中，依次淀积 Cr、Mo 和 Mo 合金制成的下膜 72p 和 Al 或 Al 合金制成的上膜 72q，并在上膜 72q 上形成光刻胶 78，如图 1C 所示。利用光刻胶 78 作掩膜，湿蚀刻上膜 72q。各向同性湿蚀刻使光刻胶 78 根切。随后，利用光刻胶 78 作为掩膜，干蚀刻下膜 72p。各向异性干蚀刻产生几乎是垂直的蚀刻轮廓，使得下膜 72p 的边缘几乎对应光刻胶 78 的边缘。于是，下膜 72p 的边缘位于上膜 72q 的边缘的外侧，下膜 72p 的边缘与上膜 72q 的边缘之间的距离均匀。

当 Cr 用作下膜 72p 的材料时，用于干蚀刻的下膜 72p 的优选厚度是等于或小于约 500\AA ，更优选地是约 300\AA 。

当附加的可干蚀刻的膜（未示出）位于下膜 72p 之下时，依次干蚀刻

下膜 72p 和附加膜，以简化制造过程，特别是在相同条件下蚀刻两个膜时。这种附加膜的示例是半导体膜，优选地包含硅。

除去光刻胶 78 后，淀积绝缘层 74 以覆盖引线 72。光蚀刻绝缘层 74，以形成露出一部分引线 72 的接触孔 75。接触孔 75 露出引线 72 的下膜 72p 的一部分，并优选地包括下膜 72p 的边缘。IZO 层淀积并构图，以形成接触引线 72 的导体 76，尤其是通过接触孔 75 接触引线 72 的下膜 72p。

根据本发明的另一实施例，通过区分下膜 72p 和上膜 72q 的横向蚀刻轮廓通过在利用相同的蚀刻类型的同时区分诸如蚀刻时间的蚀刻条件来加以调节。例如，上膜 72q 的蚀刻时间比下膜 72p 的蚀刻时间长，使下膜 72p 露出到上膜 72q 的外侧。

上述的触点结构及其制造方法适用于 LCD 及其制造方法。

图 2 是根据本发明实施例的 LCD 的示意图。

参见图 2，LCD 包括一对面板 100 和 200，以及夹在它们之间的液晶层 3。一个面板 100 称为“薄膜晶体管阵列面板”，包括：多个薄膜晶体管 (TFT) Q，多个像素电极 190，多根栅极线 121 和多根数据线 171。每个像素电极 190 通过至少一个 TFT Q 连接到一对栅极线 121 和数据线 171。另一面板 200 包括：与像素电极 190 协同产生电场的公共电极 270；用于彩色显示的多个滤色镜 230。像素电极 190 和公用电极 270 与液晶介质一同构成液晶电容器 C_{LC} 。公用电极 270 可以设置在薄膜晶体管阵列面板 100 上，而像素电极 190 和公用电极 270 为棒形或条形形状。

以下将参见图 3 和图 4 描述包括触点结构的用于 LCD 的薄膜晶体管阵列面板。

图 3 是根据本发明实施例的用于 LCD 的示例性薄膜晶体管阵列面板的布局图。图 4 是沿着图 3 中 IV-IV' 线取得的薄膜晶体管阵列面板的剖视图。

绝缘衬底 110 上形成用于发送栅极信号的多根栅极线 121。每根栅极线 121 基本上沿横向延伸，且每根栅极线 121 的多个部分形成多个栅电极 123。每根栅极线 121 包括多个向下伸出的多个伸出部分 127。

栅极线 121 包括具有不同物理特性的下膜 121p 和上膜 121q 的两个膜。上膜 121q 优选地由具有低电阻率的含 Al 金属、如，Al 或 Al 合金制

成，以减小信号延迟或栅极线 121 中的电压降。另一方面，下膜 121p 优选地由可干蚀刻并具有与诸如 IZO 的其他材料良好的接触特性的材料、如 Cr、Mo 和 Mo 合金制成。下膜 121p 材料和上膜 121q 材料的示例性良好组合是 Cr 和 Al-Nd 合金。

下膜 121p 的边缘位于上膜 121q 的边缘内侧，下膜 121p 的边缘与上膜 121q 的边缘之间的距离均匀，使下膜 121p 的顶面露出，上膜 121q 和下膜 121p 的横边形成阶梯。此外，上膜 121q 和下膜 121p 的横边是锥形，且横边相对于衬底 110 的表面之间的夹角范围在 30-80 度。

优选地由氮化硅 (SiNx) 制成的栅极线 121 形成栅极绝缘层 140。

优选地由氢化非晶硅 (缩写成 “a-Si”) 制成的多个半导体条 151 形成在栅极绝缘层 140 上。每个半导体条 151 基本上沿纵向延伸，并具有朝栅电极 123 分支出的多个伸出部分 154，每个半导体条 151 的宽度在栅极线 121 附近变大，使得半导体条 151 覆盖栅极线 121 的大面积。

优选地由硅化物或 n 型杂质重掺杂的 n+氢化 a-Si 制成的多个欧姆接触条和岛 161 和 165 形成在半导体条 151 上。每个欧姆接触条 161 具有多个伸出部分 163，伸出部分 163 和欧姆接触岛 165 成对地位于半导体条 151 的伸出部分 154 上。

半导体条 151 和欧姆接触点 161 和 165 是锥形，它们的斜角优选的范围是大约 30-80 度。

在欧姆接触点 161 和 165 和栅极绝缘层 140 上形成多个数据线 171、多个漏电极 175、和多个储能电容器导体 177。

用于传送数据电压的数据线 171 基本上按纵向延伸，并与栅极线 121 交叉。朝漏电极 175 伸出的每个数据线 171 的多个分支形成多个源电极 173。每对源电极 173 和漏电极 175 彼此分开，并相对于栅电极 123 彼此相对。栅电极 123、源电极 173 和漏电极 175 与半导体条 151 的伸出部分 154 一起形成 TFT，该 TFT 具有在源电极 173 和漏电极 175 之间设置的伸出部分 154 中形成的沟道。

储能电容器导体 177 覆盖栅极线 121 的扩展部分 127。

数据线 171、漏电极 175 和储能电容器导体 177 还包括优选地由 Mo 或 Mo 合金或 Cr 制成的下膜 171p、175p 和 177p，以及位于其上并优选地由含 Al 金属制成的上膜 171q、175q 和 177q。

像栅极线 121 一样，数据线 171 的下膜 171p、175p 和 177p 和上膜 171q、175q 和 177q，漏电极 175 和储能电容器导体 177 具有锥形横边，它们的斜角范围大约是 30-80 度。下膜 171p、175p 和 177p 的边缘也位于上膜 171q、175q 和 177q 的边缘内侧，下膜 171p、175p 和 177p 的边缘与上膜 171q、175q 和 177q 的边缘之间的距离均匀，使得下膜 171p、175p 和 177p 的顶面露出，且上膜 171q、175q 和 177q 的横边与下膜 171p、175p 和 177p 形成整体上的阶梯。

欧姆接触点 161 和 165 只夹置于下层半导体条 151 与覆盖的数据线 171 及覆盖其上的漏电极 175 之间，以减小它们之间的接触电阻。半导体条 151 包括多个不被数据线 171 和漏电极 175 覆盖的露出部分，如位于源电极 173 和漏电极 175 之间的部分。尽管在大多数地方半导体条 151 比数据线 171 窄，但是，如上所述，半导体条 151 的宽度在靠近栅极线 121 处变大，以加强栅极线 121 与数据线 171 之间的绝缘。

数据线 171、漏电极 175、储能电容器导体 177 和半导体条 151 的露出部分上形成钝化层 180。钝化层 180 优选地由具有良好平面特性的有机光敏材料、低介电常数绝缘材料，例如，用等离子体增强的化学汽相淀积 (PECVD) 形成的 a-Si:C:O 和 a-Si:O:F，或诸如氮化硅的无机材料制成。

钝化层 180 具有多个接触孔 185、187 和 189，它们分别露出漏电极 175、储能电容器导体 177、和数据线 171 的端部 179。钝化层 180 和栅极绝缘层 140 具有多个露出栅极线 121 端部 125 的接触孔 182。

接触孔 182、185、187 和 189 分别露出栅极线 121 的下膜 121p、171p、175p 和 177p、数据线 171、漏电极 175 和储能电容器导体 177，此外，图 3 和图 4 示出了露出下膜 121p、171p、175p 和 177p 的边缘的接触孔 182、185、187 和 189。

在钝化层 180 上形成多个像素电极 190 和多个辅助触点 92 和 97，它们优选地由 IZO 制成。

像素电极 190 通过接触孔 185 物理并电连接到漏电极 175 上，且通过接触孔 187 物理并电连接到储能电容器导体 177 上，使得像素电极 190 接收来自漏电极 175 的数据电压，并将接收到的数据电压发送到储能电容器导体 177。

再参见图 2，供以电压的像素电极 190 与另一面板 200 上的公用电极

270 协同产生电场，该电场使夹置于其间的液晶层 3 中的液晶分子重新取向。

如上所述，像素电极 190 和公用电极 270 形成液晶电容器 C_{LC} ，在 TFT Q 截止后液晶电容器 C_{LC} 存储所施加的电压。提供了并联到液晶电容器 C_{LC} 上的称作“储能电容器”的附加电容器，以增强电压存储能力。储能电容器通过用与像素电极 190 邻近的栅极线 121（以下叫做“在前的栅极线”）覆盖像素电极 190 而构成。通过在栅极线 121 处设置扩展部分 127 来增大覆盖面积，并通过在像素电极 190 下面设置连接到像素电极 190 并覆盖扩展部分 127 的储能电容器导体 177 来减小终端之间的距离，由此来增大储能电容器的容量，即增大存储能力。

像素电极 190 覆盖栅极线 121 和数据线 171，以增加孔隙比(aperture ratio)，但是，这是可选的。

辅助触点 92 和 97 分别通过接触孔 182 和 189 连接到栅极线 121 的露出端部 125 和数据线 171 的露出端部 179。辅助触点 92 和 97 并非是必不可少的，却是优选的，以保护露出部分 125 和 179，并补充露出部分 125 和 179 与外部器件的粘接度。

如上所述，与 IZO 具有良好的接触特性的栅极线 121 的下膜 121p、171p、175p 和 177p，数据线 171，漏电极 175，和储能电容器导体 177，在它们边缘附近露出，而接触孔 182、185、187 和 189 至少露出下膜 121p、171p、175p 和 177p 的边缘。于是，像素电极 190 和辅助触点 92 和 97 与下膜 121p、171p、175p 和 177p 以足够大的连接面积接触，以提供低接触电阻。此外，栅极线 121、数据线 171、漏电极 175、和储能电容器导体 177 的阶梯式横边使像素电极 190 和辅助触点 92 和 97 具有平滑的轮廓，而不会出现突变的高度差。

根据本发明的另一实施例，像素电极 190 由透明导电聚合物制成。对于反射型 LCD，像素电极 190 由不透明的反射金属制成。在这些情况下，辅助触点 92 和 97 可以由与像素电极 190 不同的材料、如，IZO 制成。

现在将参照图 5A-8B 以及图 3 和 4 详细描述根据本发明实施例的图 3 和图 4 所示的薄膜晶体管阵列面板的制造方法。

图 5A、6A、7A 和 8A 是在根据本发明实施例的制造方法的中间步骤中的图 3 和图 4 所示的薄膜晶体管阵列面板的布局图，而图 5B、6B、7B

和 8B 分别是沿着线 VB-VB'、VIB-VIB'、VIIB-VIIB'和 VIIIB-VIIIB'截取的图 5A、6A、7A 和 8A 所示的薄膜晶体管阵列面板的剖视图。

在诸如透明玻璃的绝缘衬底 110 上顺序溅射两个导电膜，即，下导电膜和上导电膜。下导电膜优选地由诸如 Mo，Mo 合金和 Cr 等与 IZO 具有良好接触特性的材料构成，且厚度优选为 500Å。上导电膜优选地由含 Al 金属制成，其厚度优选为 2500Å。

参见图 5A 和 5B，在上导电膜上形成光刻胶 42 后，利用光刻胶 42 作为掩膜，依次对上导电膜和下导电膜构图，形成包括多个栅电极 123 和多个扩展部分 127 的多个栅极线 121，然后除去光刻胶 42。

上膜 121 的构图是通过利用优选地包含 5-8% 的 CH_3COOH 、5-8% 的 HNO_3 、50-60% 的 H_3PO_3 、和其余是 H_2O 的 Al 蚀刻剂的湿蚀刻进行的，这种 Al 蚀刻剂可以以倾斜的蚀刻轮廓蚀刻 Al 和 Mo 二者。由于湿蚀刻各向同性地蚀刻物体，上膜 121q 在光刻胶 42 之下的部分由于横向蚀刻而被蚀刻掉，从而产生根切。对下膜 121p 构图通过用其余的光刻胶 42 干蚀刻而进行。由于干蚀刻各向异性地蚀刻物体，例如，沿垂直方向蚀刻物体，干蚀刻产生几乎垂直的蚀刻轮廓，使得被构图的下膜 121p 的边缘几乎对应于光刻胶 42 的边缘，从而下膜 121p 的边缘位于上膜 121q 的边缘外侧。而且由于上膜 121q 和下膜 121p 的构图用相同的光刻胶、利用不同类型的蚀刻方法进行，使下膜 121p 边缘与上膜 121q 边缘之间的距离均匀。

参见图 6A 和 6B，在栅极绝缘层 140、本征 a-Si 层，和非本征 a-Si 层依次淀积后，光蚀刻非本征 a-Si 层和本征 a-Si 层，以在栅极绝缘层 140 上形成包括多个伸出部分 154 的多个非本征 a-Si 条 164 和多个本征 a-Si 条 151。栅极绝缘层 140 优选地由氮化硅制成，厚度范围约是 2000Å - 5000Å，而淀积的温度范围优选地是约 250°C-500°C。

依次溅射两个导电膜，即上导电膜和下导电膜。下导电膜优选地由与 IZO 具有良好接触特性的 Cr 构成，其厚度优选地约为 500Å。上导电膜优选地具有大约 2500Å 的厚度。用于上导电膜的溅射靶包括纯 Al 或含原子上 2% 的 Nd 的 Al-Nd 合金，溅射温度是 150°C。

参见图 7A 和 7B，在上导电膜上形成光刻胶 44 后，利用光刻胶 44 作为掩膜，分别湿蚀刻和干蚀刻上导电膜和下导电膜，以形成包括多个源电极 173，多个漏电极 175 和多个储能电容器导体 177 的多根数据线 171。

蚀刻条件可以与栅极线 121 的蚀刻条件相同。像栅极线 121 一样，下膜 171p、175p 和 177p 的边缘位于上膜 171q、175q 和 177q 的边缘的外侧，并与之隔开均匀的距离。

然后，除去非本征半导体条 164 中未被数据线 171、漏电极 175、和储能电容器导体 177 覆盖的各部分，以完成包括多个伸出部分 163 和多个欧姆触点岛 165 的多个欧姆接触条 161 并露出本征半导体条 151 的各部分。然后，优选地在之后进行氧等离子体处理，以稳定半导体条 151 的露出表面。

如图 8A 和 8B 所示，在淀积钝化层 180 后，钝化层 180 和栅极绝缘层 140 利用光刻干蚀刻，而形成多个接触孔 182, 185, 187 和 189，它们分别露出栅极线 121 的端部 125 的下膜 121p, 175p, 177p 和 179p，漏电极 175、储能电容器导体 177，和数据线 171 的端部 179。图 8A 和 8B 示出接触孔 182、185、187 和 189 露出下膜 121p, 175p, 177p 和 179p 的边缘，然后蚀刻掉或除去位于接触孔 182、185、187 和 189 中的栅极绝缘层 140 的上部分，以露出衬底 110 的顶面。

最后，如图 3 和 4 所示，通过溅射和光蚀刻 IZO 层，在钝化层 180 上形成多个像素电极 190 和多个辅助触点 92 和 97。溅射靶的示例是日本 Idemitsu 公司生产的 IDIXO（铟 x-金属氧化物）。溅射靶包含 In_2O_3 和 ZnO ，Zn 相对于 Zn 与 In 之和的比例的范围优选地约为原子上 15-20 %。使接触电阻最小的优选的溅射温度等于或小于约 250°C。

在根据本发明的实施例的薄膜晶体管阵列面板中，栅极线 121 和数据线 171 包含具有低电阻率的 Al 或 Al 合金，同时它们与 IZO 像素电极 190 之间具有最小的接触电阻。此外，不需要附加的光蚀刻步骤，利用不同类型的蚀刻除去触点结构边缘附近的含 Al 金属膜，因而简化了制造工艺。

下面参照图 9-11 详细描述根据本发明另一实施例的用于 LCD 的薄膜晶体管阵列面板。

图 9 是根据本发明另一实施例的用于 LCD 的示例性薄膜晶体管阵列面板的布局图，而图 10 和 11 分别是沿着线 X-X' 和 XI-XI' 截取的图 9 所示的薄膜晶体管阵列面板的剖视图。

如图 9-11 所示，根据本实施例的 LCD 的薄膜晶体管阵列面板的层状结构与如图 3 和 4 所示的结构几乎相同。也就是说，在衬底 110 上形成包

括多个栅电极 123 的多个栅极线 121，并在其上依次形成栅极绝缘层 140、包括多个伸出部分 154 的多个半导体条 151、和包括多个伸出部分 163 和多个欧姆触点岛 165 的多个欧姆接触条。在欧姆触点 161 和 165 上形成包括多个源电极 173、多个漏电极 175 和多个储能电容器导体的多个数据线 171，并在其上形成钝化层 180。在钝化层 180 和/或栅极绝缘层 140 处设置多个接触孔 182、185、187 和 189，在钝化层 180 上形成多个像素电极 190 和多个辅助触点 92 和 97。

与图 3 和 4 所示的薄膜晶体管阵列面板不同，根据本实施例的薄膜晶体管阵列面板设置有多条存储电极线 131，这些存储电极线 131 与栅极线 121 在同一层上但与栅极线 121 分开，并且用储能电容器导体 177 覆盖存储电极线 131，以形成没有栅极线 121 的扩展部分的储能电容器。像栅极线一样，存储电极线 131 包括：下膜 131p，上膜 131q，且上膜 131q 的边缘位于下膜 131p 的边缘之内并与其保持均匀距离。存储电极线 131 被施加以预定电压，例如公共电压。如果通过覆盖栅极线 121 和像素电极 190 所产生的储能容量足够，那么存储电极线 131 可以与储能电容器导体 177 一同被省略掉。

此外，半导体条 151 和欧姆触点 161 和 165，以及其上的多个半导体岛 157 和多个欧姆触点 167 设置在储能电容器导体 177 与栅极绝缘层 140 之间。

除设置 TFT 的伸出部分 154 之外，半导体条和岛 151 和 157 与数据线 171、漏电极 175 和储能电容器导体 177 以及位于下面的欧姆触点 161、165 和 167 具有几乎相同的平面形状。实际上，半导体岛 157，欧姆触点岛 167 和储能电容器导体 177 有基本相同的平面形状。半导体条 151 包括一些未被数据线 171、漏电极 175 和储能电容器导体 177 覆盖的露出部分，诸如位于源电极 173 与漏电极 175 之间的那些部分。

现在，参见图 12A-18C 以及图 9-11 详细描述根据本发明实施例的图 9-11 所示的薄膜晶体管阵列面板的制造方法。

图 12A 是在根据本发明实施例的薄膜晶体管阵列面板的制造方法的第一步中图 9-11 所示的薄膜晶体管阵列面板的布局图，图 12B 和 12C 分别是沿着线 XIIB-XIIB'和 XIIC-XIIC'截取的图 12A 所示的薄膜晶体管阵列面板的剖视图，13A 和 13B 分别是沿着线 XIIB-XIIB'和 XIIC-XIIC'截取的

图 12A 所示的薄膜晶体管阵列面板的剖视图，并示出图 12B 和 12C 中所示的步骤之后的步骤，图 14A 是在图 13A 和 13B 所示的步骤之后的步骤中的薄膜晶体管阵列面板的布局图，图 14B 和 14C 分别是沿着线 XIVB-XIVB' 和 XIVC-XIVC' 截取的图 14A 所示的薄膜晶体管阵列面板的剖视图，图 15A、16A 和 17A 以及图 15B、16B 和 17B 分别是沿着线 XIVB-XIVB' 和 XIVC-XIVC' 截取的图 14A 所示的薄膜晶体管阵列面板的剖视图，并示出图 14B 和 14C 所示的步骤之后的步骤，图 18A 是图 17A 和 17B 所示的步骤之后的步骤中的薄膜晶体管阵列面板布局图，而图 18B 和 18C 分别是沿着线 XVIII B-XVIII B' 和 XVIII C-XVIII C' 截取的图 18A 所示的薄膜晶体管阵列面板的剖视图。

现在参照图 12A-12C，通过光蚀刻在衬底 110 上形成包括多个栅电极 123 和多个存储电极线 131 的多个栅极线 121。栅极线 121 和存储电极线 131 包括下膜 121p 和 131p 和上膜 121q 和 131q。

如图 13A 和 13B 所示，由 CVD 法依次淀积栅极绝缘层 140，本征 a-Si 层 150，和非本征 a-Si 层 160，使得层 140、150 和 160 分别具有大约 1500-5000Å，500-2000Å，和 300-600Å 的厚度。通过溅射淀积包括下膜 170p 和上膜 170q 的导电层 170，导电层 170 上涂覆约 1-2μm 厚的光刻胶膜 50。

通过曝光掩膜（未示出）对光刻胶膜 50 曝光，并显影，使得显影后的光刻胶具有与位置相关的厚度。图 14B 和 14C 所示的光刻胶包括具有减小的厚度的第一到第三部分。分别用附图标记 52 和 54 标识位于布线区域 A 上的第一部分 52 和位于沟道区域 C 上的第二部分 54，位于剩余区域 B 上的第三部分未被分配附图标记，这是由于它们的厚度基本上为零（0），而露出导电层 170 的下面部分。在随后的工艺步骤中，根据工艺条件调节第二部分 54 与第一部分 52 的厚度比。优选的是，第二部分 54 的厚度等于或小于第一部分 52 的厚度一半，尤其是等于或小于约 4000Å。

可以通过几种技术来获得光刻胶的与位置相关的厚度。例如，通过在曝光掩膜上设置半透明的区域，以及透明区域和阻挡光的不透明区域。半透明区域可以有狭缝图案，栅格图案，具有中等透明度或中等厚度的薄膜。当利用狭缝图案时，狭缝的宽度或各狭缝之间的距离优选地小于用于光刻的曝光器的分辨率。另一例子是用可回流的光刻胶。详细地说，一旦

利用只有透明区域和不透明区域的普通曝光掩膜形成由可回流材料制成的光刻胶图案，那么，光刻胶图案经历回流过程而流动到没有光刻胶的区域，由此形成薄的部分。

在使用适当的工艺条件时，光刻胶 52 和 54 的不同厚度能选择性地蚀刻下面的各层。因此，通过一系列蚀刻步骤获得：包括多个源电极 173，多个漏电极 175 和多个储能导体 177 的多个数据线 171；以及包括多个伸出部分 163，多个欧姆触点岛 165 和 167 的多个欧姆接触条 161；和包括多个伸出部分 154 和多个半导体岛 157 的多个半导体条 151。

为了便于描述，将在布线区域 A 上的导电层 170、非本征 a-Si 层 160 和本征 a-Si 层 150 的各部分叫做第一部分；将在沟道区域 C 上的导电层 170、非本征 a-Si 层 160 和本征 a-Si 层 150 的各部分叫做第二部分；在其余区域 B 上的导电层 170、非本征 a-Si 层 160 和本征 a-Si 层 150 的各部分叫做第三部分。

形成这种结构的示例性顺序如下：

(1) 除去布线区域 A 上的导电层 170、非本征 a-Si 层 160 和本征 a-Si 层 150 的第三部分；

(2) 除去光刻胶的第二部分 54；

(3) 除去沟道区域 C 上的导电层 170 和非本征 a-Si 层 160 的第二部分；以及

(4) 除去光刻胶的第一部分 52；

另一示例性顺序如下：

(1) 除去导电层 170 的第三部分；

(2) 除去光刻胶的第二部分 54；

(3) 除去非本征 a-Si 层 160 和本征 a-Si 层 150 的第三部分；

(4) 除去导电层 170 的第二部分；

(5) 除去光刻胶的第一部分 52；以及

(6) 除去非本征 a-Si 层 160 的第二部分。

详细描述第一示例。

如图 15A 和 15B 所示，由湿蚀刻除去布线区域 A 上的导电层 170 的上膜 170q 的露出的第三部分，并由干蚀刻除去下膜 170p 的露出的第三部分，以露出下面的非本征 a-Si 层 160 的第三部分。

在本步骤中完成储能电容器导体 177，并且附图标记 174 标识包括相互连接的数据线 171 和漏电极 175 的导电层 170 的各部分。干蚀刻可以蚀刻掉光刻胶 52 和 54 的顶部。

参见图 16A 和 16B，通过干蚀刻除去区域 B 上的非本征 a-Si 层 160 的第三部分和本征 a-Si 层 150 的第三部分，并除去光刻胶的第二部分 54，以露出导体 174 的第二部分。光刻胶的第二部分 54 的去除可以与非本征 a-Si 层 160 和本征 a-Si 层 150 的第三部分的去除同时进行，也可以独立进行。通过灰化除去留在沟道区 C 上的光刻胶的第二部分 54 的残留部分。

在该步骤中，完成半导体条和岛 151 和 157 以及欧姆触点岛 167，附图标记 164 标识包括相互连接的欧姆接触条和岛 161 和 165 的非本征 a-Si 层 160 的各部分，它们称作“非本征半导体条”。

依次干蚀刻导电层 170 的下膜 170p、非本征 a-Si 层 160、和本征 a-Si 层 150，以简化制造工艺。这种情况下，可以现场在一个处理室内进行三个膜和层 170p、160 和 150 的干蚀刻。

对上膜 170q 应用湿蚀刻以及对下膜 170p 应用干蚀刻解决了依次湿蚀刻上膜 170q 和下膜 170p 造成严重根切而断开光刻胶并由此妨碍随后的蚀刻的问题。

如图 17A 和 17B 所示，除去沟道区 C 上的导体 174 和非本征 a-Si 条 174 的第二部分以及光刻胶的第一部分 52。

如图 17B 所示，可以除去沟道区 C 上的本征半导体条 151 的伸出部分 154 的顶部，使其厚度减小，并蚀刻光刻胶的第一部分 52 到预定厚度。

由于沟道区 C 在导电层 170 与上面覆盖的导电层之间没有接触，所以与在其余区域 B 上的蚀刻不同，任何蚀刻顺序都可以应用于导体 174 的第二部分。例如，湿蚀刻和干蚀刻中的任一种可以应用于上膜 174q 和下膜 174p，或者湿蚀刻应用于上膜 174q 和下膜 174p 中的任一个，而干蚀刻应用于另一个。但是，由于下膜 174p 的干蚀刻会在非本征半导体条 164 和本征半导体条 151 上留下金属残留物，这会造成 TFT 性能恶化，因此，湿蚀刻对于下膜 174p 是优选的。如上所述，由于依次蚀刻上膜 174q 和下膜 174p 如上所述会造成光刻胶的第一部分 52 断开，所以，第一部分 52 的去除优选地在去除下膜 174p 之前和去除上膜 174q 之后进行。

按此方式，每个导体 174 分成有待完成的数据线 171 和多个漏电极

175, 而每个非本征半导体条 164 分成有待完成的欧姆接触条 161 和多个欧姆触点岛 165。

然后, 钝化层 180 通过在 250-1500°C 的温度范围内化学气相淀积氮化硅、生长如 a-Si:C:O 或 a-Si:O:F 的低介电常数材料、通过氮化硅的 CVD、或通过涂覆诸如具有良好平整特性的丙烯基材料的有机绝缘材料形成。参见图 18A 和 18B, 光蚀刻钝化层 180 以及栅极绝缘层 140, 以形成多个接触孔 182、185、187 和 189。

最后, 如图 9-11 所示, 溅射并光蚀刻厚度范围在约 500 Å -1500 Å 之间的 IZO 层, 以形成多个像素电极 190 的多个辅助触点 92 和 97。IZO 层的蚀刻优选地包括利用 $\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O}$ 的 Cr 蚀刻剂进行湿蚀刻, 该蚀刻不损坏数据线 171, 漏电极 175, 和储能电容器导体 177 中的 Al。

本实施例通过利用单独一个光刻步骤形成数据线 171, 漏电极 175, 和储能电容器导体 177 以及欧姆触点 161, 165 和 167, 和半导体条和岛 151 和 157, 简化了制造工艺。

以下参照图 19 和 20 详细描述根据本发明另一实施例的用于 LCD 的薄膜晶体管阵列面板。

图 19 是根据本发明另一实施例的用于 LCD 的示例性薄膜晶体管阵列面板的布局图。图 20 是沿着线 XX-XX' 截取的薄膜晶体管阵列面板的剖视图。

如图 19 和图 20 所示, 根据本实施例的用于 LCD 的薄膜晶体管阵列面板的布局结构与图 3 和图 4 所示的几乎相同。也就是说, 在衬底 110 上形成包括多个栅电极 123 和多个扩展部分 127 的多个栅极线 121, 并随后在其上形成栅极绝缘层 140, 包括多个伸出部分 154 的多个半导体条 151, 包括多个伸出部分 163 和多个欧姆触点岛 165 的多个欧姆接触条 161。在欧姆触点岛 161 和 165 和栅极绝缘层 140 上形成包括多个源电极 173, 多个漏电极 175, 和多个储能电容器导体 177 的多个数据线 171, 并且在其上形成钝化层 180。在钝化层 180 和/或栅极绝缘层 140 处设置多个接触孔 182、185、187 和 189, 并在钝化层 180 上形成多个像素电极 190 和多个辅助触点 92 和 97。

与图 3 和图 4 所示的薄膜晶体管阵列面板不同, 根据本实施例的薄膜

晶体管阵列面板中的栅极线 121 包括单个膜。此外，露出栅极线 121 的端部 125、漏电极 175、储能电容器导体 177 和数据线 171 的端部 179 的接触孔 182、185、187 和 189 未露出其边缘。每个数据线 171 的端部 179 具有两个向下延伸到衬底 110 的沟槽 186。

沟槽 186 的数量不固定，沟槽 186 的形状可以改成任何形状，例如，矩形。

位于接触孔 189 处的辅助触点 97 沿沟槽 186 的表面延伸而具有不均匀性。这种不均匀性给与辅助触点 97 接触进行粗略测试的探针尖端赋予较大的摩擦，由此防止探针尖端滑动。粗略测试通过将探针尖端与辅助触点 92 和 97 接触，并然后向其上施加测试信号，来检测例如栅极线 121 和数据线 171 的信号线断开以及薄膜晶体管阵列面板在完成后的 TFT 故障。

以下参见图 21A-22B 以及图 19 和 20 详细描述根据本发明实施例的图 19 和 20 所示的薄膜晶体管阵列面板的制造方法。

图 21A 和 22A 是在根据本发明实施例的薄膜晶体管阵列面板的制造方法的中间步骤中图 19 和图 20 所示的薄膜晶体管阵列面板的布局图。图 21B 和 22B 分别是沿线 XXIB-XXIB'和 XXIIB-XXIIB'截取的图 21A 和 22A 所示的薄膜晶体管阵列面板的剖视图。

参见图 21A 和图 21B，在透明绝缘衬底 110 上形成包括多个栅电极 123 和多个扩展部分 127 的多个栅极线 121，并且在其上形成栅极绝缘层 140，在栅极绝缘层 140 上形成包括多个伸出部分 154 的多个本征半导体条 151 和多个非本征半导体条 164。在形成包括多个源电极 173、多个漏电极 175 和多个储能电容器导体 177 的多个数据线 171 之后，非本征半导体条 164 中的未被数据线 171、漏电极 175、和储能电容器导体 177 覆盖的部分被去除，以完成包括多个伸出部分 163 和多个欧姆触点岛 165 的多个欧姆接触条 161，并露出本征半导体条 151 的各部分。在每个数据线 171 的端部 179 处设置两个沟槽 186，以露出栅极绝缘层 140 的各部分。

参见图 22A 和图 22B，在淀积钝化层 180 后，光蚀刻钝化层 180 和栅极绝缘层 140，形成分别露出栅极线 121 的端部 125，漏电极 175，储能电容器导体 177，和数据线 171 的端部 179 的多个接触孔 182、185、187 和 189。接触孔 189 至少部分露出沟槽 186。附图示出接触孔 189 足够大而露出沟槽 186 的边缘。在该步骤除去栅极绝缘层 140 在沟槽 186 中露出的部

分。

最后，如图 19 和 20 所示，在钝化层 180 上形成多个像素电极 190 和多个辅助触点 92 和 97。

图 23 是根据本发明的另一实施例的用于 LCD 的图 19 所示的薄膜晶体管阵列面板的剖视图。

如图 23 所示，根据这个实施例的 LCD 的薄膜晶体管阵列面板的层状结构与图 20 所示的几乎相同。但是，与图 20 所示的层状结构不同，只在数据线 171 的端部 179 的上膜 179q 处设置沟槽 186。

下面参照图 24A-25B 详细描述根据本发明实施例的图 23 所示的薄膜晶体管阵列面板的制造方法。

图 24A 和 24B 是在根据本发明实施例的薄膜晶体管阵列面板的制造方法的中间步骤中图 23 所示的薄膜晶体管阵列面板的剖视图，而图 25A 和 25B 是在根据本发明另一实施例的薄膜晶体管阵列面板的制造方法的中间步骤中图 23 所示的薄膜晶体管阵列面板的剖视图。

参见图 24A 和图 25A，在绝缘衬底 110 上依次形成包括多个栅电极 123 和多个扩展部分 127 的多个栅极线 121，栅极绝缘层 140，包括多个伸出部分 154 的多个本征半导体条 151，和多个非本征半导体条 164，并依次淀积下导电膜和上导电膜。

根据图 24A 和 24B 所示的实施例，在上膜上形成具有沟槽 186 图案的光刻胶 62，如图 24A 所示。利用光刻胶 62 作为蚀刻掩膜，蚀刻上膜，以形成包括多个源电极 173，多个漏电极 175，和多个储能电容器导体 177 的多个数据线 171 的多个上膜 171q，175q 和 177q，然后除去光刻胶 62。形成覆盖数据线 171 的端部 179 上的沟槽 186 的光刻胶 64，利用光刻胶 64 和上膜 171q，175q 和 177q 作为光刻掩膜，蚀刻下膜，以完成数据线 171，漏电极 175 和储能电容器导体 177。随后，除去非本征半导体条 164 的露出部分和光刻胶 64。

根据图 25A 和 25B 所示的实施例，在上膜上没有沟槽 186 图案的前提下形成光刻胶 66 之后，利用光刻胶 62 作为蚀刻掩膜，依次或同时蚀刻上膜和下膜，并除去非本征半导体条 164 的露出部分和光刻胶 64，如图 25A 所示。参见图 25B，在形成具有沟槽 186 图案的光刻胶 68 后，利用光刻胶 68 作为蚀刻掩膜，蚀刻上膜 171q，175q 和 177q，形成沟槽 186，并

除去光刻胶 68。

最后，在淀积钝化层 180 后，光蚀刻钝化层 180 和栅极绝缘层 140，以形成多个接触孔 182、185、187 和 189 和多个像素电极 190，且多个辅助触点 92 和 97 形成在钝化层 180 上，如图 23 所示。

或者，储能电容器导体 177 只包括下膜 177p。在这种情况下，如图 24A 所示，不覆盖储能电容器导体 177，而图 24B 所示的光刻胶 64 覆盖根据图 24A 和图 24B 所示的实施例的储能电容器导体 177。相反，图 25B 所示的光刻胶 68 不覆盖根据图 25A 和图 25B 所示的实施例的储能电容器导体 177。

具有与位置相关的厚度的光刻胶用于对上膜和对下膜的构图。光刻胶在数据线 171、漏电极 175 和储能电容器导体 177 上最厚，光刻胶沟槽上其次厚，而在其余部分上光刻胶的厚度最薄或等于 0。

图 26 是根据本发明另一实施例的用于 LCD 的典型的薄膜晶体管阵列面板的布局图。图 27 和 28 分别是沿线 XXVII-XXVII' 和 XXVIII-XXVIII' 截取的图 26 所示的薄膜晶体管阵列面板的剖视图。

如图 26-28 所示，根据本实施例的 LCD 的薄膜晶体管阵列面板的层状结构与图 9-11 所示的几乎相同。也就是说，在衬底 110 上形成包括多个栅电极 123 和多个存储电极线 131 的多个栅极线 121，并在其上依次形成栅极绝缘层 140，包括多个伸出部分 154 和多个半导体岛 157 的多个半导体条 151，以及包括多个伸出部分 163 和多个欧姆触点岛 165 和 167 的多个欧姆接触条 161。在欧姆触点 161、165 和 167 上形成包括多个源电极 173，多个漏电极 175 和多个储能电容器导体 177 的多个数据线 171，且在其上形成钝化层 180。在钝化层 180 和/或栅极绝缘层 140 处设置多个接触孔 182、185、187 和 189，且在钝化层 180 上形成多个像素电极 190 和多个辅助触点 92 和 97。

与图 9-11 所示的薄膜晶体管阵列面板不同，根据本实施例的薄膜晶体管阵列面板中的栅极线 121 包括单个膜。此外，接触孔 182、185、187 和 189 露出栅极线 121 的端部 125，漏电极 175 和储能电容器导体 177，和数据线 171 的端部 179，但不露出其边缘的。每个数据线 171 的端部 179 具有两个向下延伸到衬底 110 的沟槽 186。

如上所述，位于接触孔 189 处的辅助触点 97 沿着沟槽 186 的表面延

伸，以具有不均匀性。这种不均匀性为与辅助触点 97 接触而进行粗略测试的探针尖端赋予较大的摩擦，由此防止探针尖端滑动。

图 29 是根据本发明另一实施例的图 26 所示的薄膜晶体管阵列面板剖视图。

如图 29 所示，根据本实施例的 LCD 的薄膜晶体管阵列面板的层状结构与图 27 和 28 所示的几乎相同。但是与图 27 和 28 所示薄膜晶体管阵列面板不同，只在数据线 171 的端部 179 的上膜 179q 设置沟槽 186。

虽然已经参照优选实施例描述了本发明，但是，本领域技术人员应了解，在不脱离所附的权利要求书界定的本发明的精神和范围的前提下，本发明还可以有各种改进和替换。

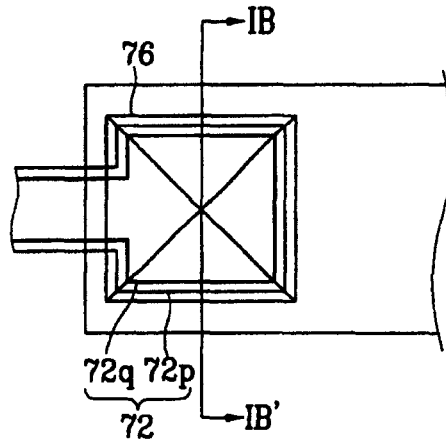


图 1A

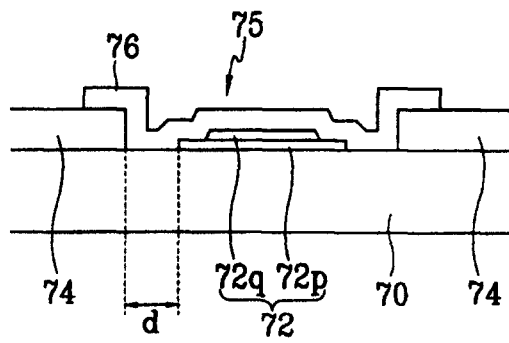


图 1B

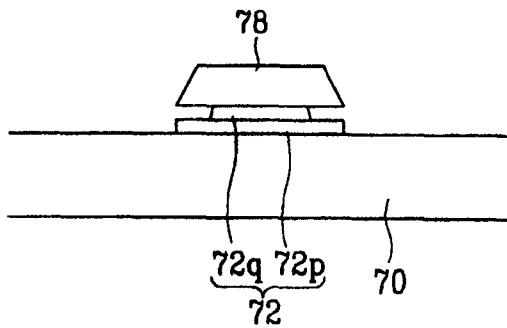


图 1C

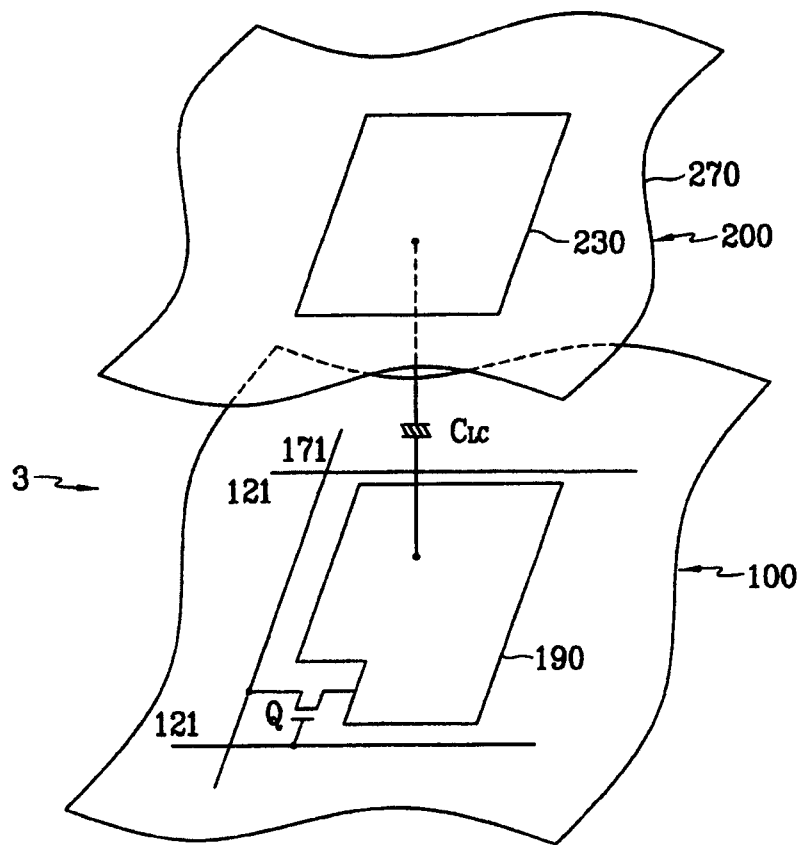


图 2

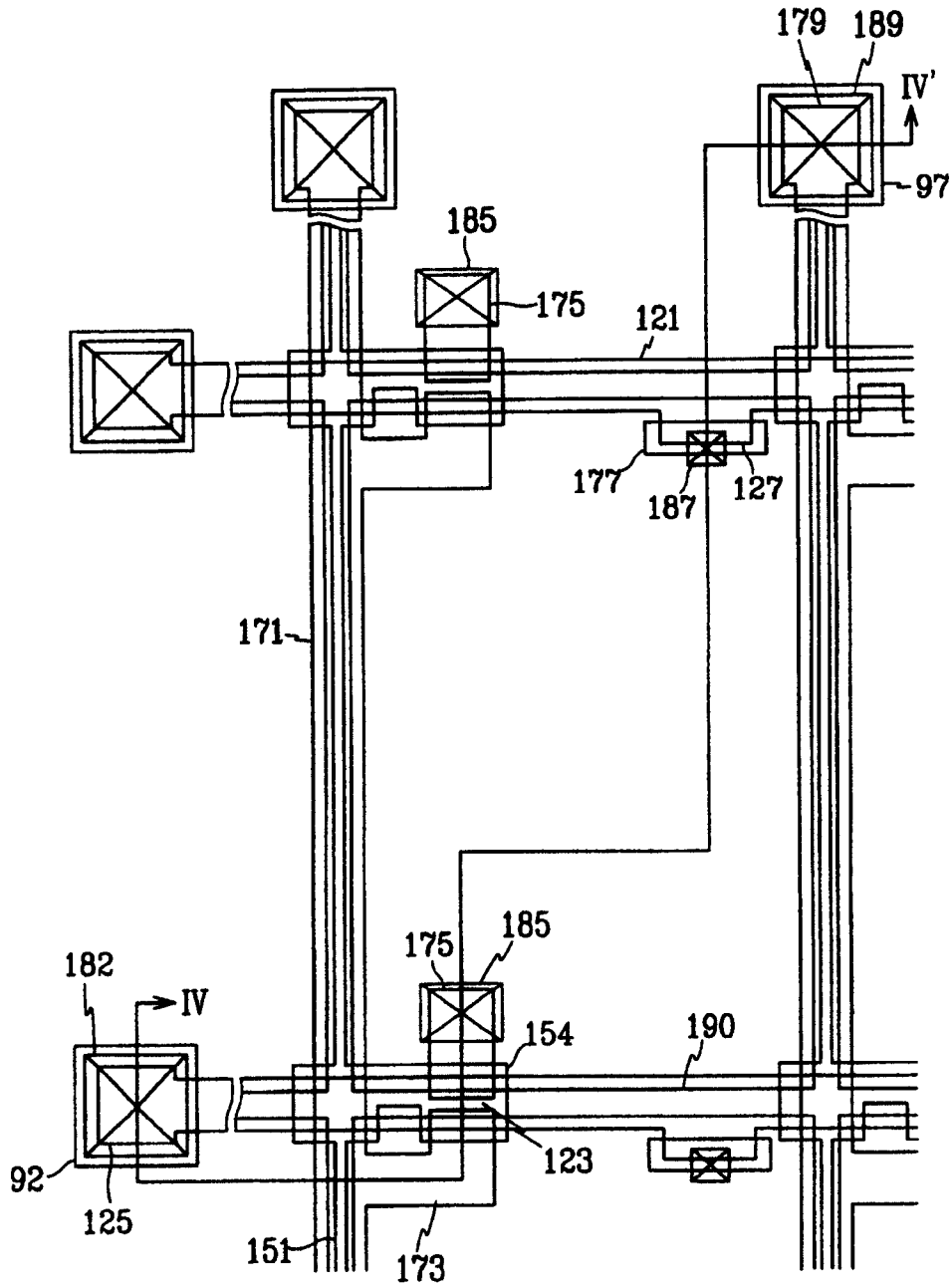


图 3

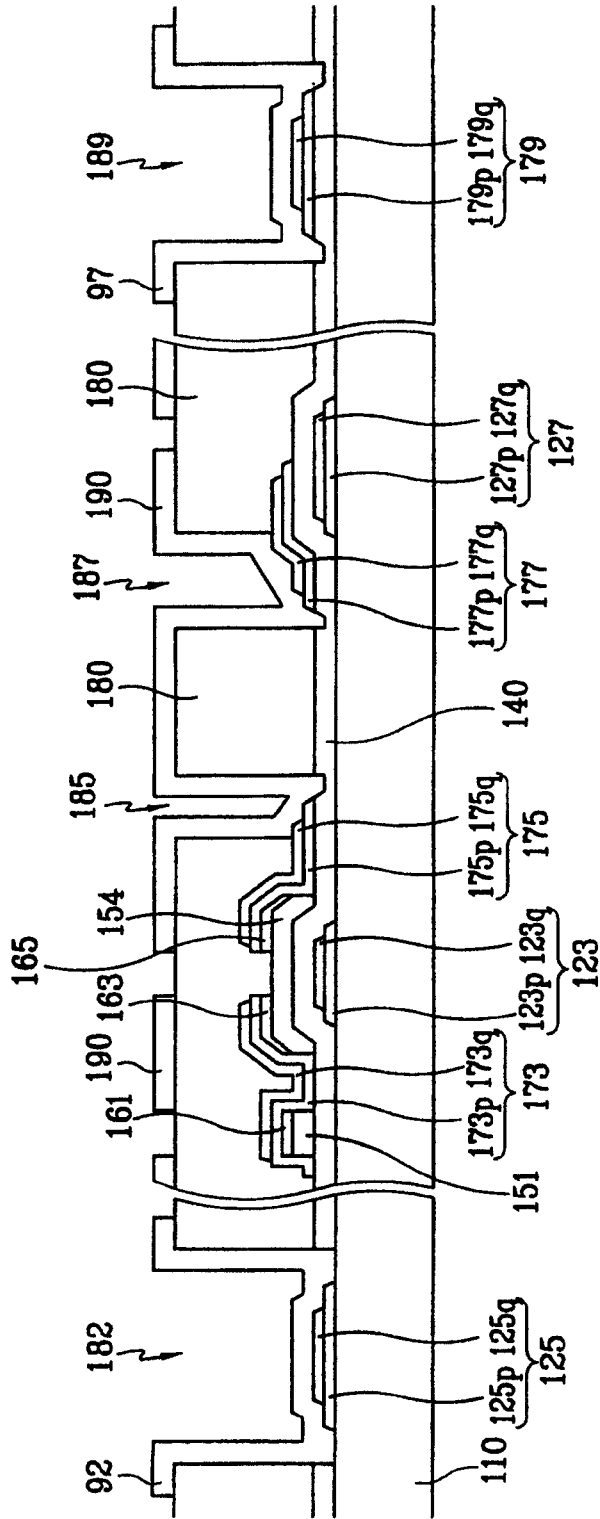


图 4

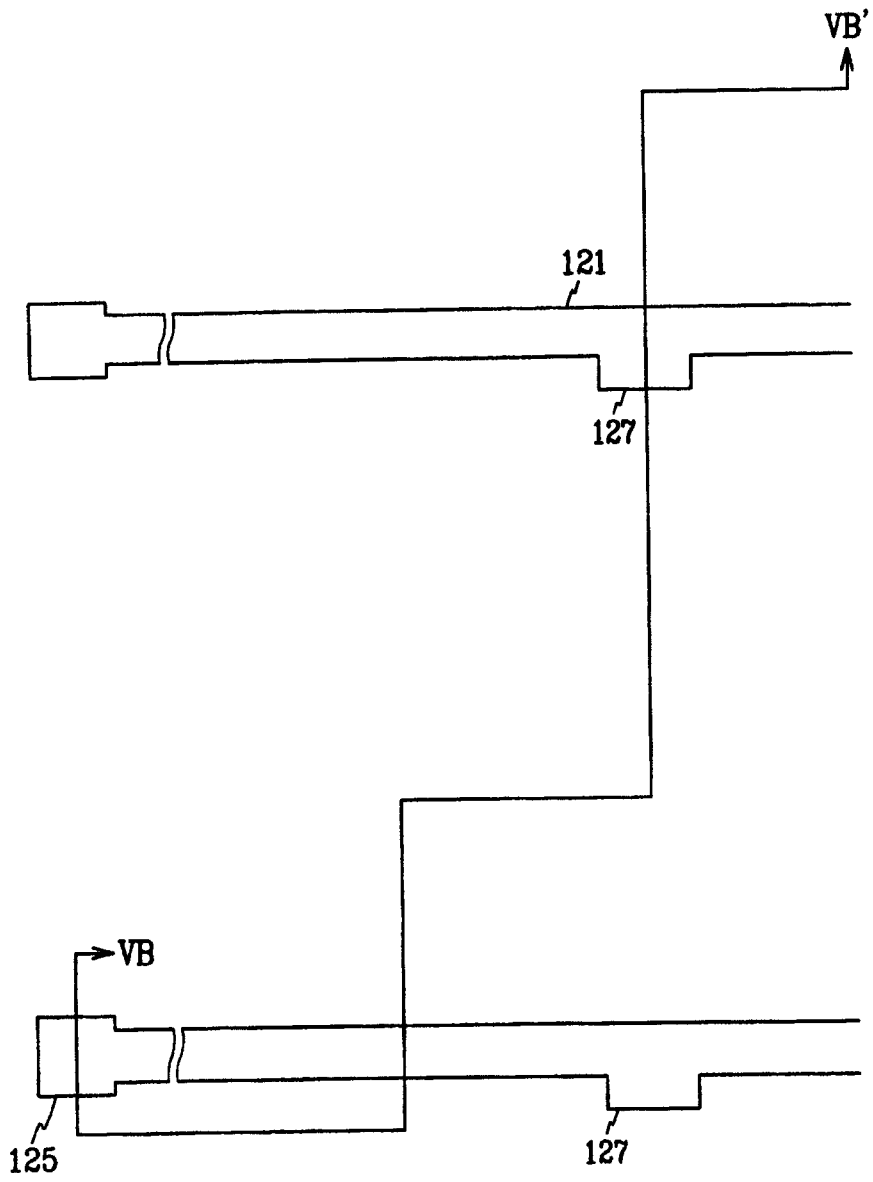


图 5A

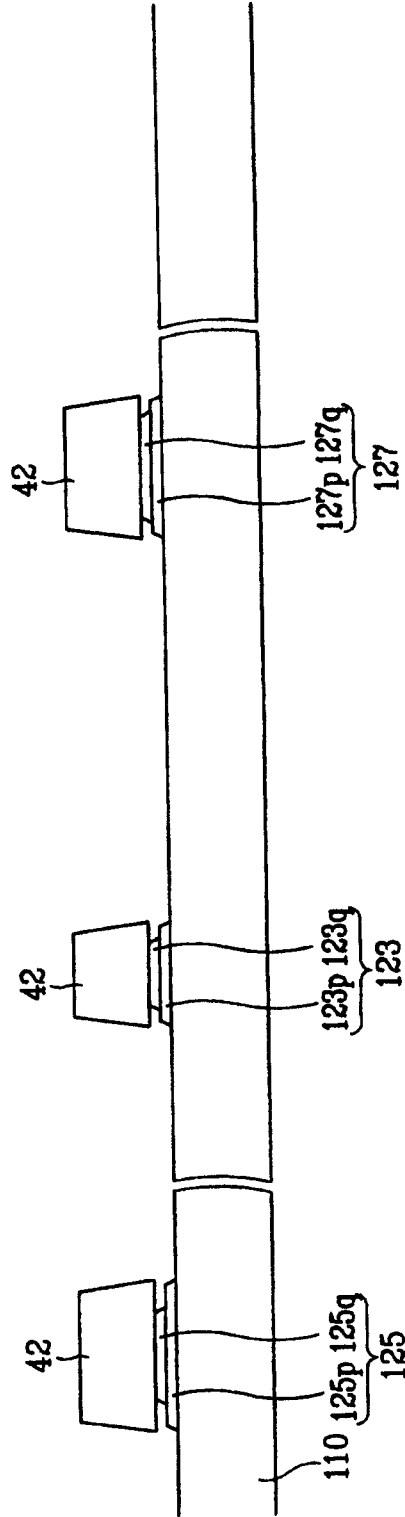


图 5B

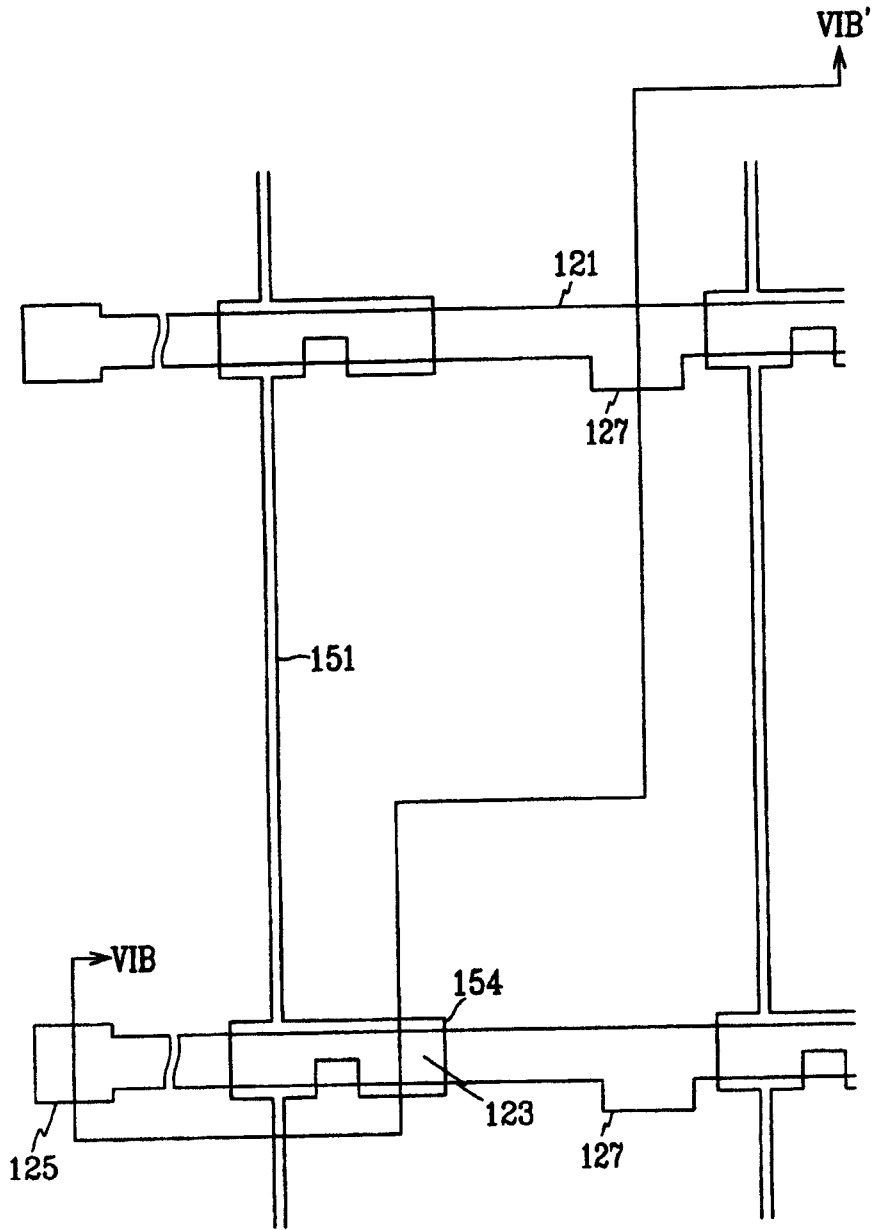


图 6A

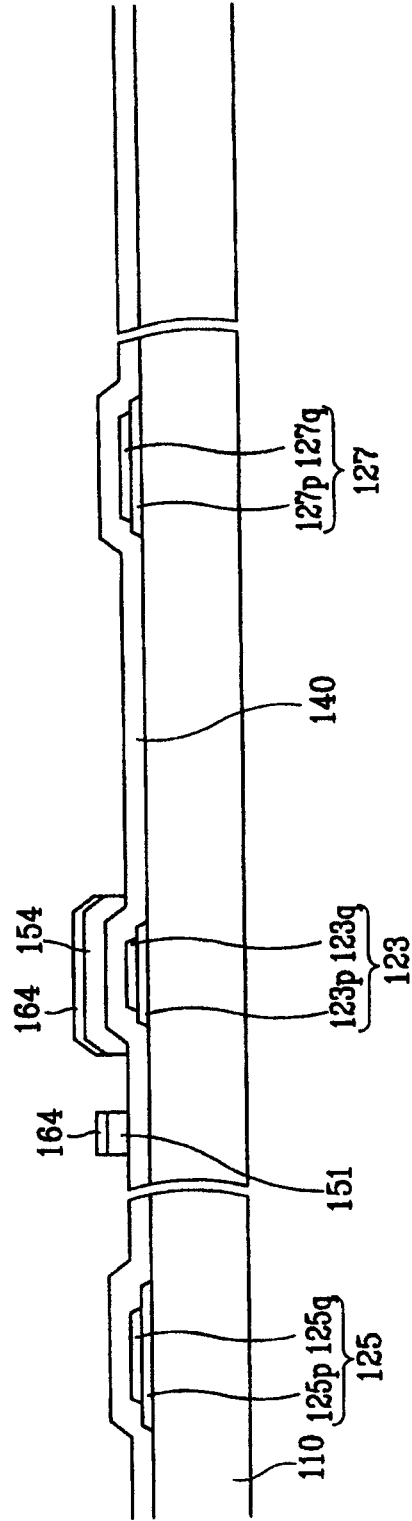


图 6B

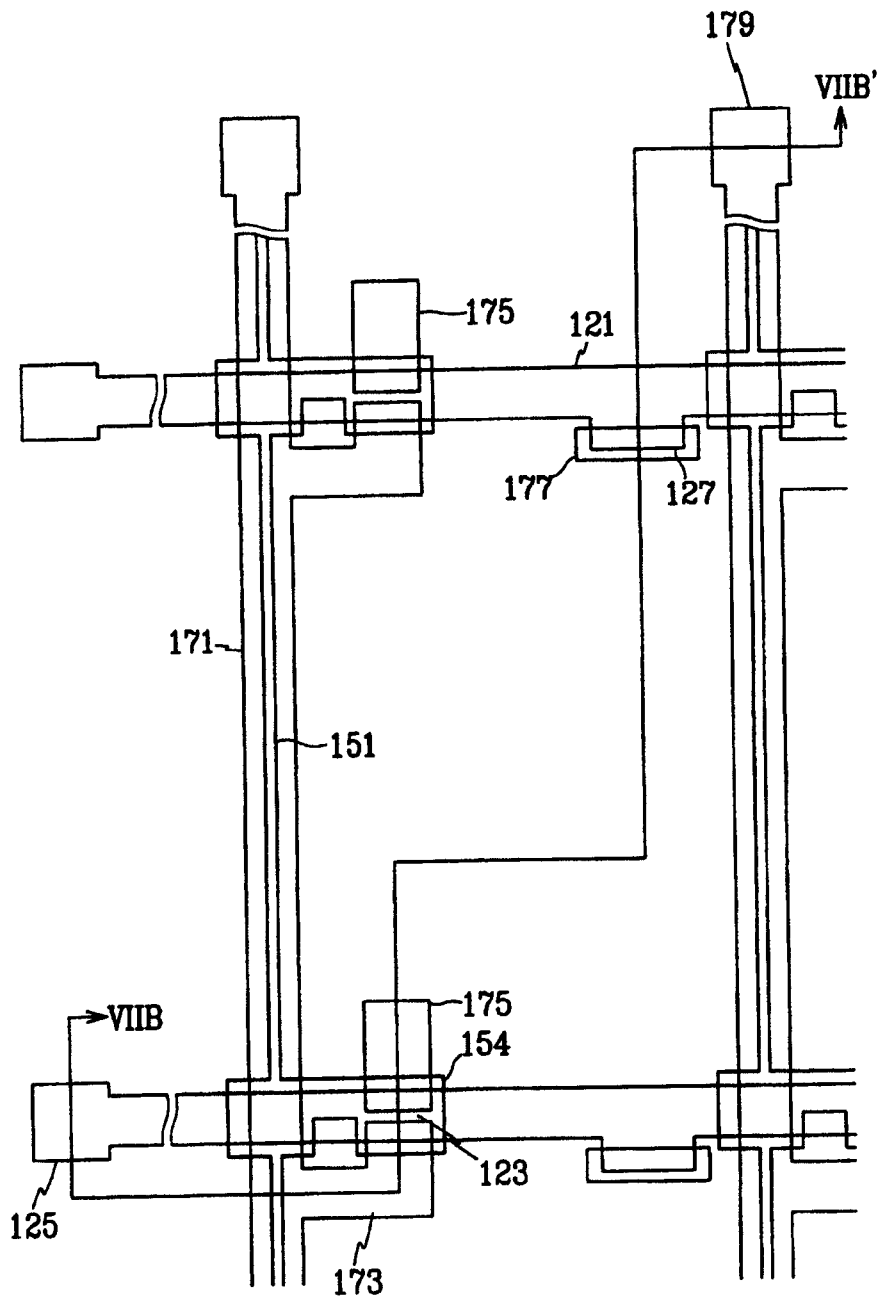


图 7A

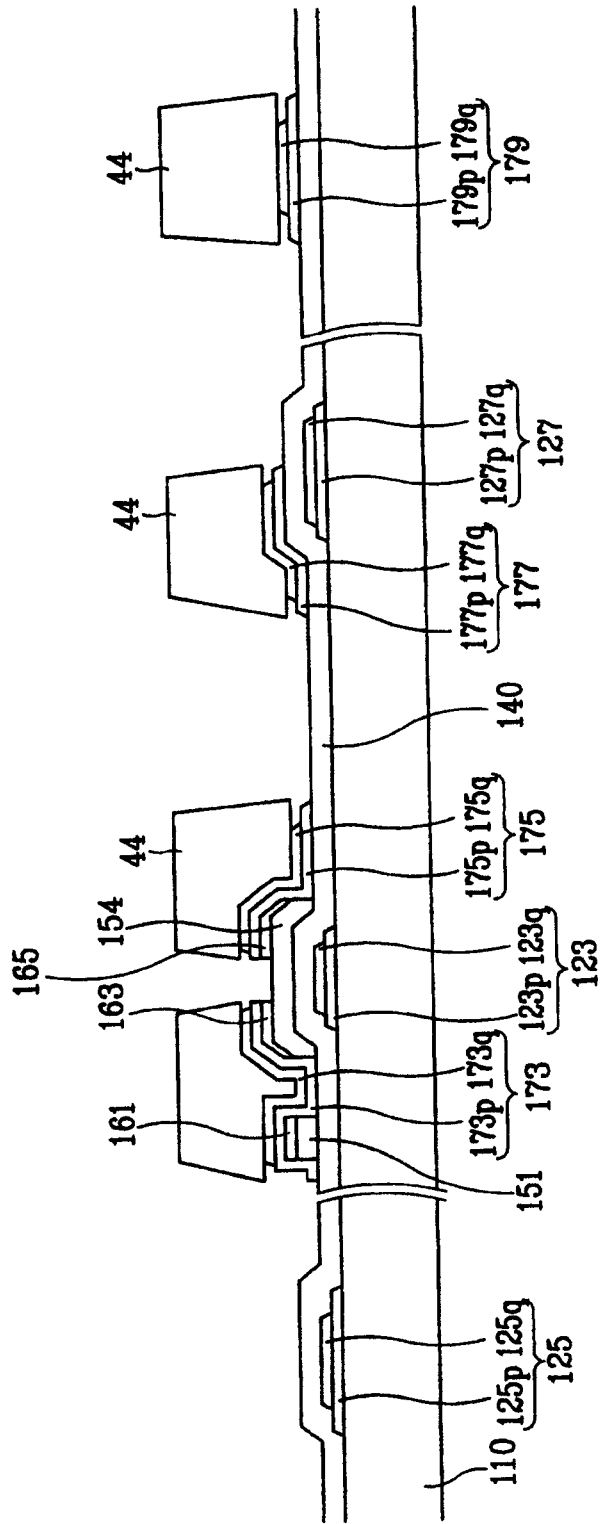


图 7B

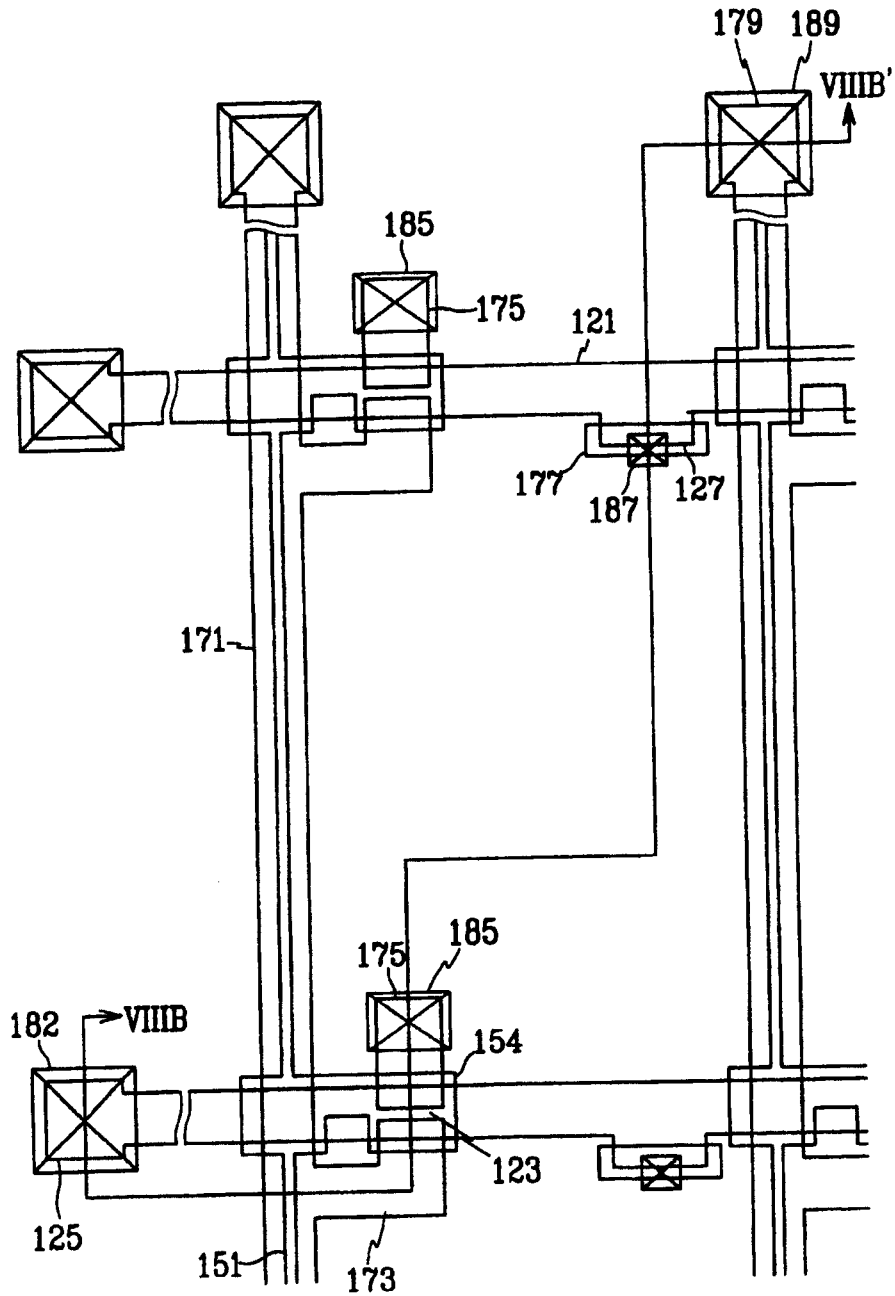


图 8A

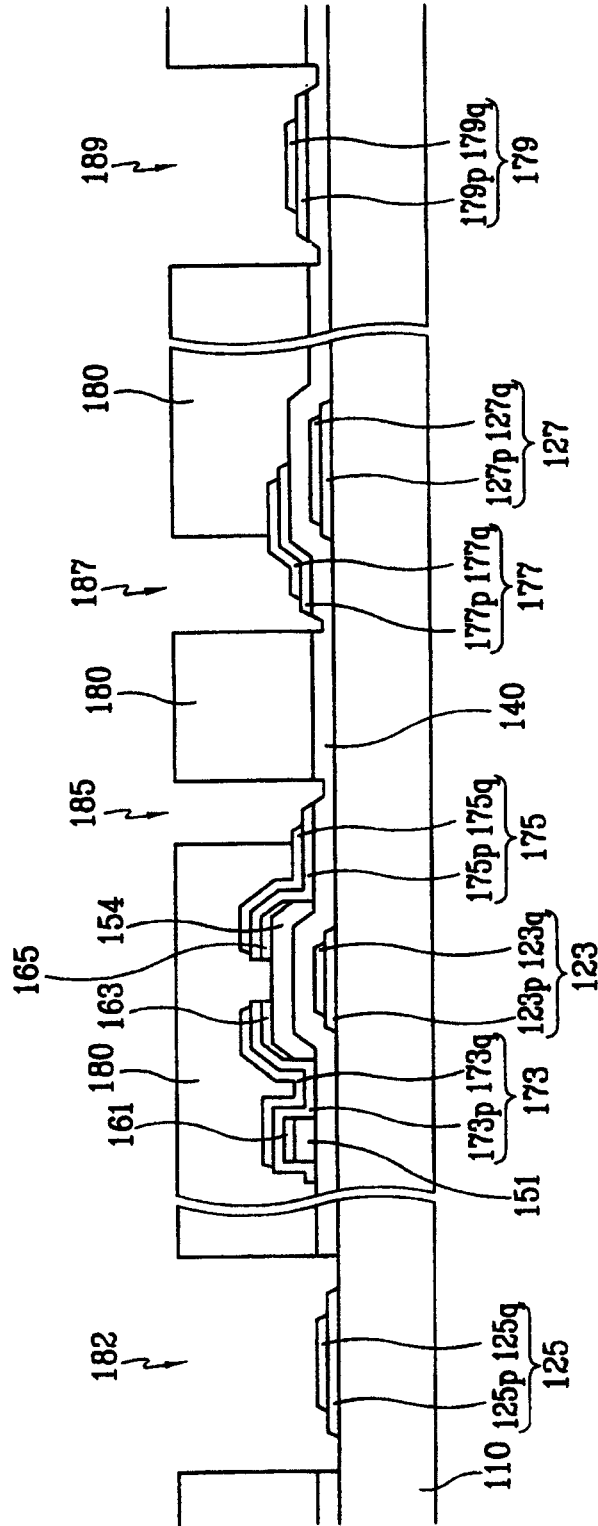


图 8B

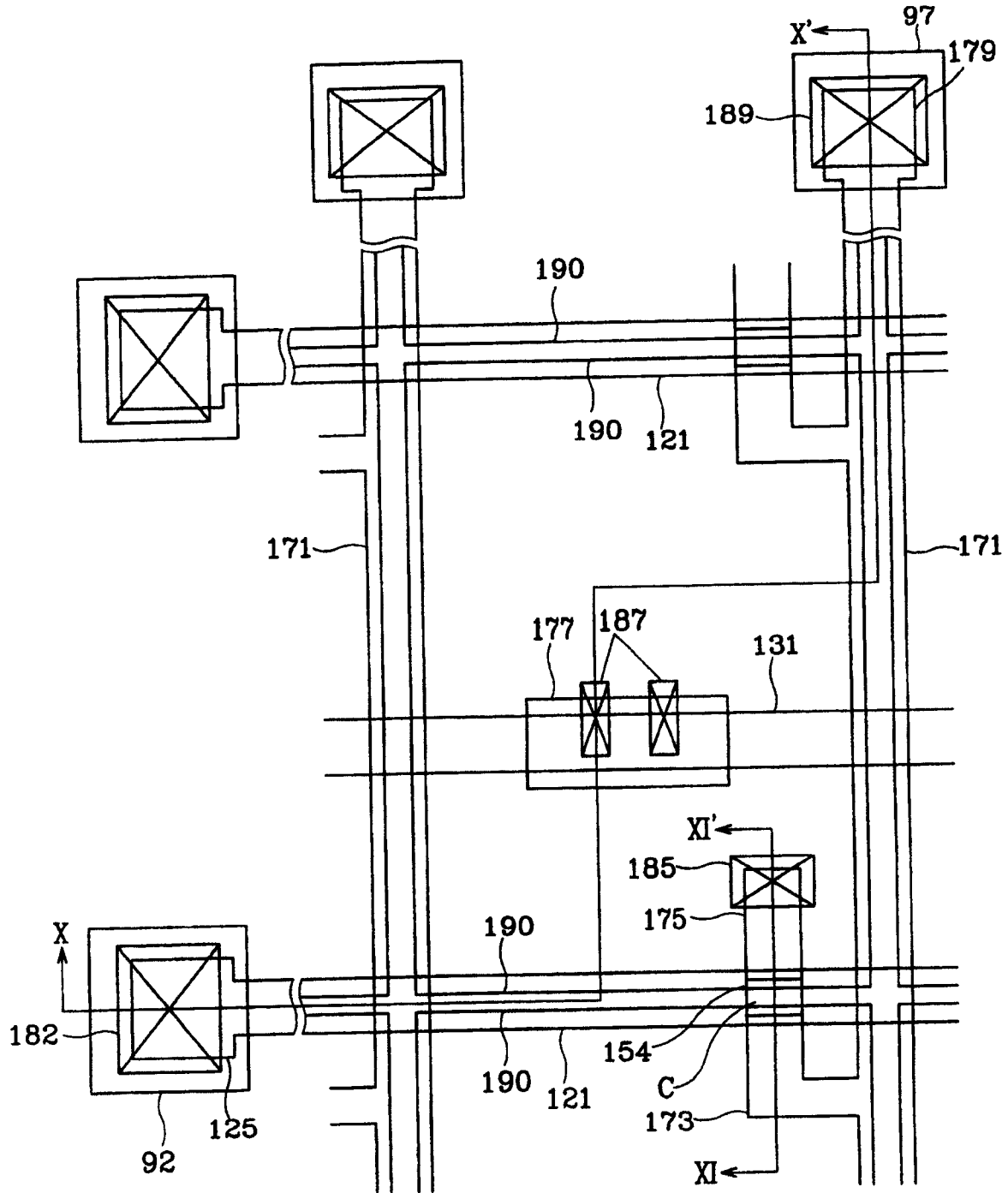


图 9

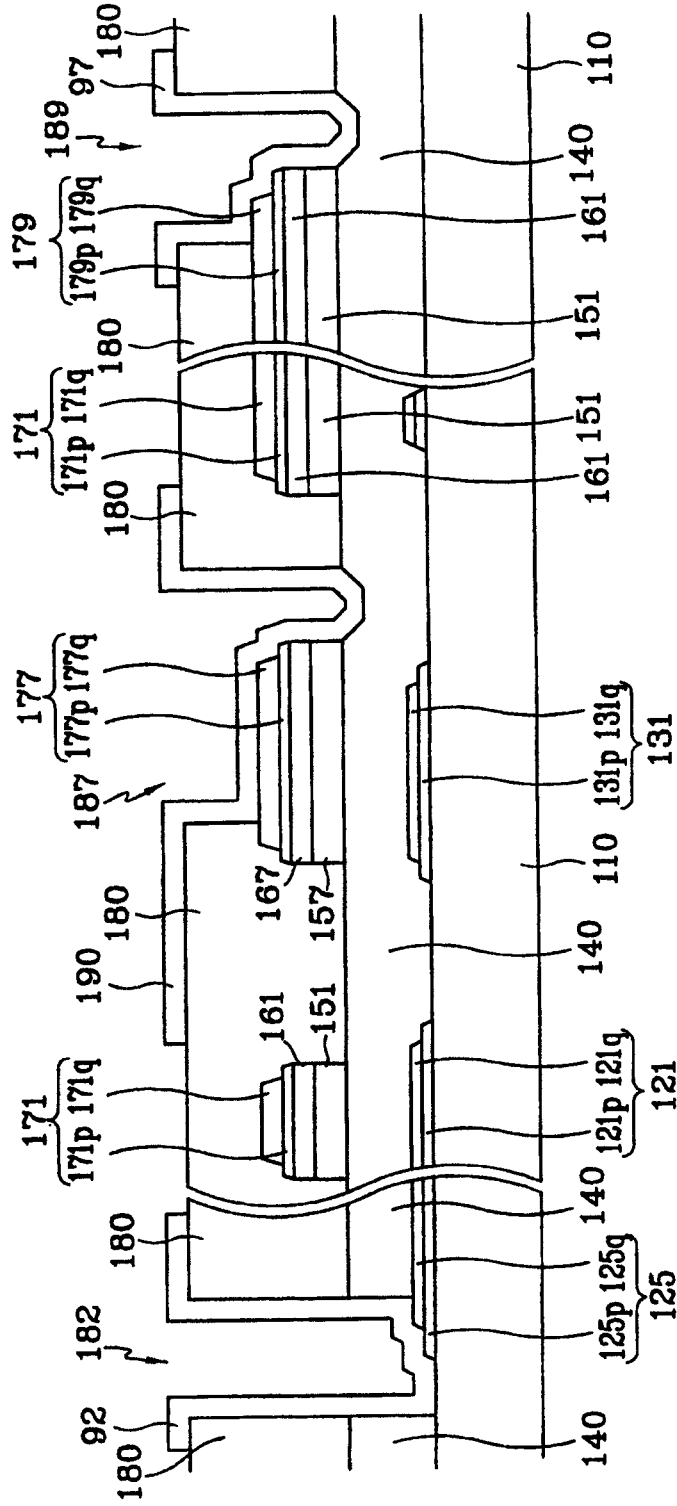


图 10

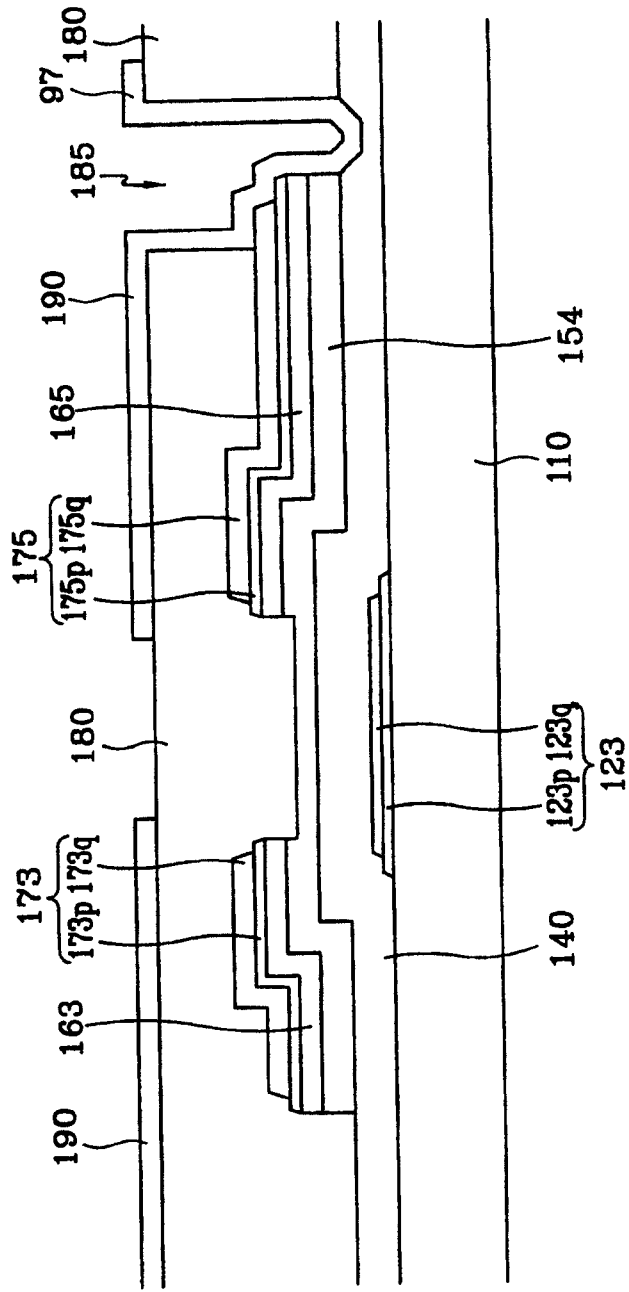


图 11

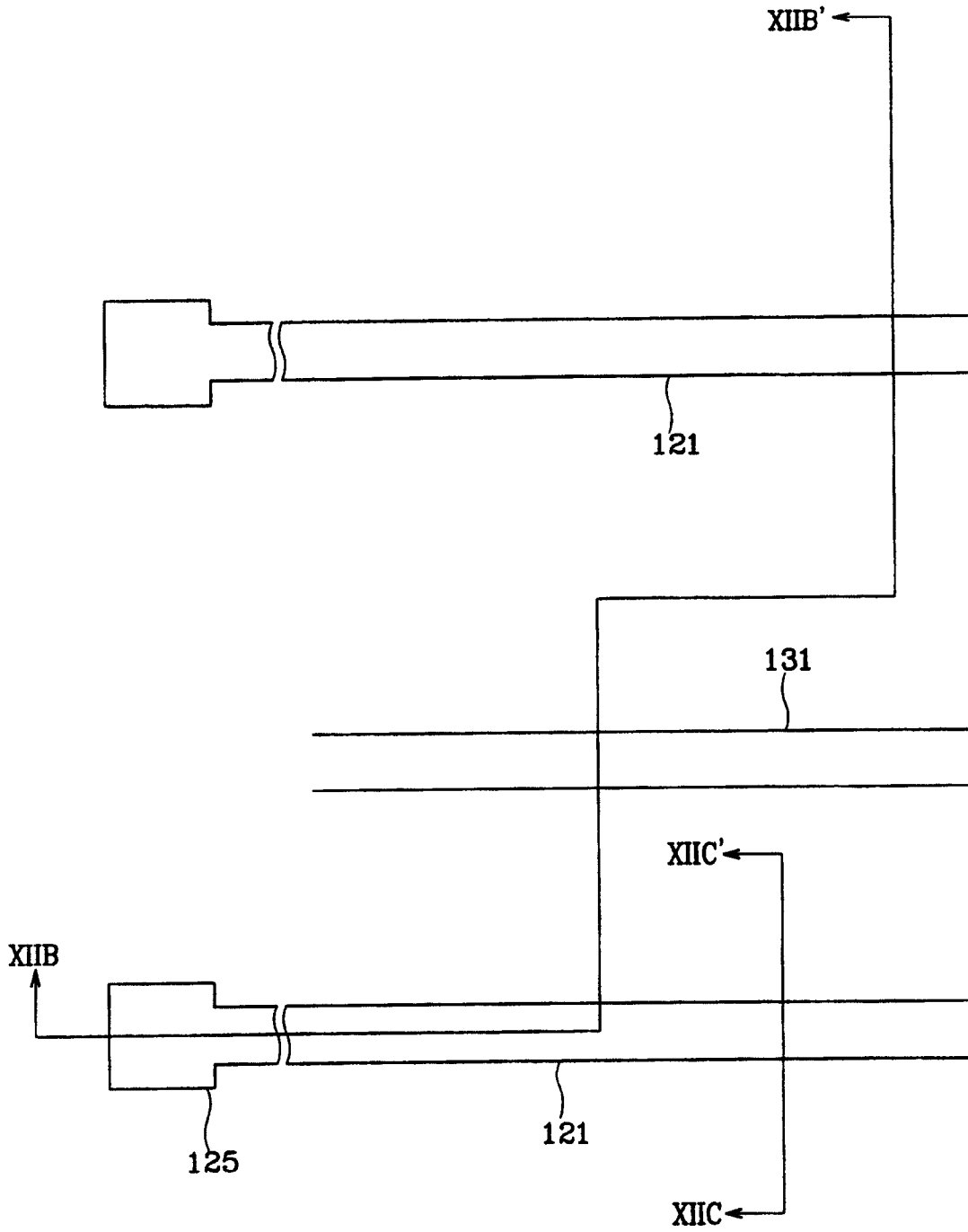


图 12A

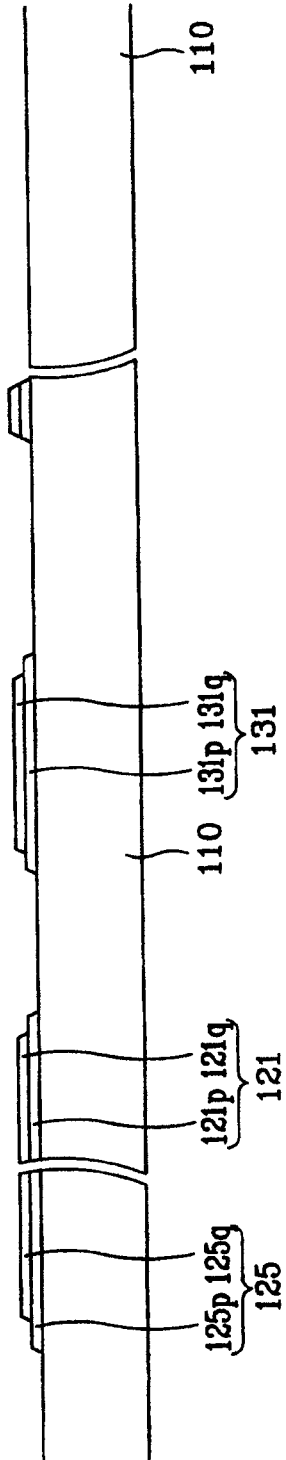


图 12B

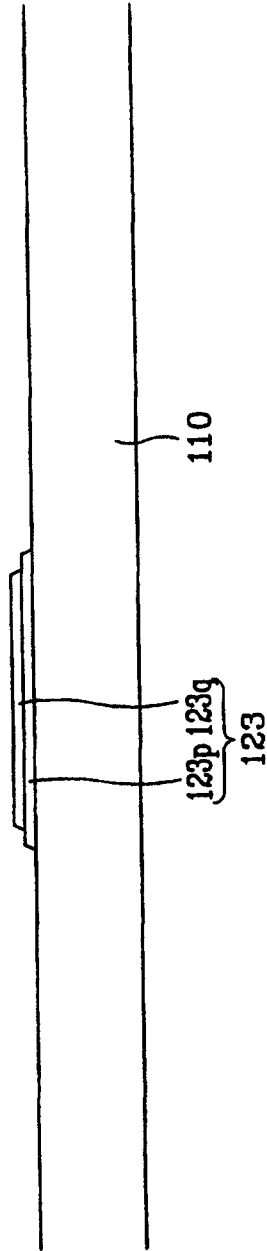


图 12C

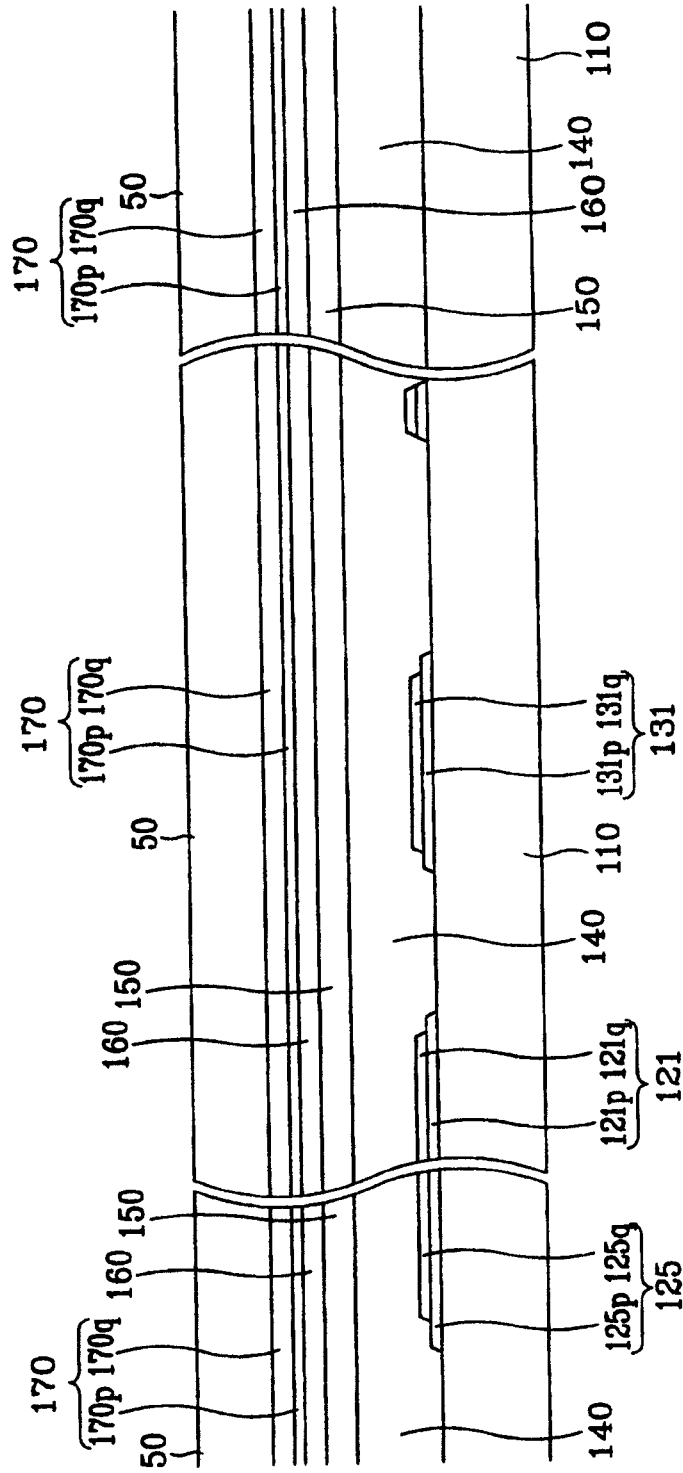


图 13A

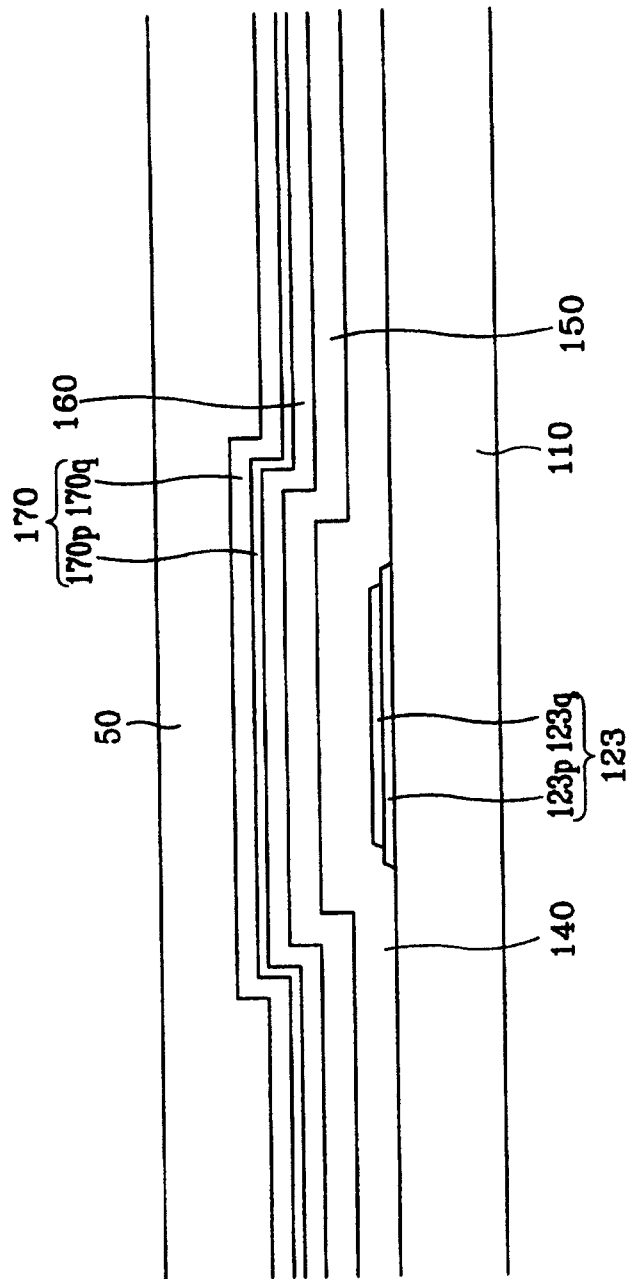


图 13B

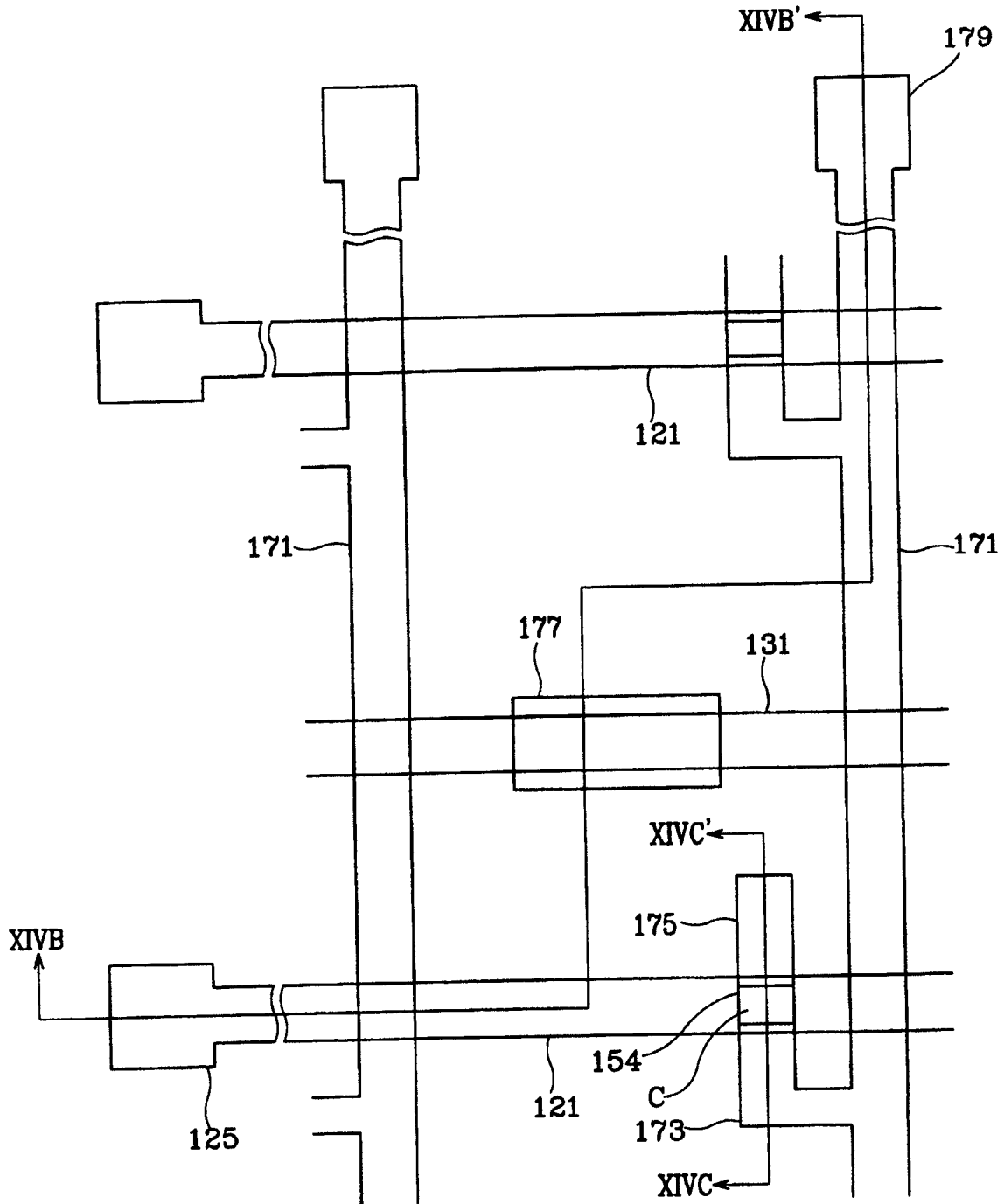


图 14A

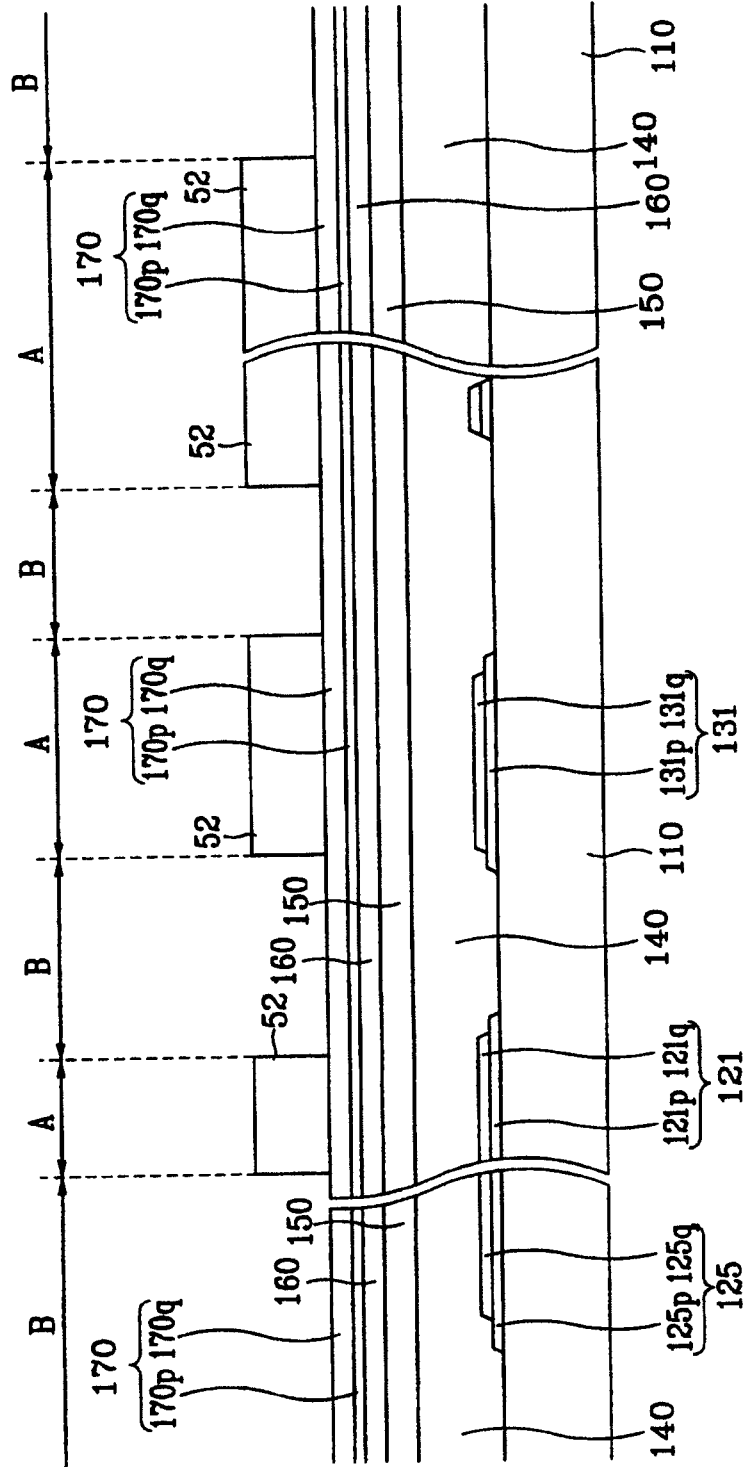


图 14B

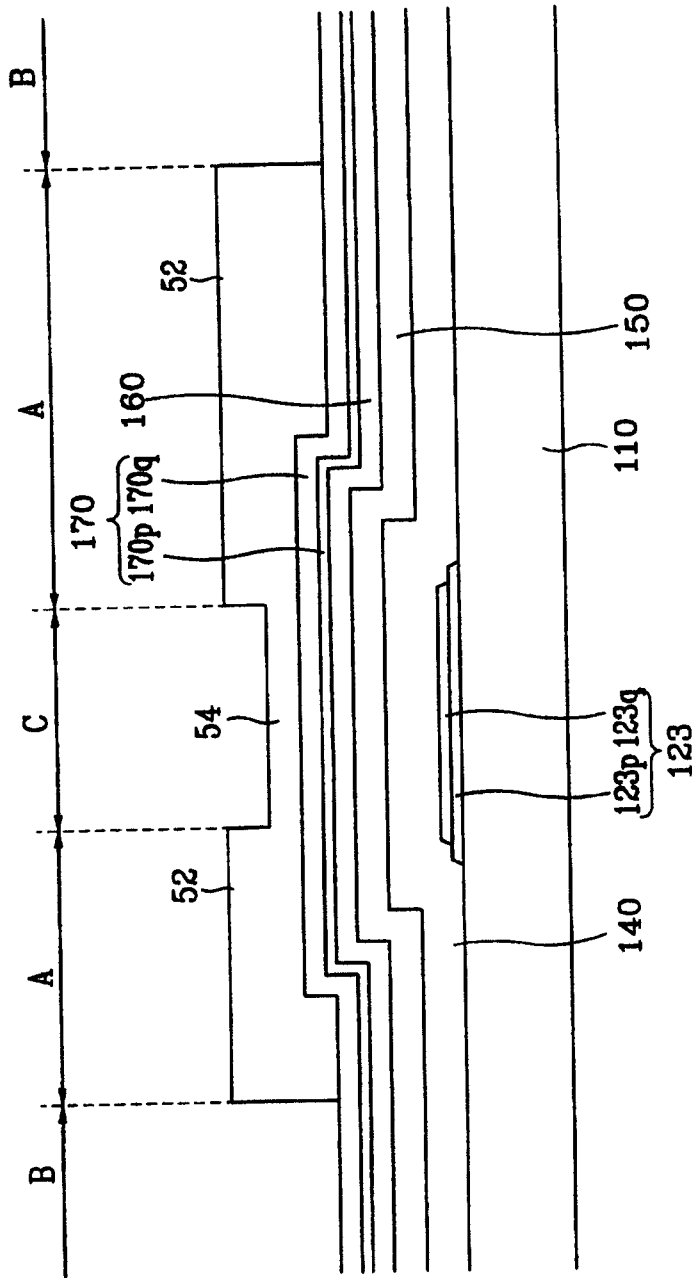


图 14C

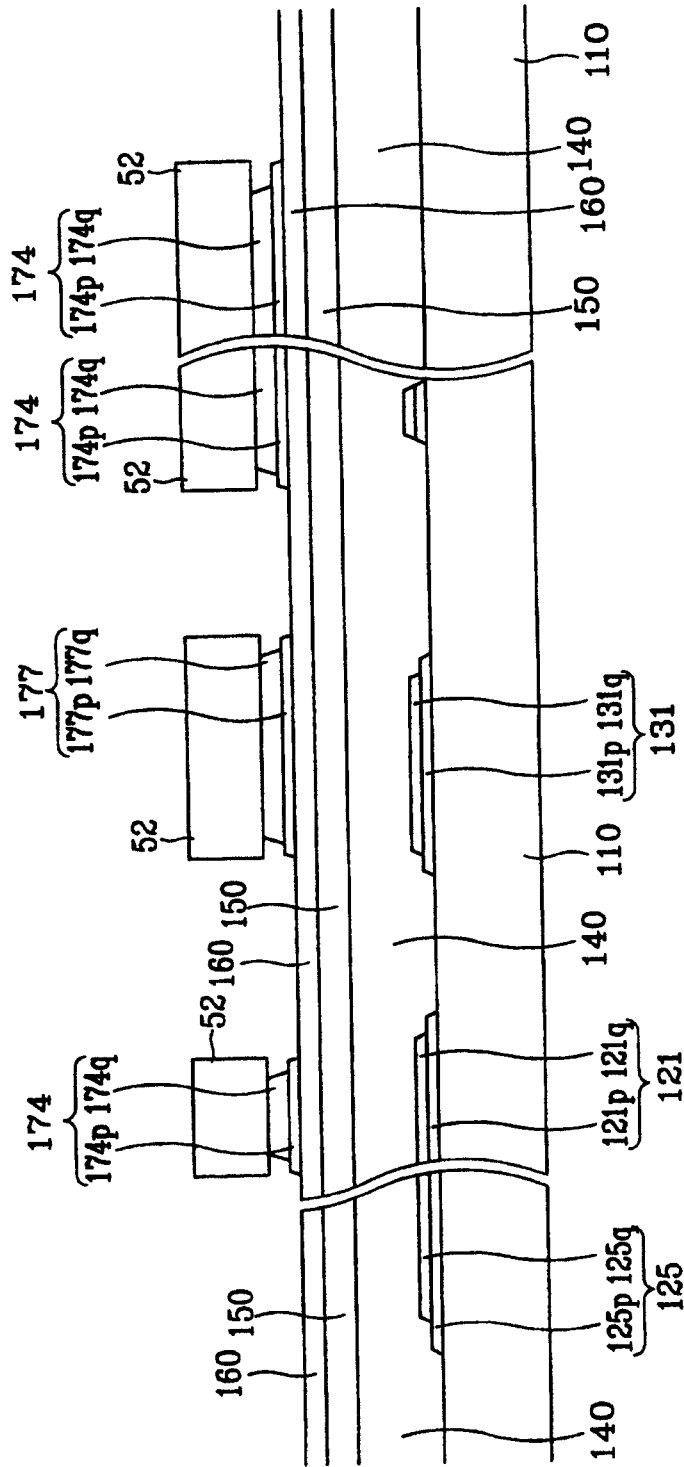


图 15A

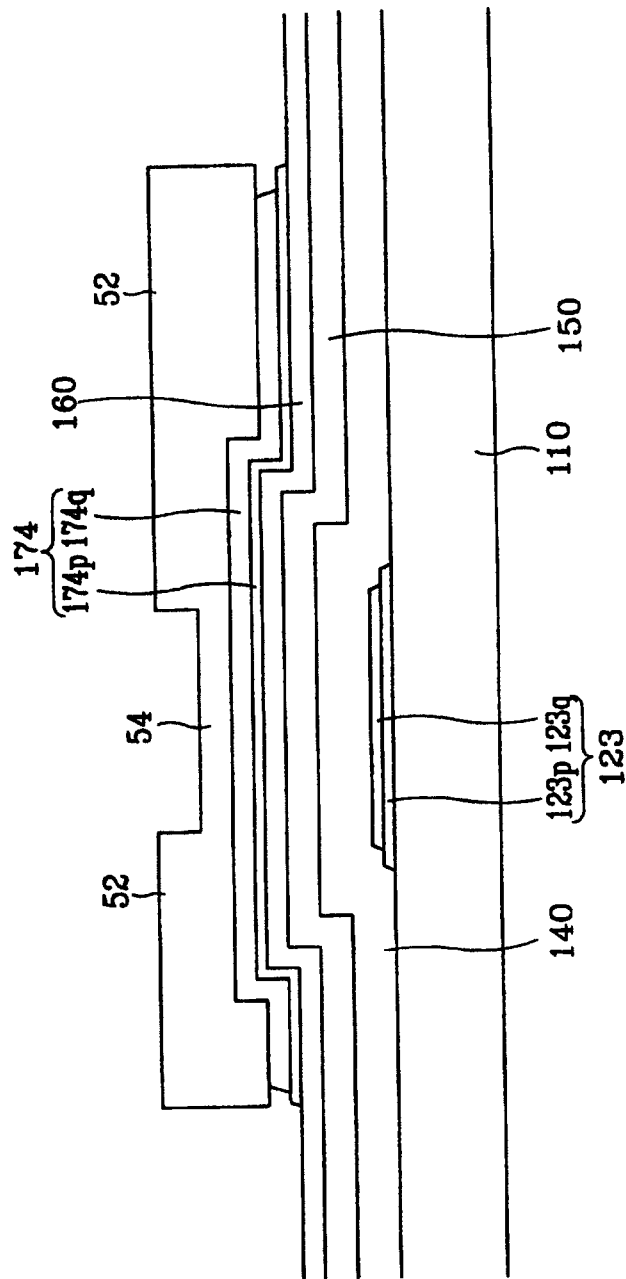


图 15B

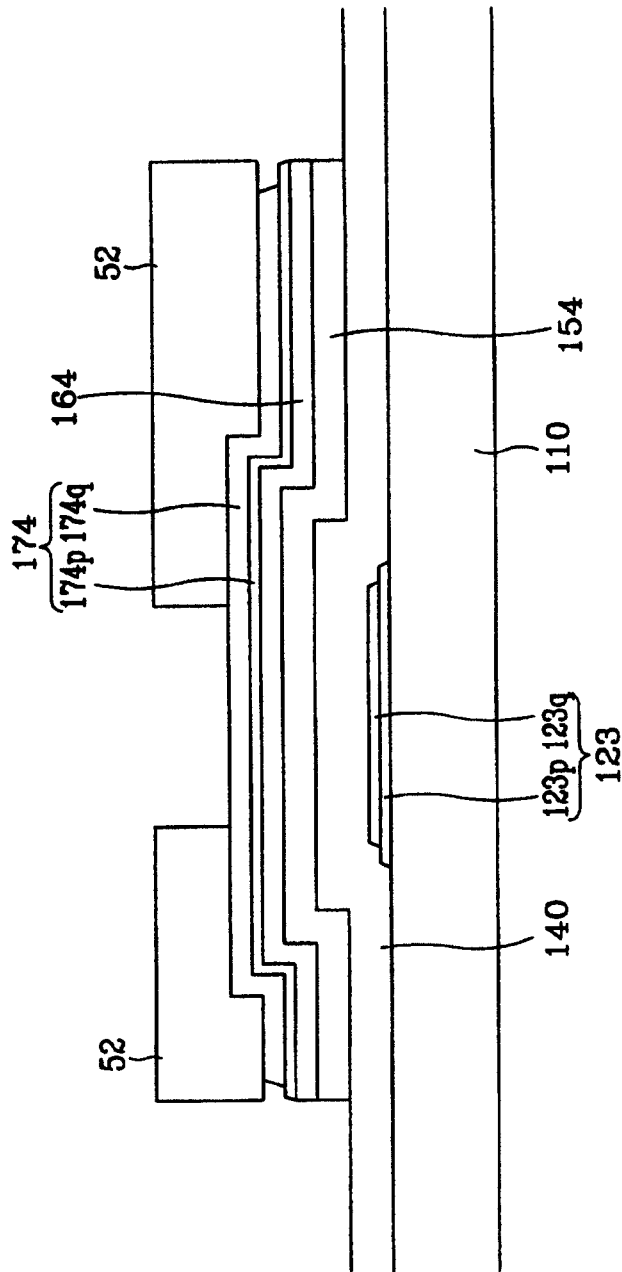


图 16B

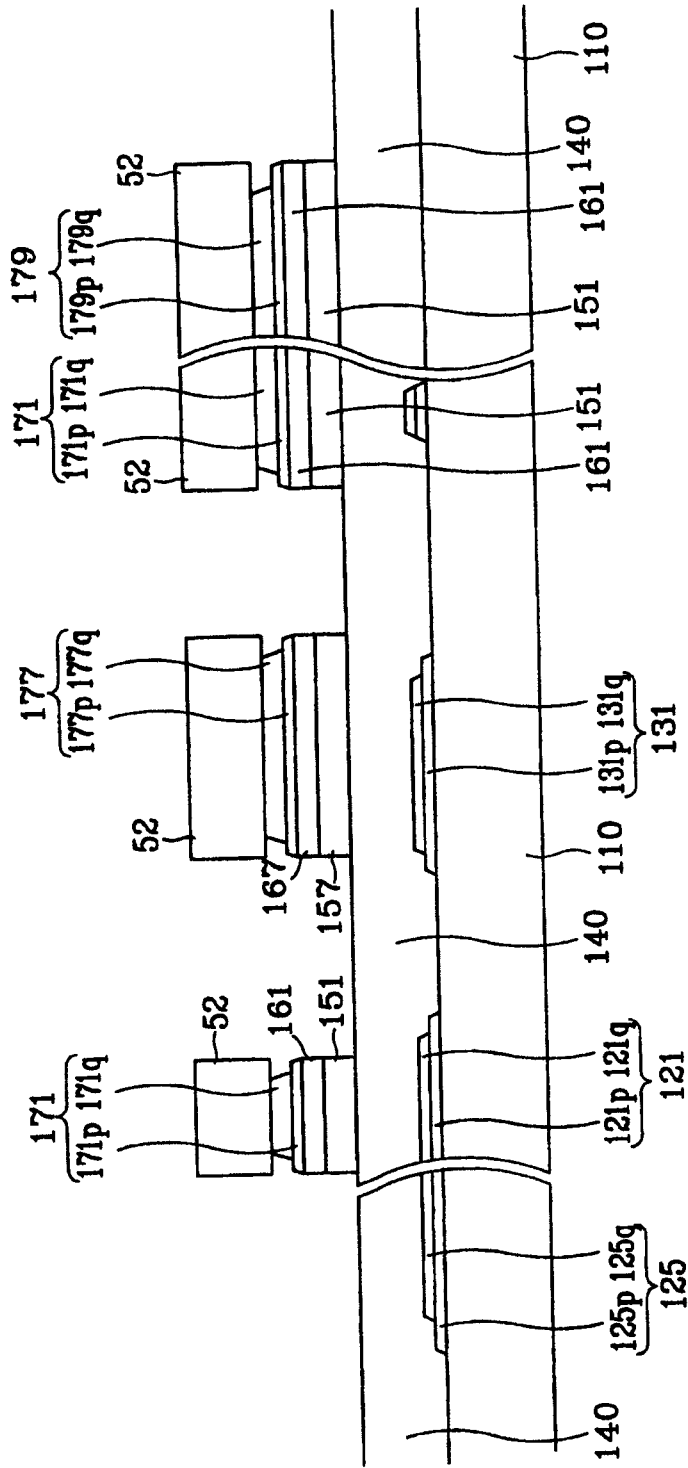


图 17A

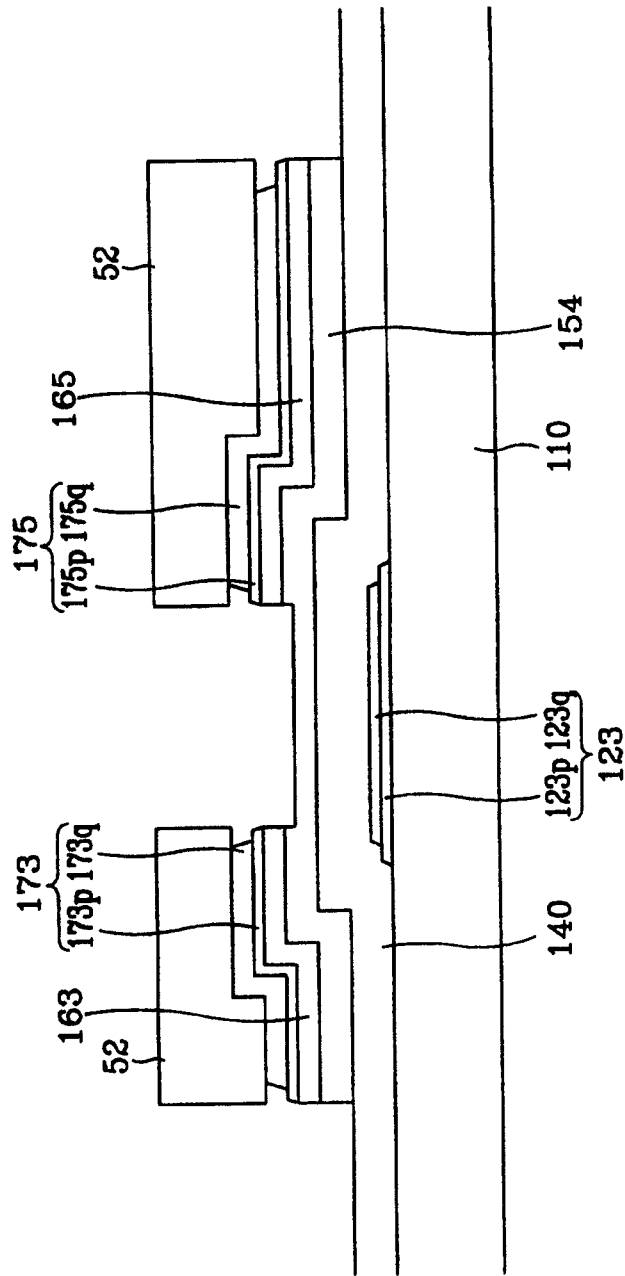


图 17B

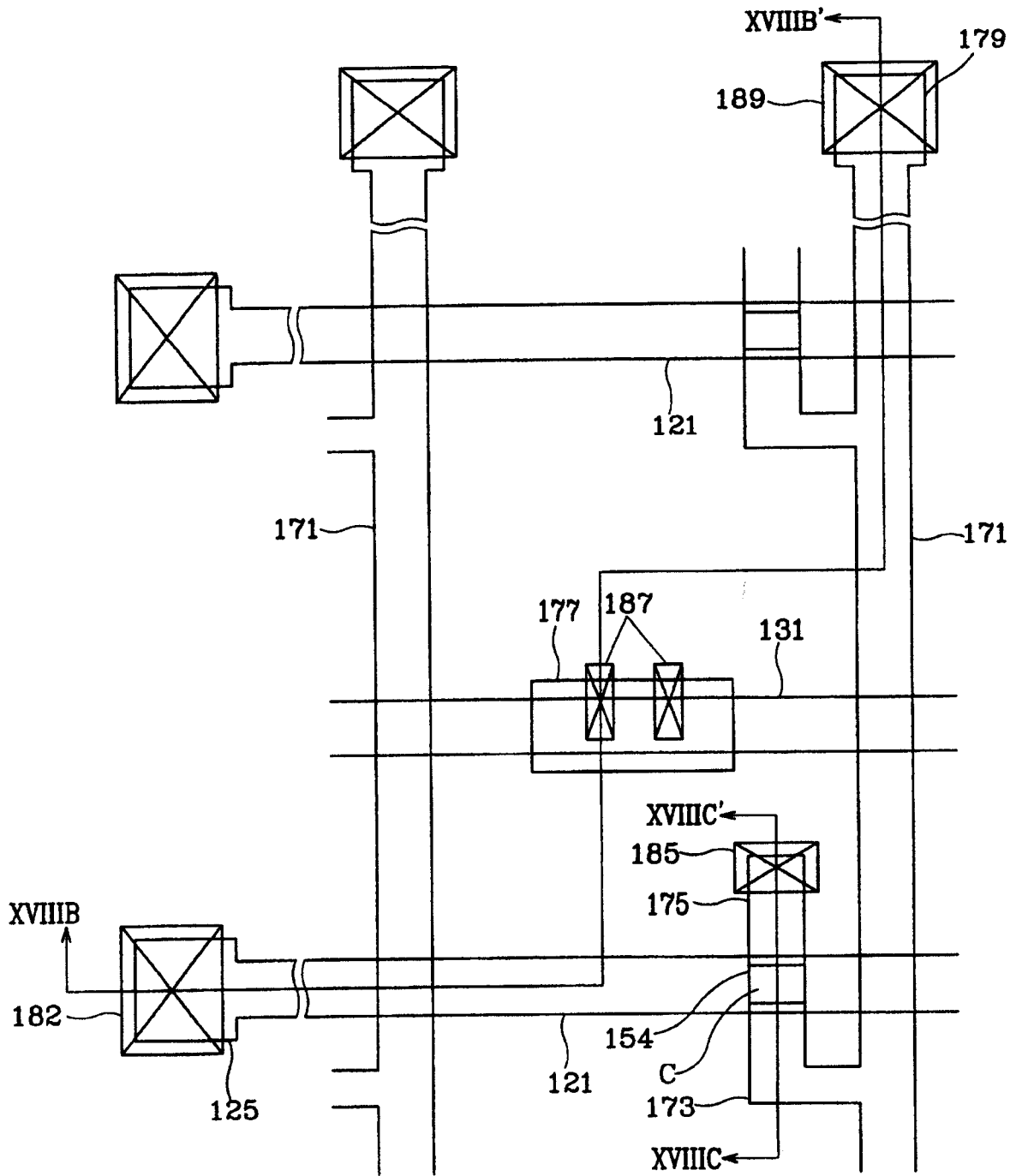


图 18A

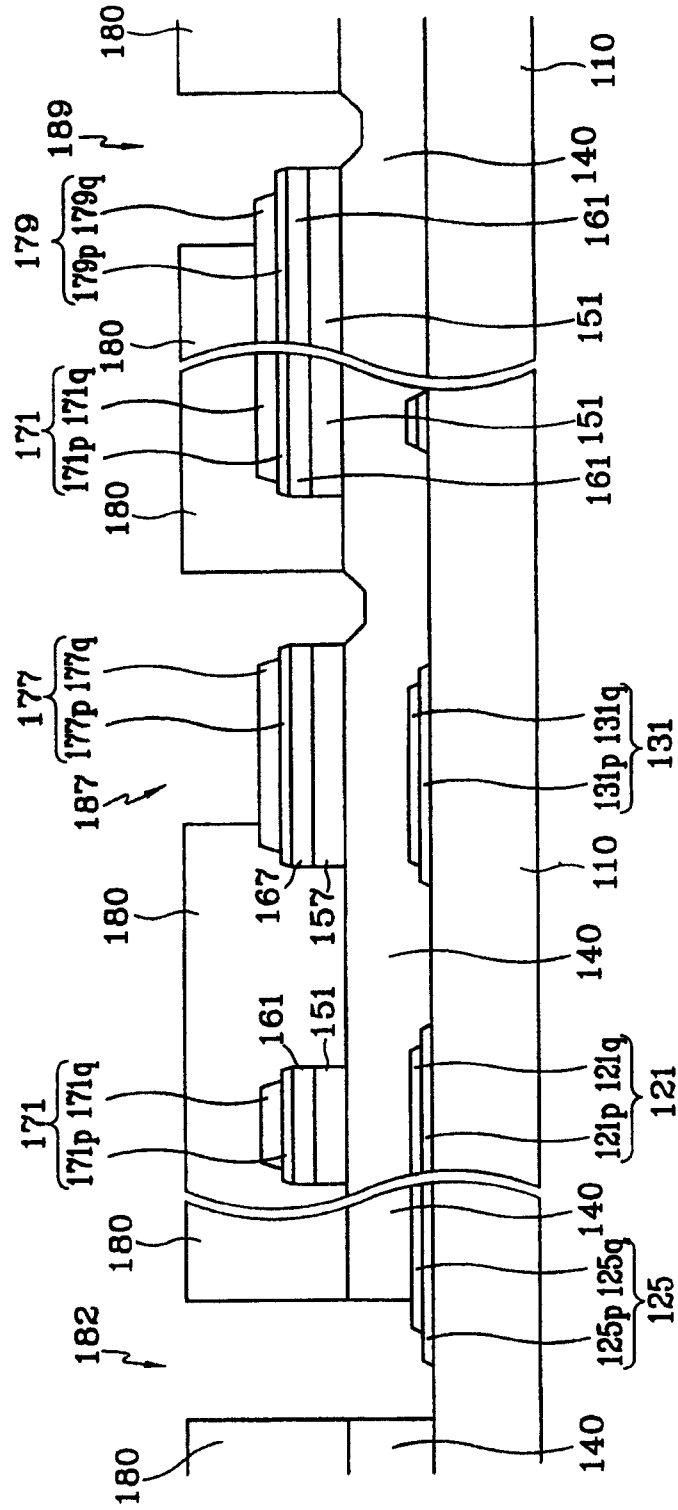


图 18B

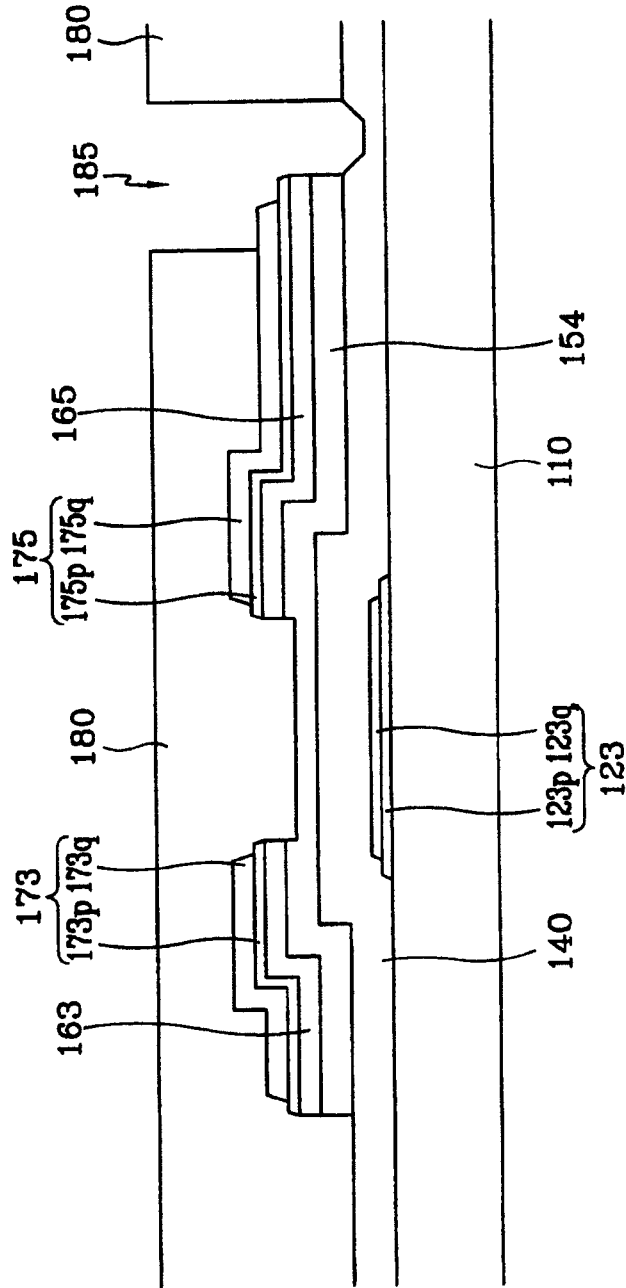


图 18C

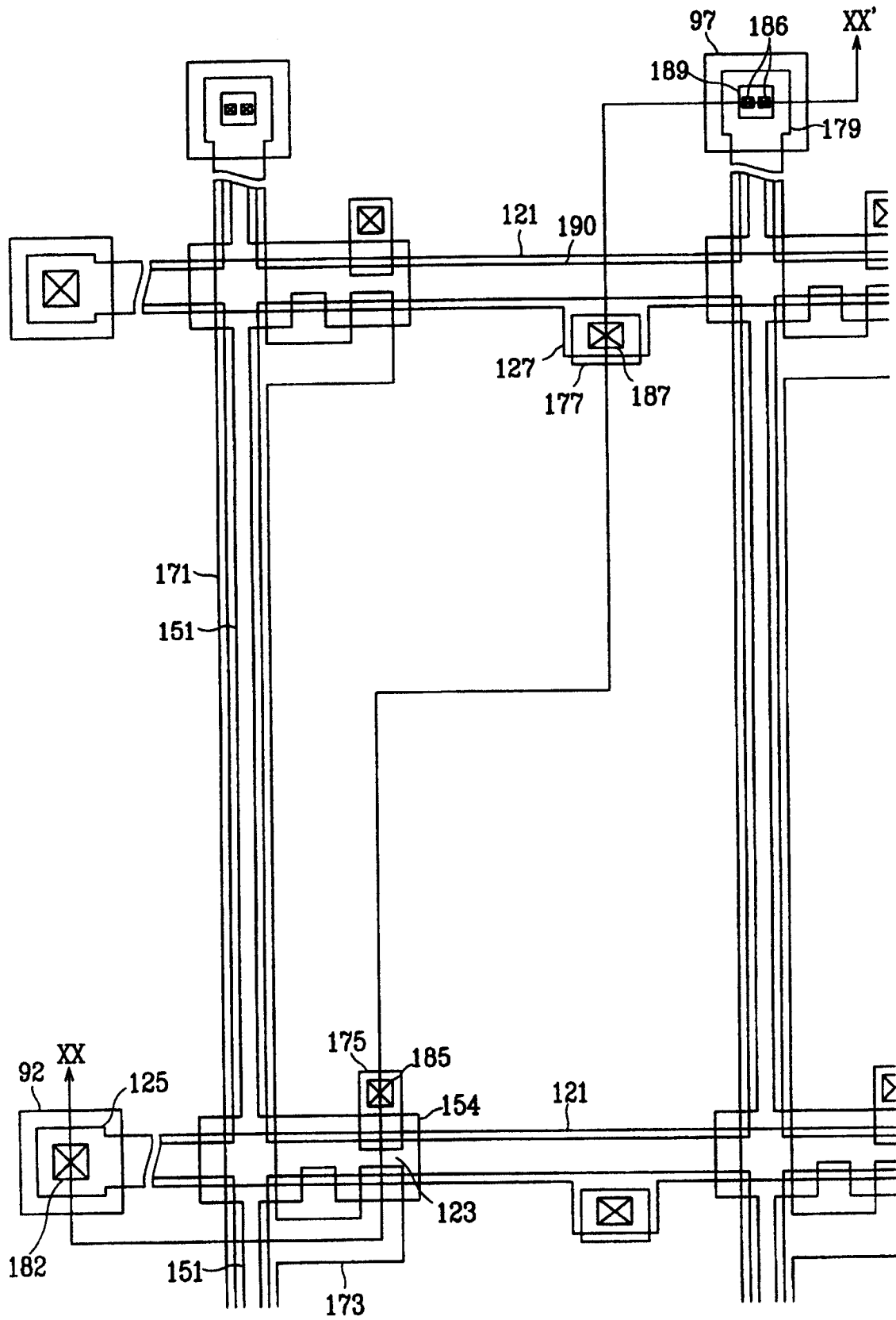


图 19

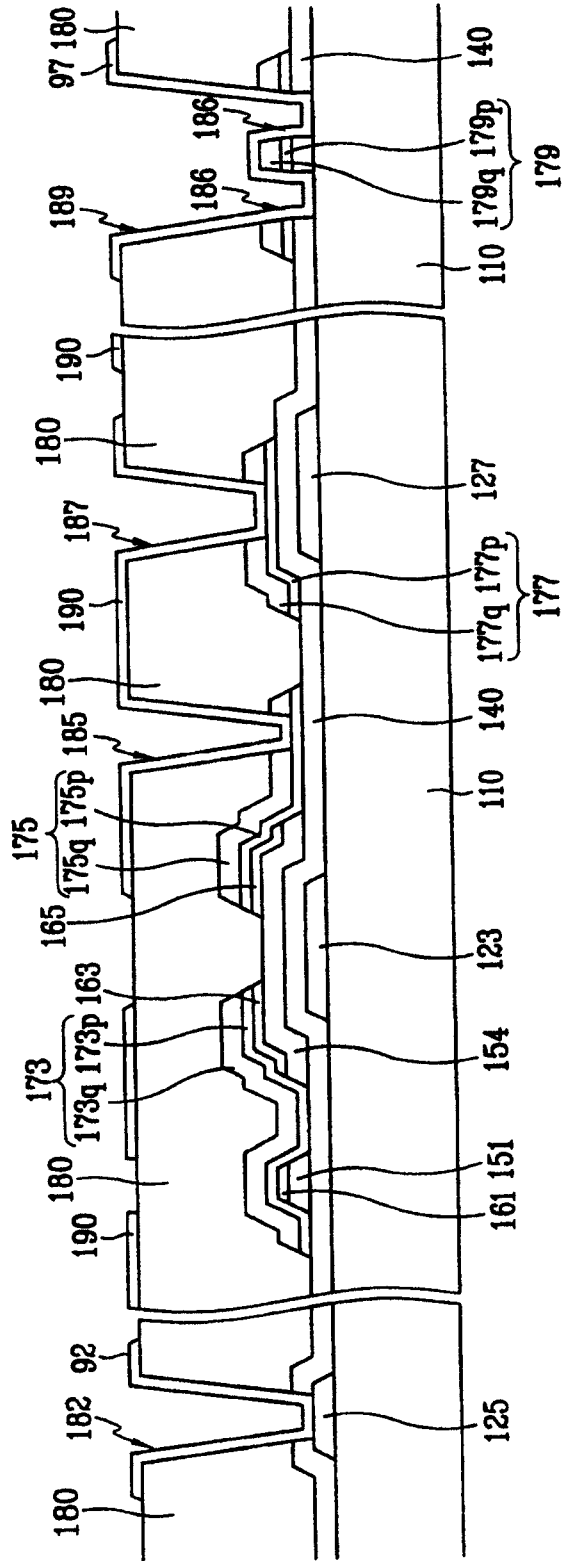


图 20

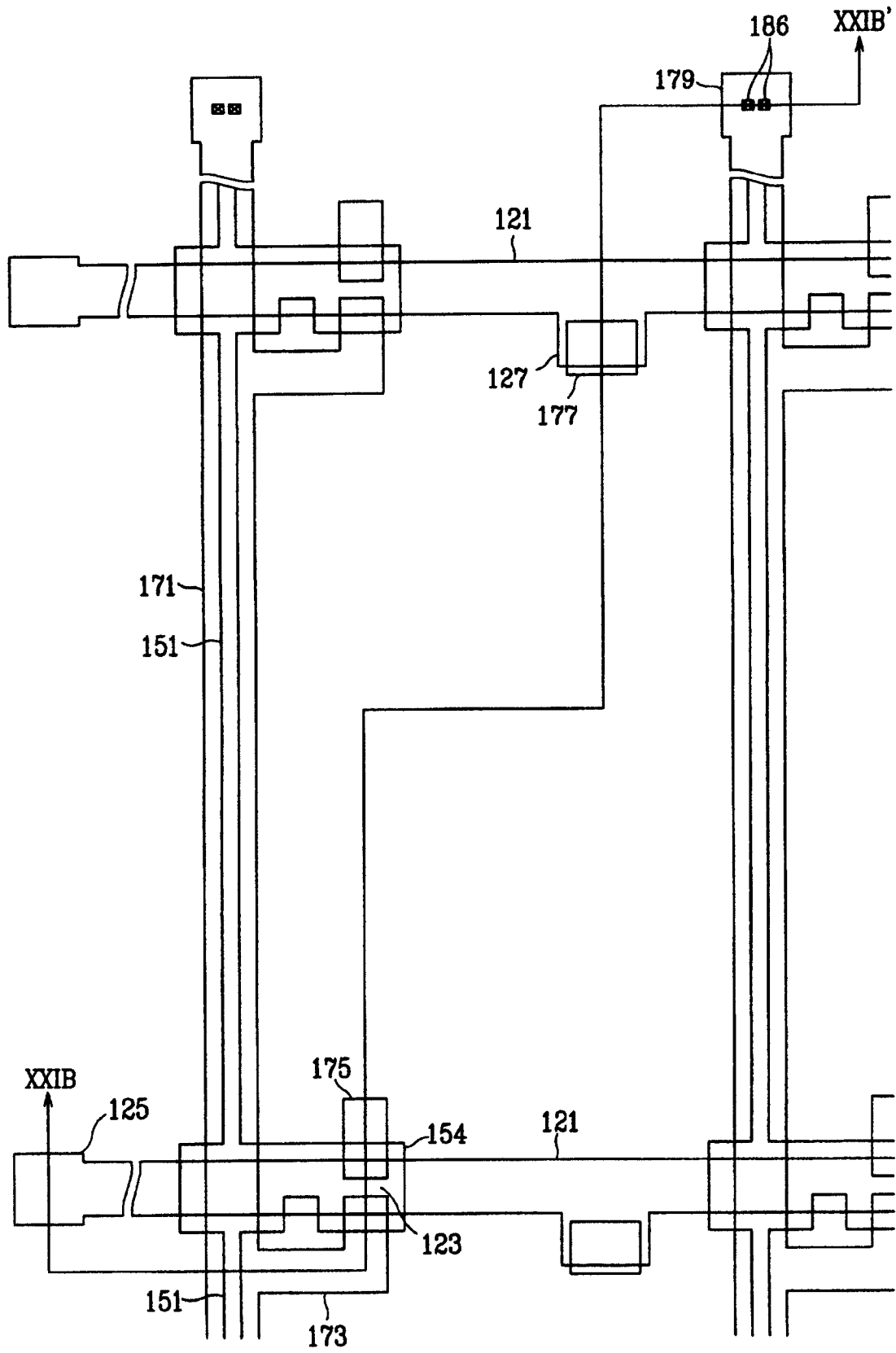


图 21A

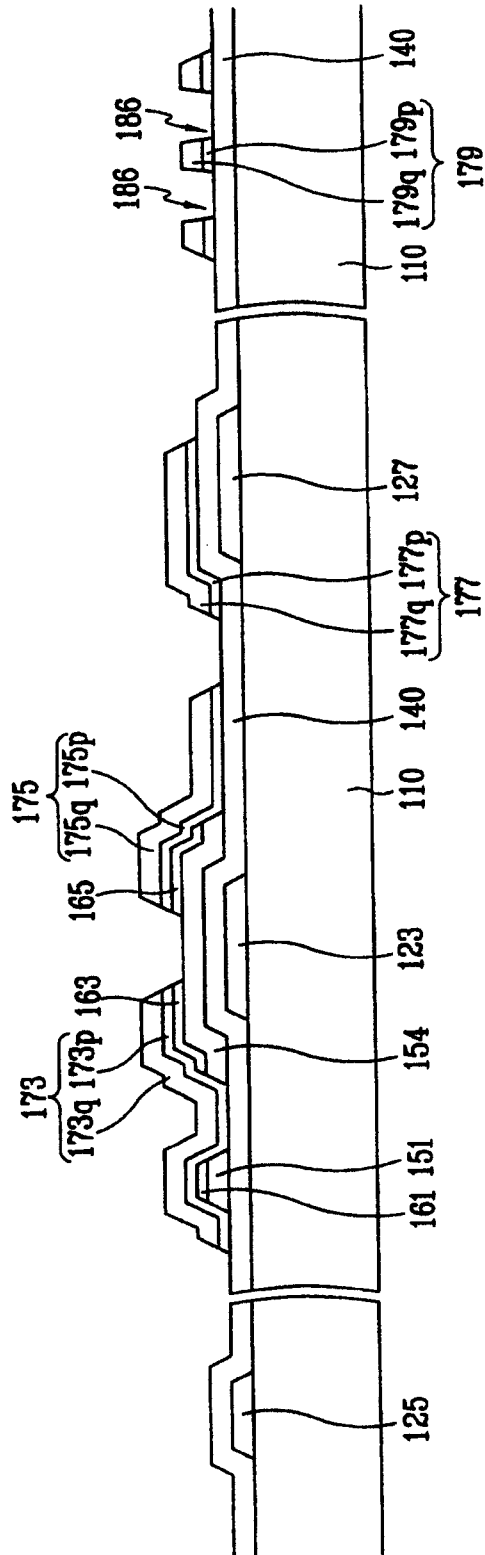


图 21B

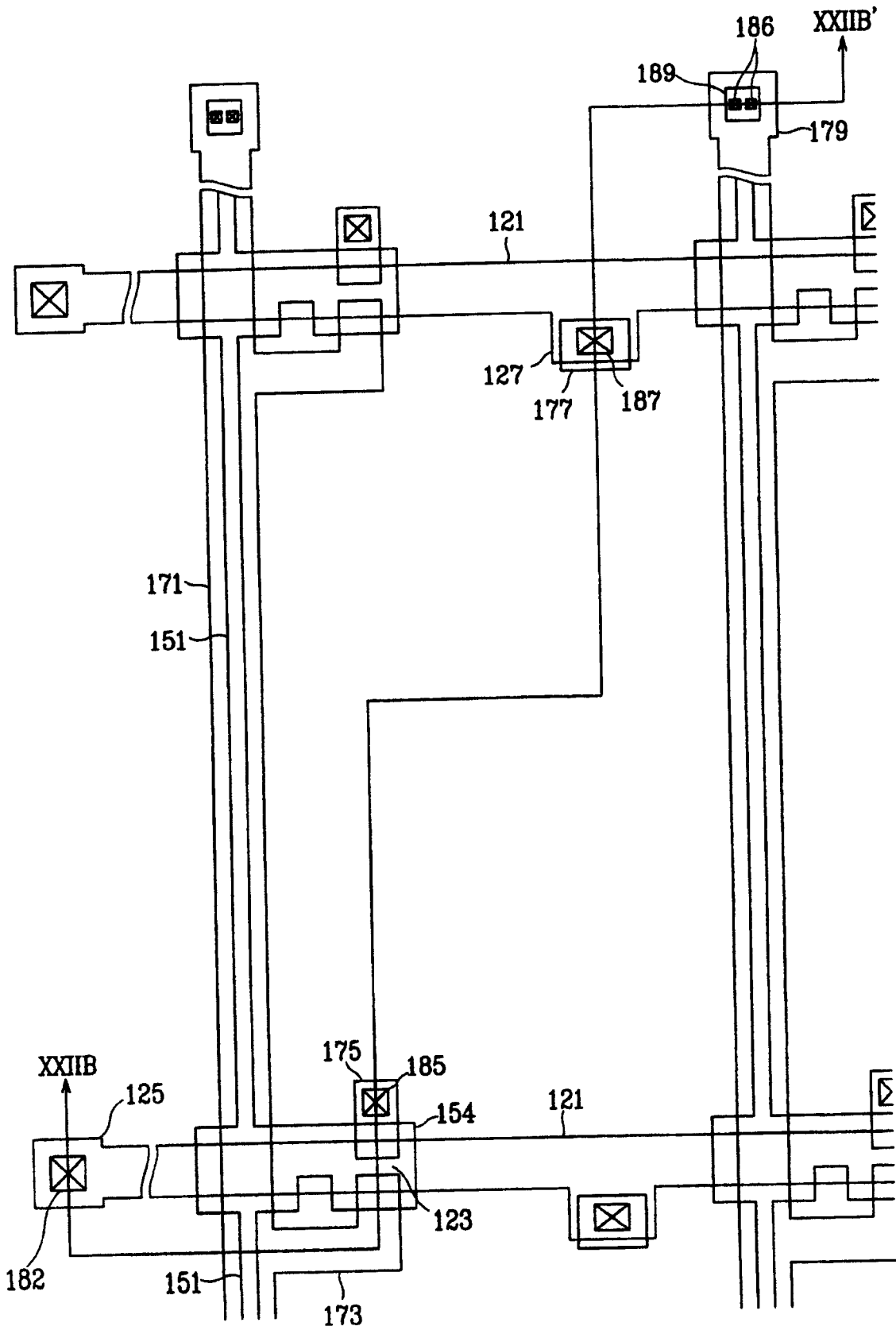


图 22A

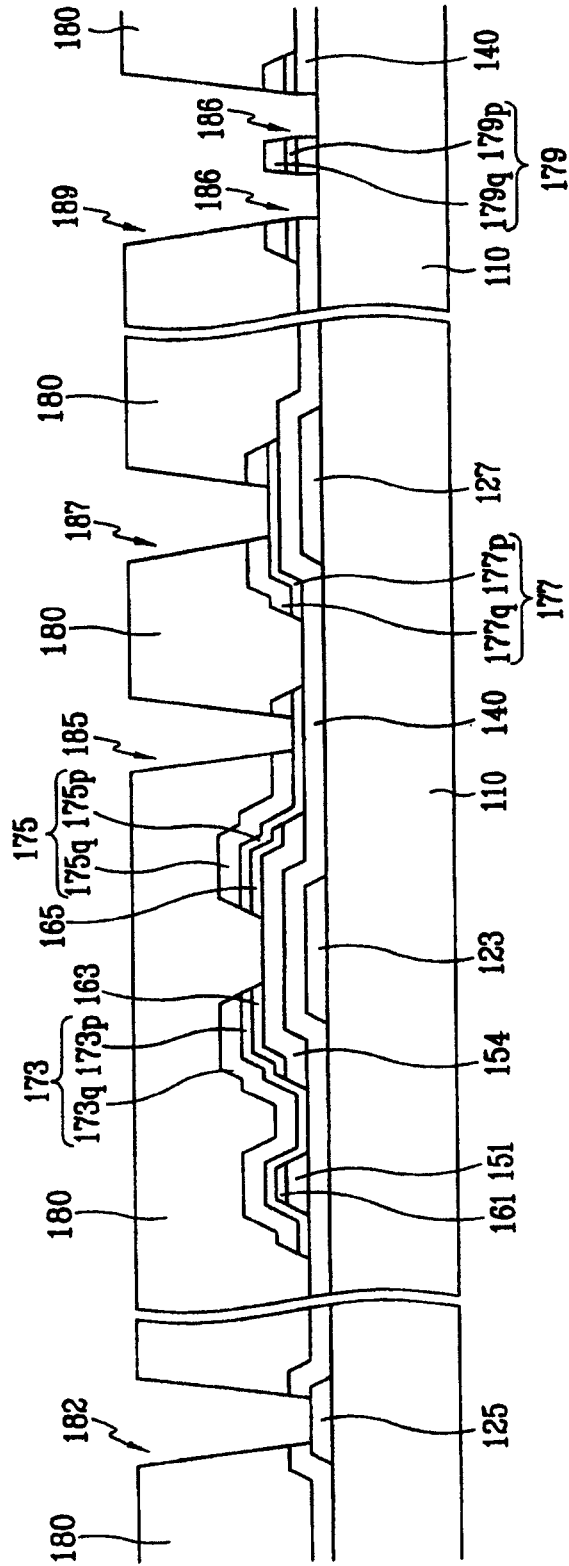


图 22B

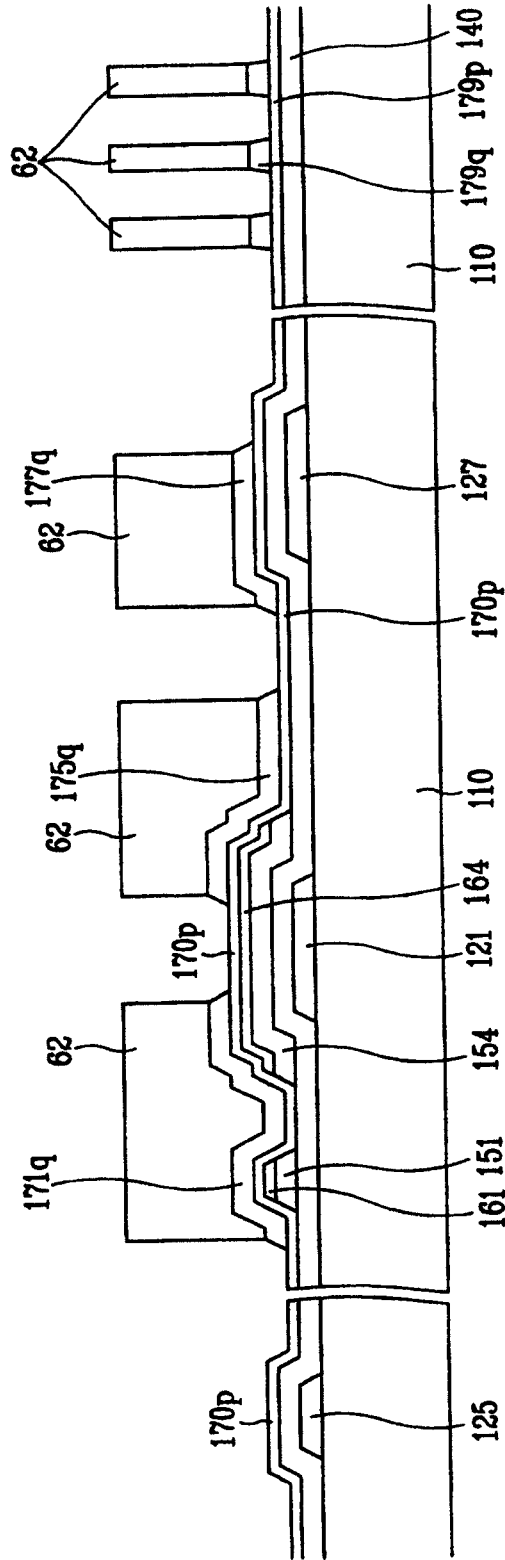


图 24A

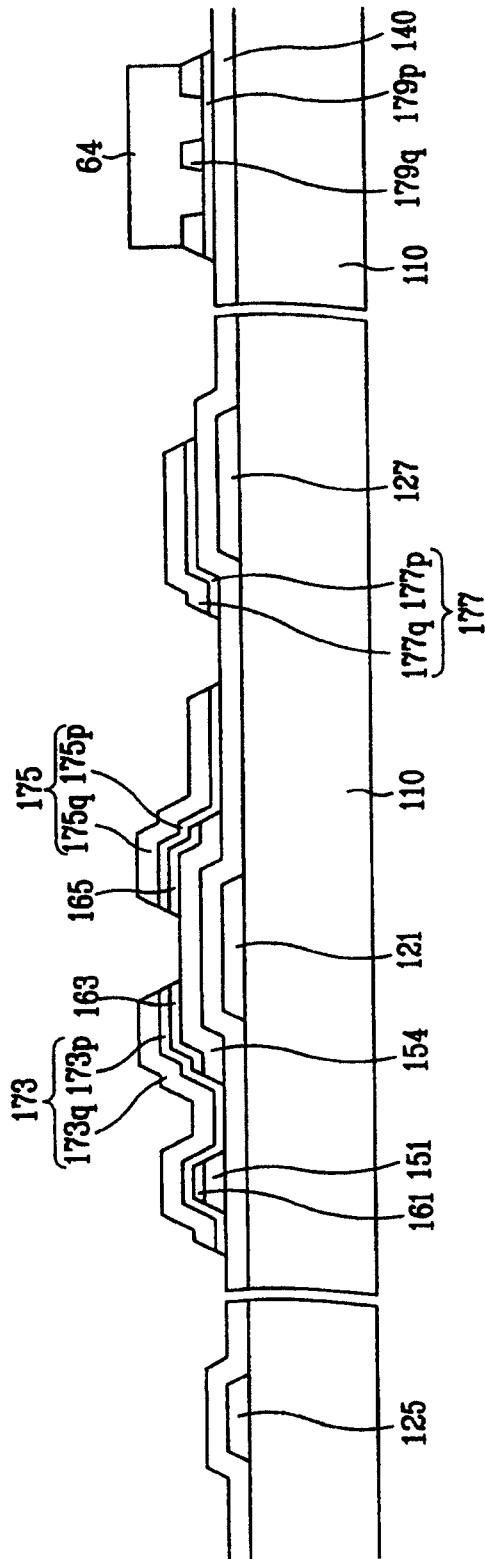


图 24B

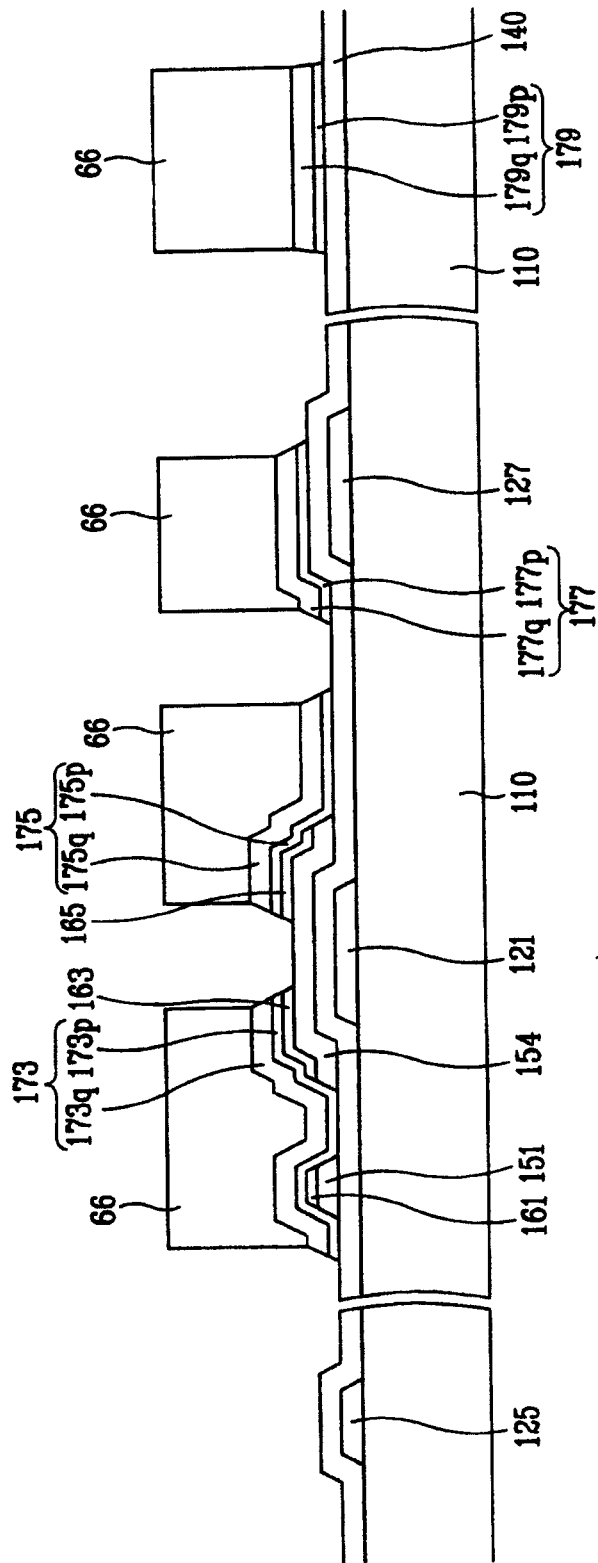


图 25A

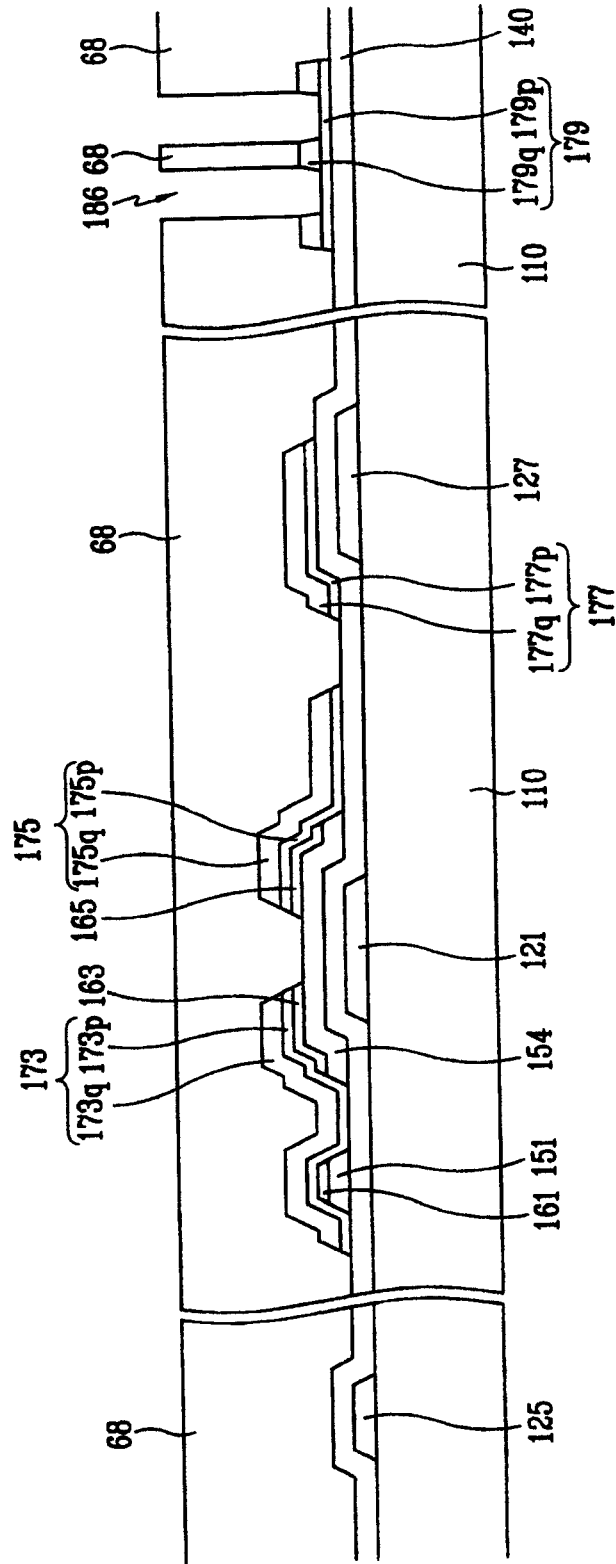


图 25B

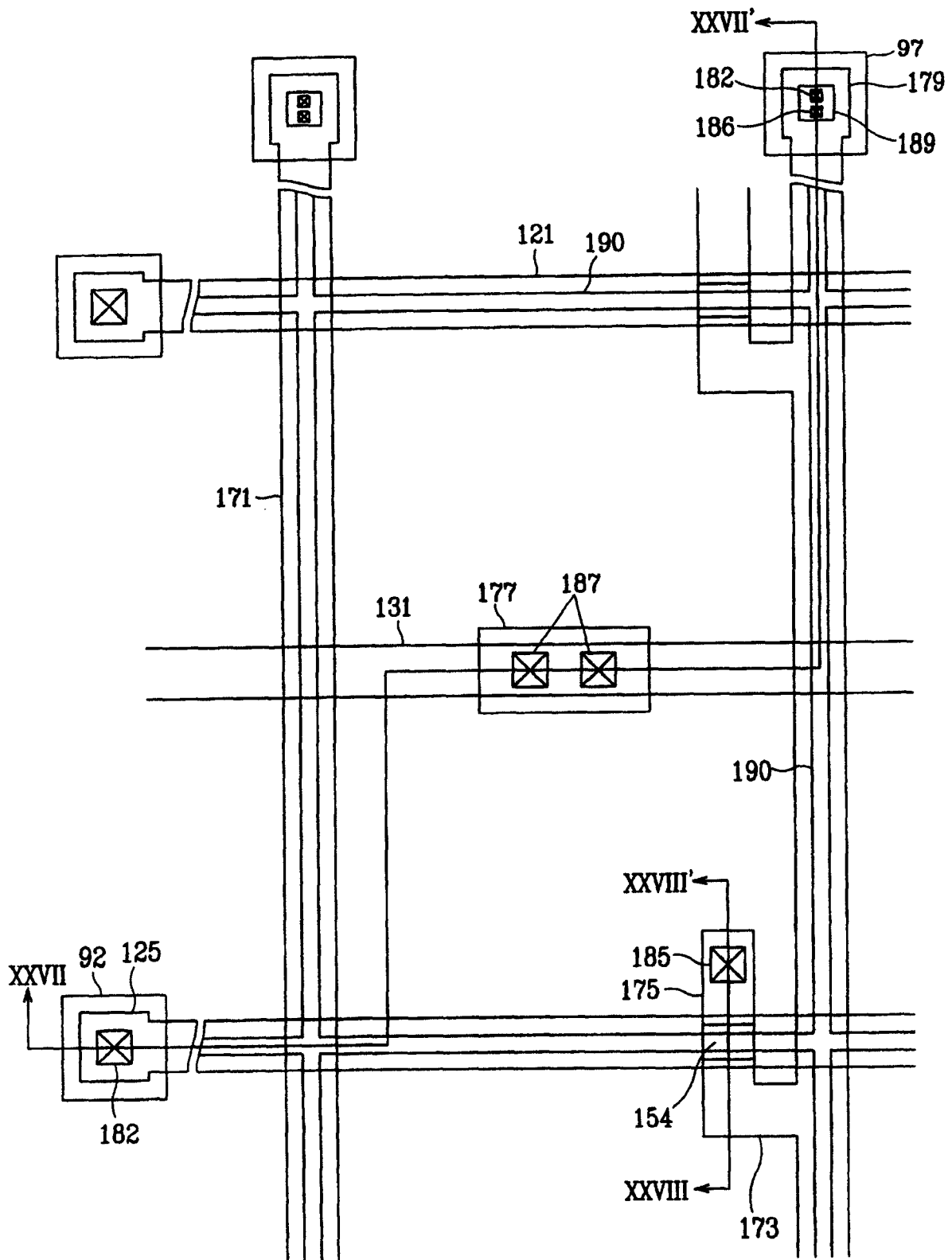


图 26

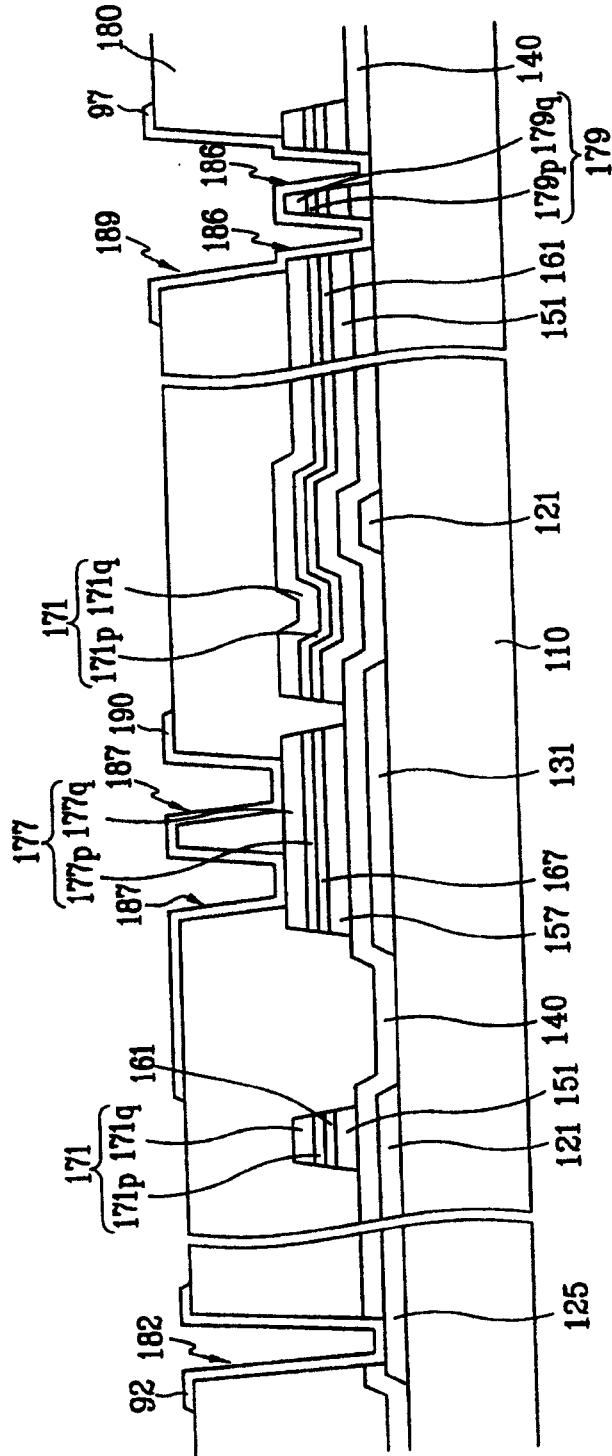


图 27

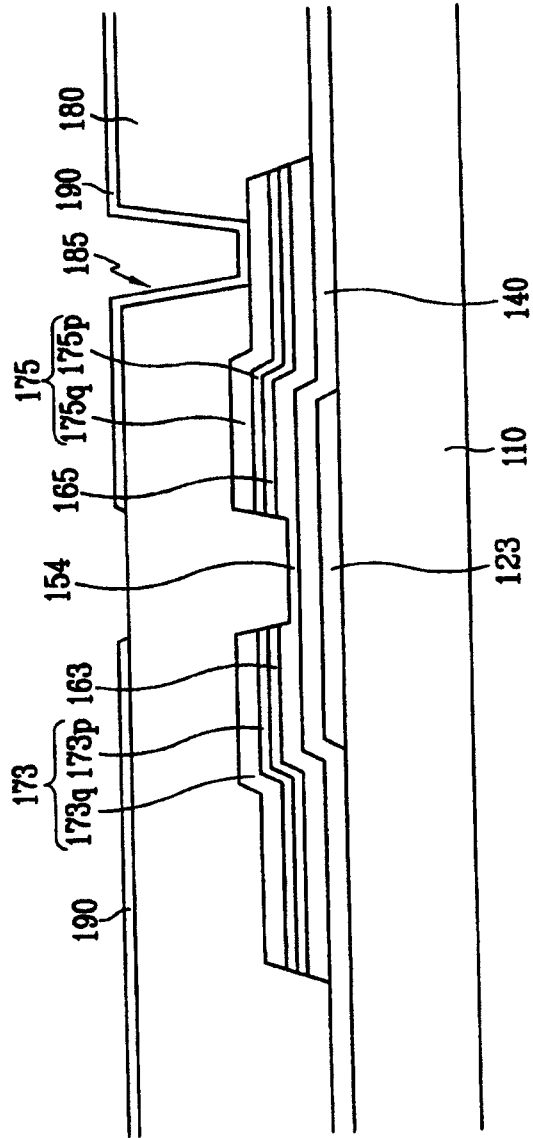


图 28

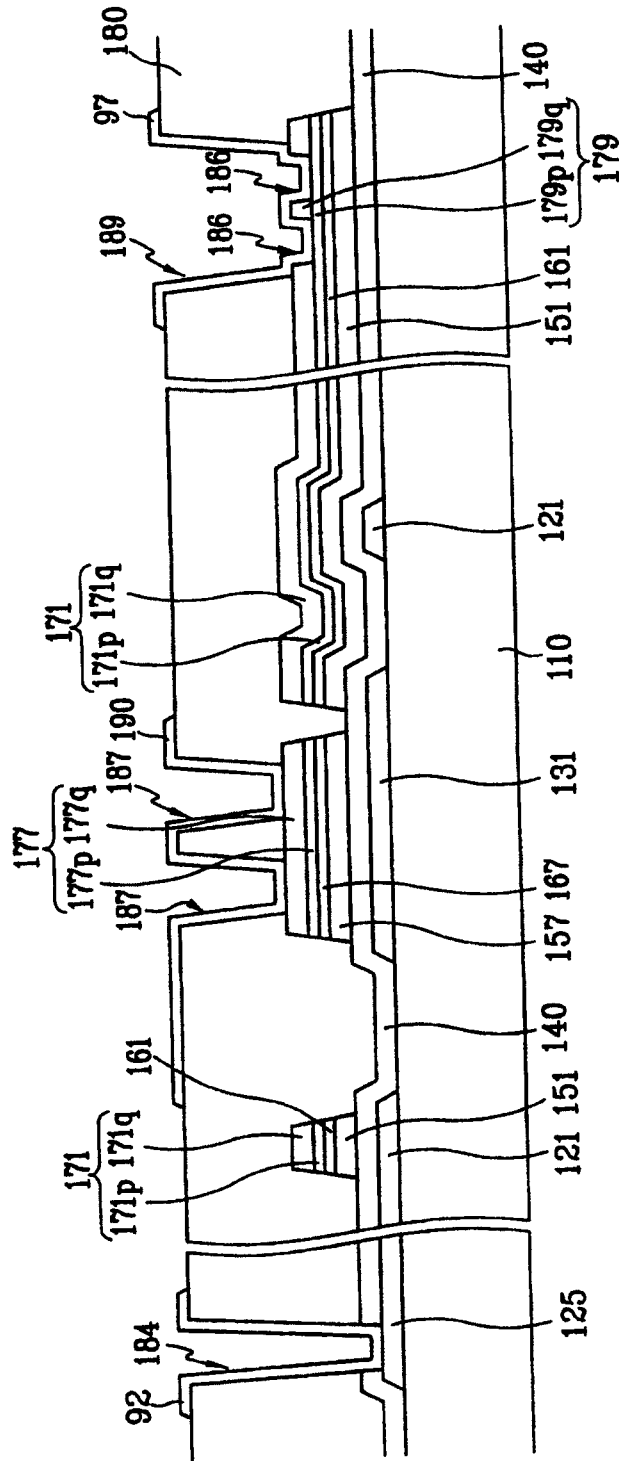


图 29