(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 2 月 26 日(26.02.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/025441 A1

(51) 国際特許分類:
H01L 21/82 (2006.01) *H01L 27/04* (2006.01)
H01L 21/822 (2006.01) *H01L 27/088* (2006.01)
H01L 21/8234 (2006.01) *H01L 27/092* (2006.01)
H01L 21/8238 (2006.01)

(21) 国際出願番号: PCT/JP2014/002237

(22) 国際出願日: 2014 年 4 月 21 日(21.04.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-173739 2013 年 8 月 23 日(23.08.2013) JP

(71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者: 新保　宏幸(SHIMBO, Hiroyuki).

(74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町２丁目５番７号　大阪丸紅ビル５階 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

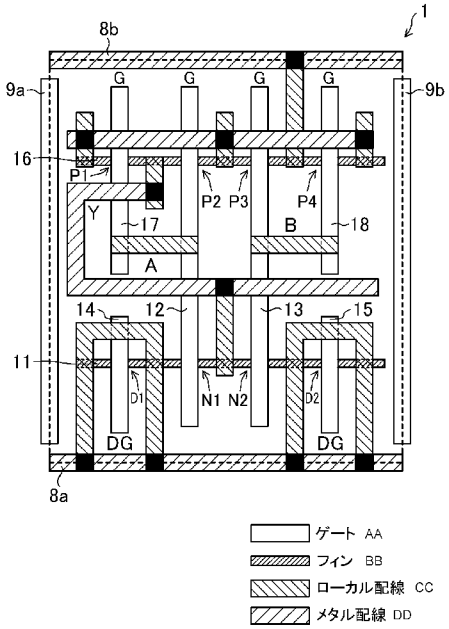
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) **Title**: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称 : 半導体集積回路装置

[図1]



AA... GATE
BB... FIN
CC... LOCAL WIRING
DD... METAL WIRING

(57) **Abstract**: A standard cell (1) has a fin (11) extending in the first direction. An active transistor (N1) is configured from the fin (11), and gate wiring (12), which extends in the second direction perpendicular to the first direction, and which is provided on the fin (11). A dummy transistor (D1) that shares one node of a source or a drain with the active transistor (N1) is configured from the fin (11), and dummy gate wiring (14) that is provided in parallel to the gate wiring (12).

(57) 要約:　スタンダードセル（１）は、第１方向に延びるフィン（１１）を有する。第１方向と垂直をなす第２方向に延びており、フィン（１１）上に設けられたゲート配線（１２）と、フィン（１１）とによって、アクティブトランジスタ（Ｎ１）が構成されている。フィン（１１）と、ゲート配線（１２）と並列に設けられたダミーゲート配線（１４）とによって、アクティブトランジスタ（Ｎ１）とソースまたはドレインの一方のノードを共有しているダミートランジスタ（Ｄ１）が構成されている。

WO 2015/025441 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体集積回路装置

技術分野

[0001] 本開示は、フィン構造のトランジスタを用いたスタンダードセルを備えた半導体集積回路装置に関する。

背景技術

[0002] 半導体基板上に半導体集積回路を形成する方法として、スタンダードセル方式が知られている。スタンダードセル方式とは、特定の論理機能を有する基本的単位（例えば、インバータ，ラッチ，フリップフロップ，全加算器など）をスタンダードセルとして予め用意しておき、半導体基板上に複数のスタンダードセルを配置して、それらのスタンダードセルを配線で接続することによって、ＬＳＩチップを設計する方式のことである。

[0003] また近年、半導体デバイスの分野において、フィン構造のトランジスタ（以下、フィン型トランジスタと称する）の利用が提案されている。図１２はフィン型トランジスタの概略を示す模式図である。二次元構造のＭＯＳトランジスタと異なり、ソースおよびドレインはフィンと呼ばれる隆起した立体構造を持つ。そしてこのフィンを包むように、ゲートが配置されている。このフィン構造により、チャネル領域がフィンの３つの面で形成されるので、チャネルの制御性が従来よりも大幅に改善する。このため、リーク電力削減、オン電流の向上、さらには動作電圧の低減などの効果が得られ、半導体集積回路の性能が向上する。

[0004] 特許文献１では、フィン構造の製造上の工夫として、フィンの形成方向とシリコン基板の結晶方向とを一致させて選択的にエッチングを行う方法が示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開２００８－２１９００２号

発明の概要

発明が解決しようとする課題

[0006] フィン構造では、フィンは長さ方向にわたって必ずしも均一に形成されるわけではない。すなわち、フィンの幅は長さ方向にわたって必ずしも同一でなく、ある程度のばらつきが生じる。特に、フィンの幅は終端部に向かうにつれて細くなる傾向がある。このため、フィンの終端部近くにトランジスタを形成した場合、所望の性能が得られない可能性が高い。

[0007] また、フィンの終端部に配線やコンタクトを接続する場合、フィンの終端部の形成不良や、配線やコンタクトのマスクずれに起因して、フィンと配線やコンタクトの電気的接触が悪化し、抵抗特性がばらつく可能性がある。このばらつきは、半導体チップの歩留まりの低下につながるおそれがある。

[0008] 本開示は、フィン型トランジスタを用いたスタンダードセルを備えた半導体集積回路装置において、フィンの終端部の細りの影響を抑制して、性能ばらつきを抑制することを目的とする。

課題を解決するための手段

[0009] 本開示の態様では、半導体集積回路装置は、第１方向に延びるフィンを有するスタンダードセルを備え、前記スタンダードセルは、前記フィンと、前記第１方向と垂直をなす第２方向に延びており、前記フィン上に設けられたゲート配線とによって構成されたアクティブトランジスタと、前記フィンと、前記ゲート配線と並列に、前記フィン上に設けられたダミーゲート配線とによって構成され、前記アクティブトランジスタとソースまたはドレインの一方のノードを共有しているダミートランジスタとを備えている。

[0010] この態様によると、ダミートランジスタの存在によって、アクティブトランジスタのソースまたはドレインの一方のノードは、フィンの終端部近傍から離れた位置になる。すなわち、フィン幅が細る可能性が高いフィンの終端部が、アクティブトランジスタのノードの位置から外されている。これにより、アクティブトランジスタに対するフィン終端部の細りの影響を回避することができ、アクティブトランジスタの性能のばらつきを抑えることが可能

となる。

発明の効果

[0011] 本開示によると、フィン型トランジスタを用いたスタンダードセルを備えた半導体集積回路装置において、フィンの終端部の細りの影響を抑制することができる。したがって、半導体集積回路装置の性能ばらつきを抑制することができる。

図面の簡単な説明

[0012] [図1]第１の実施形態に係る半導体集積回路装置が備えたスタンダードセルのレイアウト構成例を示す平面図

[図2]図１のスタンダードセルの回路図

[図3]図１のレイアウト構成の比較例を示す平面図

[図4]第２の実施形態に係る半導体集積回路装置が備えたスタンダードセルのレイアウト構成例を示す平面図

[図5]図４のレイアウト構成の比較例を示す平面図

[図6]第２の実施形態におけるスタンダードセルの他のレイアウト構成例を示す平面図

[図7]第２の実施形態におけるスタンダードセルの他のレイアウト構成例を示す平面図

[図8]実施形態におけるスタンダードセルの他のレイアウト構成例を示す平面図

[図9]図８のスタンダードセルの回路図

[図10]実施形態におけるスタンダードセルの他のレイアウト構成例を示す平面図

[図11]図１０のスタンダードセルの回路図

[図12]フィン構造のトランジスタの概略を示す模式図

発明を実施するための形態

[0013] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体集積回路装置は複数のスタンダードセルを備えており、この複

数のスタンダードセルのうち少なくとも一部は、フィン型トランジスタを用いているものとする。

[0014] また、本明細書では、スタンダードセルの論理機能に寄与するトランジスタのことを「アクティブトランジスタ」といい、アクティブトランジスタ以外のトランジスタ、すなわち、スタンダードセルの論理機能に寄与しないトランジスタのことを「ダミートランジスタ」という。

[0015] （第１の実施形態）

図１は第１の実施形態に係る半導体集積回路装置が備えたスタンダードセルのレイアウト構成例を示す平面図である。また図２は図１のスタンダードセルの回路図である。図２に示すとおり、図１のスタンダードセル１は２入力のＮＯＲ回路を実現するセルである。図１および他の平面図では、フィンとその上に形成されたゲートとによって、フィン型トランジスタが構成されている。ローカル配線は、平面視でフィンまたはゲートと重なる部分において、フィンまたはゲートの上層に接して形成されており、電気的に接続されている。メタル配線はローカル配線の上層に位置しており、コンタクトを介してローカル配線と接続されている。なお、図１では図の見やすさのために、フィンにハッチを付している。ただし、ゲートの下に位置する部分についてはハッチを省いている。また、ローカル配線およびメタル配線にも種類が異なるハッチを付しており、メタル配線とローカル配線とがコンタクトで接続された部分を黒く塗りつぶして示している。他の平面図においても同様である。

[0016] 図１に示すとおり、スタンダードセル１は、図面横方向（第１方向）に延びるフィン１１，１６を有している。フィン１１はＮ型領域においてＮ型トランジスタを構成するために用いられ、フィン１６はＰ型領域においてＰ型トランジスタを構成するために用いられる。すなわち、フィン１１と、図面縦方向（第１方向と垂直をなす第２方向）に延びており、フィン１１上に設けられたゲート配線１２，１３とによって、アクティブトランジスタであるＮ型トランジスタＮ１，Ｎ２がそれぞれ構成されている。Ｎ型トランジスタ

Ｎ１，Ｎ２はドレインを共有している。また、フィン１６と、図面縦方向に延びており、フィン１６上に設けられたゲート配線１７，１２，１３，１８によって、アクティブトランジスタであるＰ型トランジスタＰ１，Ｐ２，Ｐ３，Ｐ４がそれぞれ構成されている。

[0017] また、スタンダードセル１の下端において、接地電位を供給する接地配線８ａが図面横方向に延びるように配置されており、スタンダードセル１の上端において、電源電位を供給する電源配線８ｂが図面横方向に延びるように配置されている。スタンダードセル１の左右端には、図面縦方向に延びるダミーゲート配線９ａ，９ｂがそれぞれ配置されている。

[0018] さらに、フィン１１にはダミートランジスタＤ１，Ｄ２が構成されている。すなわち、フィン１１と、ゲート配線１２と並列にフィン１１上に設けられたダミーゲート配線１４とによって、ダミートランジスタＤ１が構成されている。Ｎ型トランジスタＮ１は、電源電位の一例としての接地電位が供給されるソースをダミートランジスタＤ１と共有している。また、フィン１１と、ゲート配線１３と並列にフィン１１上に設けられたダミーゲート配線１５とによって、ダミートランジスタＤ２が構成されている。Ｎ型トランジスタＮ２は、接地電位が供給されるソースをダミートランジスタＤ２と共有している。ダミートランジスタＤ１，Ｄ２は、ソース、ドレインおよびゲートがいずれも、電源配線の一例としての接地配線８ａに接続されている。

[0019] Ｎ型トランジスタＮ１は、ソースをダミートランジスタＤ１と共有しており、ドレインを第３のトランジスタとしてのＮ型トランジスタＮ２と共有している。Ｎ型トランジスタＮ２は、ソースをダミートランジスタＤ２と共有しており、ドレインを第３のトランジスタとしてのＮ型トランジスタＮ１と共有している。すなわち、図１のレイアウト構成では、Ｎ型領域において、全てのアクティブトランジスタＮ１，Ｎ２は、ソースおよびドレインの両方のノードを他のトランジスタと共有している。

[0020] 図１のレイアウト構成によると、フィン１１の終端部近傍にダミートランジスタＤ１，Ｄ２が構成されており、アクティブトランジスタであるＮ型ト

ランジスタＮ１，Ｎ２はフィン１１の終端部近傍から離れた位置に配置されている。すなわち、フィン幅が細る可能性が高いフィン１１の終端部が、アクティブトランジスタＮ１，Ｎ２の配置位置から外されている。これにより、アクティブトランジスタＮ１，Ｎ２に対するフィン１１終端部の細りの影響を回避することができ、アクティブトランジスタＮ１，Ｎ２の性能のばらつきを抑えることが可能となり、ローカル配線との電気的接触を良好にし、半導体チップの歩留まりを向上させることが可能となる。

[0021] 図３は図１のレイアウト構成の比較例を示す平面図である。図３のレイアウト構成では、フィン１１よりも短いフィン１１Ａが配置されており、その終端部（一点鎖線で図示）近傍にＮ型トランジスタＮ１，Ｎ２が配置されている。ダミートランジスタは形成されていない。

[0022] 図２のＮＯＲ回路の論理機能を実現することのみを考えるならば、ダミートランジスタＤ１，Ｄ２は不要である。したがって、図２のＮＯＲ回路の論理機能を実現することのみ考慮し、フィンの終端部の細りの影響を考慮せずにレイアウト設計すれば、ダミートランジスタＤ１，Ｄ２を備えない図３のようなレイアウト構成になるものと考えられる。

[0023] ところが図３のレイアウト構成では、Ｎ型トランジスタＮ１，Ｎ２がフィン１１Ａの終端部に配置されているため、終端部の細りの影響を受け、所望の性能が得られない可能性がある。したがって、図３のレイアウト構成を用いることによって、半導体チップの性能がばらついたり、歩留まりが低下したりする可能性が高まる。特に、クロック信号を伝搬するクロックツリーを構成するセルでは、性能のばらつきを抑える必要があるため、図３のレイアウト構成に代えて図１のレイアウト構成を用いることが効果的である。もちろん、このばらつきを抑える効果は、クロックツリーを構成するセルに限られるものではなく、他のセルに関しても有効である。

[0024] なお、本実施形態では、アクティブトランジスタとしてＮ型トランジスタが、ソースをダミートランジスタと共有するものとしたが、これに限られるものではない。例えば、アクティブトランジスタは、ドレインをダミートラ

ンジスタと共有してもよい。あるいは、アクティブトランジスタとしてＰ型トランジスタが、ソースまたはドレインをダミートランジスタと共有していてもよい。また、ダミートランジスタと共有されたソースまたはドレインの他方のノードが、別のダミートランジスタと共有されていてもよい。あるいは、ダミートランジスタと共有されたソースまたはドレインの他方のノードが、他のトランジスタと共有されていなくてもよい。

[0025] （第２の実施形態）

図４は第２の実施形態に係る半導体集積回路装置が備えたスタンダードセルのレイアウト構成例を示す平面図である。図４のスタンダードセル２は、図２に示す２入力のＮＯＲ回路を実現するセルであるが、図２の各トランジスタがそれぞれ２枚のフィンで構成されている。

[0026] 図４に示すとおり、スタンダードセル２は、図面横方向（第１方向）に延びるフィン１１，１６，２１，２２を有している。フィン１１，２１はＮ型領域においてＮ型トランジスタを形成するために用いられ、フィン１６，２２はＰ型領域においてＰ型トランジスタを形成するために用いられる。すなわち、フィン１１と、図面縦方向（第１方向と垂直をなす第２方向）に延びており、フィン１１上に設けられたゲート配線１２，１３とによって、アクティブトランジスタであるＮ型トランジスタＮ１，Ｎ２がそれぞれ構成されている。そして、第２フィンとしてのフィン２１と、フィン２１上に延びているゲート配線１２，１３とによって、第２アクティブトランジスタとしてのＮ型トランジスタＮ１ａ，Ｎ２ａがそれぞれ構成されている。

[0027] また、フィン１６と、図面縦方向に延びており、フィン１６上に設けられたゲート配線１７，１２，１３，１８によって、アクティブトランジスタであるＰ型トランジスタＰ１，Ｐ２，Ｐ３，Ｐ４がそれぞれ構成されている。そして、フィン２２と、フィン２２上に延びているゲート配線１７，１２，１３，１８とによって、Ｐ型トランジスタＰ１ａ，Ｐ２ａ，Ｐ３ａ，Ｐ４ａがそれぞれ構成されている。

[0028] また、スタンダードセル２の下端において、接地電位を供給する接地配線

８ａが図面横方向に延びるように配置されており、スタンダードセル２の上端において、電源電位を供給する電源配線８ｂが図面横方向に延びるように配置されている。スタンダードセル２の左右端には、図面縦方向に延びるダミーゲート配線９ａ，９ｂがそれぞれ配置されている。

[0029] さらに、フィン１１にはダミートランジスタＤ１，Ｄ２が構成されており、フィン２１にはダミートランジスタＤ１ａ，Ｄ２ａが構成されている。すなわち、フィン１１と、ゲート配線１２と並列にフィン１１上に設けられたダミーゲート配線１４とによって、ダミートランジスタＤ１が構成されている。また、フィン１１と、ゲート配線１３と並列にフィン１１上に設けられたダミーゲート配線１５とによって、ダミートランジスタＤ２が構成されている。Ｎ型トランジスタＮ１は接地電位が供給されるソースをダミートランジスタＤ１と共有しており、Ｎ型トランジスタＮ２は接地電位が供給されるソースをダミートランジスタＤ２と共有している。さらに、フィン２１と、フィン２１上に延びているダミーゲート配線１４とによって、ダミートランジスタＤ１ａが構成されている。また、フィン２１と、フィン２１上に延びているダミーゲート配線１５とによって、ダミートランジスタＤ２ａが構成されている。Ｎ型トランジスタＮ１ａは接地電位が供給されるソースをダミートランジスタＤ１ａと共有しており、Ｎ型トランジスタＮ２ａは接地電位が供給されるソースをダミートランジスタＤ２ａと共有している。ダミートランジスタＤ１，Ｄ２，Ｄ１ａ，Ｄ２ａは、ソース、ドレインおよびゲートがいずれも接地配線８ａに接続されている。

[0030] Ｎ型トランジスタＮ１は、ソースをダミートランジスタＤ１と共有しており、ドレインをＮ型トランジスタＮ２と共有している。Ｎ型トランジスタＮ２は、ソースをダミートランジスタＤ２と共有しており、ドレインをＮ型トランジスタＮ１と共有している。Ｎ型トランジスタＮ１ａは、ソースをダミートランジスタＤ１ａと共有しており、ドレインをＮ型トランジスタＮ２ａと共有している。Ｎ型トランジスタＮ２ａは、ソースをダミートランジスタＤ２ａと共有しており、ドレインをＮ型トランジスタＮ１ａと共有している

。すなわち、図４のレイアウト構成では、Ｎ型領域において、全てのアクティブトランジスタＮ１，Ｎ２，Ｎ１ａ，Ｎ１ｂは、ソースおよびドレインの両方のノードを他のトランジスタと共有している。

[0031] 図４のレイアウト構成によると、フィン１１の終端部近傍にダミートランジスタＤ１，Ｄ２が配置されており、Ｎ型トランジスタＮ１，Ｎ２はフィン１１の終端部近傍から離れた位置に配置されている。すなわち、フィン幅が細る可能性が高いフィン１１の終端部が、アクティブトランジスタＮ１，Ｎ２の配置位置から外されている。また、フィン２１の終端部近傍にダミートランジスタＤ１ａ，Ｄ２ａが配置されており、Ｎ型トランジスタＮ１ａ，Ｎ２ａはフィン２１の終端部近傍から離れた位置に配置されている。すなわち、フィン幅が細る可能性が高いフィン２１の終端部が、アクティブトランジスタＮ１ａ，Ｎ２ａの配置位置から外されている。これにより、アクティブトランジスタＮ１，Ｎ２に対するフィン１１終端部の細りの影響、および、アクティブトランジスタＮ１ａ，Ｎ１ｂに対するフィン２１終端部の細りの影響を回避することができ、アクティブトランジスタＮ１，Ｎ２，Ｎ１ａ，Ｎ１ｂの性能のばらつきを抑えることが可能となり、ローカル配線との電気的接触を良好にし、半導体チップの歩留まりを向上させることが可能となる。

[0032] 図５は図４のレイアウト構成の比較例を示す平面図である。図５のレイアウト構成では、Ｎ型トランジスタを形成するために１本のフィン１１Ｂのみが設けられており、その終端部（一点鎖線で図示）近傍にＮ型トランジスタＮ１ａ，Ｎ１ｂが配置されている。ダミートランジスタは形成されていない。

[0033] 図２に示すＮＯＲ回路（ただしダミートランジスタＤ１，Ｄ２を除く）を、各トランジスタについて２枚のフィンで形成する場合、フィンの終端部の細りの影響を考慮せずにレイアウト設計すれば、図５のようなレイアウト構成になるものと考えられる。

[0034] 図５のレイアウト構成では、Ｎ型トランジスタＮ１ａ，Ｎ２ａがフィン１

１Ｂの終端部近傍に配置されているため、終端部の細りの影響を受け、所望の性能が得られない可能性がある。したがって、図５のレイアウト構成を用いることによって、半導体チップの性能がばらついたり、歩留まりが低下したりする可能性が高まる。特に、クロック信号を伝搬するクロックツリーを構成するセルでは、性能のばらつきを抑える必要があるため、図５のレイアウト構成に代えて図４のレイアウト構成を用いることが効果的である。もちろん、このばらつきを抑える効果は、クロックツリーを構成するセルに限られるものではなく、他のセルに関しても有効である。

[0035] 図６は本実施形態におけるスタンダードセルの他のレイアウト構成例を示す平面図である。図６のスタンダードセル２Ａは、図４と同一の回路構成を実現するものであるが、Ｎ型トランジスタＮ１，Ｎ２，Ｎ１ａ，Ｎ１ｂが、ドレインを、ダミートランジスタＤ１，Ｄ２，Ｄ１ａ，Ｄ２ａとそれぞれ共有している。ダミートランジスタＤ１，Ｄ２，Ｄ１ａ，Ｄ２ａは、ソースおよびゲートが接地配線８ａに接続されている。

[0036] 図６のレイアウト構成でも、図４のレイアウト構成と同様に、フィン幅が細る可能性が高いフィン１１，２１の終端部が、アクティブトランジスタＮ１，Ｎ２，Ｎ１ａ，Ｎ２ａの配置位置から外されている。これにより、アクティブトランジスタＮ１，Ｎ２に対するフィン１１終端部の細りの影響、および、アクティブトランジスタＮ１ａ，Ｎ１ｂに対するフィン２１終端部の細りの影響を回避することができ、アクティブトランジスタＮ１，Ｎ２，Ｎ１ａ，Ｎ１ｂの性能のばらつきを抑えることが可能となる。

[0037] 図７は本実施形態におけるスタンダードセルの他のレイアウト構成例を示す平面図である。図７のスタンダードセル２Ｂは、図４と同一の回路構成を実現するものであるが、Ｎ型トランジスタＮ１，Ｎ２，Ｎ１ａ，Ｎ１ｂが、ドレインおよびソースの両方を、ダミートランジスタとそれぞれ共有している。また、Ｐ型トランジスタＰ１，Ｐ４，Ｐ１ａ，Ｐ４ａが、ドレインを、ダミートランジスタとそれぞれ共有している。

[0038] すなわち、領域ＤＮ１では、フィン３１，３２とダミーゲート配線３３と

によって、Ｎ型トランジスタＮ１，Ｎ１ａとソースを共有するダミートランジスタが構成されている。領域ＤＮ２では、フィン３１，３２とダミーゲート配線３４とによって、Ｎ型トランジスタＮ１，Ｎ１ａとドレインを共有するダミートランジスタが構成されており、また、フィン３１，３２とダミーゲート配線３５とによって、Ｎ型トランジスタＮ２，Ｎ２ａとドレインを共有するダミートランジスタが構成されている。領域ＤＮ３では、フィン３１，３２とダミーゲート配線３６とによって、Ｎ型トランジスタＮ２，Ｎ２ａとソースを共有するダミートランジスタが構成されている。

[0039] また、領域ＤＰ１では、フィン３７，３８とダミーゲート配線３９とによって、Ｐ型トランジスタＰ１，Ｐ１ａとドレインを共有するダミートランジスタが構成されている。領域ＤＰ２では、フィン３７，３８とダミーゲート配線４０とによって、Ｐ型トランジスタＰ４，Ｐ４ａとドレインを共有するダミートランジスタが構成されている。

[0040] 図７のレイアウト構成でも、図４のレイアウト構成と同様の効果が得られる。なお、図７のレイアウト構成では、スタンダードセル２Ｂ内の全てのアクティブトランジスタＮ１，Ｎ２，Ｎ１ａ，Ｎ２ａ，Ｐ１，Ｐ２，Ｐ３，Ｐ４，Ｐ１ａ，Ｐ２ａ，Ｐ３ａ，Ｐ４ａは、ソースおよびドレインの両方のノードを他のトランジスタと共有しており、したがっていずれも、フィン３１，３２，３７，３８の終端部から離れた位置に配置されており、全てのアクティブトランジスタの性能のばらつきを抑えることが可能となる。

[0041] （他のレイアウト構成例）

図８は実施形態におけるスタンダードセルの他のレイアウト構成例を示す平面図、図９は図８のスタンダードセルの回路図である。ただし図８では、図９の各トランジスタがそれぞれ２枚のフィンで構成されている。図８のレイアウト構成では、フィン４１，４２の終端部にダミートランジスタが形成されている。図面左側における領域ＤＮ４では、フィン４１，４２とダミーゲート配線４３，４４とによって、ダミートランジスタが構成されている。図面右側における領域ＤＮ５では、フィン４１，４２とダミーゲート配線４

５，４６とによって、ダミートランジスタが形成されている。

[0042] 図１０は実施形態におけるスタンダードセルの他のレイアウト構成例を示す平面図、図１１は図１０のスタンダードセルの回路図である。ただし図１０では、図１１の各トランジスタがそれぞれ２枚のフィンで構成されている。図１０のレイアウト構成では、フィン５１，５２の終端部にダミートランジスタが形成されている。図面左側における領域ＤＮ６では、フィン５１，５２とダミーゲート配線５３とによって、ダミートランジスタが構成されている。図面右側における領域ＤＮ７では、フィン５１，５２とダミーゲート配線５４，５５，５６とによって、ダミートランジスタが形成されている。

[0043] なお、上述の実施形態ではＮＯＲ回路を例にとって説明したが、これに限られるものではなく、例えば、インバータ、ＮＡＮＤ、フリップフロップなど他の論理機能を実現する半導体集積回路装置にも、本開示は同様に適用可能である。

[0044] また、上述の実施形態では、ダミートランジスタに関して、例えばＮ型トランジスタであればゲートに接地電位を与えてゲート電位固定するものとしたが、これに限られるものではなく、論理機能に寄与しない他の構成を採用してもよい。例えばＮ型トランジスタであれば、ゲートに電源電位を与え、ソース・ドレインに接地電位を与えてもよい。

産業上の利用可能性

[0045] 本開示では、フィン型トランジスタを用いたスタンダードセルを備えた半導体集積回路装置において、フィンの終端部の細りの影響を抑制することができる。したがって、半導体集積回路装置の性能ばらつき抑制に有用である

符号の説明

[0046] １，２，２Ａ，２Ｂ　スタンダードセル

８ａ　接地配線（電源配線）

１１　フィン

１２，１３　ゲート配線

１４，１５　ダミーゲート配線

１６，２２　フィン

２１　フィン（第２フィン）

３１，３２，３７，３８　フィン

３３，３４，３５，３６，３９，４０　ダミーゲート配線

４１，４２　フィン

４３，４４，４５，４６　ダミーゲート配線

５１，５２　フィン

５３，５４，５５，５６　ダミーゲート配線

Ｎ１，Ｎ２，Ｎ１ａ，Ｎ２ａ　アクティブトランジスタ

Ｄ１，Ｄ２，Ｄ１ａ，Ｄ２ａ　ダミートランジスタ

請求の範囲

[請求項1] 第１方向に延びるフィンを有するスタンダードセルを備え、

前記スタンダードセルは、

前記フィンと、前記第１方向と垂直をなす第２方向に延びており、前記フィン上に設けられたゲート配線とによって構成されたアクティブトランジスタと、

前記フィンと、前記ゲート配線と並列に、前記フィン上に設けられたダミーゲート配線とによって構成され、前記アクティブトランジスタとソースまたはドレインの一方のノードを共有しているダミートランジスタとを備えている

ことを特徴とする半導体集積回路装置。

[請求項2] 請求項１記載の半導体集積回路装置において、

前記スタンダードセルは、

前記フィンと、前記ゲート配線と並列にかつ前記ダミーゲート配線と反対側に、前記フィン上に設けられた第２ゲート配線とによって構成され、前記アクティブトランジスタとソースまたはドレインの他方のノードを共有している第３トランジスタを備えている

ことを特徴とする半導体集積回路装置。

[請求項3] 請求項２記載の半導体集積回路装置において、

前記第３トランジスタは、アクティブトランジスタである

ことを特徴とする半導体集積回路装置。

[請求項4] 請求項２記載の半導体集積回路装置において、

前記第３トランジスタは、ダミートランジスタである

ことを特徴とする半導体集積回路装置。

[請求項5] 請求項１記載の半導体集積回路装置において、

前記アクティブトランジスタが前記ダミートランジスタと共有しているノードは、電源電位が供給されるソースである

ことを特徴とする半導体集積回路装置。

[請求項6] 請求項５記載の半導体集積回路装置において、

前記ダミートランジスタは、ソース、ドレインおよびゲートがいずれも電源配線に接続されている

ことを特徴とする半導体集積回路装置。

[請求項7] 請求項１記載の半導体集積回路装置において、

前記アクティブトランジスタが前記ダミートランジスタと共有しているノードは、ドレインであり、前記ダミートランジスタは、ソースおよびゲートが電源配線に接続されている

ことを特徴とする半導体集積回路装置。

[請求項8] 請求項１記載の半導体集積回路装置において、

前記スタンダードセルは、

前記フィンが形成された第１導電型領域において、前記フィンと並列に配置された第２フィンを有し、

前記ゲート配線および前記ダミーゲート配線は、前記第２フィン上まで延びており、

前記第２フィンと前記ゲート配線とによって構成された第２アクティブトランジスタと、

前記第２フィンと前記ダミーゲート配線とによって構成され、前記第２アクティブトランジスタとソースまたはドレインの一方のノードを共有している第２ダミートランジスタとを備えている

ことを特徴とする半導体集積回路装置。

[請求項9] 請求項１記載の半導体集積回路装置において、

前記スタンダードセルは、

前記フィンが形成された第１導電型領域において、全てのアクティブトランジスタは、ソースおよびドレインの両方のノードを他のトランジスタと共有している

ことを特徴とする半導体集積回路装置。

[請求項10] 請求項９記載の半導体集積回路装置において、

前記スタンダードセルにおいて、全てのアクティブトランジスタは、ソースおよびドレインの両方のノードを他のトランジスタと共有している

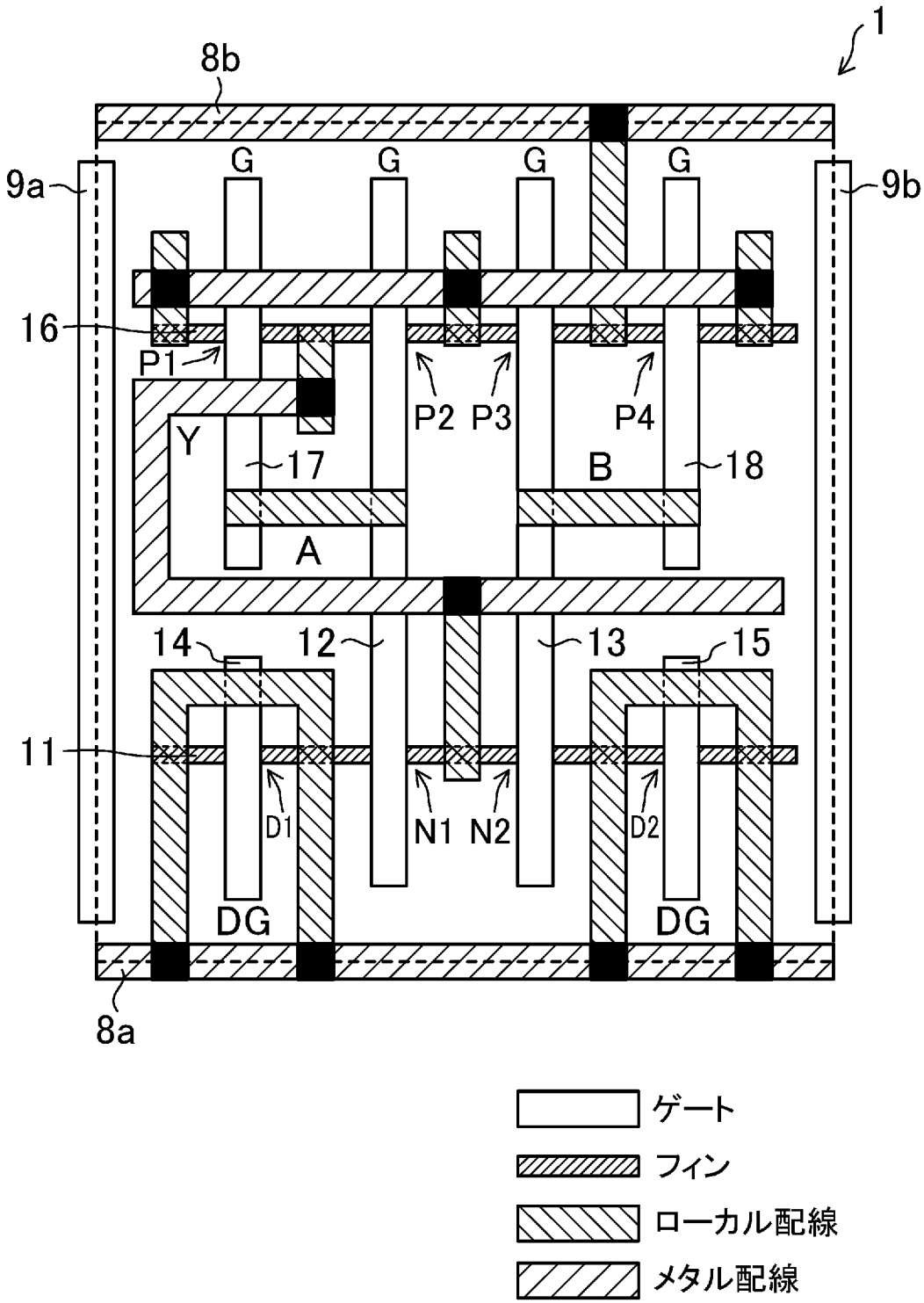
ことを特徴とする半導体集積回路装置。

[請求項11] 請求項１記載の半導体集積回路装置において、

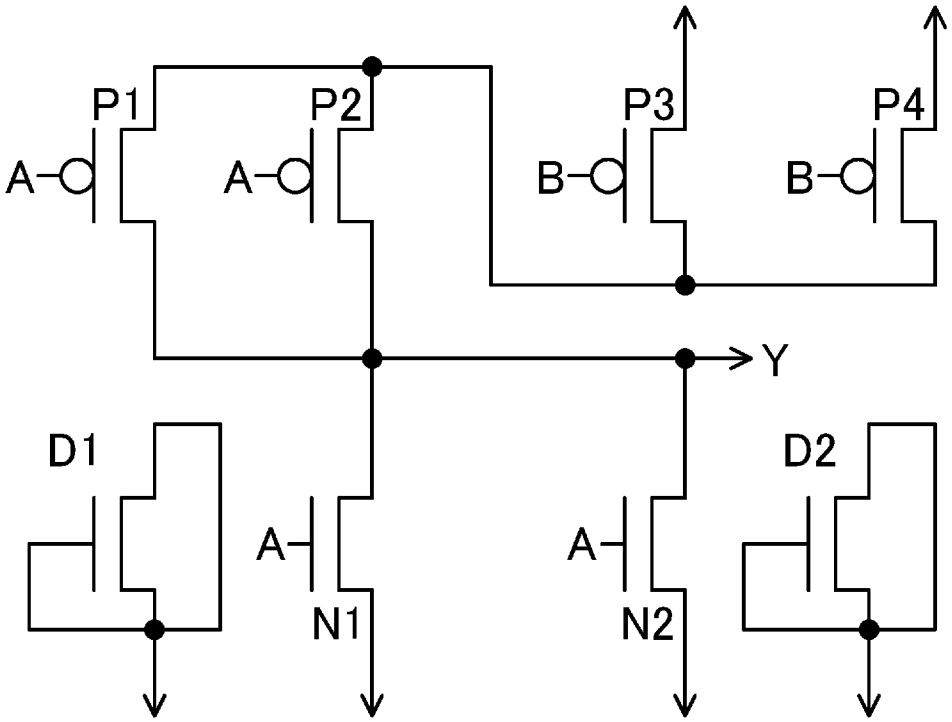
前記スタンダードセルは、クロックツリーを構成するセルである

ことを特徴とする半導体集積回路装置。

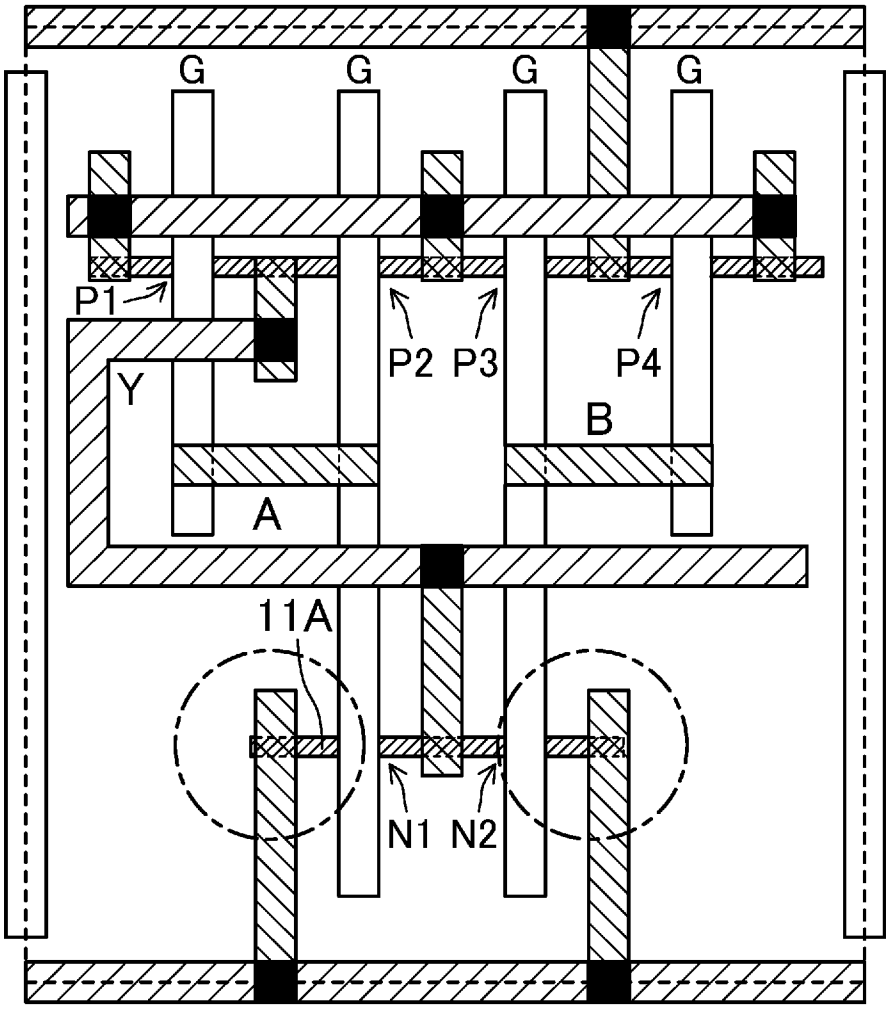
[図1]


1
8b
9a
9b
G
G
G
G
16
P1
P2
P3
P4
Y
17
B
18
A
14
12
13
15
11
D1
N1
N2
D2
DG
DG
8a
ゲート
フィン
ローカル配線
メタル配線

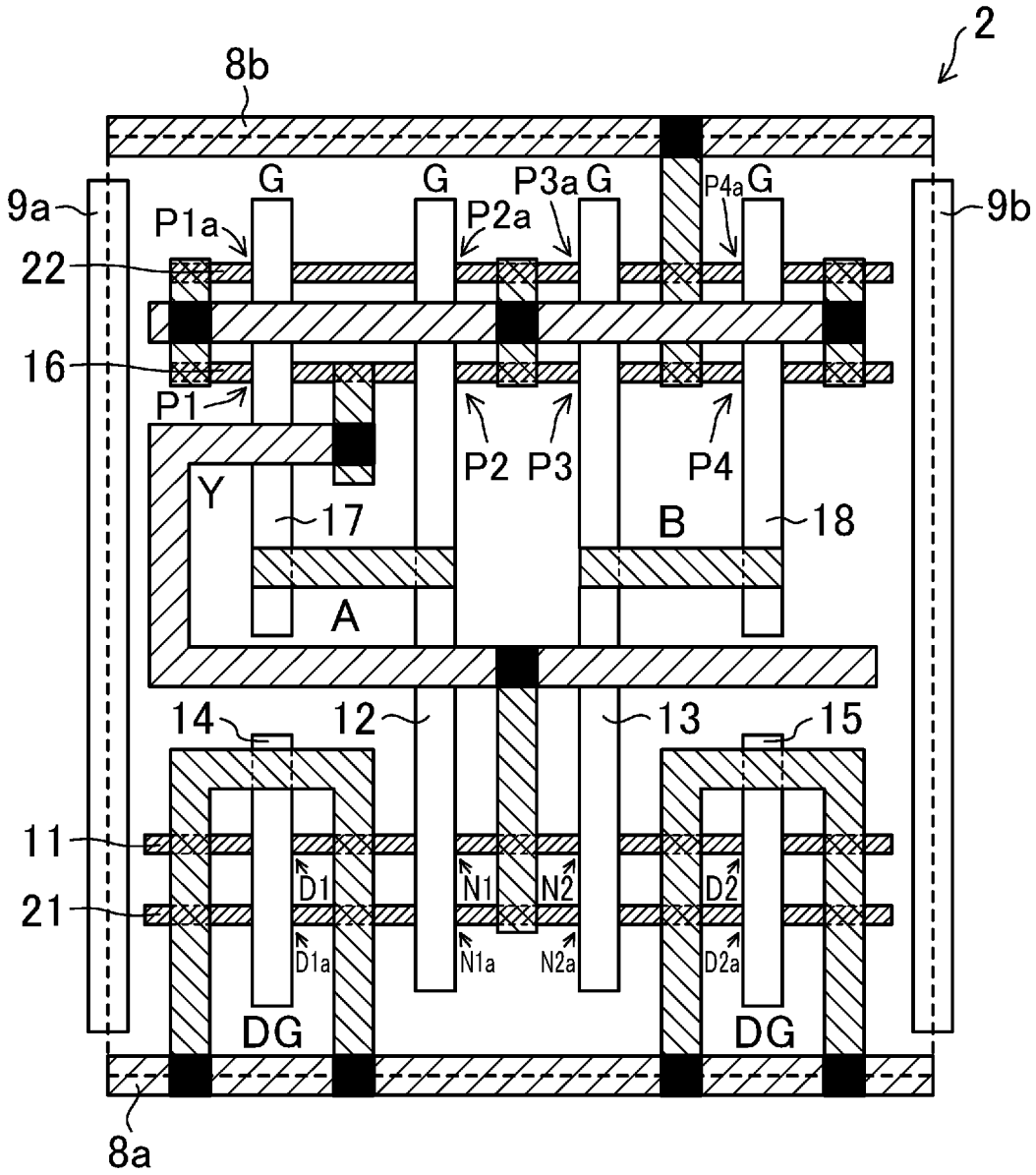
[図2]



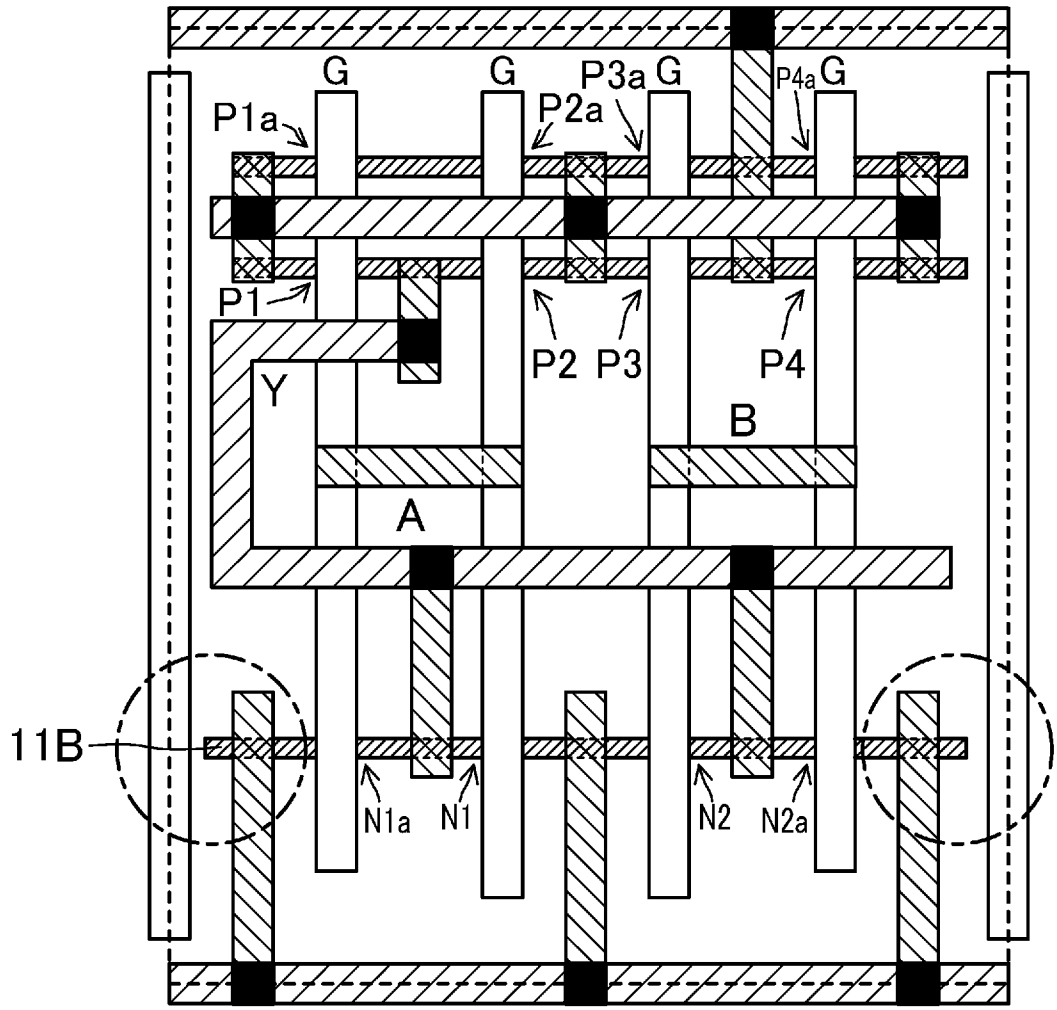
[図3]



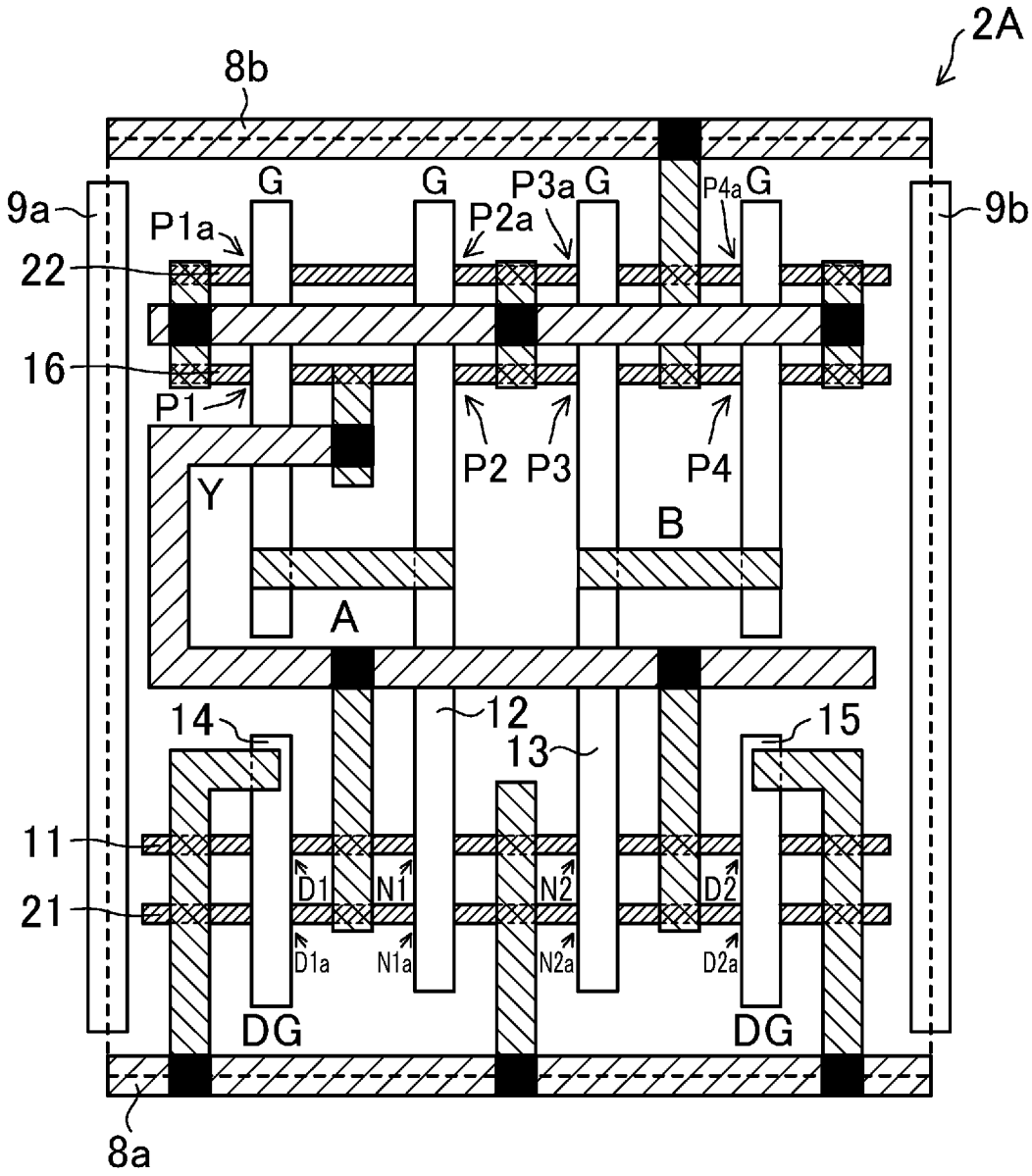
[図4]


2
8b
9a
9b
G
G
P3a
G
P4a
G
P1a
P2a
22
16
P1
P2
P3
P4
Y
17
B
18
A
14
12
13
15
11
21
D1
N1
N2
D2
D1a
N1a
N2a
D2a
DG
DG
8a

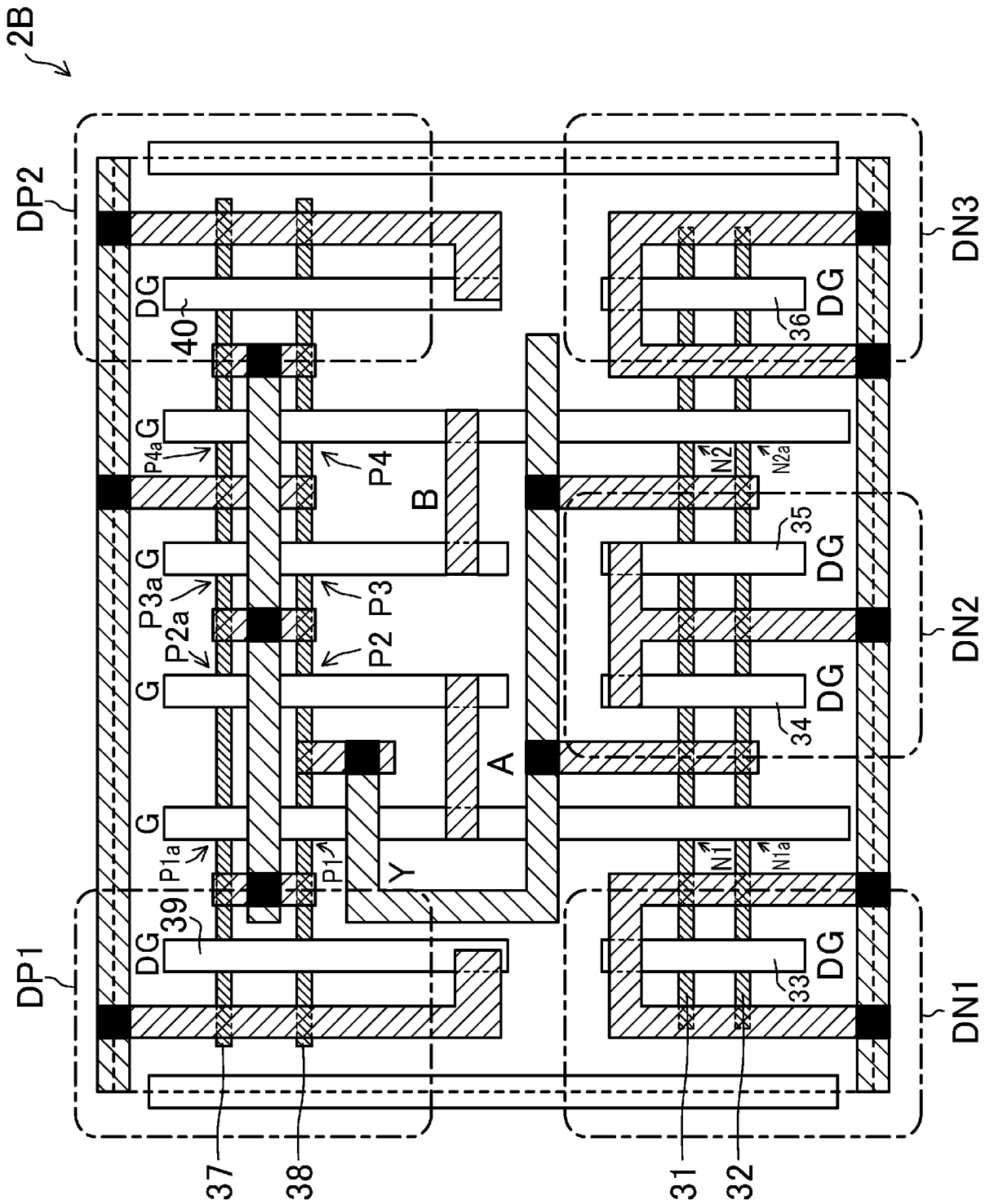
[図5]



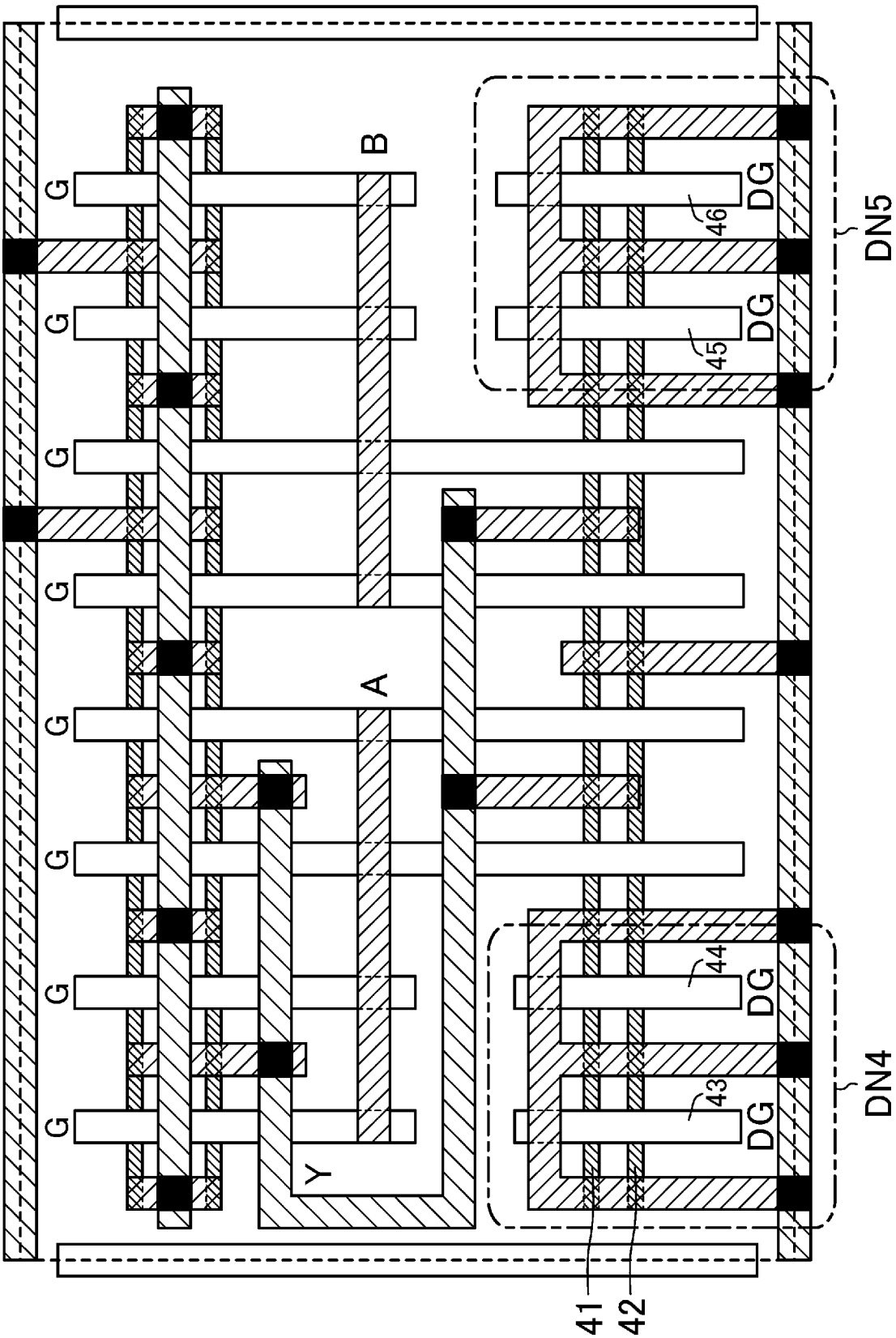
[図6]


2A
8b
9a
9b
G
G
G
G
P1a
P2a
P3a
P4a
22
16
P1
P2
P3
P4
Y
B
A
14
12
13
15
11
21
D1
N1
N2
D2
D1a
N1a
N2a
D2a
DG
DG
8a

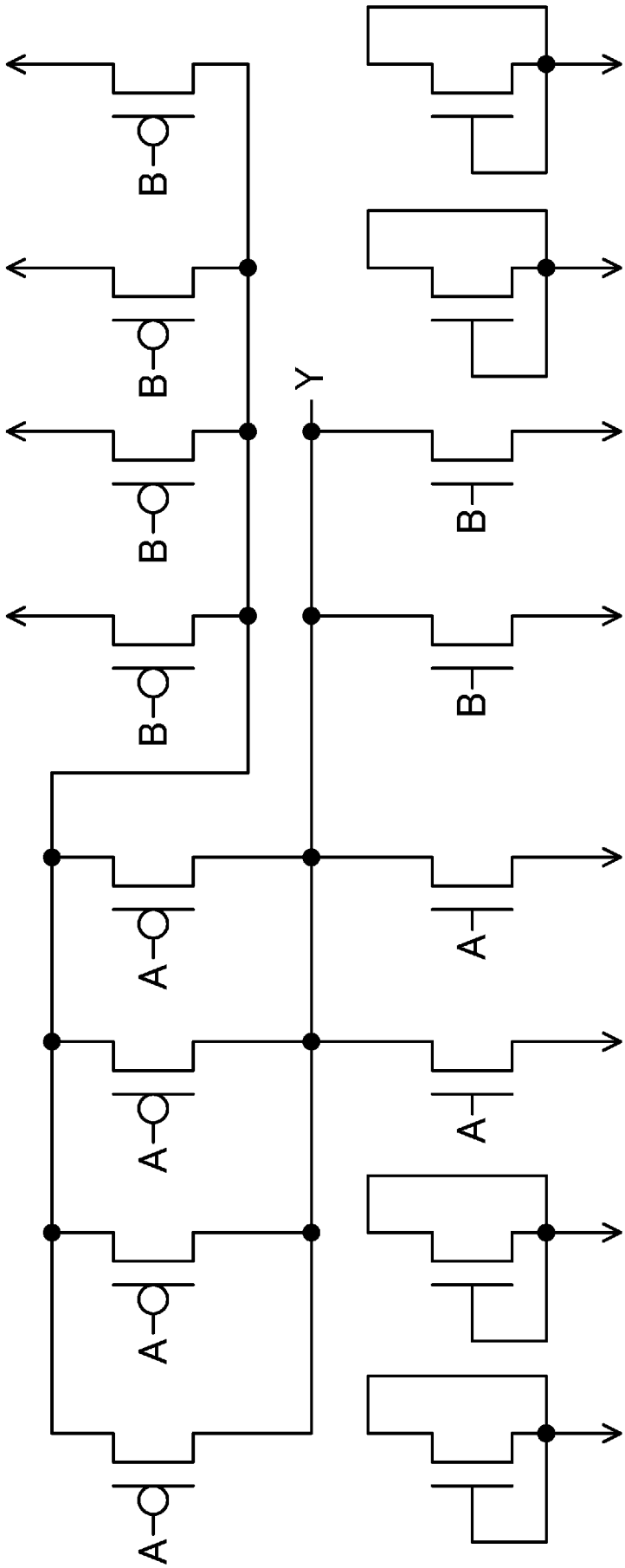
[図7]


2B
DP2
DP1
DN3
DN2
DN1
DG
40
39
36
35
34
33
G
P4a
P4
B
P3a
P3
P2a
P2
A
P1a
P1
Y
N2
N2a
N1
N1a
37
38
31
32

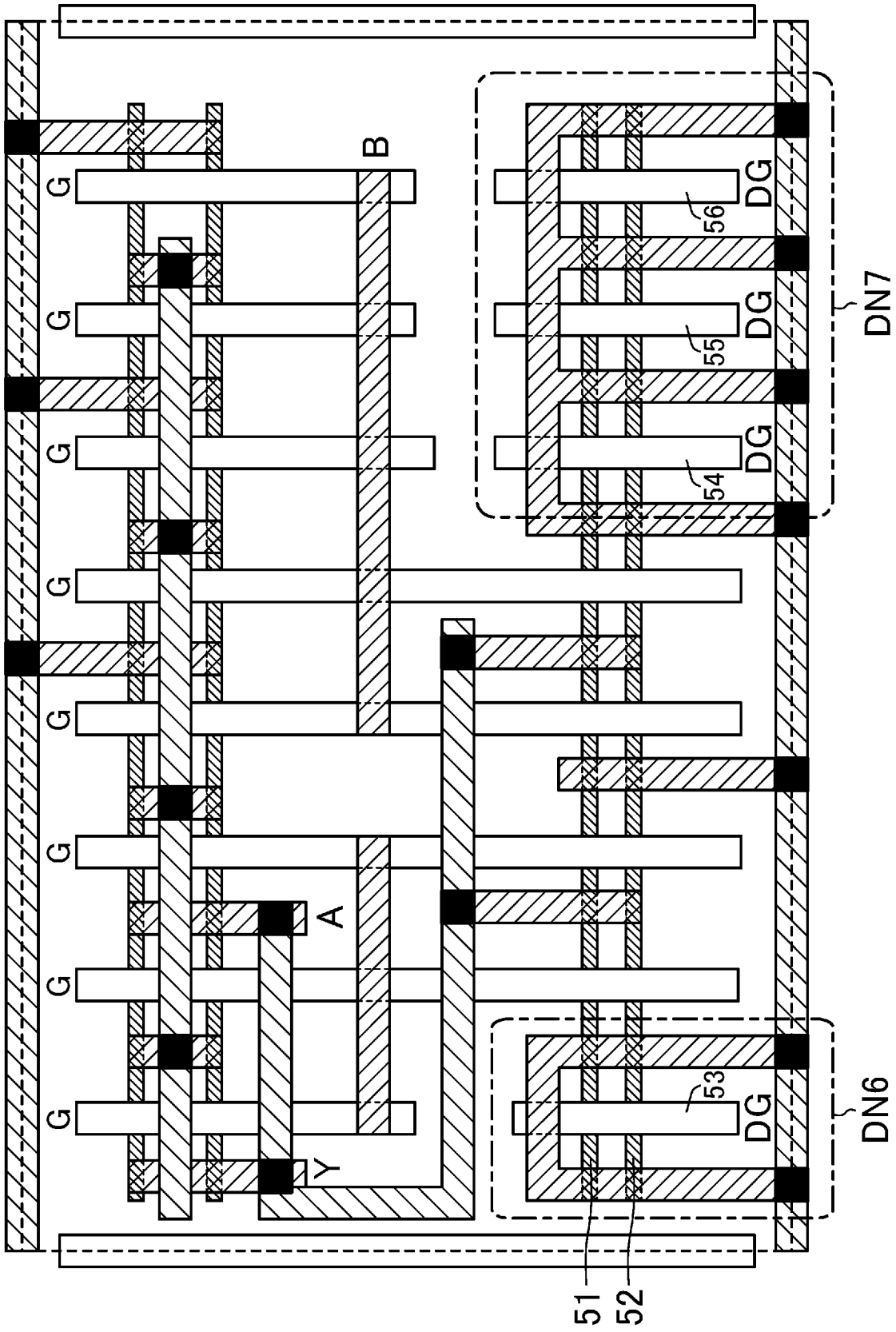
[図8]



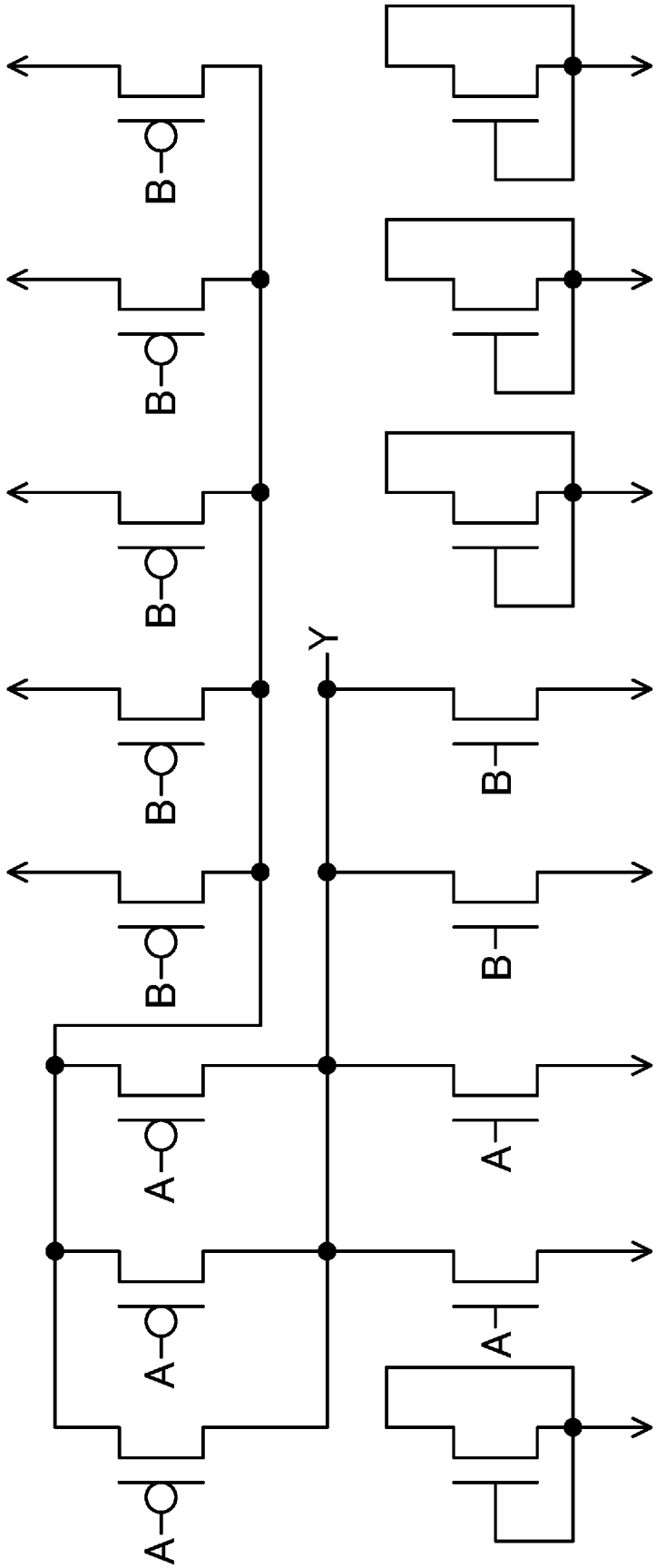
[図9]



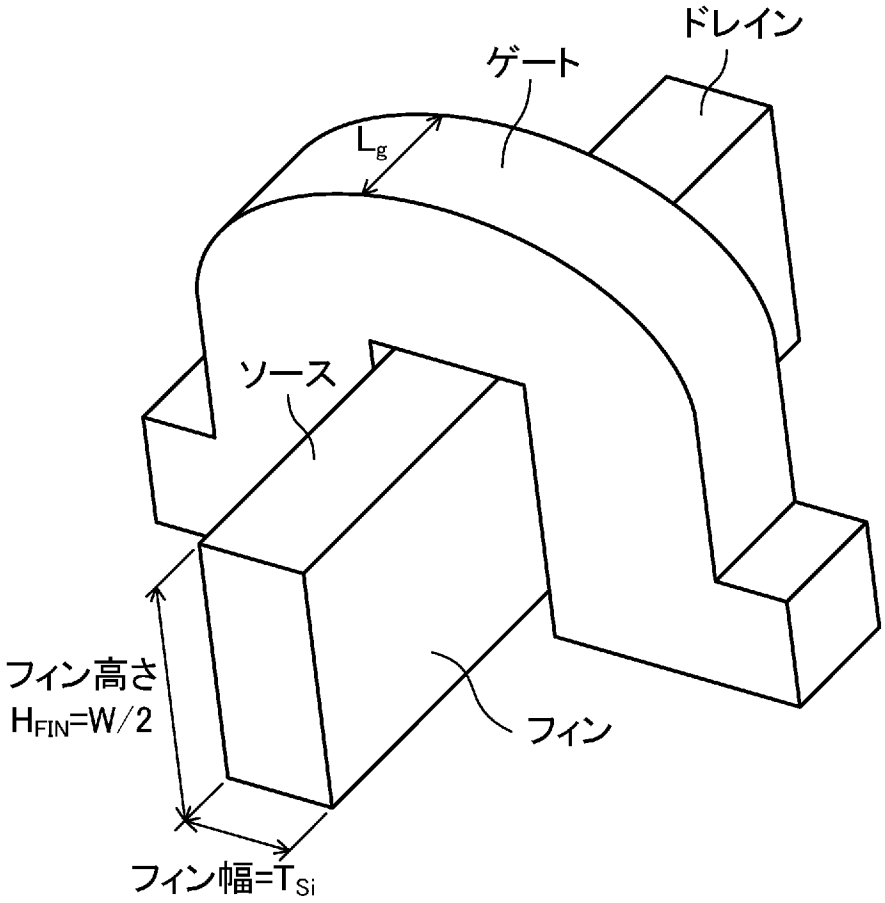
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/002237

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/82(2006.01)i, *H01L21/822*(2006.01)i, *H01L21/8234*(2006.01)i, *H01L21/8238*(2006.01)i, *H01L27/04*(2006.01)i, *H01L27/088*(2006.01)i, *H01L27/092*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/82, H01L21/822, H01L21/8234, H01L21/8238, H01L27/04, H01L27/088, H01L27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-218499 A (Sony Corp.), 24 September 2009 (24.09.2009), paragraphs [0018] to [0020], [0054] to [0056]; fig. 1, 13, 14 & US 2009/0230483 A1 & US 2011/0186932 A1 & EP 2101353 A1 & CN 101533843 A & KR 10-2009-0097803 A & TW 200945559 A & CN 102664179 A	1-11
A	JP 2010-123947 A (Taiwan Semiconductor Manufacturing Co., Ltd.), 03 June 2010 (03.06.2010), paragraphs [0012] to [0020], [0028]; fig. 1, 2 & US 2010/0127333 A1 & KR 10-2010-0057507 A & CN 101740568 A & TW 201021160 A	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 May, 2014 (12.05.14)	27 May, 2014 (27.05.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/002237

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-16258 A (Panasonic Corp.), 21 January 2010 (21.01.2010), paragraphs [0005] to [0007], [0012] to [0022]; fig. 1, 2 & US 2010/0187699 A1 & WO 2010/001506 A1 & CN 101743633 A	1-11
A	JP 2010-21469 A (NEC Electronics Corp.), 28 January 2010 (28.01.2010), entire text; all drawings & US 2010/0006896 A1	1-11
A	JP 2007-12855 A (Matsushita Electric Industrial Co., Ltd.), 18 January 2007 (18.01.2007), entire text; all drawings & US 2007/0004147 A1 & US 2010/0148235 A1 & CN 1893074 A & CN 101393911 A	1-11
A	JP 9-289251 A (Matsushita Electric Industrial Co., Ltd.), 04 November 1997 (04.11.1997), entire text; all drawings (Family: none)	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／００２２３７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/82(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/04(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/82, H01L21/822, H01L21/8234, H01L21/8238, H01L27/04, H01L27/088, H01L27/092

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2009-218499 A (ソニー株式会社) 2009.09.24, 段落【0018】-【0020】, 【0054】-【0056】, 第1,13,14図 & US 2009/0230483 A1 & US 2011/0186932 A1 & EP 2101353 A1 & CN 101533843 A & KR 10-2009-0097803 A & TW 200945559 A & CN 102664179 A	1-11
A	JP 2010-123947 A (台湾積體電路製造股▲ふん▼有限公司) 2010.06.03, 段落【0012】-【0020】, 【0028】. 第１,２図 & US 2010/0127333 A1 & KR 10-2010-0057507 A & CN 101740568 A & TW 201021160 A	1-11

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１２．０５．２０１４	２７．０５．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　４０５６
市川　武宜
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2010-16258 A (パナソニック株式会社) 2010.01.21, 段落【0005】-【0007】, 【0012】-【0022】, 第1,2図 & US 2010/0187699 A1 & WO 2010/001506 A1 & CN 101743633 A	1-11
A	JP 2010-21469 A (ＮＥＣエレクトロニクス株式会社) 2010.01.28, 全文, 全図 & US 2010/0006896 A1	1-11
A	JP 2007-12855 A (松下電器産業株式会社) 2007.01.18, 全文, 全図 & US 2007/0004147 A1 & US 2010/0148235 A1 & CN 1893074 A & CN 101393911 A	1-11
A	JP 9-289251 A (松下電器産業株式会社) 1997.11.04, 全文, 全図 (ファミリーなし)	1-11