

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 3 月 25 日(25.03.2010)

PCT

(10) 国際公開番号
WO 2010/032456 A1

- (51) 国際特許分類:
H01L 21/8246 (2006.01) H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2009/004653
- (22) 国際出願日: 2009 年 9 月 16 日(16.09.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-236647 2008 年 9 月 16 日(16.09.2008) JP
特願 2008-236648 2008 年 9 月 16 日(16.09.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):
ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒
6158585 京都府京都市右京区西院溝崎町 2 1 番
地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中尾 雄一
(NAKAO, Yuichi) [JP/JP]; 〒6158585 京都府京都市
右京区西院溝崎町 2 1 番地 ローム株式会
社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.);
〒5410054 大阪府大阪市中央区南本町 2 丁目 6
番 1 2 号 サンマリオン N B F タワー 2 1 階
あい特許事務所内 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

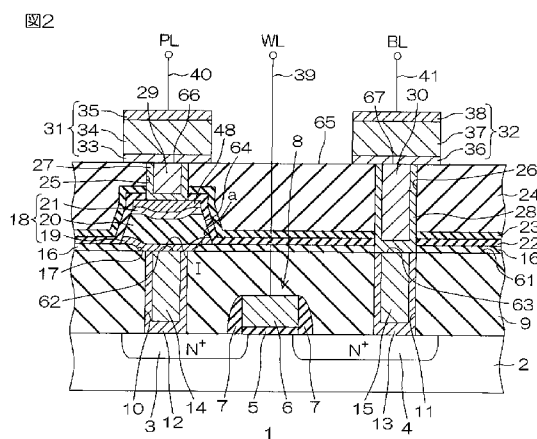
添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置および半導体記憶装置の製造方法

[図2]



(57) Abstract: A method for manufacturing a semiconductor storage device comprising a ferroelectric capacitor having a lower electrode, a ferroelectric film and an upper electrode, which comprises a step of embedding a first metal plug and a second metal plug in an insulating layer, a step of forming a covering layer which covers at least the second metal plug, while securing a portion for electrical contact with the first metal plug, a step of forming a deposit structure by sequentially depositing a material for the lower electrode, a material for the ferroelectric film and a material for the upper electrode after the formation of the covering layer, and a step of forming the ferroelectric capacitor by removing portions of the deposit structure other than a part by etching in such a manner that the part of the deposit structure remains on the first metal plug.

(57) 要約:

[続葉有]

WO 2010/032456 A1

本発明の半導体記憶装置の製造方法は、下部電極、強誘電体膜および上部電極を有する強誘電体キャパシタを備える半導体記憶装置の製造方法であって、絶縁層に第1金属プラグおよび第2金属プラグを埋設する工程と、前記第1金属プラグに対する電気的なコンタクト部分を確保しつつ、少なくとも前記第2金属プラグを被覆する被覆層を形成する工程と、前記被覆層の形成後、前記下部電極の材料、前記強誘電体膜の材料および前記上部電極の材料を順に堆積させて堆積構造物を形成する工程と、前記堆積構造物の一部を前記第1金属プラグ上に残存させるように、当該残存部分以外の部分をエッチングで除去することにより、前記強誘電体キャパシタを形成する工程とを含む。

明 細 書

発明の名称：半導体記憶装置および半導体記憶装置の製造方法 技術分野

[0001] 本発明は、半導体記憶装置およびその製造方法に関する。

背景技術

[0002] 従来、供給電源が遮断されても記憶内容を保持することのできる不揮発性メモリとして、強誘電体キャパシタを搭載する強誘電体メモリ（F e R A M : Ferroelectric Random Access Memory）が知られている。従来の強誘電体メモリは、たとえば、下記に示す製造工程を経て製造される。

図7A～図7Hは、従来の強誘電体メモリの製造方法を工程順に示す模式的な断面図である。

[0003] この製造方法では、まず、図7Aに示すように、P型のシリコン基板201の表層部に、N型不純物が注入されることにより、N⁺型領域202およびN⁺型領域203が形成される。次いで、熱酸化処理およびパターニング技術により、シリコン基板201の表面に、N⁺型領域202からN⁺型領域203に跨るゲート絶縁膜204が形成される。次いで、不純物が高濃度にドーパされたポリシリコン（ドープトポリシリコン）が、CVD法によりシリコン基板201上に堆積され、パターニングされることにより、ゲート絶縁膜204上にゲート電極205が形成される。次に、CVD法により、酸化シリコンがシリコン基板201上に堆積され、その堆積された酸化シリコンがエッチバックされることにより、ゲート電極205の側壁を取り囲むサイドウォール206が形成される。こうして、図7Aに示すように、ゲート電極205（Metal）と、ゲート絶縁膜204（Oxide）と、N⁺型領域202（ドレイン領域）およびN⁺型領域203（ソース領域）を含むシリコン基板201（Semiconductor）とを備えるMOSFET207が形成される。

[0004] MOSFET207の形成後、CVD法により、シリコン基板201上に酸化シリコンからなる第1絶縁層208が積層される。次いで、第1絶縁層

208がパターニングされる。これにより、第1絶縁層208の上面から、N⁺型領域202（ドレイン領域）に達するドレインコンタクトホール209が形成される。また、第1絶縁層208の上面から、N⁺型領域203（ソース領域）に達するソースコンタクトホール210が形成される。

[0005] 次いで、スパッタ法により、ドレインコンタクトホール209およびソースコンタクトホール210の内面を覆い、さらに第1絶縁層208の上面を覆うように、チタンを含有する導電材料が堆積される。そして、CVD法により、ドレインコンタクトホール209およびソースコンタクトホール210を埋め尽くすようにタングステンが堆積される。その後、CMP処理により、タングステンの上面と第1絶縁層208の上面とが面一になるまで、チタンを含有する導電材料およびタングステンが研磨される。こうして、図7Aに示すように、バリア膜211を介して、ドレインコンタクトホール209に埋設されたドレインコンタクトプラグ213が形成される。また、バリア膜212を介して、ソースコンタクトホール210に埋設されたソースコンタクトプラグ214が形成される。ドレインコンタクトプラグ213は、バリア膜211を介してN⁺型領域202（ドレイン領域）に電氣的に接続されることとなる。一方、ソースコンタクトプラグ214は、バリア膜212を介してN⁺型領域203（ソース領域）に電氣的に接続されることとなる。

[0006] 次いで、スパッタ法により、図7Bに示すように、第1絶縁層208上に、Ir（イリジウム）を含む導電材料からなる下部導電材料膜215、PZT（チタン酸ジルコン酸鉛）からなる強誘電体材料膜216およびIr（イリジウム）を含む導電材料からなる上部導電材料膜217がこの順に積層される。これにより、第1絶縁層208上に、積層構造物239が形成される。

[0007] 続いて、図7Cに示すように、積層構造物239におけるドレインコンタクトプラグ213上の部分に、TiNからなるハードマスク240が形成される。そして、このハードマスク240を介して、300℃以上のエッチング温度で、積層構造物239がエッチングされる。こうして、ドレインコン

タクトプラグ 213 上に、下部電極 218、強誘電体膜 219 および上部電極 220 からなる強誘電体キャパシタ 221 が形成される。強誘電体キャパシタ 221 の下部電極 218 は、ドレインコンタクトプラグ 213 に接触することにより、ドレインコンタクトプラグ 213 を介して N⁺型領域 202 (ドレイン領域) に電氣的に接続されることとなる。なお、上部電極 220 上には、エッチングにより薄くなったハードマスク 240 が残存する。

[0008] 次いで、第 1 絶縁層 208 上に、スパッタ法によりアルミナが堆積され、さらに、PECVD 法により SiN が堆積される。これにより、図 7D に示すように、強誘電体キャパシタ 221 を水素から保護するための、第 1 水素バリア膜 222 および第 2 水素バリア膜 223 が形成される。

その後、CVD 法により、図 7E に示すように、第 2 水素バリア膜 223 上に、酸化シリコンからなる第 2 絶縁層 224 が積層される。

[0009] 次いで、第 2 絶縁層 224 が CMP 処理により研磨されて、第 2 絶縁層 224 の上面が平坦化される。そして、図 7F に示すように、第 2 絶縁層 224、第 2 水素バリア膜 223 および第 1 水素バリア膜 222 がパターニングされる。これにより、第 2 絶縁層 224 の上面から、ハードマスク 240 に達する PL 用配線ビアホール 225 が形成される。また、第 2 絶縁層 224 の上面から、ソースコンタクトプラグ 214 に達する BL 用配線ビアホール 226 が形成される。

[0010] 次いで、スパッタ法により、PL 用配線ビアホール 225 および BL 用配線ビアホール 226 の内面を覆い、さらに第 2 絶縁層 224 の上面を覆うように、チタンを含有する導電材料が堆積される。そして、CVD 法により、PL 用配線ビアホール 225 および BL 用配線ビアホール 226 を埋め尽くすように、タングステンが堆積される。その後、タングステンの上面と第 2 絶縁層 224 の上面とが面一になるまで、CMP 処理により、チタンを含有する導電材料およびタングステンが研磨される。こうして、図 7G に示すように、バリア膜 227 を介して、PL 用配線ビアホール 225 に埋設された PL 用配線プラグ 229 が形成される。また、バリア膜 228 を介して、B

Ｌ用配線ビアホール２２６に埋設されたＢＬ用配線プラグ２３０が形成される。ＰＬ用配線プラグ２２９は、バリア膜２２７およびハードマスク２４０を介して上部電極２２０に電氣的に接続されることとなる。一方、ＢＬ用配線プラグ２３０は、バリア膜２２８を介してソースコンタクトプラグ２１４に電氣的に接続されることとなる。

[0011] その後、スパッタ法により、チタンを含有する導電材料、アルミニウムを含有する導電材料およびチタンを含有する導電材料が、第２絶縁層２２４上に積層され、パターニングされる。これにより、図７Ｈに示すように、ＰＬ用配線プラグ２２９に電氣的に接続されるＰＬ用配線２３１（チタン層２３３、アルミニウム層２３４およびチタン層２３５の３層構造からなる配線）と、ＢＬ用配線プラグ２３０に電氣的に接続されるＢＬ用配線２３２（チタン層２３６、アルミニウム層２３７およびチタン層２３８の３層構造からなる配線）とが形成される。

[0012] そして、ゲート電極２０５にワード線２４１が接続され、ＰＬ用配線２３１にプレート線２４２が接続され、ＢＬ用配線２３２にビット線２４３が接続される。

こうして、図７Ｈに示すように、強誘電体キャパシタ２２１を搭載する強誘電体メモリ２００が得られる。

先行技術文献

特許文献

[0013] 特許文献１：特開２００４－１５３０１９号公報

発明の概要

発明が解決しようとする課題

[0014] 近年、強誘電体メモリの微細化が進められており、たとえば、メモリに搭載される強誘電体キャパシタの面積（キャパシタ面積）の縮小化による微細化が考えられている。

下部電極および上部電極の材料として使用されるＩｒやＰｔ、および強誘

電体膜の材料として使用されるPZTは、エッチングされにくい。そのため、通常のドライエッチングの条件では、下部電極の材料、強誘電体膜の材料および上部電極の材料が積層されてなる積層構造物を垂直方向にエッチングしても、強誘電体キャパシタの側面が積層界面に対して垂直面とならずに傾斜面となる。この強誘電体キャパシタの側面を、積層界面に対して垂直面に近づけることができれば、強誘電体キャパシタの容量を下げることなく、キャパシタ面積を縮小することができる。

[0015] そこで、積層構造物239を耐熱性のあるハードマスク240を介して高温エッチング（たとえば、300℃以上の温度下におけるエッチング）する手法が考えられている。この手法によれば、積層界面に対して垂直面に近い急斜面の側面を有する強誘電体キャパシタ221を形成することができる。

しかし、高温エッチング時に、積層構造物239のエッチング部分の下方に配置されるソースコンタクトプラグ214が、積層構造物239とともにエッチングされる異常エッチングを生じる場合がある。ソースコンタクトプラグ214が異常エッチングされると、ソースコンタクトプラグ214とB1用配線プラグ230との間に導通不良を引き起こし、それによって強誘電体メモリ200の信頼性が低下する。

[0016] 本発明の目的は、強誘電体キャパシタに接続される第1金属プラグとは異なる第2金属プラグを異常エッチングすることなく、微細化を図ることのできる半導体記憶装置およびその製造方法を提供することにある。

課題を解決するための手段

[0017] 本発明の一の局面に係る半導体記憶装置は、絶縁層と、前記絶縁層上に形成され、下部電極、強誘電体膜および上部電極を有する強誘電体キャパシタと、前記絶縁層上に形成され、前記強誘電体キャパシタが配置される部分に開口を有する層間絶縁膜と、前記絶縁層に埋設され、前記開口を介して前記下部電極に接続される第1金属プラグと、平面視で前記強誘電体キャパシタ外において、前記絶縁層に埋設された第2金属プラグとを備える。

[0018] この半導体記憶装置は、たとえば、下部電極、強誘電体膜および上部電極

を有する強誘電体キャパシタを備える半導体記憶装置の製造方法であって、絶縁層に第1金属プラグおよび第2金属プラグを埋設する工程と、前記第1金属プラグに対する電氣的なコンタクト部分を確保しつつ、少なくとも前記第2金属プラグを被覆する被覆層を形成する工程と、前記被覆層の形成後、前記下部電極の材料、前記強誘電体膜の材料および前記上部電極の材料を順に堆積させて堆積構造物を形成する工程と、前記堆積構造物の一部を前記第1金属プラグ上に残存させるように、当該残存部分以外の部分をエッチングで除去することにより、前記強誘電体キャパシタを形成する工程とを含む、本発明の半導体記憶装置の製造方法により製造することができる。

[0019] 具体的には、下部電極、強誘電体膜および上部電極を有する強誘電体キャパシタを備える半導体記憶装置の製造方法であって、絶縁層に第1金属プラグおよび第2金属プラグを埋設する工程と、前記絶縁層上に層間絶縁膜を成膜する工程と、前記層間絶縁膜に、前記第1金属プラグを露出させる開口を形成する工程と、前記開口の形成後、前記下部電極の材料、前記強誘電体膜の材料および前記上部電極の材料を順に堆積させて堆積構造物を形成する工程と、前記堆積構造物の一部を前記開口上に残存させるように、その残存部分以外の部分をエッチングで除去することにより、前記強誘電体キャパシタを形成する工程とを備える、半導体記憶装置の製造方法により製造することができる。

[0020] この方法では、絶縁層に第1金属プラグおよび第2金属プラグが埋設された後、絶縁層上に層間絶縁膜が形成される。層間絶縁膜には、第1金属プラグを露出させる開口が形成される。これにより、第1金属プラグが層間絶縁膜の開口を介して露出する一方、第2金属プラグが層間絶縁膜により覆われる。

この状態で、層間絶縁膜上に形成された堆積構造物の一部（層間絶縁膜の開口上に残存する部分以外の部分）がエッチングで除去されることにより、強誘電体キャパシタが形成される。

[0021] 堆積構造物のエッチング時、第2金属プラグが層間絶縁膜により覆われて

いる。そのため、高温下で堆積構造物がエッチングされても、層間絶縁膜による保護により、第2金属プラグの異常エッチングを防止することができる。その結果、第2金属プラグと、これに接続される接続体との間における導通不良の発生を抑制することができ、信頼性の低下を抑制することができる。

[0022] また、堆積構造物を高温エッチングすることにより、エッチングにより現れる強誘電体キャパシタの側面を、強誘電体キャパシタの積層界面に対する垂直面もしくは垂直面に近い急斜面にすることができる。その結果、強誘電体キャパシタの面積を縮小することができるので、半導体記憶装置の微細化を図ることができる。

また、上記半導体記憶装置では、前記第1金属プラグの上面と前記第2金属プラグの上面とが面一であることが好ましい。

[0023] この場合、上記半導体記憶装置は、たとえば、絶縁層に第1金属プラグおよび第2金属プラグを埋設する工程が、前記絶縁層に、第1貫通孔および第2貫通孔を形成する工程と、前記第1貫通孔および前記第2貫通孔を埋め尽くすように、前記絶縁層上にプラグ材料を堆積させる工程と、前記プラグ材料の上面と前記絶縁層の上面とが面一になるまで、前記プラグ材料の前記第1貫通孔および前記第2貫通孔外の部分を除去することにより、前記第1金属プラグおよび前記第2金属プラグを形成する工程とを含む、上記半導体記憶装置の製造方法により製造することができる。

[0024] この方法では、第1貫通孔および第2貫通孔が形成され、これら貫通孔を埋め尽くすようにプラグ材料が堆積された後、プラグ材料の上面と絶縁層の上面とが面一になるまで、プラグ材料が部分的に除去される。これにより、互いに面一をなす第1金属プラグおよび第2金属プラグが形成される。

このように、第1金属プラグを形成するための複数の工程と、第2金属プラグを形成するための複数の工程とが並行して行なわれるので、半導体記憶装置の製造工程を簡略化することができる。

[0025] 本発明の他の局面に係る半導体記憶装置は、第1貫通孔および第2貫通孔

を有する絶縁層と、前記第 1 貫通孔を覆うように前記絶縁層上に形成され、下部電極、強誘電体膜および上部電極を有する強誘電体キャパシタと、前記第 1 貫通孔に埋め込まれ、前記下部電極に電氣的に接続される第 1 金属プラグと、前記第 2 貫通孔に埋め込まれた第 2 金属プラグと、前記第 1 金属プラグおよび前記第 2 金属プラグのうち、少なくとも前記第 2 金属プラグの上面を覆い、前記下部電極および前記上部電極の材料に対してエッチング選択比を有する導電性材料からなる導電性キャップとを備える。

[0026] この構成によれば、第 1 金属プラグおよび第 2 金属プラグのうち、少なくとも第 2 金属プラグの上面は、下部電極および上部電極の材料に対してエッチング選択比を有する導電性材料からなる導電性キャップにより覆われている。導電性キャップで覆われることにより、第 2 金属プラグの上面は、導電性キャップにより保護されている。

そのため、高温下で、下部電極、強誘電体膜および上部電極が成形されても、導電性キャップによる保護により、第 2 金属プラグの異常エッチングを防止することができる。その結果、第 2 金属プラグと、これに接続される接続体との間における導通不良の発生を抑制することができ、信頼性の低下を抑制することができる。

[0027] また、高温下で、下部電極、強誘電体膜および上部電極を成形して強誘電体キャパシタを形成することにより、エッチングにより現れる強誘電体キャパシタの側面を、強誘電体キャパシタの積層界面に対する垂直面もしくは垂直面に近い急斜面にすることができる。その結果、強誘電体キャパシタの面積を縮小することができるので、半導体記憶装置の微細化を図ることができる。

[0028] この半導体記憶装置は、たとえば、下部電極、強誘電体膜および上部電極を有する強誘電体キャパシタを備える半導体記憶装置の製造方法であって、絶縁層に第 1 金属プラグおよび第 2 金属プラグを埋設する工程と、前記第 1 金属プラグに対する電氣的なコンタクト部分を確保しつつ、少なくとも前記第 2 金属プラグを被覆する被覆層を形成する工程と、前記被覆層の形成後、

前記下部電極の材料、前記強誘電体膜の材料および前記上部電極の材料を順に堆積させて堆積構造物を形成する工程と、前記堆積構造物の一部を前記第1金属プラグ上に残存させるように、当該残存部分以外の部分をエッチングで除去することにより、前記強誘電体キャパシタを形成する工程とを含む、本発明の半導体記憶装置の製造方法により製造することができる。

[0029] また、上記半導体記憶装置では、前記導電性キャップが導電性窒化物からなることが好ましい。

導電性キャップに用いられる導電性窒化物は、たとえば、貴金属を含有する導電材料（具体的には、Au系材料、Ag系材料、Pt系材料、Pd系材料、Rh系材料、Ir系材料、Ru系材料、Os系材料）からなる下部電極および上部電極に対して大きなエッチング選択比を有する。したがって、この態様では、第2金属プラグの異常エッチングを効果的に防止することができる。

[0030] また、上記半導体記憶装置では、前記第1金属プラグおよび前記第2金属プラグは、それぞれ前記第1貫通孔および前記第2貫通孔の途中部まで埋め込まれており、前記導電性キャップは、前記絶縁層の表面と面一となるように前記第1貫通孔および前記第2貫通孔に埋め込まれていることが好ましい。

この構成によれば、第1貫通孔に、第1金属プラグおよび導電性キャップが埋め込まれている。また、第2貫通孔に、第2金属プラグおよび導電性キャップが埋め込まれている。つまり、第1貫通孔および第2貫通孔に埋め込まれた構造物が同じ構造である。

[0031] したがって、この態様の半導体記憶装置は、たとえば、下部電極、強誘電体膜および上部電極を有する強誘電体キャパシタを備える半導体記憶装置の製造方法であって、前記絶縁層に、第1貫通孔および第2貫通孔を形成する工程と、前記第1貫通孔および前記第2貫通孔を金属材料で埋め尽くす工程と、前記金属材料をエッチングで部分的に除去することにより、前記第1貫通孔の途中部まで埋め込まれた第1金属プラグと、前記第2貫通孔の途中部

まで埋め込まれた第2金属プラグとを形成する工程と、前記第1金属プラグおよび前記第2金属プラグの形成後、前記下部電極および前記上部電極の材料に対してエッチング選択比を有する導電性材料を用いて前記第1貫通孔および前記第2貫通孔を埋め尽くすことにより、前記第1金属プラグおよび前記第2金属プラグの各上面を覆う導電性プラグを形成する工程と、前記絶縁層上に、前記下部電極の材料、前記強誘電体膜の材料および前記上部電極の材料を順に堆積させて堆積構造物を形成する工程と、前記堆積構造物の一部を前記第1金属プラグ上に残存させるように、当該残存部分以外の部分をエッチングで除去することにより、前記強誘電体キャパシタを形成する工程とを含む、半導体記憶装置の製造方法により製造することができる。

[0032] この製造方法では、第1貫通孔および第2貫通孔が金属材料で埋め尽くされた後、これら貫通孔内の金属材料が部分的に除去されることにより、第1金属プラグおよび第2金属プラグが形成される。そして、これらプラグの形成後、第1貫通孔および第2貫通孔が、下部電極および上部電極に対してエッチング選択比を有する導電性材料で埋め尽くされることにより、第1金属プラグおよび第2金属プラグの上面を覆い、絶縁層の表面と面一をなす導電性プラグが形成される。

[0033] このように、第1金属プラグを形成する工程と、第2金属プラグを形成する工程とが並行して行なわれ、さらに、これらプラグの上面を覆う各導電性プラグを形成する工程も互いに並行して行なわれるので、半導体記憶装置の製造工程を簡略化することができる。

図面の簡単な説明

[0034] [図1]本発明の第1の実施形態に係る強誘電体メモリの模式的な平面図である。

[図2]図1の強誘電体メモリの断面図であり、切断線II-IIでの切断面である。

。

[図3A]図2の強誘電体メモリの製造方法を工程順に示す模式的な断面図である。

[図3B] 図3 Aの次の工程を示す断面図である。

[図3C] 図3 Bの次の工程を示す断面図である。

[図3D] 図3 Cの次の工程を示す断面図である。

[図3E] 図3 Dの次の工程を示す断面図である。

[図3F] 図3 Eの次の工程を示す断面図である。

[図3G] 図3 Fの次の工程を示す断面図である。

[図3H] 図3 Gの次の工程を示す断面図である。

[図3I] 図3 Hの次の工程を示す断面図である。

[図3J] 図3 Iの次の工程を示す断面図である。

[図4] 本発明の第2の実施形態に係る強誘電体メモリの模式的な平面図である。
。

[図5] 図4の強誘電体メモリの断面図であり、切断線V-Vでの切断面である。
。

[図6A] 図5の強誘電体メモリの製造方法を工程順に示す模式的な断面図である。

[図6B] 図6 Aの次の工程を示す断面図である。

[図6C] 図6 Bの次の工程を示す断面図である。

[図6D] 図6 Cの次の工程を示す断面図である。

[図6E] 図6 Dの次の工程を示す断面図である。

[図6F] 図6 Eの次の工程を示す断面図である。

[図6G] 図6 Fの次の工程を示す断面図である。

[図6H] 図6 Gの次の工程を示す断面図である。

[図6I] 図6 Hの次の工程を示す断面図である。

[図6J] 図6 Iの次の工程を示す断面図である。

[図6K] 図6 Jの次の工程を示す断面図である。

[図7A] 従来の強誘電体メモリの製造方法を工程順に示す模式的な断面図である。

[図7B] 図7 Aの次の工程を示す断面図である。

[図7C] 図7Bの次の工程を示す断面図である。

[図7D] 図7Cの次の工程を示す断面図である。

[図7E] 図7Dの次の工程を示す断面図である。

[図7F] 図7Eの次の工程を示す断面図である。

[図7G] 図7Fの次の工程を示す断面図である。

[図7H] 図7Gの次の工程を示す断面図である。

発明を実施するための形態

[0035] 以下では、本発明の実施形態を、添付図面を参照してより詳細に説明する。

図1は、本発明の第1の実施形態に係る強誘電体メモリの模式的な平面図である。図2は、図1の強誘電体メモリの断面図であり、切断線II-IIでの切断面である。

半導体記憶装置としての強誘電体メモリ1は、供給電源が遮断されても記憶内容を保持することのできる不揮発性メモリである。

[0036] 強誘電体メモリ1は、図2に示すように、P型のシリコン基板2を備えている。

シリコン基板2上には、たとえば、複数の平面視長方形形状のアクティブ領域50が形成されている。アクティブ領域50の輪郭は、図1では、太線で示されている。アクティブ領域50は、その長手方向および長手方向と直交する方向に整列するマトリクス状に配置されている。

[0037] 各アクティブ領域50には、1ビットの情報を保持するメモリセルが複数（本実施形態では2つ）形成されている。図2では、複数のメモリセルのうちの1つを表している。

各メモリセルは、1つの強誘電体キャパシタ18（C）と、1つのMOSFET8（T）とが積層関係に配置される、1T1C型セル構造を有している。

アクティブ領域50（各メモリセル）において、シリコン基板2の表層部には、図2に示すように、N⁺型のドレイン領域3と、N⁺型のソース領域4

とが間隔を空けて形成されている。なお、ソース領域 4 は、2 つのメモリセルの MOSFET 8 に共通の領域とされており、平面視において、アクティブ領域 50 の中央部に形成されている。一方、ドレイン領域 3 は、平面視において、アクティブ領域 50 の一端部および他端部のそれぞれに、各メモリセルの MOSFET 8 に対応して形成されている。

[0038] また、シリコン基板 2 の表面には、ドレイン領域 3 からソース領域 4 に跨るゲート絶縁膜 5 が形成されている。ゲート絶縁膜 5 は、たとえば、酸化シリコンからなる。

ゲート絶縁膜 5 上には、たとえば、不純物がドーパされたポリシリコン（ドーパドポリシリコン）からなるゲート電極 6 が形成されている。

ゲート電極 6 の側壁には、その全周にわたって密着するサイドウォール 7 が形成されている。サイドウォール 7 は、たとえば、酸化シリコンからなる。

[0039] このように、強誘電体メモリ 1 には、ゲート電極 6 (Metal) と、ゲート絶縁膜 5 (Oxide) と、ドレイン領域 3 およびソース領域 4 を含むシリコン基板 2 (Semiconductor) とを有する MOSFET 8 が備えられている。

シリコン基板 2 上には、第 1 絶縁層 9 が積層されている。第 1 絶縁層 9 は、たとえば、酸化シリコンからなる。また、第 1 絶縁層 9 の厚さは、たとえば、0.4 ~ 0.9 μm である。

[0040] 第 1 絶縁層 9 において、ドレイン領域 3 に対向する部分には、第 1 絶縁層 9 の上面 61 からドレイン領域 3 に達するドレインコンタクトホール 10 が形成されている。

ドレインコンタクトホール 10 には、タングステンなどの金属材料からなるドレインコンタクトプラグ 14 が埋設されている。第 1 金属プラグとしてのドレインコンタクトプラグ 14 は、その上面 62 が第 1 絶縁層 9 の上面 61 と面一になるまでドレインコンタクトホール 10 を埋め尽くしている。

[0041] また、ドレインコンタクトホール 10 において、その内面（第 1 絶縁層 9 がなす側面およびシリコン基板 2 がなす底面）とドレインコンタクトプラグ

１４との間には、バリア膜１２が介在されている。バリア膜１２は、たとえば、チタンを含有する導電材料（たとえば、TiN、Tiなど）からなる。

導電性のバリア膜１２が介在されることにより、ドレインコンタクトプラグ１４は、バリア膜１２を介して、ドレイン領域３に電氣的に接続（コンタクト）されることとなる。

[0042] また、第１絶縁層９において、ソース領域４に対向する部分には、第１絶縁層９の上面６１からソース領域４に達するソースコンタクトホール１１が形成されている。

ソースコンタクトホール１１には、タングステンなどの金属材料からなるソースコンタクトプラグ１５が埋設されている。第２金属プラグとしてのソースコンタクトプラグ１５は、その上面６３が第１絶縁層９の上面６１と面一になるまでソースコンタクトホール１１を埋め尽くしている。ソースコンタクトプラグ１５の上面６３が第１絶縁層９の上面６１と面一であることにより、ソースコンタクトプラグ１５の上面６３と、ドレインコンタクトプラグ１４の上面６２とは、面一となっている。

[0043] また、ソースコンタクトホール１１において、その内面（第１絶縁層９がなす側面およびシリコン基板２がなす底面）とソースコンタクトプラグ１５との間には、バリア膜１３が介在されている。バリア膜１３は、たとえば、チタンを含有する導電材料（たとえば、TiN、Tiなど）からなる。

導電性のバリア膜１３が介在されることにより、ソースコンタクトプラグ１５は、バリア膜１３を介して、ソース領域４に電氣的に接続（コンタクト）されることとなる。

[0044] 第１絶縁層９上には、第１絶縁層９と第２絶縁層２４（後述）との間に介在された層間絶縁膜１６が形成されている。層間絶縁膜１６の厚さは、第１絶縁層９の厚さよりも小さく、たとえば、 $0.05 \sim 0.2 \mu\text{m}$ である。層間絶縁膜１６のドレインコンタクトプラグ１４に対向する部分には、ドレインコンタクトプラグ１４の上面６２全域を露出させる開口１７が形成されている。

[0045] 強誘電体キャパシタ 18 は、層間絶縁膜 16 の開口 17 上、つまり、平面視でドレインコンタクトプラグ 14 に重なる位置であって、ソースコンタクトプラグ 15 に重ならない位置に配置されている。

強誘電体キャパシタ 18 は、下部電極 19 と、上部電極 21 と、下部電極 19 と上部電極 21 とにより挟まれた強誘電体膜 20 とを備えている。

[0046] 下部電極 19 は、貴金属を含有する導電材料（具体的には、Au 系材料、Ag 系材料、Pt 系材料、Pd 系材料、Rh 系材料、Ir 系材料、Ru 系材料、Os 系材料）からなる。また、下部電極 19 の厚さは、たとえば、0.05~0.2 μm である。下部電極 19 は、開口 17 に入り込み、ドレインコンタクトプラグ 14 の上面 62 に接触している。これにより、下部電極 19 は、ドレインコンタクトプラグ 14 を介して、ドレイン領域 3 に電氣的に接続されることとなる。

[0047] 上部電極 21 は、下部電極 19 と同様に、貴金属を含有する導電材料からなる。また、上部電極 21 の厚さは、たとえば、下部電極 19 と同じ厚さ（たとえば、0.05~0.2 μm ）である。

強誘電体膜 20 は、強誘電体材料からなる。強誘電体材料としては、電圧が印加されていなくても電荷を貯蔵可能な特性を有する材料であれば特に制限されず、たとえば、チタン酸ジルコン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$: PZT)、タンタル酸ビスマストロンチウム ($\text{SrBi}_2\text{Ta}_2\text{O}_9$: SBT)、チタン酸ビスマスランタン ($\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$: BLT)、チタン酸バリウム (BaTiO_3) など、公知のものが挙げられる。また、強誘電体膜 20 の厚さは、たとえば、0.05~0.2 μm である。

[0048] そして、下部電極 19、強誘電体膜 20 および上部電極 21 が積層される強誘電体キャパシタ 18 は、たとえば、メサ形状（断面視台形状）に形成されている。強誘電体キャパシタ 18 の側面 64 は、開口 17 上における積層界面 I に対して傾斜角度 α （たとえば、 $\alpha = 75 \sim 85^\circ$ ）で傾斜する急斜面である。

強誘電体キャパシタ 18 の上部電極 21 上には、TiN 膜 48 が積層され

ている。

[0049] 層間絶縁膜 16 上には、 Al_2O_3 （アルミナ）からなる第 1 水素バリア膜 22 と、 SiN （窒化シリコン）からなる第 2 水素バリア膜 23 とが順に積層されている。

第 2 水素バリア膜 23 上には、第 2 絶縁層 24 が積層されている。第 2 絶縁層 24 は、たとえば、酸化シリコンからなる。また、第 2 絶縁層 24 の厚さは、たとえば、第 1 絶縁層 9 と同じ厚さ（たとえば、 $0.4 \sim 0.9 \mu m$ ）である。

[0050] 第 2 絶縁層 24、第 2 水素バリア膜 23 および第 1 水素バリア膜 22 には、第 2 絶縁層 24 の上面 65 からこれらを通して、 TiN 膜 48 に達する PL 用配線ビアホール 25 が形成されている。

PL 用配線ビアホール 25 には、タングステンなどの金属材料からなる PL 用配線プラグ 29 が埋設されている。PL 用配線プラグ 29 は、その上面 66 が第 2 絶縁層 24 の上面 65 と面一になるまで PL 用配線ビアホール 25 を埋め尽くしている。

[0051] また、PL 用配線ビアホール 25 において、その内面（第 2 絶縁層 24 がなす側面および TiN 膜 48 がなす底面）と PL 用配線プラグ 29 との間には、バリア膜 27 が介在されている。バリア膜 27 は、たとえば、チタンを含有する導電材料（たとえば、 TiN 、 Ti など）からなる。

導電性のバリア膜 27 が介在されることにより、PL 用配線プラグ 29 は、バリア膜 27 および TiN 膜 48 を介して、上部電極 21 に電氣的に接続（コンタクト）されることとなる。

[0052] また、第 2 絶縁層 24、第 2 水素バリア膜 23 および第 1 水素バリア膜 22 には、第 2 絶縁層 24 の上面 65 からこれらを通して、ソースコンタクトプラグ 15 に達する BL 用配線ビアホール 26 が形成されている。

BL 用配線ビアホール 26 には、タングステンなどの金属材料からなる BL 用配線プラグ 30 が埋設されている。BL 用配線プラグ 30 は、その上面 67 が第 2 絶縁層 24 の上面 65 と面一になるまで BL 用配線ビアホール 2

6を埋め尽くしている。

[0053] また、ＢＬ用配線ビアホール２６において、その内面（第２絶縁層２４がなす側面およびソースコンタクトプラグ１５がなす底面）とＢＬ用配線プラグ３０との間には、バリア膜２８が形成されている。バリア膜２８は、たとえば、チタンを含有する導電材料（たとえば、ＴｉＮ、Ｔｉなど）からなる。

導電性のバリア膜２８が介在されることにより、ＢＬ用配線プラグ３０は、バリア膜２７を介して、ソースコンタクトプラグ１５に電氣的に接続（コンタクト）されることとなる。

[0054] 第２絶縁層２４上には、ＰＬ用配線３１およびＢＬ用配線３２が形成されている。

ＰＬ用配線３１は、強誘電体メモリ１に備えられるプレート線４０に接続される配線であって、たとえば、チタンを含有する導電材料からなるチタン層３３と、アルミニウムを含有する導電材料からなるアルミニウム層３４と、チタンを含有する導電材料からなるチタン層３５との３層構造で形成されている。

[0055] ＢＬ用配線３２は、強誘電体メモリ１に備えられるビット線４１に接続される配線であって、たとえば、チタンを含有する導電材料からなるチタン層３６と、アルミニウムを含有する導電材料からなるアルミニウム層３７と、チタンを含有する導電材料からなるチタン層３８との３層構造で形成されている。

また、強誘電体メモリ１には、ワード線３９、プレート線４０およびビット線４１が備えられている。

[0056] ワード線３９は、各ドレイン領域３とソース領域４との間の各チャネル領域に対向する位置に、アクティブ領域５０の長手方向と直交する方向に延びている。ワード線３９はゲート電極６に接続されている。

プレート線４０は、上部電極２１の上方において、アクティブ領域５０の長手方向と直交する方向に延びている。プレート線４０はＰＬ用配線３１に

接続されている。

- [0057] ビット線 41 は、アクティブ領域 50 の上方において、アクティブ領域 50 の長手方向に延びている。ビット線 41 は BL 用配線 32 に接続されている。

そして、ワード線 39 によりメモリセルを選択し、ビット線 41 とプレート線 40 との間に電圧を印加することにより、選択されたメモリセルの強誘電体キャパシタ 18 が、上部電極 21 から下部電極 19 へ向かう方向もしくはその反対方向に分極する。この分極方向を判別することによって、当該メモリセルに対して 1 ビット情報（0 もしくは 1 の情報）を書き込むことができる。

- [0058] 一方、各メモリセルにおいて、上部電極 21 と下部電極 19 との間にパルス電圧を印加し、強誘電体キャパシタ 18 の分極反転による電流の有無により当該メモリセルに書き込まれた 1 ビット情報を判別することによって、当該情報を読み出すことができる。

図 3 A ～図 3 J は、図 2 の強誘電体メモリの製造方法を工程順に示す模式的な断面図である。

- [0059] この製造方法では、まず、図 3 A に示すように、シリコン基板 2 の表層部に、N 型不純物が注入されることにより、N⁺型のドレイン領域 3 および N⁺型のソース領域 4 が形成される。次いで、シリコン基板 2 上に、熱酸化処理により熱酸化膜（図示せず）が形成され、この熱酸化膜がパターニングされる。これにより、ドレイン領域 3 およびソース領域 4 に跨るゲート絶縁膜 5 が形成される。

- [0060] 次いで、ゲート絶縁膜 5 の形成されたシリコン基板 2 上に、CVD 法により、不純物がドーパされたポリシリコン（ドーパドポリシリコン）が堆積され、このドーパドポリシリコンがパターニングされる。これにより、ゲート絶縁膜 5 上にゲート電極 6 が形成される。次に、シリコン基板 2 上に、CVD 法により酸化シリコンが堆積され、この酸化シリコンがエッチバックされる。これにより、ゲート電極 6 の側壁を取り囲むサイドウォール 7 が形成さ

れる。こうして、図 3 A に示すように、ゲート電極 6 (Metal) と、ゲート絶縁膜 5 (Oxide) と、ドレイン領域 3 およびソース領域 4 を含むシリコン基板 2 (Semiconductor) とを有する MOS FET 8 が形成される。

[0061] MOS FET 8 の形成後、CVD 法により、シリコン基板 2 上に酸化シリコンが堆積されることにより、第 1 絶縁層 9 が形成される。次いで、公知のパターニング技術により、第 1 絶縁層 9 がパターニングされることにより、第 1 絶縁層 9 にドレインコンタクトホール 10 およびソースコンタクトホール 11 が同時に形成される。

次に、スパッタ法により、ドレインコンタクトホール 10 およびソースコンタクトホール 11 の内面全域を覆い、さらに第 1 絶縁層 9 の上面 61 を覆うように、チタンを含有する導電材料が堆積される。そして、CVD 法により、ドレインコンタクトホール 10 およびソースコンタクトホール 11 を埋め尽くすようにタングステンが堆積される。その後、CMP 処理により、堆積されたタングステンの上面と第 1 絶縁層 9 の上面 61 とが面一になるまで、チタンを含有する導電材料およびタングステンが研磨される。こうして、図 3 A に示すように、バリア膜 12 が形成されるとともに、このバリア膜 12 を介して、ドレインコンタクトホール 10 に埋設されたドレインコンタクトプラグ 14 が形成される。また、バリア膜 13 が形成されるとともに、このバリア膜 13 を介して、ソースコンタクトホール 11 に埋設されたソースコンタクトプラグ 15 が、ドレインコンタクトプラグ 14 と同時に形成される。ドレインコンタクトプラグ 14 の上面 62 およびソースコンタクトプラグ 15 の上面 63 は、第 1 絶縁層 9 の上面 61 と面一となる。

[0062] 次いで、CVD 法により、第 1 絶縁層 9 上に酸化シリコンが堆積されることにより、図 3 B に示すように、第 1 絶縁層 9 上に層間絶縁膜 16 が積層される。

次に、公知のパターニング技術により、層間絶縁膜 16 のドレインコンタクトプラグ 14 に対向する部分が除去される。これにより、図 3 C に示すように、ドレインコンタクトプラグ 14 の上面 62 を露出させる開口 17 が形

成される。

[0063] 次いで、スパッタ法により、図3Dに示すように、貴金属を含有する導電材料からなる下部導電材料膜42、強誘電体材料からなる強誘電体材料膜43および貴金属を含有する導電材料からなる上部導電材料膜44が、層間絶縁膜16上に順に堆積されて、堆積構造物45が形成される。

続いて、堆積構造物45における開口17上の部分（ドレインコンタクトプラグ14上の部分）に、耐熱性のあるハードマスク46（たとえば、TiN）が形成される。そして、このハードマスク46を介して、たとえば、300℃以上、好ましくは、350～450℃のエッチング温度で、堆積構造物45がその積層界面に対して垂直にエッチングされる。これにより、堆積構造物45は、その一部が開口17上に残存するように、その残存部分以外の部分が除去される。こうして、図3Eに示すように、開口17上における積層界面Iに対して傾斜角度 α （たとえば、 $\alpha = 75 \sim 85^\circ$ ）で傾斜する側面64を有するメサ形状の強誘電体キャパシタ18が形成される。なお、強誘電体キャパシタ18の上部電極21上には、図3Fに示すように、エッチングにより薄くなったハードマスク46がTiN膜48として残存する。

[0064] 次いで、層間絶縁膜16上に、スパッタ法により Al_2O_3 （アルミナ）が堆積され、さらに、PECVD法によりSiN（窒化シリコン）が堆積される。これにより、図3Fに示すように、層間絶縁膜16を覆い、さらに強誘電体キャパシタ18の表面全域を覆うように、第1水素バリア膜22および第2水素バリア膜23が形成される。

その後、CVD法により、図3Gに示すように、第2水素バリア膜23上に、酸化シリコンからなる第2絶縁層24が積層される。このとき、強誘電体キャパシタ18の表面全域が第1水素バリア膜22および第2水素バリア膜23により覆われているので、第2絶縁層24の形成方法として、H（水素）をキャリアガスとして用いるCVD法が採用されても、キャリアガスによる強誘電体膜20中の酸素の還元を防止することができる。したがって、強誘電体膜20の特性劣化を抑制することができる。

- [0065] 次いで、第2絶縁層24がCMP処理により研磨されて、第2絶縁層24の表面が平坦化される。そして、公知のパターニング技術により、図3Hに示すように、第2絶縁層24、第2水素バリア膜23および第1水素バリア膜22がパターニングされることにより、TiN膜48を露出させるPL用配線ビアホール25と、ソースコンタクトプラグ15の上面63を露出させるBL用配線ビアホール26とが同時に形成される。
- [0066] 次いで、スパッタ法により、PL用配線ビアホール25およびBL用配線ビアホール26の内面を覆い、さらに第2絶縁層24の上面65を覆うように、チタンを含有する導電材料が堆積される。そして、CVD法により、PL用配線ビアホール25およびBL用配線ビアホール26を埋め尽くすようにタングステンが堆積される。その後、CMP処理により、堆積されたタングステンの上面と第2絶縁層24の上面65とが面一になるまで、チタン含有材料およびタングステンが研磨される。こうして、図3Iに示すように、バリア膜27が形成されるとともに、このバリア膜27を介して、PL用配線ビアホール25に埋設されたPL用配線プラグ29が形成される。また、バリア膜28が形成されるとともに、このバリア膜28を介して、BL用配線ビアホール26に埋設されたBL用配線プラグ30が、PL用配線プラグ29と同時に形成される。PL用配線プラグ29の上面66およびBL用配線プラグ30の上面67は、第2絶縁層24の上面65と面一となる。
- [0067] その後、スパッタ法により、チタンを含有する導電材料、アルミニウムを含有する導電材料およびチタンを含有する導電材料が、第2絶縁層24上に積層され、パターニングされる。これにより、図3Jに示すように、PL用配線プラグ29に電氣的に接続されるPL用配線31（チタン層33、アルミニウム層34およびチタン層35の3層構造からなる配線）と、BL用配線プラグ30に電氣的に接続されるBL用配線32（チタン層36、アルミニウム層37およびチタン層38の3層構造からなる配線）とが、同時に形成される。
- [0068] そして、ゲート電極6にワード線39が接続され、PL用配線31にプレ

ート線 40 が接続され、BL 用配線 32 にビット線 41 が接続される。

こうして、図 3 J に示すように、強誘電体キャパシタ 18 を搭載する強誘電体メモリ 1 が得られる。

以上のように、上記の製造方法では、第 1 絶縁層 9 に、ド레인コンタクトプラグ 14 およびソースコンタクトプラグ 15 が埋設された後、第 1 絶縁層 9 上に層間絶縁膜 16 が積層される。そして、層間絶縁膜 16 がパターンニングされることにより、層間絶縁膜 16 のド레인コンタクトプラグ 14 に対向する部分が除去されて、開口 17 が形成される。これにより、ド레인コンタクトプラグ 14 が層間絶縁膜 16 の開口 17 を介して露出する一方、ソースコンタクトプラグ 15 が層間絶縁膜 16 により覆われる。

[0069] この状態で、層間絶縁膜 16 上に堆積構造物 45 が形成され、堆積構造物 45 の一部（開口 17 上の部分）に、耐熱性のあるハードマスク 46 が形成される。そして、ハードマスク 46 を介して、堆積構造物 45 がエッチングされることにより、強誘電体キャパシタ 18 が形成される。

堆積構造物 45 のエッチング時、ソースコンタクトプラグ 15 が層間絶縁膜 16 により覆われている。そのため、上記のように 300℃以上の高温で、堆積構造物 45 がエッチングされても、層間絶縁膜 16 による保護により、ソースコンタクトプラグ 15 の異常エッチングを防止することができる。その結果、ソースコンタクトプラグ 15 と、これに接続される BL 用配線プラグ 30 との間における導通不良の発生を抑制することができ、信頼性の低下を抑制することができる。

[0070] また、堆積構造物 45 を高温エッチングすることにより、強誘電体キャパシタ 18 の側面 64 を、開口 17 上における積層界面 I に対して急斜面にすることができる。その結果、強誘電体キャパシタ 18 の面積を縮小することができるので、強誘電体メモリ 1 の微細化を図ることができる。

また、ド레인コンタクトプラグ 14 およびソースコンタクトプラグ 15 の形成に関して、ド레인コンタクトホール 10 およびソースコンタクトホール 11 が同時に形成される。そして、これらコンタクトホールを埋め尽く

すようにタングステンが堆積された後、タングステンの上面と第1絶縁層9の上面61とが面一になるまで、タングステンがCMP処理により研磨される。この研磨によって、それらの上面62, 63が互いに面一をなすドレインコンタクトプラグ14およびソースコンタクトプラグ15が同時に形成される(図3A参照)。

[0071] このように、ドレインコンタクトプラグ14を形成するための複数の工程と、ソースコンタクトプラグ15を形成するための複数の工程とが並行して行なわれるので、強誘電体メモリ1の製造工程を簡略化することができる。

図4は、本発明の第2の実施形態に係る強誘電体メモリの模式的な平面図である。図5は、図4の強誘電体メモリの断面図であり、切断線V-Vでの切断面である。

[0072] 半導体記憶装置としての強誘電体メモリ101は、供給電源が遮断されても記憶内容を保持することのできる不揮発性メモリである。

強誘電体メモリ101は、図5に示すように、P型のシリコン基板102を備えている。

シリコン基板102上には、たとえば、複数の平面視長形状のアクティブ領域150が形成されている。アクティブ領域150の輪郭は、図4では、太線で示されている。アクティブ領域150は、その長手方向および長手方向と直交する方向に整列するマトリクス状に配置されている。

[0073] 各アクティブ領域150には、1ビットの情報を保持するメモリセルが複数(本実施形態では2つ)形成されている。図5では、複数のメモリセルのうちの1つを表している。

各メモリセルは、1つの強誘電体キャパシタ118(C)と、1つのMOSFET108(T)とが積層関係に配置される、1T1C型セル構造を有している。

アクティブ領域150(各メモリセル)において、シリコン基板102の表層部には、図5に示すように、N⁺型のドレイン領域103と、N⁺型のソース領域104とが間隔を空けて形成されている。なお、ソース領域104

は、2つのメモリセルのMOSFET 108に共通の領域とされており、平面視において、アクティブ領域150の中央部に形成されている。一方、ドレイン領域103は、平面視において、アクティブ領域150の一端部および他端部のそれぞれに、各メモリセルのMOSFET 108に対応して形成されている。

[0074] また、シリコン基板102の表面には、ドレイン領域103からソース領域104に跨るゲート絶縁膜105が形成されている。ゲート絶縁膜105は、たとえば、酸化シリコンからなる。

ゲート絶縁膜105上には、たとえば、不純物がドーパされたポリシリコン（ドーフトポリシリコン）からなるゲート電極106が形成されている。

[0075] ゲート電極106の側壁には、その全周にわたって密着するサイドウォール107が形成されている。サイドウォール107は、たとえば、酸化シリコンからなる。

このように、強誘電体メモリ101には、ゲート電極106（Metal）と、ゲート絶縁膜105（Oxide）と、ドレイン領域103およびソース領域104を含むシリコン基板102（Semiconductor）とを有するMOSFET 108が備えられている。

[0076] シリコン基板102上には、第1絶縁層109が積層されている。第1絶縁層109は、たとえば、酸化シリコンからなる。また、第1絶縁層109の厚さは、たとえば、0.4~0.9 μ mである。

第1絶縁層109において、ドレイン領域103に対向する部分には、第1絶縁層109の上面161からドレイン領域103に達するドレインコンタクトホール110が形成されている。

[0077] ドレインコンタクトホール110には、ドレインコンタクトプラグ114が埋設されている。ドレインコンタクトプラグ114は、ドレインコンタクトホール110の深さ方向途中部まで埋め込まれた本体プラグ151と、本体プラグ151の上面168を覆い、その上面162が第1絶縁層109の上面161と面一になるまでドレインコンタクトホール110を埋め尽くす

キャッププラグ 152 とを有している。

[0078] 第 1 金属プラグとしての本体プラグ 151 は、たとえば、タングステンなどの金属材料からなる。

導電性キャップとしてのキャッププラグ 152 は、後述する下部電極 119 および上部電極 121 の材料に対してエッチング選択比を有する導電性材料、たとえば、TiN（窒化チタン）、TaN（窒化タンタル）、WN（窒化タングステン）などの導電性窒化物、不純物がドーパされたポリシリコン（ドーパトポリシリコン）、カーボンなどからなる。

[0079] また、ドレインコンタクトホール 110 において、その内面（第 1 絶縁層 109 がなす側面およびシリコン基板 102 がなす底面）とドレインコンタクトプラグ 114 との間には、バリア膜 112 が介在されている。バリア膜 112 は、たとえば、チタンを含有する導電材料（たとえば、TiN、Ti など）からなる。

導電性のバリア膜 112 が介在されることにより、ドレインコンタクトプラグ 114 は、バリア膜 112 を介して、ドレイン領域 103 に電氣的に接続（コンタクト）されることとなる。

[0080] また、第 1 絶縁層 109 において、ソース領域 104 に対向する部分には、第 1 絶縁層 109 の上面 161 からソース領域 104 に達するソースコンタクトホール 111 が形成されている。

ソースコンタクトホール 111 には、ソースコンタクトプラグ 115 が埋設されている。ソースコンタクトプラグ 115 は、ソースコンタクトホール 111 の深さ方向途中部まで埋め込まれた本体プラグ 153 と、本体プラグ 153 の上面 169 を覆い、その上面 163 が第 1 絶縁層 109 の上面 161 と面一になるまでソースコンタクトホール 111 を埋め尽くすキャッププラグ 154 とを有している。キャッププラグ 154 の上面 163 が第 1 絶縁層 109 の上面 161 と面一であることにより、ソースコンタクトプラグ 115 の上面（キャッププラグ 154 の上面 163）と、ドレインコンタクトプラグ 114 の上面（キャッププラグ 152 の上面 162）とは、面一とな

っている。

[0081] 第2金属プラグとしての本体プラグ153は、たとえば、タングステンなどの金属材料からなる。

導電性キャップとしてのキャッププラグ154は、たとえば、上記したキャッププラグ152と同様の材料からなる。

また、ソースコンタクトホール111において、その内面（第1絶縁層109がなす側面およびシリコン基板102がなす底面）とソースコンタクトプラグ115との間には、バリア膜113が介在されている。バリア膜113は、たとえば、チタンを含有する導電材料（たとえば、TiN、Tiなど）からなる。

[0082] 導電性のバリア膜113が介在されることにより、ソースコンタクトプラグ115は、バリア膜113を介して、ソース領域104に電氣的に接続（コンタクト）されることとなる。

第1絶縁層109上には、ドレインコンタクトプラグ114に対向する部分に、強誘電体キャパシタ118が配置されている。つまり、強誘電体キャパシタ118は、平面視でドレインコンタクトプラグ114に重なる位置であって、ソースコンタクトプラグ115に重ならない位置に配置されている。

[0083] 強誘電体キャパシタ118は、下部電極119と、上部電極121と、下部電極119と上部電極121とにより挟まれた強誘電体膜120とを備えている。

下部電極119は、貴金属を含有する導電材料（具体的には、Au系材料、Ag系材料、Pt系材料、Pd系材料、Rh系材料、Ir系材料、Ru系材料、Os系材料）からなる。また、下部電極119の厚さは、たとえば、0.05~0.25 μ mである。下部電極119は、ドレインコンタクトプラグ114の上面162に接触している。これにより、下部電極119は、ドレインコンタクトプラグ114を介して、ドレイン領域103に電氣的に接続されることとなる。

[0084] 上部電極 121 は、下部電極 119 と同様に、貴金属を含有する導電材料からなる。また、上部電極 121 の厚さは、たとえば、下部電極 119 と同じ厚さ（たとえば、 $0.05 \sim 0.25 \mu\text{m}$ ）である。

強誘電体膜 120 は、強誘電体材料からなる。強誘電体材料としては、電圧が印加されていなくても電荷を貯蔵可能な特性を有する材料であれば特に制限されず、たとえば、チタン酸ジルコン酸鉛（ $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$: PZT）、タンタル酸ビスマーストロンチウム（ $\text{SrBi}_2\text{Ta}_2\text{O}_9$: SBT）、チタン酸ビスマースランタン（ $\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$: BLT）、チタン酸バリウム（ BaTiO_3 ）など、公知のものが挙げられる。また、強誘電体膜 120 の厚さは、たとえば、 $0.1 \sim 0.2 \mu\text{m}$ である。

[0085] そして、下部電極 119、強誘電体膜 120 および上部電極 121 が積層されてなる強誘電体キャパシタ 118 は、たとえば、メサ形状（断面視台形状）に形成されている。強誘電体キャパシタ 118 の側面 164 は、その積層界面 I に対して傾斜角度 α （たとえば、 $\alpha = 75 \sim 85^\circ$ ）で傾斜する急斜面である。

強誘電体キャパシタ 118 の上部電極 121 上には、TiN 膜 148 が積層されている。

[0086] 第 1 絶縁層 109 上には、 Al_2O_3 （アルミナ）からなる第 1 水素バリア膜 122 と、SiN（窒化シリコン）からなる第 2 水素バリア膜 123 とが順に積層されている。

第 2 水素バリア膜 123 上には、第 2 絶縁層 124 が積層されている。第 2 絶縁層 124 は、たとえば、酸化シリコンからなる。また、第 2 絶縁層 124 の厚さは、たとえば、第 1 絶縁層 109 と同じ厚さ（たとえば、 $0.4 \sim 0.9 \mu\text{m}$ ）である。

[0087] 第 2 絶縁層 124、第 2 水素バリア膜 123 および第 1 水素バリア膜 122 には、第 2 絶縁層 124 の上面 165 からこれらを通って、TiN 膜 148 に達する PL 用配線ビアホール 125 が形成されている。

PL 用配線ビアホール 125 には、タングステンなどの金属材料からなる

PL用配線プラグ129が埋設されている。PL用配線プラグ129は、その上面166が第2絶縁層124の上面165と面一になるまでPL用配線ビアホール125を埋め尽くしている。

- [0088] また、PL用配線ビアホール125において、その内面（第2絶縁層124がなす側面およびTiN膜148がなす底面）とPL用配線プラグ129との間には、バリア膜127が介在されている。バリア膜127は、たとえば、チタンを含有する導電材料（たとえば、TiN、Tiなど）からなる。

導電性のバリア膜127が介在されることにより、PL用配線プラグ129は、バリア膜127およびTiN膜148を介して、上部電極121に電氣的に接続（コンタクト）されることとなる。

- [0089] また、第2絶縁層124、第2水素バリア膜123および第1水素バリア膜122には、第2絶縁層124の上面165からこれらを貫通して、ソースコンタクトプラグ115に達するBL用配線ビアホール126が形成されている。

BL用配線ビアホール126には、タングステンなどの金属材料からなるBL用配線プラグ130が埋設されている。BL用配線プラグ130は、その上面167が第2絶縁層124の上面165と面一になるまでBL用配線ビアホール126を埋め尽くしている。

- [0090] また、BL用配線ビアホール126において、その内面（第2絶縁層124がなす側面およびソースコンタクトプラグ115がなす底面）とBL用配線プラグ130との間には、バリア膜128が形成されている。バリア膜128は、たとえば、チタンを含有する導電材料（たとえば、TiN、Tiなど）からなる。

導電性のバリア膜128が介在されることにより、BL用配線プラグ130は、バリア膜127を介して、ソースコンタクトプラグ115に電氣的に接続（コンタクト）されることとなる。

- [0091] 第2絶縁層124上には、PL用配線131およびBL用配線132が形成されている。

PL用配線131は、強誘電体メモリ101に備えられるプレート線140に接続される配線であって、たとえば、チタンを含有する導電材料からなるチタン層133と、アルミニウムを含有する導電材料からなるアルミニウム層134と、チタンを含有する導電材料からなるチタン層135との3層構造で形成されている。

[0092] BL用配線132は、強誘電体メモリ101に備えられるビット線141に接続される配線であって、たとえば、チタンを含有する導電材料からなるチタン層136と、アルミニウムを含有する導電材料からなるアルミニウム層137と、チタンを含有する導電材料からなるチタン層138との3層構造で形成されている。

また、強誘電体メモリ101には、ワード線139、プレート線140およびビット線141が備えられている。

[0093] ワード線139は、各ドレイン領域103とソース領域104との間の各チャネル領域に対向する位置に、アクティブ領域150の長手方向と直交する方向に延びている。ワード線139はゲート電極106に接続されている。

プレート線140は、上部電極121の上方において、アクティブ領域150の長手方向と直交する方向に延びている。プレート線140はPL用配線131に接続されている。

[0094] ビット線141は、アクティブ領域150の上方において、アクティブ領域150の長手方向に延びている。ビット線141はBL用配線132に接続されている。

そして、ワード線139によりメモリセルを選択し、ビット線141とプレート線140との間に電圧を印加することにより、選択されたメモリセルの強誘電体キャパシタ118が、上部電極121から下部電極119へ向かう方向もしくはその反対方向に分極する。この分極方向を判別することによって、当該メモリセルに対して1ビット情報（0もしくは1の情報）を書き込むことができる。

[0095] 一方、各メモリセルにおいて、上部電極 121 と下部電極 119 との間にパルス電圧を印加し、強誘電体キャパシタ 118 の分極反転による電流の有無により当該メモリセルに書き込まれた 1 ビット情報を判別することによって、当該情報を読み出すことができる。

図 6 A ～ 図 6 K は、図 5 の強誘電体メモリの製造方法を工程順に示す模式的な断面図である。

[0096] この製造方法では、まず、図 6 A に示すように、シリコン基板 102 の表層部に、N 型不純物が注入されることにより、N⁺型のドレイン領域 103 および N⁺型のソース領域 104 が形成される。次いで、シリコン基板 102 上に、熱酸化処理により熱酸化膜（図示せず）が形成され、この熱酸化膜がパターニングされる。これにより、ドレイン領域 103 およびソース領域 104 に跨るゲート絶縁膜 105 が形成される。

[0097] 次いで、ゲート絶縁膜 105 の形成されたシリコン基板 102 上に、CVD 法により、不純物がドーピングされたポリシリコン（ドーピングポリシリコン）が堆積され、このドーピングポリシリコンがパターニングされる。これにより、ゲート絶縁膜 105 上にゲート電極 106 が形成される。次に、シリコン基板 102 上に、CVD 法により酸化シリコンが堆積され、この酸化シリコンがエッチバックされる。これにより、ゲート電極 106 の側壁を取り囲むサイドウォール 107 が形成される。こうして、図 6 A に示すように、ゲート電極 106（Metal）と、ゲート絶縁膜 105（Oxide）と、ドレイン領域 103 およびソース領域 104 を含むシリコン基板 102（Semiconductor）とを有する MOSFET 108 が形成される。

[0098] MOSFET 108 の形成後、CVD 法により、シリコン基板 102 上に酸化シリコンが堆積されることにより、第 1 絶縁層 109 が形成される。次いで、公知のパターニング技術により、第 1 絶縁層 109 がパターニングされることにより、第 1 絶縁層 109 にドレインコンタクトホール 110 およびソースコンタクトホール 111 が同時に形成される。

[0099] 次に、スパッタ法により、ドレインコンタクトホール 110 およびソース

コンタクトホール 111 の内面全域を覆い、さらに第 1 絶縁層 109 の上面 161 を覆うように、チタンを含有する導電材料が堆積される。そして、CVD 法により、ドレインコンタクトホール 110 およびソースコンタクトホール 111 を埋め尽くすようにタングステンが堆積される。その後、CMP 処理により、堆積されたタングステンの上面と第 1 絶縁層 109 の上面 161 とが面一になるまで、チタンを含有する導電材料およびタングステンが研磨される。こうして、図 6 A に示すように、バリア膜 112 が形成されるとともに、このバリア膜 112 を介して、ドレインコンタクトホール 110 に埋設されたドレイン側金属プラグ 116 が形成される。また、バリア膜 113 が形成されるとともに、このバリア膜 113 を介して、ソースコンタクトホール 111 に埋設されたソース側金属プラグ 117 が、ドレイン側金属プラグ 116 と同時に形成される。

[0100] 次いで、公知のエッチング技術により、ドレイン側金属プラグ 116 およびソース側金属プラグ 117 の上部が除去される。これにより、図 6 B に示すように、ドレインコンタクトホール 110 の途中部およびソースコンタクトホール 111 の途中部まで埋設された、ドレイン側の本体プラグ 151 およびソース側の本体プラグ 153 がそれぞれ形成される。

[0101] 続いて、図 6 C に示すように、スパッタ法により、ドレインコンタクトホール 110 およびソースコンタクトホール 111 における各本体プラグ 151, 153 上を埋め尽くし、さらに第 1 絶縁層 109 の上面 161 を覆うように、キャッププラグ 152 およびキャッププラグ 154 の材料であるキャップ材料 147 が堆積される。

その後、CMP 処理により、堆積されたキャップ材料 147 の上面と第 1 絶縁層 109 の上面 161 とが面一になるまで、キャップ材料 147 が研磨される。こうして、図 6 D に示すように、本体プラグ 151 の上面 168 を覆うキャッププラグ 152 と、本体プラグ 153 の上面 169 を覆うキャッププラグ 154 とが同時に形成される。これにより、各バリア膜 112, 113 を介してドレインコンタクトホール 110 およびソースコンタクトホー

ル 1 1 1 にそれぞれ埋設された、ドレインコンタクトプラグ 1 1 4 およびソースコンタクトプラグ 1 1 5 が同時に形成される。

- [0102] 次いで、スパッタ法により、図 6 E に示すように、貴金属を含有する導電材料からなる下部導電材料膜 1 4 2、強誘電体材料からなる強誘電体材料膜 1 4 3 および貴金属を含有する導電材料からなる上部導電材料膜 1 4 4 が、第 1 絶縁層 1 0 9 上に順に堆積されて、堆積構造物 1 4 5 が形成される。

続いて、堆積構造物 1 4 5 におけるドレインコンタクトプラグ 1 1 4 上の部分に、耐熱性のあるハードマスク 1 4 6（たとえば、TiN）が形成される。そして、このハードマスク 1 4 6 を介して、たとえば、300℃以上、好ましくは、350～450℃のエッチング温度で、堆積構造物 1 4 5 がその積層界面に対して垂直にエッチングされる。これにより、堆積構造物 1 4 5 は、その一部がドレインコンタクトプラグ 1 1 4 上に残存するように、その残存部分以外の部分が除去される。こうして、図 6 F に示すように、その積層界面 I に対して傾斜角度 α （たとえば、 $\alpha = 75 \sim 85^\circ$ ）で傾斜する側面 1 6 4 を有するメサ形状の強誘電体キャパシタ 1 1 8 が形成される。なお、強誘電体キャパシタ 1 1 8 の上部電極 1 2 1 上には、図 6 G に示すように、エッチングにより薄くなったハードマスク 1 4 6 が TiN 膜 1 4 8 として残存する。

- [0103] 次いで、第 1 絶縁層 1 0 9 上に、スパッタ法により Al_2O_3 （アルミナ）が堆積され、さらに、PECVD 法により SiN（窒化シリコン）が堆積される。これにより、図 6 G に示すように、第 1 絶縁層 1 0 9 を覆い、さらに強誘電体キャパシタ 1 1 8 の表面全域を覆う第 1 水素バリア膜 1 2 2 および第 2 水素バリア膜 1 2 3 が形成される。

その後、CVD 法により、図 6 H に示すように、第 2 水素バリア膜 1 2 3 上に、酸化シリコンからなる第 2 絶縁層 1 2 4 が積層される。このとき、強誘電体キャパシタ 1 1 8 の表面全域が第 1 水素バリア膜 1 2 2 および第 2 水素バリア膜 1 2 3 により覆われているので、第 2 絶縁層 1 2 4 の形成方法として、H（水素）をキャリアガスとして用いる CVD 法が採用されても、キ

ヤリヤガスによる強誘電体膜 120 中の酸素の還元を防止することができる。したがって、強誘電体膜 120 の特性劣化を抑制することができる。

[0104] 次いで、第 2 絶縁層 124 が CMP 処理により研磨されて、第 2 絶縁層 124 の表面が平坦化される。そして、公知のパターニング技術により、図 6 I に示すように、第 2 絶縁層 124、第 2 水素バリア膜 123 および第 1 水素バリア膜 122 がパターニングされることにより、TiN 膜 148 を露出させる PL 用配線ビアホール 125 と、ソースコンタクトプラグ 115 の上面 163 を露出させる BL 用配線ビアホール 126 とが同時に形成される。

[0105] 次いで、スパッタ法により、PL 用配線ビアホール 125 および BL 用配線ビアホール 126 の内面を覆い、さらに第 2 絶縁層 124 の上面 165 を覆うように、チタンを含有する導電材料が堆積される。そして、CVD 法により、PL 用配線ビアホール 125 および BL 用配線ビアホール 126 を埋め尽くすようにタングステンが堆積される。その後、CMP 処理により、堆積されたタングステンの上面と第 2 絶縁層 124 の上面 165 とが面一になるまで、チタン含有材料およびタングステンが研磨される。こうして、図 6 J に示すように、バリア膜 127 が形成されるとともに、このバリア膜 127 を介して、PL 用配線ビアホール 125 に埋設された PL 用配線プラグ 129 が形成される。また、バリア膜 128 が形成されるとともに、このバリア膜 128 を介して、BL 用配線ビアホール 126 に埋設された BL 用配線プラグ 130 が、PL 用配線プラグ 129 と同時に形成される。PL 用配線プラグ 129 の上面 166 および BL 用配線プラグ 130 の上面 167 は、第 2 絶縁層 124 の上面 165 と面一となる。

[0106] その後、スパッタ法により、チタンを含有する導電材料、アルミニウムを含有する導電材料およびチタンを含有する導電材料が、第 2 絶縁層 124 上に積層され、パターニングされる。これにより、図 6 K に示すように、PL 用配線プラグ 129 に電氣的に接続される PL 用配線 131 (チタン層 133、アルミニウム層 134 およびチタン層 135 の 3 層構造からなる配線) と、BL 用配線プラグ 130 に電氣的に接続される BL 用配線 132 (チタ

ン層 136、アルミニウム層 137 およびチタン層 138 の 3 層構造からなる配線) とが形成される。

[0107] そして、ゲート電極 106 にワード線 139 が接続され、PL 用配線 131 にプレート線 140 が接続され、BL 用配線 132 にビット線 141 が接続される。

こうして、図 6K に示すように、強誘電体キャパシタ 118 を搭載する強誘電体メモリ 101 が得られる。

以上のように、強誘電体メモリ 101 では、ソース側の本体プラグ 153 の上面 169 は、キャッププラグ 154 により覆われている。キャッププラグ 154 で覆われることにより、本体プラグ 153 の上面 169 は、キャッププラグ 154 により保護されている。

[0108] そして、上記の製造方法では、このキャッププラグ 154 が形成された後、第 1 絶縁層 109 上に堆積構造物 145 が形成され、堆積構造物 145 の一部 (ドレインコンタクトプラグ 114 上の部分) に、耐熱性のあるハードマスク 146 が形成される。そして、ハードマスク 146 を介して、堆積構造物 145 がエッチングされることにより、強誘電体キャパシタ 118 が形成される。

[0109] 堆積構造物 145 のエッチング時、本体プラグ 153 がキャッププラグ 154 により覆われている。また、キャッププラグ 154 は、上記のように、下部電極 119 および上部電極 121 に対してエッチング選択比を有する導電性材料からなる。そのため、上記のように 300℃ 以上の高温で、堆積構造物 145 がエッチングされても、キャッププラグ 154 による保護により、本体プラグ 153 の異常エッチングを防止することができる。その結果、この本体プラグ 153 とキャッププラグ 154 とにより構成されるソースコンタクトプラグ 115 と、これに接続される BL 用配線プラグ 130 との間における導通不良の発生を抑制することができ、信頼性の低下を抑制することができる。

[0110] さらに、キャッププラグ 154 が導電性窒化物であれば、下部電極 119

および上部電極 121 に対して、エッチング選択比を大きくとれるので、本体プラグ 153 の異常エッチングを効果的に防止することができる。

また、堆積構造物 145 を高温エッチングすることにより、強誘電体キャパシタ 118 の側面 164 を、積層界面 I に対して急斜面にすることができる。その結果、強誘電体キャパシタ 118 の面積を縮小することができるので、強誘電体メモリ 101 の微細化を図ることができる。

[0111] また、ドレインコンタクトホール 110 に、本体プラグ 151 およびキャッププラグ 152 が埋め込まれている。また、ソースコンタクトホール 111 に、本体プラグ 153 およびキャッププラグ 154 が埋め込まれている。つまり、ドレインコンタクトホール 110 およびソースコンタクトホール 111 に埋め込まれた構造物が同じ構造である。

したがって、ドレインコンタクトプラグ 114 およびソースコンタクトプラグ 115 の形成に関して、ドレインコンタクトホール 110 およびソースコンタクトホール 111 が同時に形成され、これらコンタクトホールを埋め尽くすドレイン側金属プラグ 116 およびソース側金属プラグ 117 が形成される（図 6 A 参照）。次いで、これらプラグがエッチングされることによって、ドレイン側の本体プラグ 151 およびソース側の本体プラグ 153 が同時に形成される（図 6 B 参照）。

[0112] 次いで、ドレインコンタクトホール 110 およびソースコンタクトホール 111 における各本体プラグ 151、153 上を埋め尽くす導電性のキャップ材料 147 が堆積され（図 6 C 参照）、このキャップ材料 147 が CMP 処理により研磨される。この研磨によって、ドレイン側のキャッププラグ 152 およびソース側のキャッププラグ 154 が同時に形成されて、ドレインコンタクトプラグ 114 およびソースコンタクトプラグ 115 が同時に形成される（図 6 D 参照）。

[0113] このように、ドレイン側の本体プラグ 151 を形成する工程と、ソース側の本体プラグ 153 を形成する工程とが並行して行なわれ、さらに、本体プラグ 151 の上面 168 を覆うドレイン側のキャッププラグ 152 を形成す

る工程と、本体プラグ 153 の上面 169 を覆うソース側のキャッププラグ 154 を形成する工程とが並行して行なわれる。そのため、強誘電体メモリ 101 の製造工程を簡略化することができる。

[0114] 以上、本発明の実施形態について説明したが、本発明はさらに他の形態で実施することもできる。

たとえば、強誘電体メモリ 1, 101 の各半導体部分の導電型を反転した構成が採用されてもよい。すなわち、強誘電体メモリ 1, 101 において、P型の部分がN型であり、N型の部分がP型であってもよい。

[0115] また、強誘電体メモリ 1, 101 の各メモリセルのセル構造は、強誘電体キャパシタとMOSFETとが組み合わせられる構造であれば、たとえば、2T2C型であってもよい。

また、ドレインコンタクトプラグ 114 は、キャッププラグ 152 を有していなくてもよい。この場合、ドレインコンタクトホール 110 に、その上面 168 と第1絶縁層 109 の上面 161 とが面一になるまでタングステンなどの金属材料を埋め尽くすことにより、本体プラグ 151 を形成すればよい。

[0116] また、ソースコンタクトプラグ 115 は、キャッププラグ 154 を有していなくてもよいが、この場合、ソースコンタクトプラグ 115 の上面を、下部電極 119 および上部電極 121 に対してエッチング選択比を有する導電性材料からなる材料膜などで被覆すればよい。

本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

[0117] 本出願は、2008年9月16日に日本国特許庁に提出された特願2008-236647号および2008年9月16日に日本国特許庁に提出された特願2008-236648号に対応しており、これらの出願の全開示はここに引用により組み込まれるものとする。

符号の説明

[0118] １・・・強誘電体メモリ、９・・・第１絶縁層、１４・・・ドレインコンタクトプラグ、１５・・・ソースコンタクトプラグ、１６・・・層間絶縁膜、１７・・・開口、１８・・・強誘電体キャパシタ、１９・・・下部電極、２０・・・強誘電体膜、２１・・・上部電極、４２・・・下部導電材料膜、４３・・・強誘電体材料膜、４４・・・上部導電材料膜、４５・・・堆積構造物、６２・・・上面、６３・・・上面、１０１・・・強誘電体メモリ、１０９・・・第１絶縁層、１１０・・・ドレインコンタクトホール、１１１・・・ソースコンタクトホール、１１４・・・ドレインコンタクトプラグ、１１５・・・ソースコンタクトプラグ、１１６・・・ドレイン側金属プラグ、１１７・・・ソース側金属プラグ、１１８・・・強誘電体キャパシタ、１１９・・・下部電極、１２０・・・強誘電体膜、１２１・・・上部電極、１４２・・・下部導電材料膜、１４３・・・強誘電体材料膜、１４４・・・上部導電材料膜、１４５・・・堆積構造物、１４７・・・キャップ材料、１６１・・・上面、１６２・・・上面、１６３・・・上面、１６８・・・上面、１６９・・・上面

請求の範囲

- [請求項1] 絶縁層と、
前記絶縁層上に形成され、下部電極、強誘電体膜および上部電極を有する強誘電体キャパシタと、
前記絶縁層上に形成され、前記強誘電体キャパシタが配置される部分に開口を有する層間絶縁膜と、
前記絶縁層に埋設され、前記開口を介して前記下部電極に接続される第1金属プラグと、
平面視で前記強誘電体キャパシタ外において、前記絶縁層に埋設された第2金属プラグとを備える、半導体記憶装置。
- [請求項2] 前記第1金属プラグの上面と前記第2金属プラグの上面とが面一である、請求項1に記載の半導体記憶装置。
- [請求項3] 第1貫通孔および第2貫通孔を有する絶縁層と、
前記第1貫通孔を覆うように前記絶縁層上に形成され、下部電極、強誘電体膜および上部電極を有する強誘電体キャパシタと、
前記第1貫通孔に埋め込まれ、前記下部電極に電氣的に接続される第1金属プラグと、
前記第2貫通孔に埋め込まれた第2金属プラグと、
前記第1金属プラグおよび前記第2金属プラグのうち、少なくとも前記第2金属プラグの上面を覆い、前記下部電極および前記上部電極の材料に対してエッチング選択比を有する導電性材料からなる導電性キャップとを備える、半導体記憶装置。
- [請求項4] 前記導電性キャップが導電性窒化物からなる、請求項3に記載の半導体記憶装置。
- [請求項5] 前記第1金属プラグおよび前記第2金属プラグは、それぞれ前記第1貫通孔および前記第2貫通孔の途中部まで埋め込まれており、
前記導電性キャップは、前記絶縁層の表面と面一となるように前記第1貫通孔および前記第2貫通孔に埋め込まれている、請求項3に記載の半導体記憶装置。

載の半導体記憶装置。

[請求項6] 下部電極、強誘電体膜および上部電極を有する強誘電体キャパシタを備える半導体記憶装置の製造方法であって、

絶縁層に第1金属プラグおよび第2金属プラグを埋設する工程と、
前記第1金属プラグに対する電氣的なコンタクト部分を確保しつつ、
少なくとも前記第2金属プラグを被覆する被覆層を形成する工程と、
、

前記被覆層の形成後、前記下部電極の材料、前記強誘電体膜の材料および前記上部電極の材料を順に堆積させて堆積構造物を形成する工程と、

前記堆積構造物の一部を前記第1金属プラグ上に残存させるように、
当該残存部分以外の部分をエッチングで除去することにより、前記強誘電体キャパシタを形成する工程とを含む、半導体記憶装置の製造方法。

[請求項7] 前記被覆層を形成する工程が、前記絶縁層上に層間絶縁膜を成膜する工程と、前記層間絶縁膜に、前記第1金属プラグを露出させる開口を形成する工程とを含み、

前記強誘電体キャパシタを形成する工程が、前記堆積構造物の一部を前記開口上に残存させるように、その残存部分以外の部分をエッチングで除去する工程を含む、請求項6に記載の半導体記憶装置の製造方法。

[請求項8] 絶縁層に第1金属プラグおよび第2金属プラグを埋設する工程が、
前記絶縁層に、第1貫通孔および第2貫通孔を形成する工程と、前記第1貫通孔および前記第2貫通孔を埋め尽くすように、前記絶縁層上にプラグ材料を堆積させる工程と、前記プラグ材料の上面と前記絶縁層の上面とが面一になるまで、前記プラグ材料の前記第1貫通孔および前記第2貫通孔外の部分を除去することにより、前記第1金属プラグおよび前記第2金属プラグを形成する工程とを含む、請求項7に記

載の半導体記憶装置の製造方法。

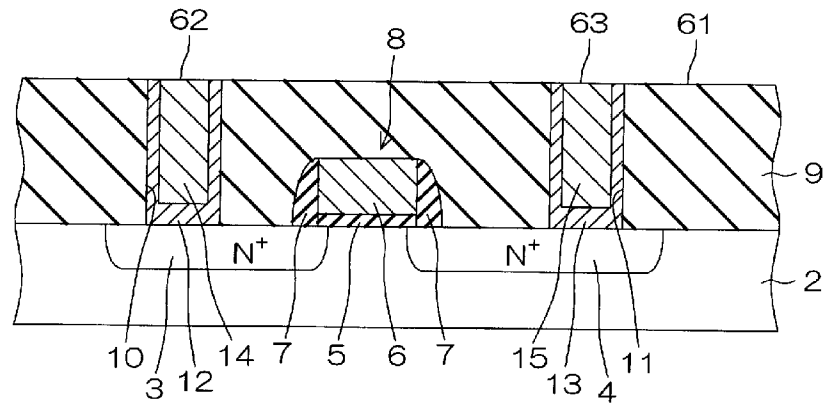
[請求項9]

絶縁層に第1金属プラグおよび第2金属プラグを埋設する工程が、前記絶縁層に、第1貫通孔および第2貫通孔を形成する工程と、前記第1貫通孔および前記第2貫通孔を金属材料で埋め尽くす工程と、前記金属材料をエッチングで部分的に除去することにより、前記第1貫通孔の途中部まで埋め込まれた第1金属プラグと、前記第2貫通孔の途中部まで埋め込まれた第2金属プラグとを形成する工程を含み、

前記被覆層を形成する工程が、前記第1金属プラグおよび前記第2金属プラグの形成後、前記下部電極および前記上部電極の材料に対してエッチング選択比を有する導電性材料を用いて前記第1貫通孔および前記第2貫通孔を埋め尽くすことにより、前記第1金属プラグおよび前記第2金属プラグの各上面を覆う導電性プラグを形成する工程を含む、請求項6に記載の半導体記憶装置の製造方法。

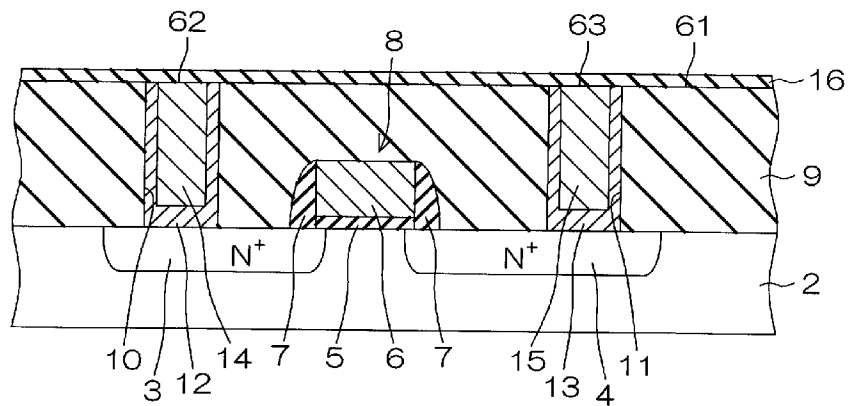
[図3A]

図3A



[図3B]

図3B



[図3C]

図3C

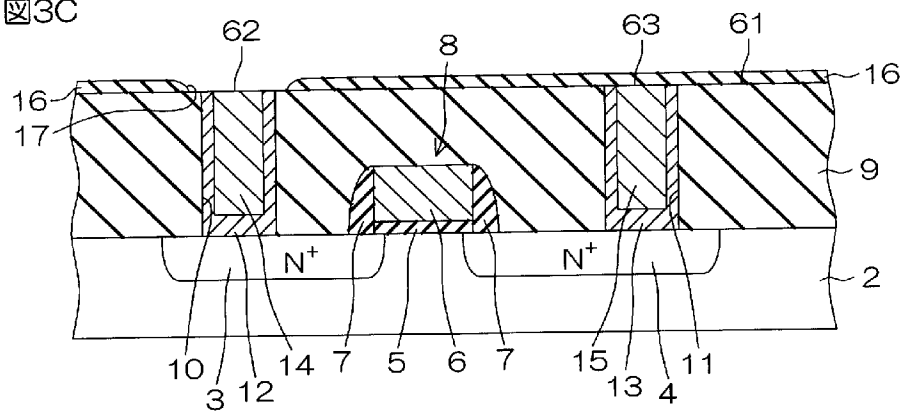


图 3 I

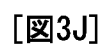
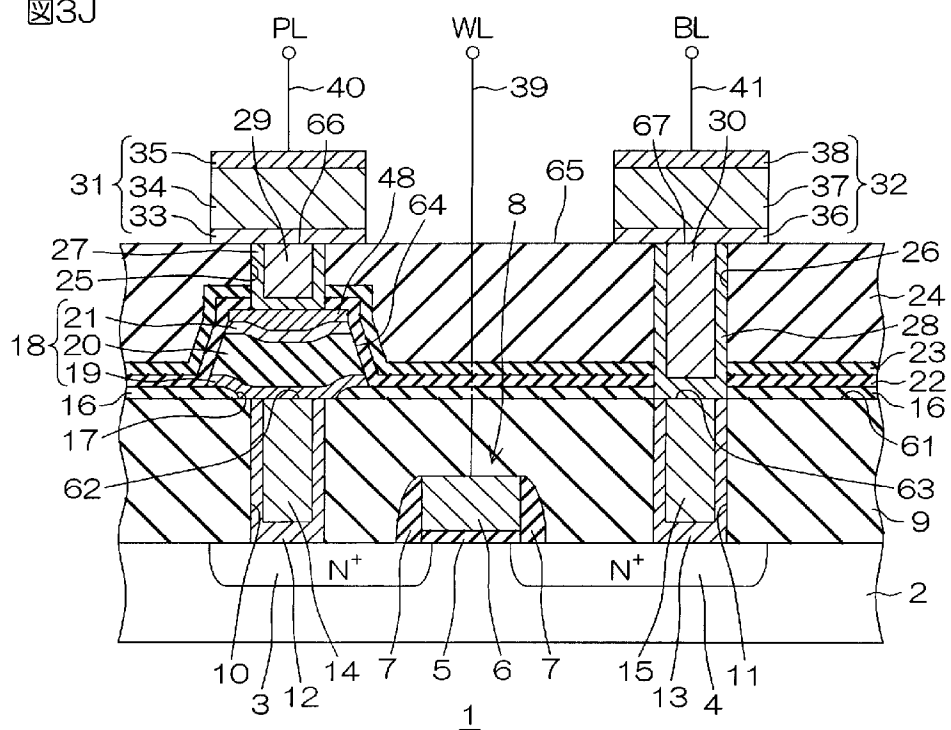
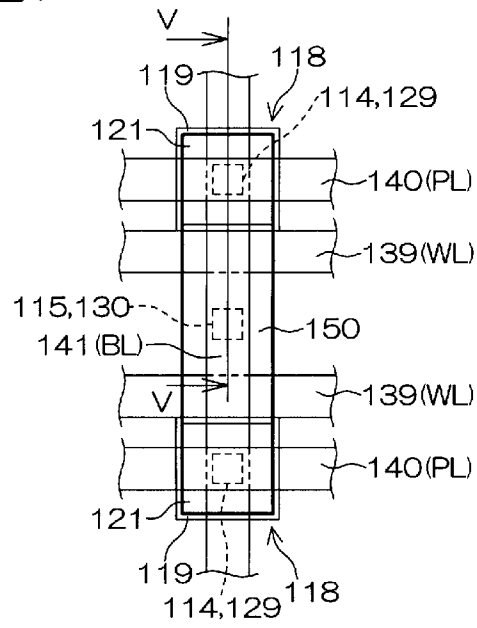


Figure 3J shows a 3D coordinate system with axes labeled x, y, and z. A small cube is depicted in the first octant, with its edges aligned with the axes. The axes are labeled with 'x', 'y', and 'z' at their ends.



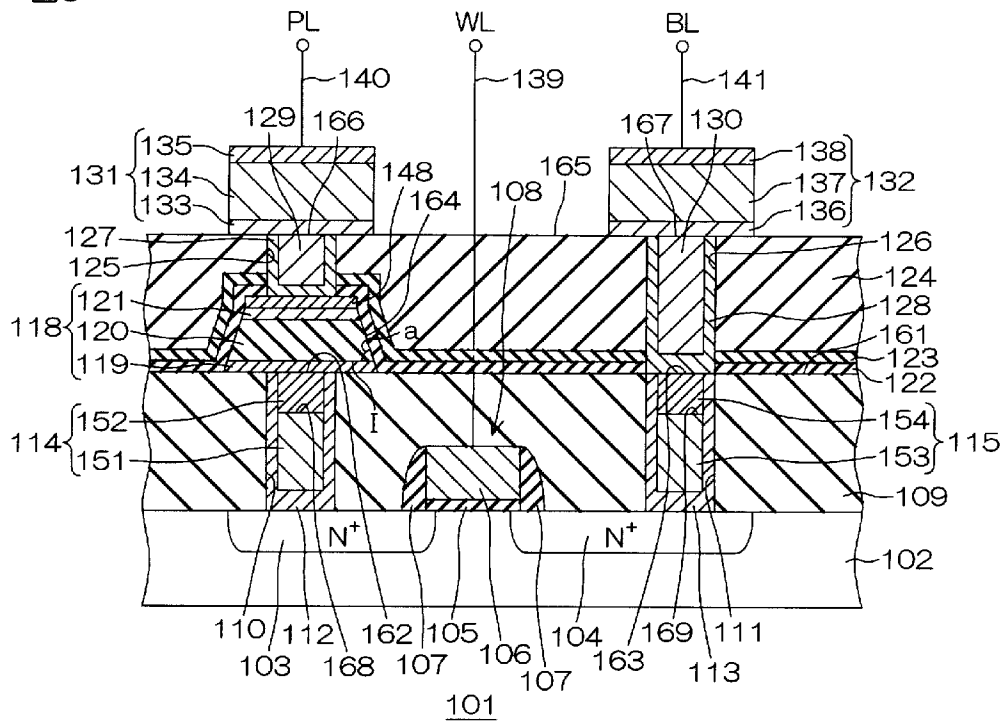
[図4]

図4



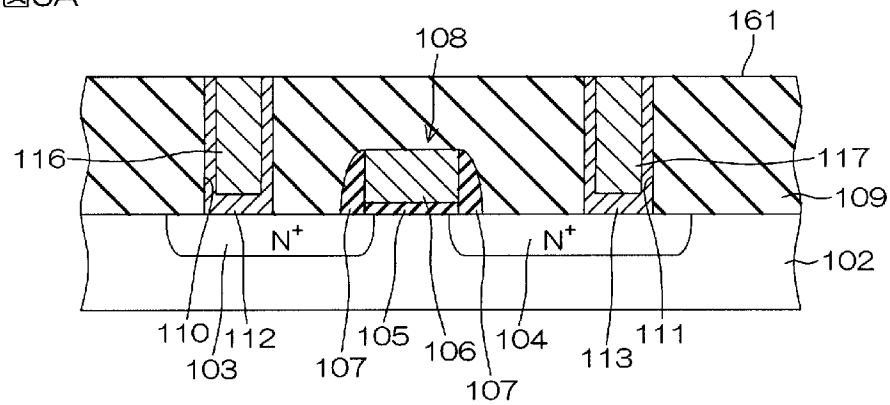
[図5]

図5



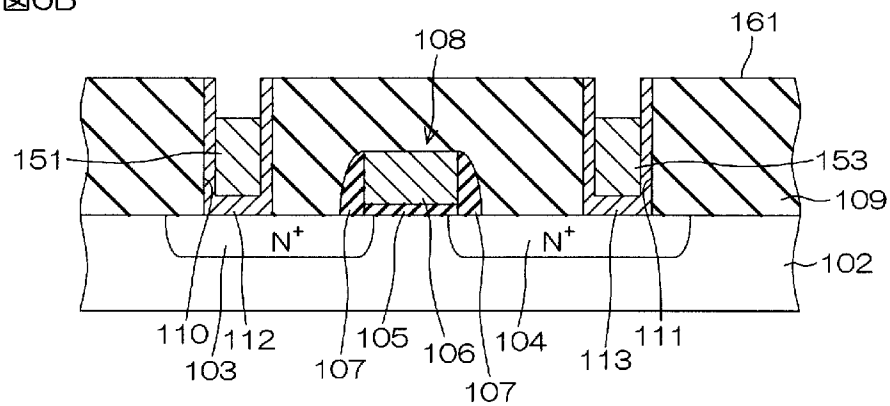
[図6A]

図6A



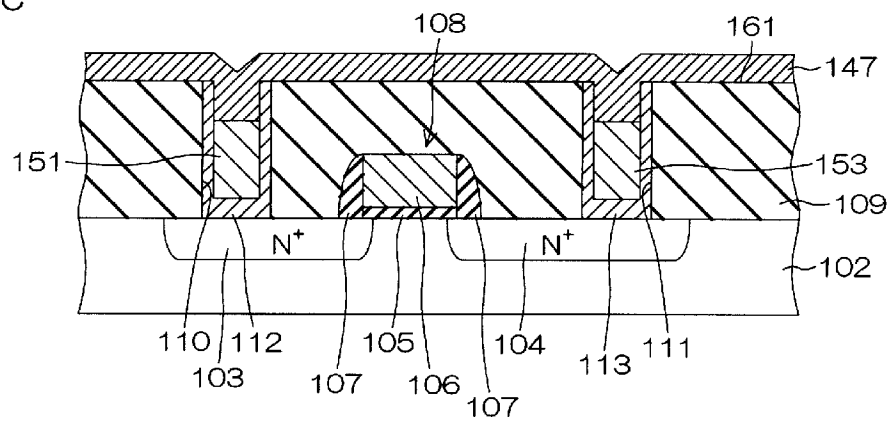
[図6B]

図6B



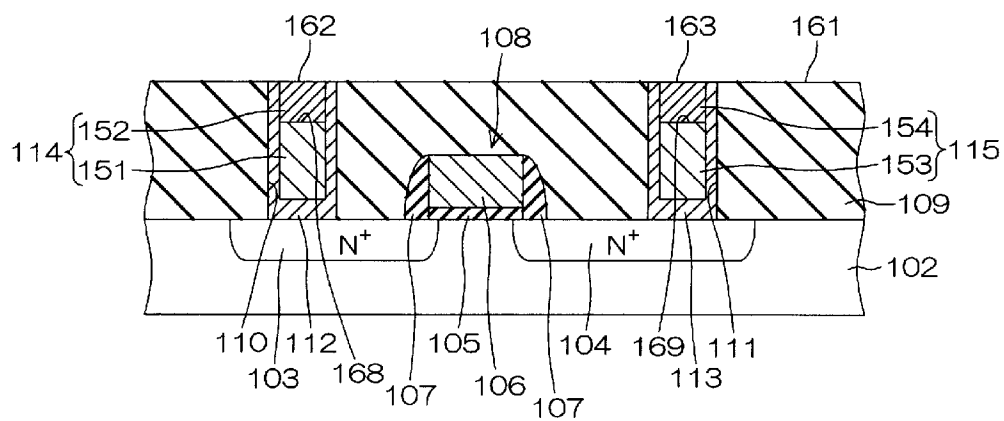
[図6C]

図6C



[図6D]

図6D



[図6E]

図6E

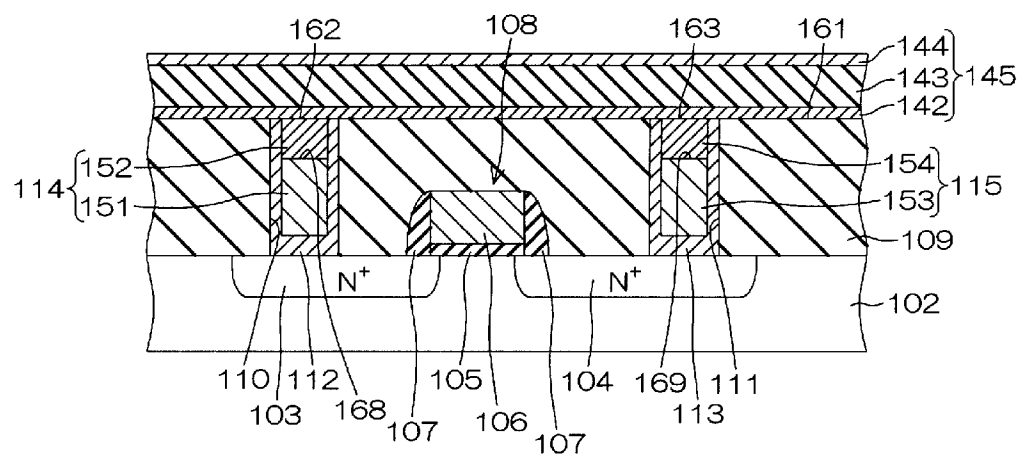


图6F

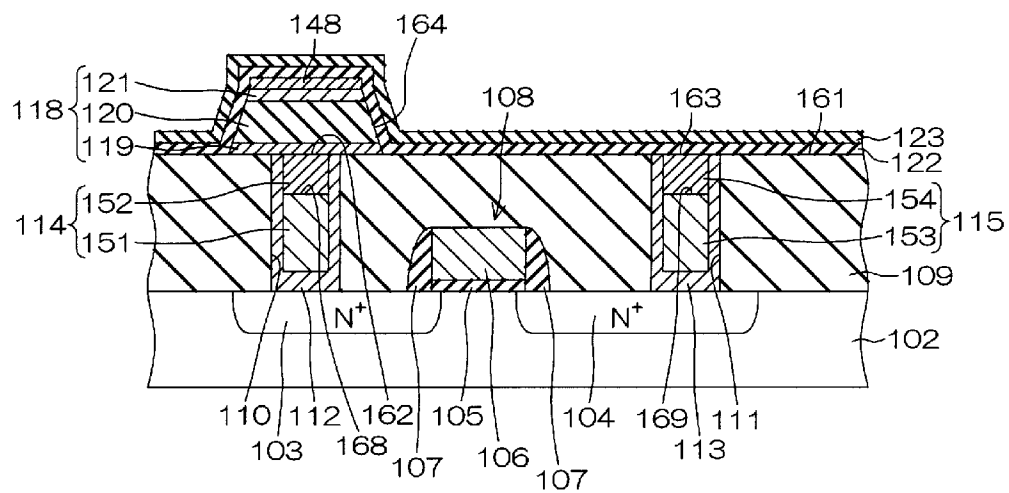
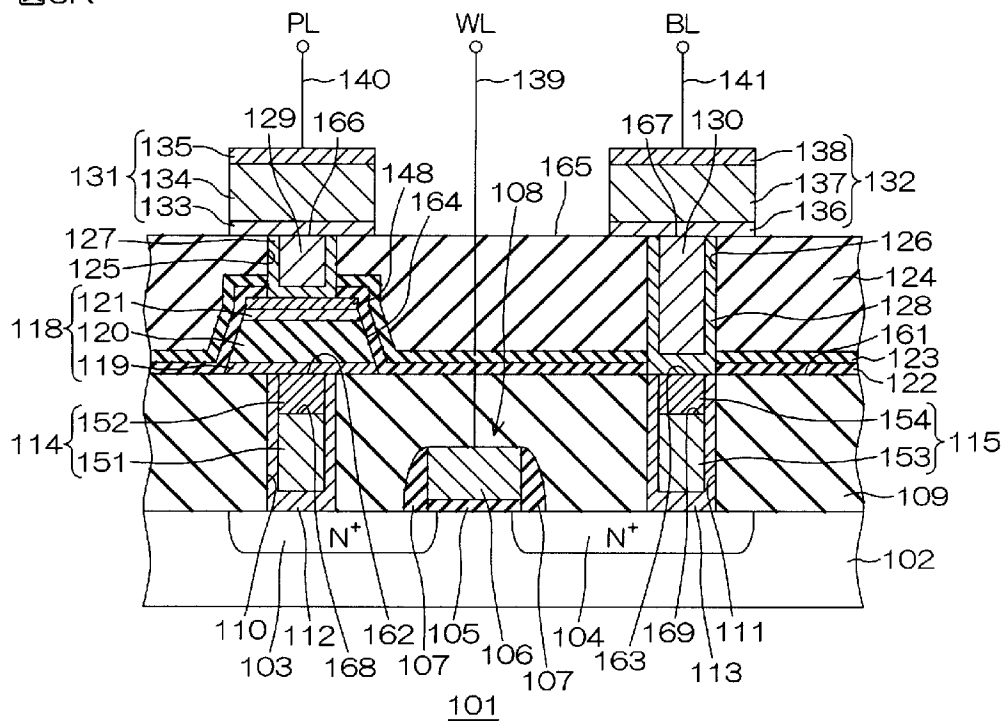


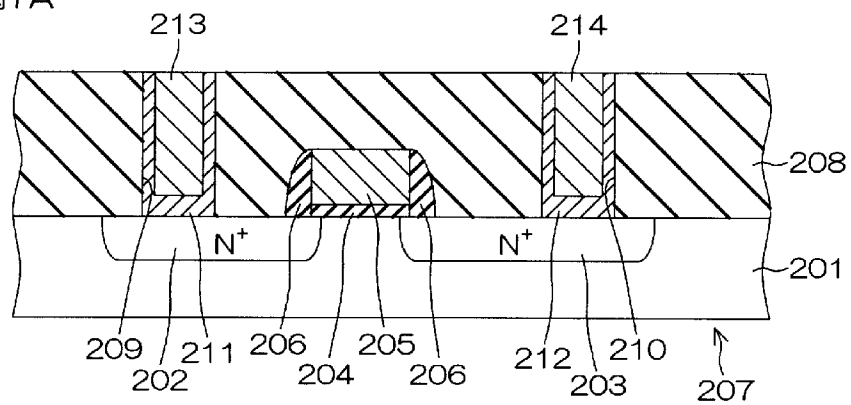


图 6K



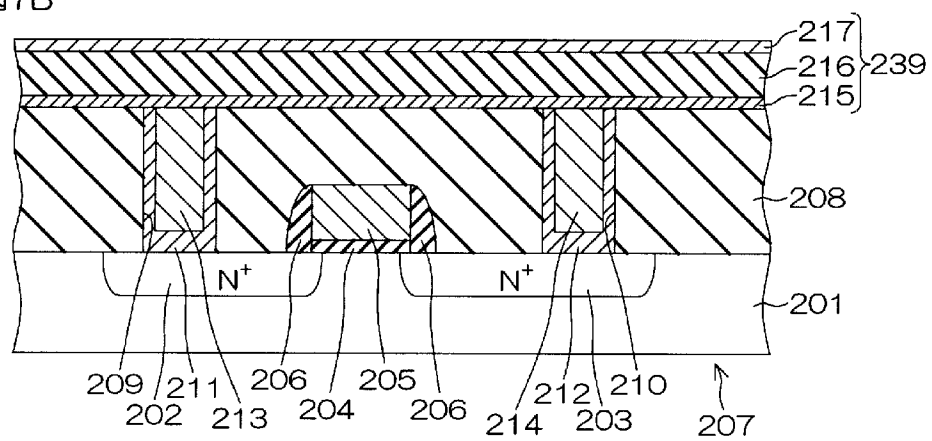
[図7A]

図7A



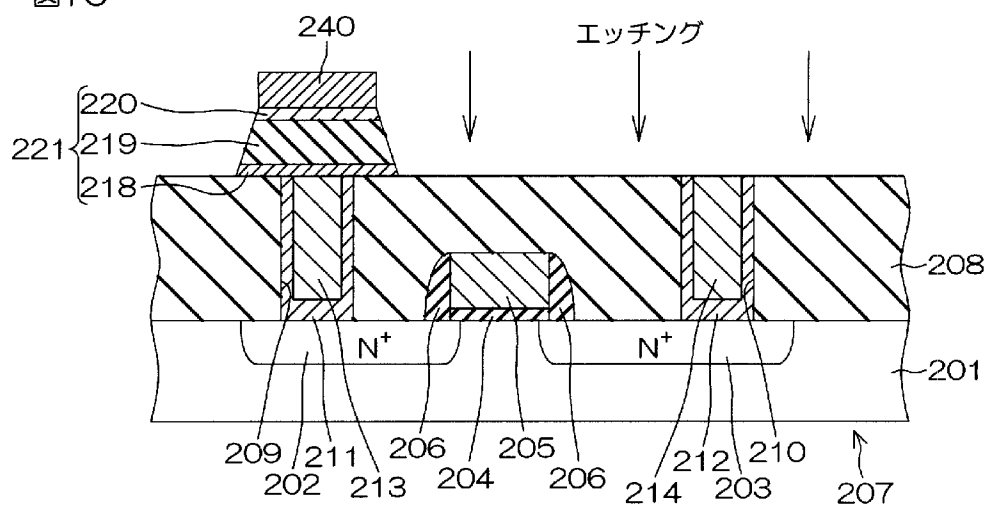
[図7B]

図7B



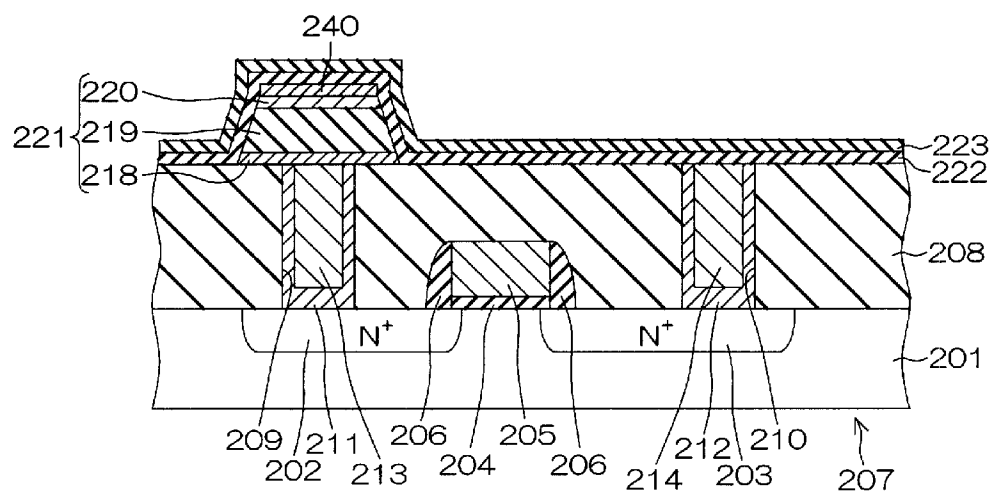
[図7C]

図7C



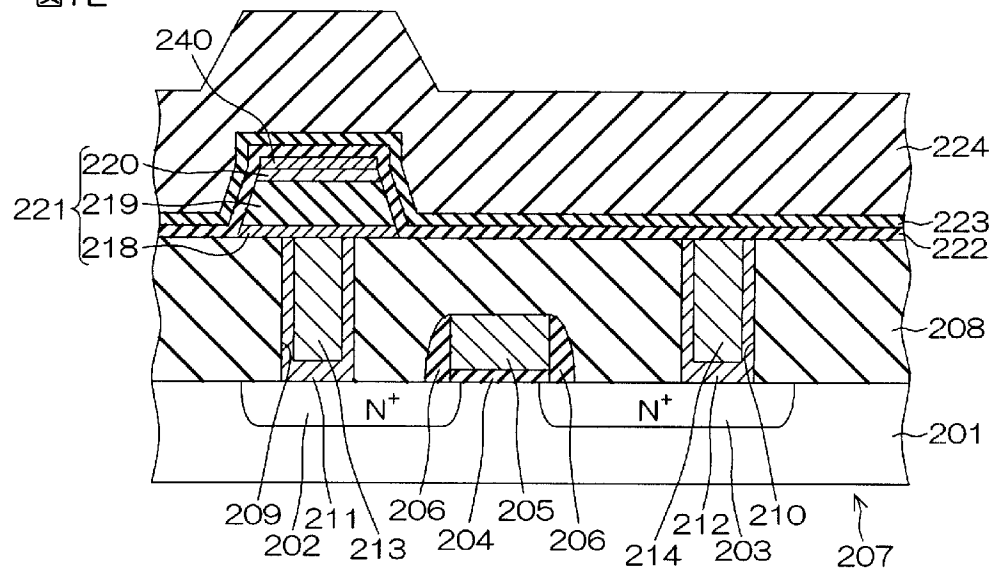
[図7D]

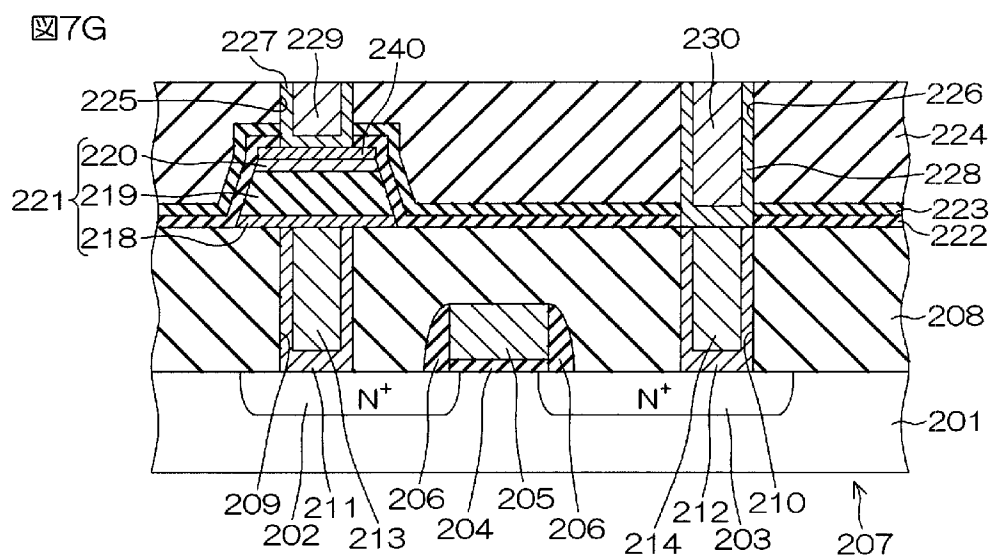
図7D



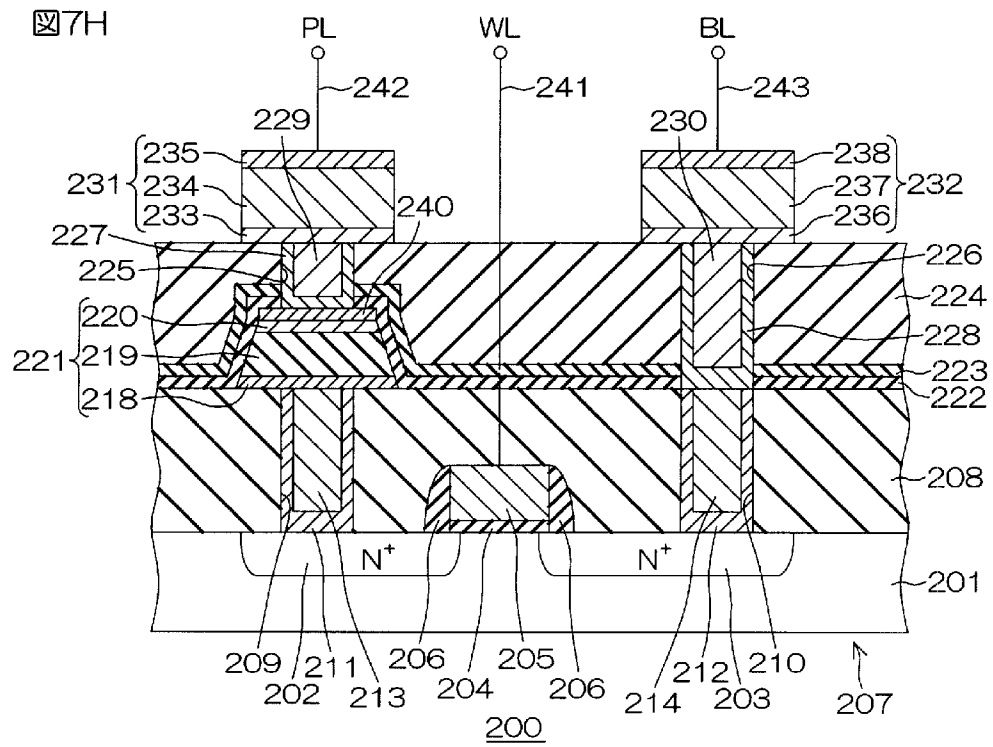
[図7E]

図7E





[図7H]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004653

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8246(2006.01) i, H01L27/105(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8246, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-36126 A (Fujitsu Ltd.), 08 February 2007 (08.02.2007), paragraphs [0078] to [0162]; fig. 9 to 18 & US 2007/0032015 A1 & KR 10-2007-0014932 A & CN 1905194 A	1, 2, 6-8
X	JP 2001-217400 A (Texas Instruments Inc.), 10 August 2001 (10.08.2001), paragraphs [0054] to [0103]; fig. 1 to 9 & US 6576546 B2	3-6, 9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
01 December, 2009 (01.12.09)

Date of mailing of the international search report
15 December, 2009 (15.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004653

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claims 1, 2 and 6-8 is related to a semiconductor storage device wherein a second metal plug is embedded in an insulating layer.

The invention of claims 3-5 and 9 is related to a semiconductor storage device wherein a second metal plug is provided with a conductive cap on the upper surface thereof.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/8246(2006.01)i, H01L27/105(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8246, H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-36126 A（富士通株式会社）2007.02.08, 【0078】 - 【0162】，図 9-18 & US 2007/0032015 A1 & KR 10-2007-0014932 A & CN 1905194 A	1, 2, 6-8
X	JP 2001-217400 A（テキサス インストルメンツ インコーポレイ テッド）2001.08.10, 【0054】 - 【0103】，図 1-9 & US 6576546 B2	3-6, 9

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 1 2 . 2 0 0 9

国際調査報告の発送日

1 5 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

井原 純

4 M

9 3 5 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1, 2, 6-8に係る発明は、第2金属プラグが絶縁層に埋設されている半導体記憶装置に関する発明である。

請求項3-5, 9に係る発明は、第2金属プラグの上面に導電性キャップを備えている半導体記憶装置に関する発明である。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。