(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0000229
(43) 공개일자 2024년01월02일

(51) 국제특허분류(Int. Cl.)
H04L 7/00 (2006.01) *H04L 25/49* (2006.01)
H04L 27/01 (2006.01) *H04L 7/06* (2006.01)
(52) CPC특허분류
H04L 7/0087 (2013.01)
H04L 25/4917 (2013.01)
(21) 출원번호 10-2022-0076956
(22) 출원일자 2022년06월23일
심사청구일자 2022년06월23일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
박승우
서울특별시 마포구 마포대로 195(아현동, 마포 래미안 푸르지오)
(뒷면에 계속)
(74) 대리인
특허법인주연케이알피

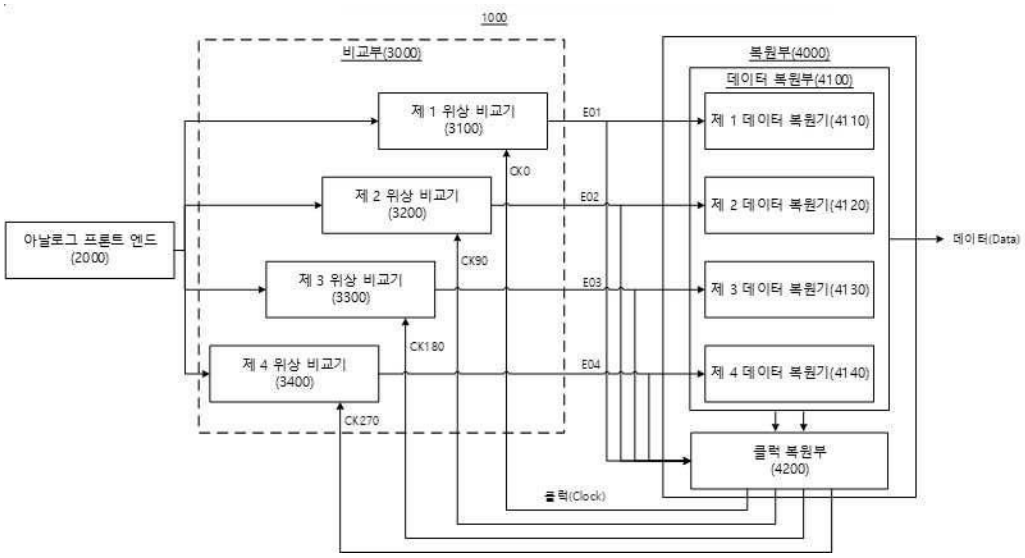
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기**

(57) 요 약

외부 신호를 수신하여 채널 로스(channel loss)를 복구해서 정제된 PAM-4 신호를 출력하는 아날로그 프론트 엔드, PAM-4 신호를 입력 받아 참고 전압과 비교하여 복원 신호를 생성하는 비교부, 그리고 복원 신호를 입력 받아 데이터 및 클럭을 복원하는 복원부를 포함하되,상기 아날로그 프론트 엔드는, 외부 신호의 모든 주파수 성분들의 진폭을 맞추는 등화기, 그리고 상기 등화기의 출력 신호를 증폭하는 증폭기를 포함하는 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기를 개시하고 있다.

대 표 도



(52) CPC특허분류
H04L 27/01 (2021.08)
H04L 7/06 (2021.08)
(72) 발명자
최윤재
서울특별시 서초구 사평대로 310-4(반포동, 반포 센트레빌 아스테리움)

심진철
서울특별시 성북구 삼선교로8길 16(삼선동1가)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711152595
과제번호	2020-0-01300-003
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	차세대지능형반도체기술개발(설계)
연구과제명	AI 특화형 병렬 초고속 메모리 인터페이스 기술 개발
기 여 율	1/1
과제수행기관명	서울대학교 산학협력단
연구기간	2022.01.01 ~ 2022.12.31

명 세 서

청구범위

청구항 1

외부 신호를 수신하여 채널 로스(channel loss)를 복구해서 정제된 PAM-4 신호를 출력하는 아날로그 프론트 엔드,

PAM-4 신호를 입력 받아 참고 전압과 비교하여 복원 신호를 생성하는 비교부, 그리고

복원 신호를 입력 받아 데이터 및 클럭을 복원하는 복원부를 포함하되,

상기 아날로그 프론트 엔드는,

외부 신호의 모든 주파수 성분들의 진폭을 맞추는 등화기, 그리고

상기 등화기의 출력 신호를 증폭하는 증폭기를 포함하는,

패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기.

청구항 2

제 1 항에 있어서,

상기 비교부는,

클럭(clock)이 0도인 경우에 PAM-4 신호와 참고 전압(Vref)을 비교하는 제 1 위상 비교기,

클럭(clock)이 90도인 경우에 PAM-4 신호와 참고 전압(Vref)을 비교하는 제 2 위상 비교기,

클럭(clock)이 180도인 경우에 PAM-4 신호와 참고 전압(Vref)을 비교하는 제 3 위상 비교기, 그리고

클럭(clock)이 270도인 경우에 PAM-4 신호와 참고 전압(Vref)을 비교하는 제 4 위상 비교기를 포함하는,

패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기.

청구항 3

제 2 항에 있어서,

상기 제 1 위상 비교기 내지 상기 제 4 위상 비교기는,

0번 데이터 복원 값(DR0) 및 0번 데이터 복원 반대 값(DR0B)을 출력하는 VH 비교기,

양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 저전압(VL)을 이용하여 1번 데이터 복원 값(DR1) 및 1번 데이터 복원 반대 값(DR1B)을 출력하는 VL 비교기,

양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 중고압(VHM)을 이용하여 제 1 정측 전환 신호, 제 1 부측 전환 신호, 0번 클럭 복원 값(CR0) 및 0번 클럭 복원 반대 값(CR0B)을 출력하는 VHM 비교기,

양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과참고 중저압(VLM)을 이용하여 제 2 정측 전환 신호, 제 2 부측 전환 신호, 1번 클럭 복원 값(CR1) 및 1번 클럭 복원 반대 값(CR1B)을 출력하는 VLM 비교기, 그리고

상기 VHM 비교기의 제 1 정측 전환 신호 및 제 1 부측 전환 신호 그리고 상기 VLM 비교기의 제 2 정측 전환 신호 및 제 2 부측 전환 신호를 이용하여 2번 데이터 복원 값(DR2)를 출력하는 시간 기반 해독기를 포함하는,

패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기.

청구항 4

제 3 항에 있어서,

상기 VH 비교기는,

양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 고전압(VH)을 비교하여 정측 출력 1 또는 0에 해당하는 신호를 출력하고, 부측 출력측에 0 또는 1에 해당하는 신호를 출력하는 VH 내부 비교기,

상기 VH 내부 비교기의 정측 출력측의 신호를 입력 받아 위상을 전환하는 제 1 위상 인버터,

상기 제 1 위상 인버터의 신호를 입력 받아 위상을 전환하는 제 2 위상 인버터,

상기 VH 내부 비교기의 부측 출력측의 신호를 입력 받아 위상을 전환하는 제 3 위상 인버터,

상기 제 2 위상 인버터의 신호를 입력 받아 위상을 전환하는 제 4 위상 인버터, 그리고

상기 제 2 위상 인버터의 출력 신호 및 상기 제 4 위상 인버터의 출력 신호를 입력 받아 0 또는 1을 출력하는 SR 래치를 포함하고,

상기 VL 비교기는,

양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 저전압(VL)을 비교하여 정측 출력 1 또는 0에 해당하는 신호를 출력하고, 부측 출력측에 0 또는 1에 해당하는 신호를 출력하는 VL 내부 비교기,

상기 내부 비교기의 정측 출력측의 신호를 입력 받아 위상을 전환하는 제 1 위상 인버터,

상기 제 1 위상 인버터의 신호를 입력 받아 위상을 전환하는 제 2 위상 인버터,

상기 내부 비교기의 부측 출력측의 신호를 입력 받아 위상을 전환하는 제 3 위상 인버터,

상기 제 2 위상 인버터의 신호를 입력 받아 위상을 전환하는 제 4 위상 인버터, 그리고

상기 제 2 위상 인버터의 출력 신호 및 상기 제 4 위상 인버터의 출력 신호를 입력 받아 0 또는 1을 출력하는 SR 래치를 포함하는,

패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기.

청구항 5

제 3 항에 있어서,

상기 VHM 비교기는,

양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 중고압(VHM)을 비교하여 정측 출력 1 또는 0에 해당하는 신호를 출력하고, 부측 출력측에 0 또는 1에 해당하는 신호를 출력하는 VHM 내부 비교기,

상기 VHM 내부 비교기의 정측 출력측의 신호를 입력 받아 위상을 전환하여 제 1 정측 전환 신호를 출력하는 제 1 위상 인버터,

제 1 정측 전환 신호를 입력 받아 위상을 전환하는 제 2 위상 인버터,

상기 VHM 내부 비교기의 부측 출력측의 신호를 입력 받아 위상을 전환하여 제 1 부측 전환 신호를 출력하는 제 3 위상 인버터,

제 1 부측 전환 신호를 입력 받아 위상을 전환하는 제 4 위상 인버터, 그리고

상기 제 2 위상 인버터의 출력 신호 및 상기 제 4 위상 인버터의 출력 신호를 입력 받아 0 또는 1을 출력하는 SR 래치를 포함하고,

상기 VLM 비교기는,

양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 중고압(VLM)을 비교하여 정측 출력 1 또는 0에 해당하는 신호를 출력하고, 부측 출력측에 0 또는 1에 해당하는 신호를 출력하는 VLM 내부 비교기,

상기 VLM 내부 비교기의 정측 출력측의 신호를 입력 받아 위상을 전환하여 제 2 정측 전환 신호를 출력하는 제 1 위상 인버터,

제 1 정측 전환 신호를 입력 받아 위상을 전환하는 제 2 위상 인버터,

상기 VLM 내부 비교기의 부측 출력측의 신호를 입력 받아 위상을 전환하여 제 2 부측 전환 신호를 출력하는 제 3 위상 인버터,

제 1 부측 전환 신호를 입력 받아 위상을 전환하는 제 4 위상 인버터, 그리고

상기 제 2 위상 인버터의 출력 신호 및 상기 제 4 위상 인버터의 출력 신호를 입력 받아 0 또는 1을 출력하는 SR 래치를 포함하는,

패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기.

청구항 6

제 5 항에 있어서,

상기 시간 기반 해독기는,

제 1 정측 전환 신호, 제 1 부측 전환 신호, 제 2 정측 전환 신호, 그리고 제 1 부측 전환 신호를 입력 받고,

제 1 정측 전환 신호 및 제 1 부측 전환 신호의 차이에 따른 전류량과 제 2 정측 전환 신호 및 제 2 부측 전환 신호의 차이에 따른 전류량의 차이를 이용하여 2번 데이터 복원 값(DR2)을 출력하는,

패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기.

청구항 7

제 1 항에 있어서,

상기 복원부는,

상기 제 1 위상 비교기 내지 상기 제 4 위상 비교기로부터 데이터 복원 값(DR0, DR1 및 DR2)를 입력 받아 데이터(data)를 복원하는 데이터 복원부, 및

상기 제 1 위상 비교기 내지 상기 제 4 위상 비교기로부터 클럭 복원 값(CR0 및 CR1)을 입력 받아 클럭(clock)을 복원하는 클럭 복원부,를 포함하는,

패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기.

청구항 8

제 7 항에 있어서,

상기 데이터 복원부는,

제 1 위상 비교기의 제 1 복원 신호를 입력 받아 데이터를 복원할 수 있는 제 1 데이터 복원기,

제 2 위상 비교기의 제 2 복원 신호를 입력 받아 데이터를 복원할 수 있는 제 2 데이터 복원기,

제 3 위상 비교기의 제 3 복원 신호를 입력 받아 데이터를 복원할 수 있는 제 3 데이터 복원기, 그리고

제 4 위상 비교기의 제 4 복원 신호를 입력 받아 데이터를 복원할 수 있는 제 4 데이터 복원기를 포함하되,

상기 제 1 데이터 복원기 내지 상기 제 4 데이터 복원기는,

NAND 게이트를 이용하여 데이터(data)를 복원하는, 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기.

청구항 9

제 7 항에 있어서,

상기 클럭 복원부는,

0번 클럭 복원 값(CR0), 1번 클럭 복원 값(CR1), 복원된 데이터의 첫번째 값(DOUT1), 그리고 복원된 데이터의 두번째 값(DOUT0)을 이용하여 클럭 조정 신호를 생성하는 투표기, 그리고

클럭 조정 신호를 입력 받아 조정된 클럭을 생성하는 발진기,를 포함하는,

패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기.

청구항 10

제 9 항에 있어서,

상기 투표기는,

연속하는 3개의 타이밍에 대해 4가지 상승 패턴 및 4가지 하강 패턴를 찾아내고, 4가지 상승 패턴 및 4가지 하강 패턴을 이용하여 early 신호, late 신호, 및 패턴 없음 신호를 생성하는 패턴부, 그리고

상기 패턴부가 생성한 early 신호, late 신호, 및 패턴 없음 신호 중에서 과반수를 차지하는 신호를 기준으로 클럭 조정 신호를 생성하는 보팅부를 포함하는,

패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기.

발명의 설명

기 술 분 야

[0001] 본 발명은 4레벨 펄스 진폭 변조(PAM-4; Pulse Amplitude Modulation 4) 수신기에 관한 것으로, 좀 더 상세하게는 데이터 복원 및 클럭을 복원하는 클럭 및 데이터 복원 회로(CDR; Clock and Data Recovery)를 이용하는 PAM-4 수신기에 관한 것이다.

배 경 기 술

[0002] 데이터 전송 시스템이 발전함에 따라, 이로 인해 지난 몇 년 동안 직렬 선로에 대한 전력효율의 개선과 함께 속도도 증가했다. 하지만, 고속으로 NRZ(Non Return to Zero) 신호를 통해 송수신 하는 경우, 채널과 IC공정의 한계로 인해 대역폭의 제한이 있다. 따라서, 여러 개의 레벨로 신호를 처리하면 적은 수의 IO포트에서 높은 속도로 데이터를 전송할 수 있다. 다만, 레벨이 많아질수록 데이터 전송량은 많아지나, 너무 많은 레벨은 또 다른 인식오류를 가져올 수 있기 때문에 4개의 전압 레벨을 이용하는 PAM-4(Pulse Amplitude Modulation)이 많이 쓰이고 있다.

[0003] PAM-4 신호법은 1UI(Unit Interval)동안 2비트를 전송할 수 있는 신호법으로, NRZ(Non Return to Zero) 신호법에 비해 절반의 대역폭(Bandwidth)만을 사용하기 때문에 고속 송수신하는 시스템에 이용되고 있다. 기존의 PAM-4 신호법의 클럭 및 데이터 복원 회로(CDR; Clock and Data Recovery circuit)에서는 2X 오버샘플링 클럭 및 데이터 복원 회로(2X oversampling CDR)가 주로 이용된다. 2X 오버 샘플링 클럭 및 데이터 복원 회로(2X oversampling CDR)은 클럭(clock)에서 추가적인 위상을 이용하므로 미스매치(mismatch) 문제 등으로 인해 지터(jitter)를 유발 가능성이 높아지고, 전력 소모도 커지는 문제가 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 대한민국 등록특허 제10-2367086호

(특허문헌 0002) 대한민국 등록특허 제10-2203390호

발명의 내용

해결하려는 과제

[0005] 본 발명은 상술한 과제를 해결하기 위한 것으로서, 본 발명의 목적은 보다 적은 비교기를 이용하여 AFE(Analog Front End; AFE)에서의 대역폭을 증가시키며, 데이터를 복원하는 과정에서 전력 소모를 줄이고, 복원된 데이터의 패턴을 이용하여 클럭을 복원할 수 있는 PAM-4 수신기를 제공하는데 있다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기는 외부 신호를 수신하여 채널 로스(channel loss)를 복구해서 정제된 PAM-4 신호를 출력하는 아날로그 프론트 엔드, PAM-4 신호를 입력 받아 참고 전압과 비교하여 복원 신호를 생성하는 비교부, 그리고 복원 신호를 입력 받아 데이터 및 클럭을 복원하는 복원부를 포함한다.

[0007] 일 실시예에서, 상기 아날로그 프론트 엔드는,외부 신호의 모든 주파수 성분들의 진폭을 맞추는 등화기, 그리고 상기 등화기의 출력 신호를 증폭하는 증폭기를 포함할 수 있다.

[0008] 일 실시예에서, 상기 비교부는, 클럭(clock)이 0도인 경우에 PAM-4 신호와 참고 전압(Vref)을 비교하는 제 1 위상 비교기, 클럭(clock)이 90도인 경우에 PAM-4 신호와 참고 전압(Vref)을 비교하는 제 2 위상 비교기, 클럭(clock)이 180도인 경우에 PAM-4 신호와 참고 전압(Vref)을 비교하는 제 3 위상 비교기, 그리고 클럭(clock)이 270도인 경우에 PAM-4 신호와 참고 전압(Vref)을 비교하는 제 4 위상 비교기를 포함할 수 있다.

[0009] 일 실시예에서, 상기 제 1 위상 비교기 내지 상기 제 4 위상 비교기는, 0번 데이터 복원 값(DR0) 및 0번 데이터 복원 반대 값(DR0B)을 출력하는 VH 비교기, 양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 저전압(VL)을 이용하여 1번 데이터 복원 값(DR1) 및 1번 데이터 복원 반대 값(DR1B)을 출력하는 VL 비교기, 양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 중고압(VHM)을 이용하여 제 1 정측 전환 신호, 제 1 부측 전환 신호, 0번 클럭 복원 값(CR0) 및 0번 클럭 복원 반대 값(CR0B)을 출력하는 VHM 비교기, 양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과참고 중저압(VLM)을 이용하여 제 2 정측 전환 신호, 제 2 부측 전환 신호, 1번 클럭 복원 값(CR1) 및 1번 클럭 복원 반대 값(CR1B)을 출력하는 VLM 비교기, 그리고 상기 VHM 비교기의 제 1 정측 전환 신호 및 제 1 부측 전환 신호 그리고 상기 VLM 비교기의 제 2 정측 전환 신호 및 제 2 부측 전환 신호를 이용하여 2번 데이터 복원 값(DR2)를 출력하는 시간 기반 해독기를 포함할 수 있다.

[0010] 일 실시예에서, 상기 VH 비교기는, 양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 고전압(VH)을 비교하여 정측 출력 1 또는 0에 해당하는 신호를 출력하고, 부측 출력측에 0 또는 1에 해당하는 신호를 출력하는 VH 내부 비교기, 상기 VH 내부 비교기의 정측 출력측의 신호를 입력 받아 위상을 전환하는 제 1 위상 인버터, 상기 제 1 위상 인버터의 신호를 입력 받아 위상을 전환하는 제 2 위상 인버터, 상기 VH 내부 비교기의 부측 출력측의 신호를 입력 받아 위상을 전환하는 제 3 위상 인버터, 상기 제 2 위상 인버터의 신호를 입력 받아 위상을 전환하는 제 4 위상 인버터, 그리고 상기 제 2 위상 인버터의 출력 신호 및 상기 제 4 위상 인버터의 출력 신호를 입력 받아 0 또는 1을 출력하는 SR 래치를 포함할 수 있다.

[0011] 일 실시예에서, 상기 VL 비교기는, 양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 저전압(VL)을 비교하여 정측 출력 1 또는 0에 해당하는 신호를 출력하고, 부측 출력측에 0 또는 1에 해당하는 신호를 출력하는 VL 내부 비교기, 상기 내부 비교기의 정측 출력측의 신호를 입력 받아 위상을 전환하는 제 1 위상 인버터, 상기 제 1 위상 인버터의 신호를 입력 받아 위상을 전환하는 제 2 위상 인버터, 상기 내부 비교기의 부측 출력측의 신호를 입력 받아 위상을 전환하는 제 3 위상 인버터, 상기 제 2 위상 인버터의 신호를 입력 받아 위상을 전환하는 제 4 위상 인버터, 그리고 상기 제 2 위상 인버터의 출력 신호 및 상기 제 4 위상 인버터의 출력 신호를 입력 받아 0 또는 1을 출력하는 SR 래치를 포함할 수 있다.

[0012] 일 실시예에서, 상기 VHM 비교기는, 양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 중고압(VHM)을 비교하여 정측 출력 1 또는 0에 해당하는 신호를 출력하고, 부측 출력측에 0 또는 1에 해당하는 신호를 출력하는 VHM 내부 비교기, 상기 VHM 내부 비교기의 정측 출력측의 신호를 입력 받아 위상을 전환하여 제 1 정측 전환 신호를 출력하는 제 1 위상 인버터, 제 1 정측 전환 신호를 입력 받아 위상을 전환하는 제 2 위상 인버터, 상기 VHM 내부 비교기의 부측 출력측의 신호를 입력 받아 위상을 전환하여 제 1 부측 전환 신호를 출력하는 제 3 위상 인버터, 제 1 부측 전환 신호를 입력 받아 위상을 전환하는 제 4 위상 인버터, 그리고 상기 제 2 위상 인버터의 출력 신호 및 상기 제 4 위상 인버터의 출력 신호를 입력 받아 0 또는 1을 출력하는 SR 래치를 포함할 수 있다.

[0013] 일 실시예에서, 상기 VLM 비교기는, 양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 중고압(VLM)을 비교하여 정측 출력 1 또는 0에 해당하는 신호를 출력하고, 부측 출력측에 0 또는 1에 해당하는 신호를 출력하는 VLM 내부 비교기, 상기 VLM 내부 비교기의 정측 출력측의 신호를 입력 받아 위상을 전환하여 제 2 정측 전환 신호를 출력하는 제 1 위상 인버터, 제 1 정측 전환 신호를 입력 받아 위상을 전환하는 제 2 위상 인버터, 상기 VLM 내부 비교기의 부측 출력측의 신호를 입력 받아 위상을 전환하여 제 2 부측 전환 신호를 출력하는 제 3 위상 인버터, 제 1 부측 전환 신호를 입력 받아 위상을 전환하는 제 4 위상 인버터, 그리고 상기 제 2 위상 인버터의 출력 신호 및 상기 제 4 위상 인버터의 출력 신호를 입력 받아 0 또는 1을 출력하는 SR 래치를 포함할 수

있다.

[0014] 일 실시예에서, 제 5 항에 있어서, 상기 시간 기반 해독기는, 제 1 정측 전환 신호, 제 1 부측 전환 신호, 제 2 정측 전환 신호, 그리고 제 1 부측 전환 신호를 입력 받고, 제 1 정측 전환 신호 및 제 1 부측 전환 신호의 차이에 따른 전류량과 제 2 정측 전환 신호 및 제 2 부측 전환 신호의 차이에 따른 전류량의 차이를 이용하여 2번 데이터 복원 값(DR2)을 출력할 수 있다.

[0015] 일 실시예에서, 상기 복원부는, 상기 제 1 위상 비교기 내지 상기 제 4 위상 비교기로부터 데이터 복원 값(DR0, DR1 및 DR2)를 입력 받아 데이터(data)를 복원하는 데이터 복원부, 및 상기 제 1 위상 비교기 내지 상기 제 4 위상 비교기로부터 클럭 복원 값(CR0 및 CR1)을 입력 받아 클럭(clock)을 복원하는 클럭 복원부를 포함할 수 있다.

[0016] 일 실시예에서, 상기 데이터 복원부는, 제 1 위상 비교기의 제 1 복원 신호를 입력 받아 데이터를 복원할 수 있는 제 1 데이터 복원기, 제 2 위상 비교기의 제 2 복원 신호를 입력 받아 데이터를 복원할 수 있는 제 2 데이터 복원기, 제 3 위상 비교기의 제 3 복원 신호를 입력 받아 데이터를 복원할 수 있는 제 3 데이터 복원기, 그리고 제 4 위상 비교기의 제 4 복원 신호를 입력 받아 데이터를 복원할 수 있는 제 4 데이터 복원기를 포함할 수 있다.

[0017] 일 실시예에서, 상기 제 1 데이터 복원기 내지 상기 제 4 데이터 복원기는 NAND 게이트를 이용하여 데이터(data)를 복원할 수 있다.

[0018] 일 실시예에서, 상기 클럭 복원부는, 0번 클럭 복원 값(CR0), 1번 클럭 복원 값(CR1), 복원된 데이터의 첫번째 값(DOUT1), 그리고 복원된 데이터의 두번째 값(DOUT0)을 이용하여 클럭 조정 신호를 생성하는 투표기, 그리고 클럭 조정 신호를 입력 받아 조정된 클럭을 생성하는 발진기,를 포함할 수 있다.

[0019] 일 실시예에서, 상기 투표기는, 연속하는 3개의 타이밍에 대해 4가지 상승 패턴 및 4가지 하강 패턴를 찾아내고, 4가지 상승 패턴 및 4가지 하강 패턴을 이용하여 early 신호, late 신호, 및 패턴 없음 신호를 생성하는 패턴부, 그리고 상기 패턴부가 생성한 early 신호, late 신호, 및 패턴 없음 신호 중에서 과반수를 차지하는 신호를 기준으로 클럭 조정 신호를 생성하는 보팅부를 포함할 수 있다.

발명의 효과

[0020] 본 발명의 PAM-4 수신기에 의하면, 보다 적은 비교기를 이용하여 클럭과 데이터를 복원할 수 있기 때문에 기존의 시스템과 동일한 보다 적은 전력을 사용하면서 동일한 전송 속도(Baud-rate)를 유지할 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 실시 예에 따른 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기의 구성을 예시적으로 보여주는 블록도이다.

도 2는 도 3의 아날로그 프론트 엔드의 구성을 예시적으로 보여주는 도면이다.

도 3은 PAM-4 신호의 파형과 기존 비교기(comparator)의 참고 전압(Vref)의 분포를 나타나내는 도면이다.

도 4는 PAM-4 신호의 파형과 본 발명에서 비교기(comparator)의 참고 전압(Vref)의 분포를 나타나내는 도면이다.

도 5는 본 발명의 실시 예에 따른 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기의 구성을 상세하게 보여주는 블록도이다.

도 6은 도 5의 제 1 위상 비교기 내지 제 4 위상 비교기의 구성을 상세하게 보여주는 블록도다.

도 7은 시간 기반 해독기에 10 신호가 입력된 경우에 신호가 변화하는 형태를 예시적으로 나타내는 도면이다.

도 8은 시간 기반 해독기에 01 신호가 입력된 경우에 신호가 변화하는 형태를 예시적으로 나타내는 도면이다.

도 9는 도 5의 데이터 복원기의 구성을 상세하게 보여주는 회로도이다.

도 10은 도 9의 데이터 복원기에 입력되는 값에 대한 진리표이다.

도 11은 도 5의 클럭 복원부의 구성을 상세하게 보여주는 구성도이다.

도 12는 클럭 복원부의 패턴에 따른 동작을 예시적으로 보여주는 도면이다.

도 13은 클럭 복원부의 또다른 패턴에 따른 동작을 예시적으로 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0023] 도 1은 본 발명의 실시 예에 따른 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기의 구성을 예시적으로 보여주는 블록도이다. 도 1을 참조하면, 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기(1000)는 아날로그 프론트 엔드(2000), 비교부(3000), 그리고 복원부(4000)를 포함할 수 있다. 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기(1000)는 PAM-4 신호를 수신하여 데이터 및 클럭을 복원할 수 있다.

[0024] 아날로그 프론트 엔드(2000)는 외부 신호를 수신할 수 있다. 아날로그 프론트 엔드(2000)는 수신된 신호(signal)에서 채널 로스(channel loss)를 복구해서 정제된 파형의 4레벨 펄스 진폭 변조(Pulse Amplitude Modulation; 이하 PAM-4) 신호를 출력할 수 있다.

[0025] 비교부(3000)는 입력 받은 PAM-4 신호와 참고 전압(Reference Voltage; 이하, Vref)의 세기를 비교할 수 있다. 비교부(3000)는 PAM-4 신호가 참고 전압(Reference Voltage)보다 크다 또는 작다는 결과를 포함하는 복원 신호를 출력할 수 있다.

[0026] 복원부(4000)는 비교부(3000)가 출력하는 복원 신호를 입력 받아서 데이터(data) 및 클럭(clock)을 복원할 수 있다.

[0027] 도 2는 도 3의 아날로그 프론트 엔드(Analog Front End; AFE)의 구성을 예시적으로 보여주는 도면이다. 도 2를 아날로그 프론트 엔드(2000)는 등화기(2100)와 증폭기(2200)를 포함할 수 있다.

[0028] 등화기(2100)는 입력되는 신호의 모든 주파수 성분들을 비슷한 크기(진폭)으로 맞출 수 있다. 등화기(2100)는 CTLE(Continuous Time Linear Equalization)로 높은 주파수 성분들의 크기를 증폭하고, 크기(진폭)를 맞춤으로써 지터(jitter), 아이다이어그램(eye diagram)의 성능을 향상시킬 수 있다.

[0029] 증폭기(2200)는 입력되는 신호의 크기를 증폭시킬 수 있다. 여기서, 증폭기(2200)는 가변 게인 증폭기(Variable Gain Amplifiers; 이하, VGA)로 증폭되는 신호의 게인(gain)을 조정할 수 있다. 증폭기(2200)는 신호의 크기를 증폭하여 양극 전압(Positive Voltage; 이하, VP) 및 음극 전압(Negative Voltage; 이하, VN)을 출력할 수 있다.

[0030] 증폭기(2200)가 출력하는 양극 전압(VP) 및 음극 전압(VN)은 차동 전압(Differential Voltage)의 형태로 변환되어 PAM-4 신호로 활용된다.

[0031] 도 3은 PAM-4 신호의 파형과 기존 비교기(comparator)의 참고 전압(Vref)의 분포를 나타나내는 도면이다. 도 3을 참조하면, PAM-4 신호의 파형은 총 4개의 레벨인 00(V10), 01(V20), 10(V30), 11(V40)에 분포할 수 있고, 기존 비교기(comparator)의 참고 전압(Vref)은 총 5개의 레벨인 VL(L10), VLM(L20), VM(L30), VHM(L40), VH(L50)를 분포할 수 있다.

[0032] PAM-4 신호는 펄스(Pulse)와 진폭(Amplitude)을 변조(Modulation)하는 방식으로 변조된 신호는 00(V10), 01(V20), 10(V30), 11(V40)중에 하나에 해당될 수 있다. PAM-4 신호의 전압값은 00(V10) 신호는 -3V, 01(V20) 신호는 -1V, 10(V30) 신호는 +1V, 11(V40) 신호는 +3V를 가질 수 있으며, 예시적인 것으로 구현에 따라 다른 전압값을 가질 수 있다.

[0033] 참고 전압(Vref)은 PAM-4 신호와 비교하기 위해 참고적으로 제공되는 전압이다. 각각의 참고 전압(Vref)의 값은 VL(L10)은 -2V, VLM(L20)은 -1V, VM(L30)은 0V, VHM(L40)은 +1V, VH(L50)은 +2V를 가질 수 있으며, PAM-4신호의 전압 값에 따라 달라질 수 있다. 각각의 참고 전압(Vref)은 비교기(comparator)를 이용하여 구현될 수 있다. 따라서, 참고 전압(Vref)이 5개이면, 비교기도 5개가 필요하다.

[0034] 비교기(comparator)는 클럭(clock) 및 데이터(data)를 복원하기 위해 PAM-4 신호의 아이 다이어그램(Eye diagram)을 이용할 수 있다. 비교기(comparator)는 아이 다이어그램(Eye diagram)에서 아이 패턴(Eye pattern) 가장 크게 형성되는 CK0(T11), CK90(T12), CK180(T13), 그리고 CK270(도 3 나타나지 않음) 타이밍에 샘플링

(sampling)을 수행할 수 있다.

[0035] 기존의 비교기(comparator)는 데이터(data)를 복원하기 위해 VL(L10), VM(L30), 및 VH(L50)을 이용한다. 기존의 비교기(comparator)에 V10 신호가 입력되면, VL(L10)보다 작은 것을 인식하여 00 데이터를 복원할 수 있고, V20 신호가 입력되면, VL(L10)보다 크고 VM(L30)보다 작은 것을 인식하여 01을 복원할 수 있다. 마찬가지로 기존의 비교기(comparator)는 V30 신호가 입력되면, VM(L30)보다 크고 VH(L50)보다 작은 것을 인식하여 10 데이터를 복원할 수 있고, V40 신호가 입력되면, VH(L50)보다 큰 것을 인식하여 11을 복원할 수 있다.

[0036] 비교기(comparator)는 클럭(clock)을 복원하기 위해 VLM(L20), VHM(L40)을 이용할 수 있다. 비교기(comparator)는 V30 신호가 입력되면, VM(30) 보다 크고 , VH(L50)보다 작은 것을 인식하여 10 데이터를 복원할 수 있다. 이 때, 비교기(comparator)는 V30 신호가 VHM(L40)와 같으면(P11), 위상이 CK90(T12)에 정확하게 위치하는 것으로 판단할 수 있다. 그러나, 이 때, 비교기(comparator)는 V30 신호가 VHM(L40)보다 작으면(P12), early 상태로 인식하고, 클럭(clock)을 오른쪽으로 이동시켜야 하는 것으로 판단할 수 있다. 반대로, 비교기(comparator)는 V30 신호가 VHM(L40)보다 크면(P13), late 상태로 인식하고, 클럭(clock)을 왼쪽으로 이동시켜야 하는 것으로 판단할 수 있다.

[0037] 도 4는 PAM-4 신호의 파형과 본 발명에서 비교기(comparator)의 참고 전압(Vref)의 분포를 나타나내는 도면이다. 도 4를 참조하면, PAM-4 신호의 파형은 총 4개의 레벨 00(V10), 01(V20), 10(V30), 11(V40)에 분포할 수 있고, 비교부(3000)의 참고 전압(Vref)은 총 4개의 레벨인 VL(L10), VLM(L20), VHM(L40), VH(L50)에 분포할 수 있다.

[0038] 5개의 비교기(comparator)를 사용하던 기존의 방식과 달리 본 발명의 비교부(3000)는 4개를 사용하기 때문에 보다 줄어든 비교부(3000) 1개분 만큼의 대역폭(bandwidth)을 늘릴 수 있고, 전력(power) 소모를 줄일 수 있다. 그러나, 01(V20) 신호와 10(V30) 신호는 기존의 비교기(comparator)와는 다른 방식으로 복원을 해야 하고, 이하에서는 데이터 복원 및 클럭 복원을 위한 구성 및 그 구성을 이용하는 복원 방법에 대해 설명한다.

[0039] 도 5는 본 발명의 실시 예에 따른 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기의 구성을 상세하게 보여주는 블록도이다. 도 5를 참조하면, 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기(1000)는 아날로그 프론트 엔드(2000), 비교부(3000) 및 복원부(4000)를 포함할 수 있다.

[0040] 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기(1000) 및 아날로그 프론트 엔드(2000)는 앞서 도 1에서 설명한 것과 동일하다.

[0041] 비교부(3000) 제 1 위상 비교기(3100), 제 2 위상 비교기(3200), 제 3 위상 비교기(3300), 그리고 제 4 위상 비교기(3400)를 포함할 수 있다. 비교부(3000)는 특정 클럭(clock)에 입력되는 차동 전압(phase)과 참고 전압(Vref)을 비교할 수 있다.

[0042] 제 1 위상 비교기(3100)는 클럭(clock)이 0도(CK0)일 때 동작할 수 있고, 제 2 위상 비교기(3200)는 클럭(clock)이 90도(CK90)일 때 동작할 수 있다. 마찬가지로, 제 3 위상 비교기(3300)는 클럭(clock)이 180도(CK180)일 때 동작할 수 있고, 제 4 위상 비교기(3400)는 클럭(clock)이 270도(CK270)일 때 동작할 수 있다.

[0043] 제 1 위상 비교기(3100)는 클럭(clock)이 0도(CK0)일 때 동작하여, 데이터의 디지털 복원 값 및 클럭의 디지털 복원 값을 포함하는 제 1 복원 신호(E01)를 출력할 수 있다. 제 2 위상 비교기(3200)는 제 2 복원 신호(E02)를 출력할 수 있고, 제 3 위상 비교기(3300)는 제 3 복원 신호(E03)를 출력할 수 있고, 제 4 위상 비교기(3400)는 제 4 복원 신호(E04)를 출력할 수 있다.

[0044] 제 1 위상 비교기(3100) 내지 제 4 위상 비교기(3400)는 동작 클럭(clock)이 다르지만, 동일한 구성을 가지고, 동일한 동작을 수행한다. 이하에서는, 동일한 구성을 설명하기 위해 제 1 위상 비교기(3100) 내지 제 4 위상 비교기(3400)를 통합하여 위상 비교기(3N00)라고 하기로 한다. 위상 비교기(3N00)에 대한 상세한 설명은 이하에서도 6과 함께 설명하기로 한다.

[0045] 복원부(4000)는 데이터 복원부(4100) 및 클럭 복원부(4200)를 포함할 수 있다. 복원부(4000)는 비교부(3000)의 복원 신호를 입력 받아서 데이터(data)를 복원할 수 있고, 클럭(clock)을 복원할 수 있다.

[0046] 데이터 복원기(4100)는 제 1 데이터 복원기(4110), 제 2 데이터 복원기(4120), 제 3 데이터 복원기(4130), 그리고 제 4 데이터 복원기(4140)를 포함할 수 있다. 데이데이터 복원부(4100)는 위상 비교기(3N00)의 복원 신호(E01, E02, E03, E04)에서 데이터의 디지털 복원 값을 입력 받아 데이터(data)를 복원할 수 있다.

[0047] 제 1 데이터 복원기(4110)는 제 1 위상 비교기(3100)의 제 1 복원 신호(E01)를 입력 받아 데이터를 복원할 수 있고, 제 2 데이터 복원기(4120)는 제 2 위상 비교기(3200)의 제 2 복원 신호(E02)를 입력 받아 데이터(data)를 복원할 수 있다. 마찬가지로, 제 3 데이터 복원기(4130)는 제 3 위상 비교기(3300)의 제 3 복원 신호(E03)를 입력 받아 데이터를 복원할 수 있고, 제 4 데이터 복원기(4140)는 제 4 위상 비교기(3400)의 제 4 복원 신호(E04)를 입력 받아 데이터를 복원할 수 있다.

[0048] 제 1 데이터 복원기(4110) 내지 제 4 데이터 복원기(4140)는 동작 클럭(clock)이 다르지만, 동일한 구성을 가지고, 동일한 동작을 수행한다. 이하에서는, 제 1 데이터 복원기(4110) 내지 제 4 데이터 복원기(4140)를 통합하여 데이터 복원기(41N0)라고 하기로 한다. 데이터 복원기(41N0)에 대한 상세한 설명은 이하에서 도 10과 함께 설명하기로 한다.

[0049] 클럭 복원부(4200)는 클럭(clock)을 복원할 수 있다. 클럭 복원부(4200)는 데이터 복원부(4100)가 출력하는 데이터(data)와 위상 비교기(3N00)가 출력하는 복원 신호(E01, E02, E03, E04)에서 클럭(clokc)의 디지털 복원 값을 이용하여 클럭(clock)을 복원할 수 있다. 클럭 복원부(4200)가 복원하는 클럭(clock)은 위상 비교기(3N00)의 입력될 수 있다. 클럭 복원부(4200)에 대한 상세한 설명은 이하에서 도 11과 함께 설명하기로 한다.

[0050] 도 6은 도 5의 제 1 위상 비교기 내지 제 4 위상 비교기의 구성을 상세하게 보여주는 블럭도이다. 도 6을 참조하면, 위상 비교기(3N00)는 VH비교기(3N10), VL비교기(3N20), VHM 비교기(3N30), VLM 비교기(3N40), 그리고 시간 기반 해독기(3N50)를 포함할 수 있다.

[0051] 위상 비교기(3N00)는 아날로그 프론트 엔드(2000)가 출력하는 양극 전압(VP) 및 음극 전압(VN)을 입력 받을 수 있다. 또한, 위상 비교기(3N00)는 참고 전압(Vref)으로 참고 고전압(High Voltage, 이하 VH), 참고 저전압(Low Voltage, 이하 VL), 참고 중고압(Middle High Voltage, 이하 VHM), 그리고 참고 중저압(Middle Low Voltage, 이하 VLM)을 입력 받을 수 있다.

[0052] VH비교기(3N10)는 VH내부 비교기(3N11), 4개의 위상 인버터(3N12, 3N13, 3N14, 3N15), 그리고 SR 래치(3N16)를 포함할 수 있다. VH비교기(3N10)는 도 2에서 증폭기(2200)의 출력인 양극 전압(VP), 음극 전압(VN)을 입력 받을 수 있다. 또한, VH비교기(3N10)는 도 4에서 VH(L50) 및 VL(L10)을 입력 받을 수 있다. VH비교기(3N10)는 0번 데이터 복원 값(DR0) 및 0번 데이터 복원 반대값(DR0B)을 출력할 수 있다.

[0053] VH내부 비교기(3N11)는 양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 고전압(VH)의 세기를 비교할 수 있다. VH내부 비교기(3N11)는 11(V40)이 입력되면, 신호 차동 전압이 참고 고전압(VH)보다 큰 것으로 판단할 수 있다. VH내부 비교기(3N11)는 정측 출력으로 1에 해당하는 신호를 출력하고, 부측 출력으로 0에 해당하는 신호를 출력할 수 있다. VH내부 비교기(3N11)는 00(V10), 01(V20), 10(V30)이 입력되면, 신호 차동 전압이 참고 고전압(VH)보다 작은 것으로 판단할 수 있다. VH내부 비교기(3N11)는 정측 출력으로 0에 해당하는 신호를 출력하고, 부측 출력으로 1에 해당하는 신호를 출력할 수 있다.

[0054] VH비교기(3N10)는 4개의 위상 인버터(제 1 위상 인버터(3N12), 제 2 위상 인버터(3N13), 제 3 위상 인버터(3N14), 그리고 제 4 위상 인버터(3N15))를 포함할 수 있다. 제 1 위상 인버터(3N12) 및 제 2 위상 인버터(3N13)는 VH내부 비교기(3N11)의 정측 출력측에 연속되어 배치될 수 있고,제 3 위상 인버터(3N14) 및 제 4 위상 인버터(3N15)는 VH내부 비교기(3N11)의 부측 출력에 연속되어 배치될 수 있다. 제 1 위상 인버터(3N12) 및 제 2 위상 인버터(3N13)는 VH내부 비교기(3N11)의 정측 출력 위상을 2번 전환할 수 있고, 제 3 위상 인버터(3N14) 및 제 4 위상 인버터(3N15)는 VH내부 비교기(3N11)의 부측 출력 위상을 2번 전환할 수 있다.

[0055] SR 래치(3N16)는 위상이 2번 전환된 VH내부 비교기(3N11)의 정측 출력 신호 및 위상이 2번 전환된 VH내부 비교기(3N11)의 부측 출력 신호를 입력 받을 수 있다. SR 래치(3N16)는 VH내부 비교기(3N11)의 정측 출력이 1이고, 부측 출력이 0인 경우 0번 데이터 복원 값(DR0)으로 1을 출력하고, 0번 데이터 복원 반대값(DR0B)로 반대 값인 0을 출력할 수 있다. SR 래치(3N16)는 VH내부 비교기(3N11)에서 정측 출력이 0이고, 부측 출력이 1인 경우 0번 데이터 복원 값(DR0)으로 0을 출력할 수 있고, 0번 데이터 복원 반대값(DR0B)로 반대 값인 1을 출력할 수 있다.

[0056] VL비교기(3N20)는 VL내부 비교기(3N21), 4개의 위상 인버터(3N22, 3N23, 3N24, 3N25), 그리고 SR 래치(3N26)를 포함할 수 있다. VL비교기(3N20)는 도 2에서 증폭기(2200)의 출력인 양극 전압(VP), 음극 전압(VN)을 입력 받을 수 있다. 또한, VL비교기(3N20)는 도 4에서 VL(L10) 및 VH(L50)를 입력 받을 수 있다. VL비교기(3N20)는 1번 데이터 복원 값(DR1) 및 1번 데이터 복원 반대 값(DR1B)을 출력할 수 있다.

[0057] VL내부 비교기(3N21)는 양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 저전압(VL)의 세기를 비교할

수 있다. VL내부 비교기(3N21)는 01(V20), 10(V30), 11(V40)이 입력되면, 신호 차동 전압이 참고 저전압(VL)보다 큰 것으로 판단할 수 있다. VL내부 비교기(3N21)는 정측 출력으로 1에 해당하는 신호를 출력하고, 부측 출력으로 0에 해당하는 신호를 출력할 수 있다. VL내부 비교기(3N21)는 00(V10)이 입력되면, 신호 차동 전압이 참고 저전압(VL)보다 작은 것으로 판단할 수 있다. VL내부 비교기(3N21)는 정측 출력으로 0에 해당하는 신호를 출력하고, 부측 출력으로 1에 해당하는 신호를 출력할 수 있다.

[0058] VL비교기(3N20)는 4개의 위상 인버터(제 1 위상 인버터(3N22), 제 2 위상 인버터(3N23), 제 3 위상 인버터(3N24), 그리고 제 4 위상 인버터(3N25))를 포함할 수 있다. 제 1 위상 인버터(3N22) 및 제 2 위상 인버터(3N23)는 VL내부 비교기(3N21)의 정측 출력측에 연속되어 배치될 수 있고,제 3 위상 인버터(3N24) 및 제 4 위상 인버터(3N25)는 VL내부 비교기(3N21)의 부측 출력에 연속되어 배치될 수 있다. 제 1 위상 인버터(3N22) 및 제 2 위상 인버터(3N23)는 VL내부 비교기(3N21)의 정측 출력 위상을 2번 전환할 수 있고, 제 3 위상 인버터(3N24) 및 제 4 위상 인버터(3N25)는 VL내부 비교기(3N21)의 부측 출력 위상을 2번 전환할 수 있다.

[0059] SR 래치(3N26)는 위상이 2번 전환된 VL내부 비교기(3N21)의 정측 출력 신호 및 위상이 2번 전환된 VL내부 비교기(3N21)의 부측 출력 신호를 입력 받을 수 있다. SR 래치(3N26)는 VL내부 비교기(3N21)의 정측 출력이 1이고, 부측 출력이 0인 경우 1번 데이터 복원 값(DR1)으로 1을 출력하고, 1번 데이터 복원 반대값(DR1B)로 반대 값인 0을 출력할 수 있다. SR 래치(3N26)는 VL내부 비교기(3N21)에서 정측 출력이 0이고, 부측 출력이 1인 경우 1번 데이터 복원 값(DR1)으로 0을 출력할 수 있고, 0번 데이터 복원 반대값(DR0B)로 반대 값인 1을 출력할 수 있다.

[0060] VHM 비교기(3N30)는 VHM 내부 비교기(3N31), 4개의 위상 인버터(3N32, 3N33, 3N34, 3N35), 그리고 SR 래치(3N36)를 포함할 수 있다. VHM 비교기(3N30)는 도 2에서 증폭기(2200)의 출력인 양극 전압(VP), 음극 전압(VN)을 입력 받을 수 있다. 또한, VHM 비교기(3N30)는 도 4에서 VHM(L40) 및 VLM(L20)를 입력 받을 수 있다. VHM 비교기(3N30)는 0번 클럭 복원 값(CR0) 및 0번 클럭 복원 반대 값(CR0B)을 출력할 수 있다.

[0061] VHM 내부 비교기(3N31)는 양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 중고압(VHM)의 세기를 비교할 수 있다. VHM 내부 비교기(3N31)는 11(V40)값이 입력되면, 신호 차동 전압이 참고 중고압(VHM)보다 큰 것으로 판단할 수 있다. VHM 내부 비교기(3N31)는 정측 출력으로 1에 해당하는 신호를 출력하고, 부측 출력으로 0에 해당하는 신호를 출력 할 수 있다. VHM 내부 비교기(3N31)는 00(V10), 01(V20)이 입력되면, 신호 차동 전압이 참고 중고압(VHM)보다 작은 것으로 판단할 수 있다. VHM 내부 비교기(3N31)는 정측 출력으로 0에 해당하는 신호를 출력할 수 있고, 부측 출력으로 1에 해당하는 신호를 출력할 수 있다.

[0062] 다만, VHM 내부 비교기(3N30)가 사용하는 참고 중고압(VHM)은 10(V30) 신호의 세기와 동일하므로 10(V30) 신호를 복원하는 방법에 대하여는 아래에서 시간 기반 해독기(3N50)와 함께 설명하기로 한다.

[0063] VHM 비교기(3N30)는 4개의 위상 인버터(제 1 위상 인버터(3N32), 제 2 위상 인버터(3N33), 제 3 위상 인버터(3N34), 그리고 제 4 위상 인버터(3N35))를 포함할 수 있다. 제 1 위상 인버터(3N32) 및 제 2 위상 인버터(3N33)는 VHM 내부 비교기(3N31)의 정측 출력측에 연속되어 배치될 수 있고,제 3 위상 인버터(3N34) 및 제 4 위상 인버터(3N35)는 VHM 내부 비교기(3N31)의 부측 출력에 연속되어 배치될 수 있다.

[0064] 제 1 위상 인버터(3N32)는 VHM 내부 비교기(3N31)의 정측 출력(E11)을 입력 받아 위상을 전환한 제 1 정측 전환 신호(E21)를 출력할 수 있다.

[0065] 제 2 위상 인버터(3N33)는 제 1 위상 인버터(3N32)의 제 1 정측 전환 신호(E21)를 입력 받아 위상을 전환한 신호를 출력할 수 있다.

[0066] 제 3 위상 인버터(3N34)는 VHM 내부 비교기(3N31)의 부측 출력(E12)을 입력 받아 위상을 전환한 제 1 부측 전환 신호(E22)를 출력할 수 있다.

[0067] 제 4 위상 인버터(3N35)는 제 3 위상 인버터(3N34)의 제 1 부측 전환 신호(E22)를 입력 받아 위상을 전환한 신호를 출력할 수 있다.

[0068] SR 래치(3N36)는 위상이 2번 전환된 VHM 내부 비교기(3N31)의 정측 출력 신호 및 위상이 2번 전환된 VHM 내부 비교기(3N31)의 부측 출력 신호를 입력 받을 수 있다. SR 래치(3N36)는 VHM내부 비교기(3N31)의 정측 출력이 1이고, 부측 출력이 0인 경우 0번 클럭 복원 값(CR0)으로 1을 출력하고, 0번 클럭 복원 반대값(CR0B)로 반대 값인 0을 출력할 수 있다. SR 래치(3N36)는 VHM내부 비교기(3N31)에서 정측 출력이 0이고, 부측 출력이 1인 경우 0번 클럭 복원 값(CR0)으로 0을 출력할 수 있고, 0번 클럭 복원 반대값(CR0B)로 반대 값인 1을 출력할 수 있다.

[0069] VLM 비교기(3N40)는 VLM 내부 비교기(3N41), 4개의 위상 인버터(3N42, 3N43, 3N44, 3N45), 그리고 SR 래치

(3N46)를 포함할 수 있다. VLM 비교기(3N40)는 도 2에서 증폭기(2200)의 출력인 양극 전압(VP), 음극 전압(VN)을 입력 받을 수 있다. 또한, VLM 비교기(3N40)는 도 4에서 VHM(L40) 및 VLM(L20)를 입력 받을 수 있다. VLM 비교기(3N40)는 1번 클럭 복원 값(CR1) 및 1번 클럭 복원 반대 값(CR1B)을 출력할 수 있다.

[0070] VLM 내부 비교기(3N41)는 양극 전압(VP)과 음극 전압(VN)의 신호 차동 전압과 참고 중저압(VLM)의 세기를 비교할 수 있다. VLM 내부 비교기(3N41)는 10(V30), 11(V40)값이 입력되면, 신호 차동 전압이 참고 중저압(VLM)보다 큰 것으로 판단할 수 있다. VLM 내부 비교기(3N41)는 정측 출력으로 1에 해당하는 신호를 출력하고, 부측 출력으로 0에 해당하는 신호를 출력 할 수 있다.

[0071] VLM 내부 비교기(3N41)는 00(V10)이 입력되면, 신호 차동 전압이 참고 중저압(VLM)보다 작은 것으로 판단할 수 있다. VLM 내부 비교기(3N41)는 정측 출력으로 0에 해당하는 신호를 출력할 수 있고, 부측 출력으로 1에 해당하는 신호를 출력할 수 있다.

[0072] 다만, VLM 내부 비교기(3N40)가 사용하는 참고 중저압(VLM)은 01(V20) 신호의 세기와 동일하므로, 01(V20) 신호를 복원하는 방법에 대하여는 아래에서 시간 기반 해독기(3N50)와 함께 설명하기로 한다.

[0073] VLM 비교기(3N40)는 4개의 위상 인버터(제 1 위상 인버터(3N42), 제 2 위상 인버터(3N43), 제 3 위상 인버터(3N44), 그리고 제 4 위상 인버터(3N45))를 포함할 수 있다. 제 1 위상 인버터(3N42) 및 제 2 위상 인버터(3N43)는 VLM 내부 비교기(3N41)의 정측 출력측에 연속되어 배치될 수 있고,제 3 위상 인버터(3N44) 및 제 4 위상 인버터(3N45)는 VLM 내부 비교기(3N41)의 부측 출력에 연속되어 배치될 수 있다.

[0074] 제 1 위상 인버터(3N42)는 VLM 내부 비교기(3N41)의 정측 출력(E13)을 입력 받아 위상을 전환한 제 2 정측 전환 신호(E23)를 출력할 수 있다.

[0075] 제 2 위상 인버터(3N43)는 제 1 위상 인버터(3N42)의 제 2 정측 전환 신호(E23)를 입력 받아 위상을 전환한 신호를 출력할 수 있다.

[0076] 제 3 위상 인버터(3N44)는 VLM 내부 비교기(3N41)의 부측 출력(E14)을 입력 받아 위상을 전환한 제 2 부측 전환 신호(E24)를 출력할 수 있다.

[0077] 제 4 위상 인버터(3N45)는 제 3 위상 인버터(3N44)의 제 2 부측 전환 신호(E24)를 입력 받아 위상을 전환한 신호를 출력할 수 있다.

[0078] SR 래치(3N46)는 위상이 2번 전환된 VLM 내부 비교기(3N41)의 정측 출력 신호 및 위상이 2번 전환된 VLM 내부 비교기(3N41)의 부측 출력 신호를 입력 받을 수 있다. SR 래치(3N46)는 VLM내부 비교기(3N41)의 정측 출력이 1이고, 부측 출력이 0인 경우 1번 클럭 복원 값(CR1)으로 1을 출력하고, 1번 클럭 복원 반대값(CR1B)로 반대 값인 0을 출력할 수 있다. SR 래치(3N46)는 VLM내부 비교기(3N41)에서 정측 출력이 0이고, 부측 출력이 1인 경우 1번 클럭 복원 값(CR1)으로 0을 출력할 수 있고, 1번 클럭 복원 반대값(CR1B)로 반대 값인 1을 출력할 수 있다.

[0079] 시간 기반 해독기(3N50)는 VHM 내부 비교기(3N31)의 제 1 위상 인버터(3N32)가 출력한 제 1 정측 전환 신호(E21), VHM 내부 비교기(3N31)의 제 2 위상 인버터(3N33)가 출력한 제 1 부측 전환 신호(E22), VLM 내부 비교기(3N41)의 제 1 위상 인버터(3N42)가 ㄹ출력한 제 2 정측 전환 신호(E23), 그리고 VLM 내부 비교기(3N41)의 제 2 위상 인버터(3N43)가 출력한 제 2 부측 전환 신호(E24)를 입력 받을 수 있다. 시간 기반 해독기(3N50)는 입력 받은 4개의 신호(E21, E22, E23, E24)를 이용하여 2번 데이터 복원 값(DR2) 및 2번 데이터 복원 반대 값(DR2B)을 출력할 수 있다.

[0080] 시간 기반 해독기(3N50)는 01(V20) 신호 및 10(V30) 신호와 VHM(L40)과 VLM(L20)의 전압 차이에 따른 전류량(current)을 이용하여 2번 데이터 복원 값(DR2) 및 2번 데이터 복원 반대값(DR2B)의 값을 판단할 수 있다. 시간 기반 해독기(3N50)가 2번 데이터 복원 값(DR2) 및 2번 데이터 복원 반대 값(DR2B)을 출력하는 과정은 이하에서 도 7 및 도 8과 함께 설명하기로 한다.

[0081] 도 7은 시간 기반 해독기에 10 신호가 입력된 경우에 신호가 변화하는 형태를 예시적으로 나타내는 도면이고, 도 8은 시간 기반 해독기에 01 신호가 입력된 경우에 신호가 변화하는 형태를 예시적으로 나타내는 도면이다. 도 7을 참조하면, VHM(L40)이 도시된 아이 다이어그램(Eye diagram), 샘플링 클락(C11, C12), VHM 내부 비교기(3N31)의 출력 신호(E11, E12, E13, E14)를 확인할 수 있다. 또한, VHM 비교기(3N30)의 제 1 위상 인버터(3N32)의 출력 신호(E21), VHM 비교기(3N30)의 제 3 위상 인버터(3N34)의 출력 신호(E22), VLM 비교기(3N40)의 제 1 위상 인버터(3N42)의 출력 신호(E23), 그리고 VLM 비교기(3N40)의 제 3 위상 인버터(3N44)의 출력 신호

(E24)를 확인할 수 있다.

[0082] 시간 기반 해독기(3N50)는 +1V인 10(V30)신호를 입력 받은 경우에 VHM(L40)과 VLM(L20)의 전압 차이에 따른 전류량(current)을 이용하여 2번 데이터 복원 값(DR2) 및 2번 데이터 복원 반대값(DR2B)의 값을 판단할 수 있다. 시간 기반 해독기(3N50)는 시간 순서(T31, T32, T33)에 따른 변화량을 이용하므로 시간 순서(T31, T32, T33)에 따라 설명하기로 한다.

[0083] T31 타이밍에서, VHM 내부 비교기(3N31)에 인가되는 신호 10(V30)와 VHM(L40)의 전압 세기는 거의 동일하기 때문에 전압 차이로 인한 전류량(current)은 미미한 값을 가질 수 있다. VHM 내부 비교기(3N31)는 샘플링 클락(C11) 시점(T31)부터 상당한 시간이 지난 시점(T33)에서야 구분이 가능할 정도의 전류량(current)이 쌓이게 된다.

[0084] T33 타이밍에서, VHM 내부 비교기(3N31)의 출력 신호(E11, E12)는 0 또는 1로 분기(P21)하게 되고, 인버팅된 신호(E21, E22)의 1 또는 0으로 분기(P22)하게 된다. 그러나, VLM 비교기(3N40)에 입력되는 신호 10(V30)와 VHM(L40)의 전압 세기 값은 차이가 있으므로 짧은 시간이 지난 시점(T32)에서 분기(P23, P24)이 가능할 정도의 전류량(current)이 쌓이게 된다.

[0085] T32 타이밍과 T33 타이밍 사이에서 , 시간 기반 해독기(3N50)는 VLM 비교기(3N40)쪽에서 입력되는 전류량(current)이 VHM 비교기(3N30)쪽에서 입력되는 전류량(current)보다 많은 것을 인식하여 10(V30) 신호라고 판단할 수 있다. 따라서, 시간 기반 해독기(3N50)는 10(V30) 신호로 판단하였으므로 2번 데이터 복원 값(DR2)로 1을 출력하고, 2번 데이터 복원 반대값(DR2B)이터 복원 반대값(DR2B)로 0을 출력할 수 있다.

[0086] 도 8을 참조하면, VHM(L40)이 도시된 아이 다이어그램(Eye diagram), 샘플링 클락(C21, C22), VHM 내부 비교기(3N31)의 출력 신호(E11, E12, E13, E14)를 확인할 수 있다. 또한, VHM 비교기(3N30)의 제 1 위상 인버터(3N32)의 출력 신호(E21), VHM 비교기(3N30)의 제 3 위상 인버터(3N34)의 출력 신호(E22), VLM 비교기(3N40)의 제 1 위상 인버터(3N42)의 출력 신호(E23), 그리고 VLM 비교기(3N40)의 제 3 위상 인버터(3N44)의 출력 신호(E24)를 확인할 수 있다.

[0087] 시간 기반 해독기(3N50)는 -1V인 01(V20)신호를 입력 받은 경우에 VLM(L20)과 VHM(L40)의 전압 차이에 따른 전류량(current)을 이용하여 2번 데이터 복원 값(DR2) 및 2번 데이터 복원 반대값(DR2B)의 값을 판단할 수 있다. 시간 기반 해독기(3N50)는 시간 순서(T31, T32, T33)에 따른 변화량을 이용하므로 시간 순서(T31, T32, T33)에 따라 설명하기로 한다.

[0088] T31 타이밍에서, VLM 내부 비교기(3N41)에 인가되는 신호 01(V20)와 VLM(L20)의 전압 세기는 거의 동일하기 때문에 전압 차이로 인한 전류량(current)은은 미미한 값을 가질 수 있다. VLM 내부 비교기(3N41)는 샘플링 클락(C11) 시점(T31)부터 상당한 시간이 지난 시점(T33)에서야 구분이 가능할 정도의 전류량(current)이 쌓이게 된다.

[0089] T33 타이밍에서, VLM 내부 비교기(3N41)의 출력 신호(E13, E14)는 0 또는 1로 분기(P33)하게 되고, 인버팅된 신호(E21, E22)의 1 또는 0으로 분기(P34)하게 된다. 그러나, VHM 내부 비교기(3N31)에 입력되는 신호 01(V20)과 VHM(L40)의 전압 세기 값은 차이가 있으므로 짧은 시간이 지난 시점(T32)에서 구분이 가능할 정도의 전류량(current)이 쌓이게 된다.

[0090] T32 타이밍과 T33 타이밍 사이에서 , 시간 기반 해독기(3N50)는 VHM 비교기(3N30)쪽에서 입력되는 전류량(current)이 VLM 비교기(3N40)쪽에서 입력되는 전류량(current)보다 많은 것을 인식하여 01(V20) 신호라고 판단할 수 있다. 시간 기반 해독기(3N50)는 01(V20) 신호로 판단하였으므로 2번 데이터 복원 값(DR2)로 0을 출력하고, 2번 데이터 복원 반대값(DR2B)이터 복원 반대값(DR2B)로 1을 출력할 수 있다.

[0091] 도 9는 도 5의 데이터 복원기의 구성을 상세하게 보여주는 회로도이다. 도 9를 참조하면 데이터 복원기(41N0)는 제 1 게이트(41N1), 제 2 게이트(41N2), 제 3 게이트(41N3), 그리고 제 4 게이트(41N4)를 포함할 수 있다. 각각의 게이트(gate)는 NAND 게이트(gate)이므로 양 단자에 1, 1이 입력되는 경우에만 0을 출력하고, 다른 경우에는 1을 출력하게 된다.

[0092] 제 1 게이트(41N1)는 VL비교기(3N20)의 1번 데이터 복원 값(DR1)과 시간 기반 해독기(3N50)의 2번 데이터 복원 값(DR2)을 입력 받을 수 있고, 출력값은 제 3 게이트(41N3)의 입력값이 된다.

[0093] 제 2 게이트(41N2)는 VL비교기(3N20)의 1번 데이터 복원 값(DR1)과 시간 기반 해독기(3N50)의 2번 데이터 복원

반대 값(DR2B)을 입력 받을 수 있고, 출력값은 제 4 게이트(41N4)의 입력값이 된다.

[0094] 제 3 게이트(41N3)는 제 1 게이트(41N1)의 출력값과 VH비교기(3N10)의 0번 데이터 복원 반대값(DR0B)을 입력 받을 수 있고, 출력값은 복원된 데이터의 첫번째 값(DOUT1)이 된다.

[0095] 제 4 게이트(41N4)는 제 2 게이트(41N2)의 출력값과 VH비교기(3N10)의 0번 데이터 복원 반대값(DR0B)을 입력 받을 수 있고, 출력값은 복원된 데이터의 두번째 값(DOUT2)이 된다.

[0096] 도 10은 도 9의 데이터 복원기에 입력되는 값에 대한 진리표이다. 도 10을 참조하면, 데이터 복원기(41N0)에 입력되는 전압 값 -3V(00(V10)), -1V(01(V20)), +1V(10(V30)), 그리고 +3V(11(V40))에 대해 복원된 데이터 값(DR0, 1번 데이터 복원 값(DR1), 2번 데이터 복원 값(DR2)과 각각의 게이트(gate)의 결과 값을 확인할 수 있다. 예를 들면, +3V(11(V40))이 입력되면, DR0, 1번 데이터 복원 값(DR1), 2번 데이터 복원 값(DR2)은 모두 1을 출력할 수 있다. 제 1 게이트(41N1)는 1, 1을 입력 받으므로 0을 출력하고, 제 2 게이트(41N2)는 1, 0을 입력 받으므로 1을 출력할 수 있다. 이어서, 제 3 게이트(41N3)는 0, 0을 입력 받으므로 1을 출력하고, 제 4 게이트(41N4)는 1, 0을 입력 받으므로 1을 출력할 수 있다. 따라서 최종 출력 값은 1, 1로 복원될 수 있다.

[0098] 도 11은 도 5의 클럭 복원부의 구성을 상세하게 보여주는 구성도이다. 도 11을 참조하면, 클럭 복원부(4200)는 투표기(4210) 및 발진기(4220)를 포함할 수 있다. 클럭 복원부(4200)는 정확한 타이밍에 샘플링(sampling)을 하기 위해 클럭(clock)을 조정하는 신호를 생성할 수 있다.

[0099] 투표기(4210)는 패턴부(4211) 및 보팅부(4212)를 포함할 수 있다. 투표기(4210)는 각각의 위상 비교기(3N00)으로부터 0번 클럭 복원 값(CR0), 1번 클럭 복원 값(CR1)을 입력 받을 수 있고, 각각의 데이터 복원기(41N0)로부터 복원된 데이터의 첫번째 값(DOUT1), 복원된 데이터의 두번째 값(DOUT0)을 입력 받을 수 있다. 투표기(4210)는 클럭 조정 신호(E31)를 출력할 수 있다. 투표기(4210) 및 세부 구성(패턴부(4211), 보팅부(4212))의 동작은 이하에서 도 12 및 도 13과 함께 설명하기로 한다.

[0100] 발진기(4220)는 디지털 값으로 조정할 수 있는 오실레이터(Digitally Controlled Oscillator, DCO)로 구성될 수 있다. 발진기(4220)는 디지털 값인 클럭 조정 신호(E31)를 입력 받아서 클럭 타이밍을 조정한 후 클럭을 생성할 수 있다.

[0101] 도 12는 클럭 복원부의 패턴에 따른 동작을 예시적으로 보여주는 도면이고, 도 13은 클럭 복원부의 또다른 패턴에 따른 동작을 예시적으로 보여주는 도면이다. 도 12 및 도 13을 참조하면, 클럭 복원부(4210)는 3개의 타이밍(T51, T52, T53 또는 T61, T62, T63)에서 나타나는 4가지 상승 패턴(P41, P42, P43, P44)과 4가지 하강 패턴(P51, P52, P53, P54)을 이용할 수 있다.

[0102] 패턴부(4211)는 3개의 타이밍(T51, T52, T53)의 데이터를 저장할 수 있다. 패턴부(4211)가 활용하는 3개의 타이밍(T51, T52, T53)은 연속하는 타이밍으로 CK0에서 시작하는 타이밍(CK0, CK90, CK180), CK90에서 시작하는 타이밍(CK90, CK180, CK270), CK180에서 시작하는 타이밍(CK180, CK270, CK0), 그리고 CK270에서 시작하는 타이밍(CK270, CK0, CK90) 중 어느 하나 일 수 있다.

[0103] 패턴부(4211)는 출현 가능한 64가지 패턴(4×4×4) 중에서 4가지 상승 패턴(P41, P42, P43, P44)과 4가지 하강 패턴(P51, P52, P53, P54)을 활용할 수 있다. 패턴부(4211)가 활용하는 상승 패턴(P41, P42, P43, P44) 및 하강 패턴(P51, P52, P53, P54)은 3개의 타이밍(T51, T52, T53)에서 각각 상승 또는 하강하는 것이다. 패턴부(4211)가 활용하는 상승 패턴으로 P41은 01, 10, 11이고, P42는 00, 10, 11이며, P43은 00, 01, 11이고, P44은 00, 01, 10이다. 패턴부(4211)가 활용하는 하강 패턴으로 P51은 11, 10, 01이고, P52는 11, 01, 00이며, P53은 11, 10, 00이고, P54은 10, 01, 00이다.

[0104] 패턴부(4211)의 동작을 설명하기 위해 상승 패턴 중 하나인 P41 설명하기로 한다. 패턴부(4211)는 3개의 타이밍의 데이터 값을 저장하므로 T53 타이밍에서 01(V20), 10(V30) 및 11(V40)을 확인할 수 있다. 따라서 패턴부(4211)는 도 3에서 설명했던 것과 마찬가지로 10(V30)의 전압값과 VHM(L40)을 비교할 수 있다. 패턴부(4211)는 10(V30)의 전압값이 VHM(L40)의 전압값보다 작으면 클럭(clock)이 왼쪽 하단에 위치하는 것으로 판단하여 early 신호를 생성할 수 있다. 패턴부(4211)는 10(V30)의 전압값이 VHM(L40)의 전압값보다 크면 클럭(clock)이 오른쪽 상단에 위치하는 것으로 판단하여 late 신호를 생성할 수 있다.

[0105] 예를 들면, 패턴부(4211)는 00(V10), 01(V20), 10(V30), 11(V40), 11(V40)을 순차적으로 입력 받을 수 있다. 패턴부(4211)는 앞의 3개 타이밍(00(V10), 01(V20), 10(V30))에서 P44 패턴을 찾아낼 수 있고, 중간의 3개 타

이밍(01(V20), 10(V30), 11(V40))에서 P41 패턴을 찾아낼 수 있으나, 마지막 3개 타이밍(10(V30), 11(V40), 11(V40))에서는 패턴을 찾아낼 수 없다.

[0106] 패턴부(4211)는 앞에 3개 타이밍의 P44 패턴에서 early 신호를 생성하고, 중간의 3개 타이밍의 P41 패턴에서 early 신호를 생성하고, 마지막 3개 타이밍에서는 패턴 없음 신호를 생성할 수 있다.

[0107] 보팅부(4212)는 패턴부(4211)의 각 클럭에서 생성한 early 신호, late 신호 또는 패턴 없음 신호를 활용하여 클럭 조정 신호(E31)를 출력할 수 있다. 보팅부(4212)는 앞서의 예에서 패턴부(4211)가 생성한 early 신호, early 신호 및 패턴 없음 신호를 보고, early 신호가 과반을 차지하는 것을 확인할 수 있다. 보팅부(4212)는 early 신호가 과반을 차지하는 것을 확인하면, 클럭(clock)을 오른쪽으로 이동시키기 위한 클럭 조정 신호(E31)를 생성할 수 있다.

[0108] 발진기(4220)는 클럭(clock)을 오른쪽으로 이동시키기 위한 클럭 조정 신호(E31)를 수신하여 조정된 클럭(clock)을 생성할 수 있다.

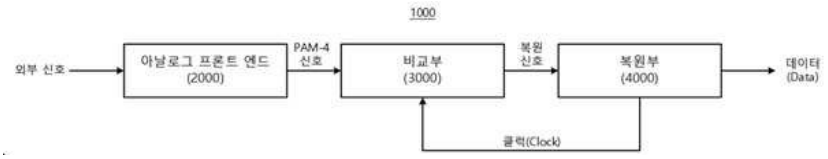
[0109] 기존의 PAM-4 수신기는 8개의 위상(CK0, CK90, CK180, CK270 + CK45, CK135, CK225, CK315)에서 샘플링(sampling)을 수행하는 것에 비해 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기(1000)는 4개의 위상(CK0, CK90, CK180, CK270)에서 샘플링(sampling)을 수행하여 클럭 및 데이터를 복원할 수 있다.

[0110] 또한, 각각의 샘플링 클럭(CK0, CK90, CK180, CK270)에서 기존의 PAM-4 수신기는 5개의 비교기(VH, VHM, VM, VLM, VL)를 사용하지만, 패턴 기반의 클럭 및 데이터 복원 회로를 이용하는 PAM-4 수신기(1000)는 4개의 비교기(VH, VHM, VLM, VL)만을 사용하므로 보다 동일한 수준의 성능을 보다 적은 사용 전력으로 구현할 수 있다.

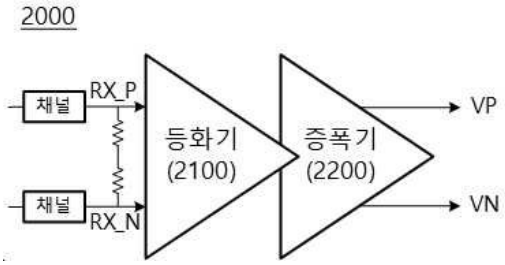
[0111] 상술한 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술한 실시 예들 이외에도, 단순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술한 실시 예들에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

도면

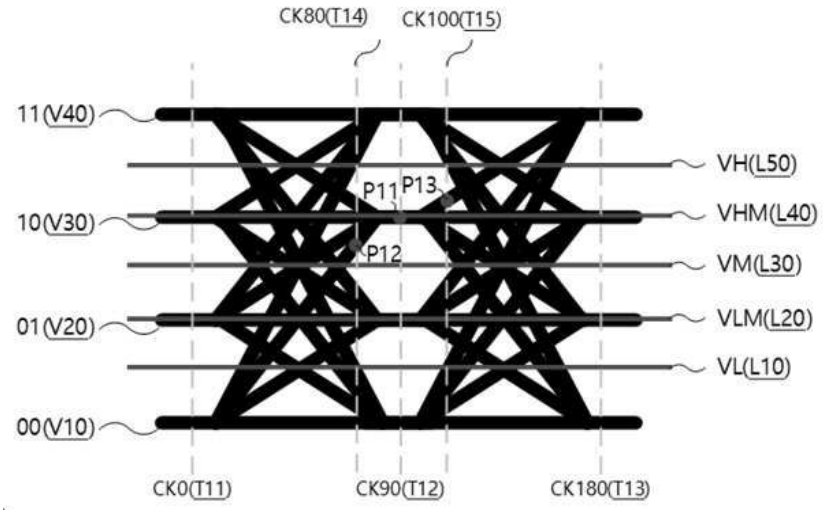
도면1



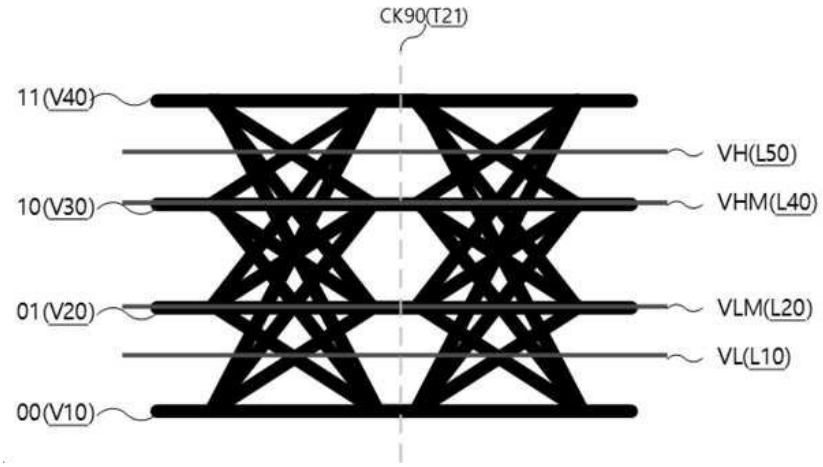
도면2



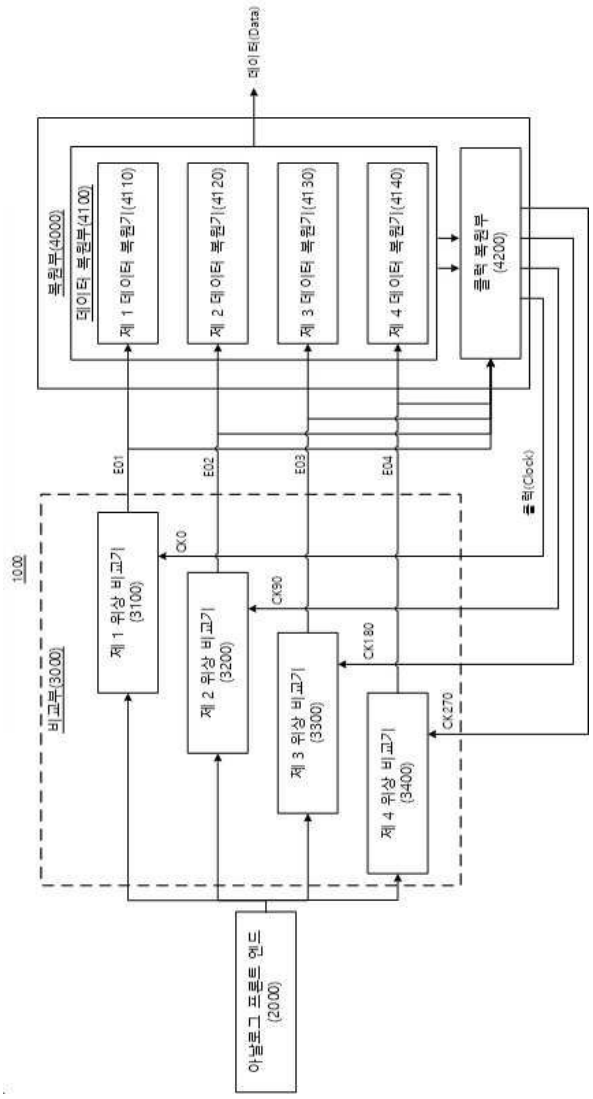
도면3


CK80(T14)
CK100(T15)
11(V40)
10(V30)
01(V20)
00(V10)
P11
P13
P12
VH(L50)
VHM(L40)
VM(L30)
VLM(L20)
VL(L10)
CK0(T11)
CK90(T12)
CK180(T13)

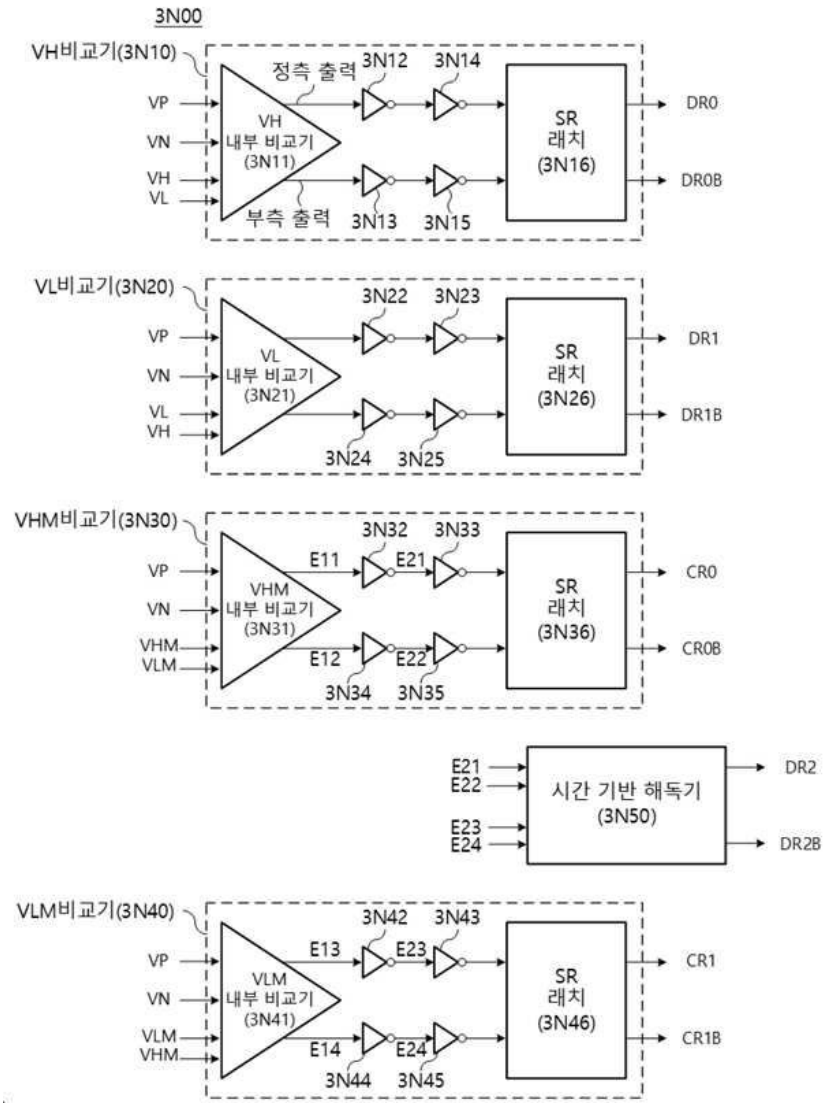
도면4


CK90(T21)
11(V40)
10(V30)
01(V20)
00(V10)
VH(L50)
VHM(L40)
VLM(L20)
VL(L10)

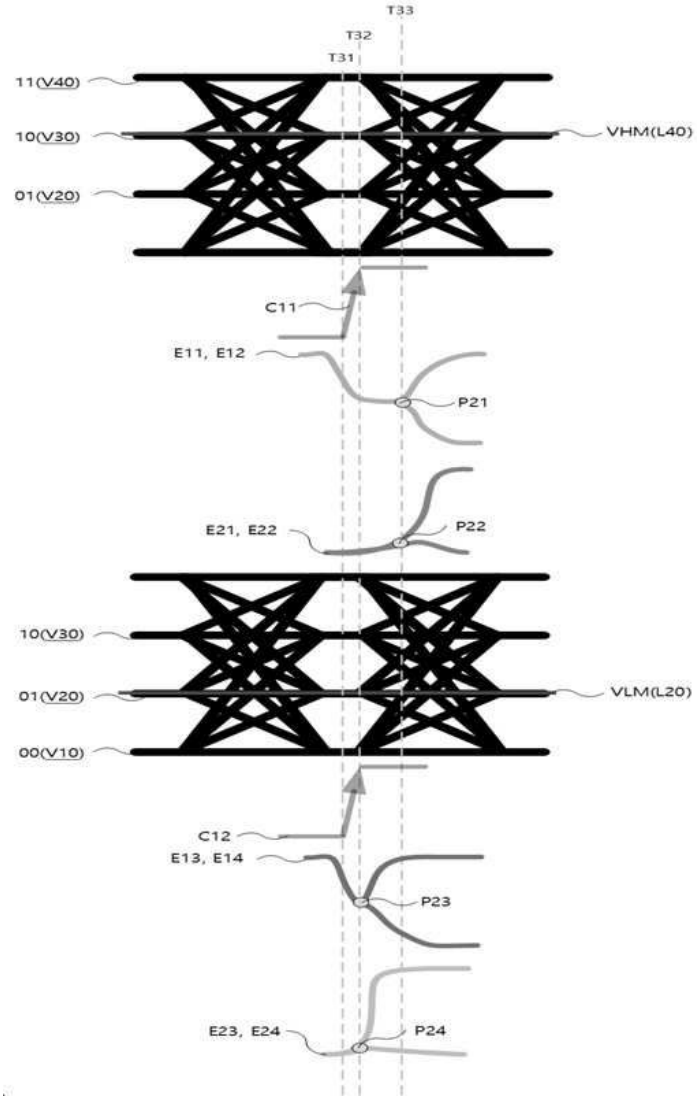
도면5


데이터(Data)
복원부(4000)
데이터 복원부(4100)
제 1 데이터 복원기(4110)
제 2 데이터 복원기(4120)
제 3 데이터 복원기(4130)
제 4 데이터 복원기(4140)
클럭 복원부 (4200)
ED1
ED2
ED3
ED4
클럭(Clock)
1000
비교부(3000)
제 1 위상 비교기 (3100)
제 2 위상 비교기 (3200)
제 3 위상 비교기 (3300)
제 4 위상 비교기 (3400)
CK0
CK90
CK180
CK270
아날로그 프론트 엔드 (2000)

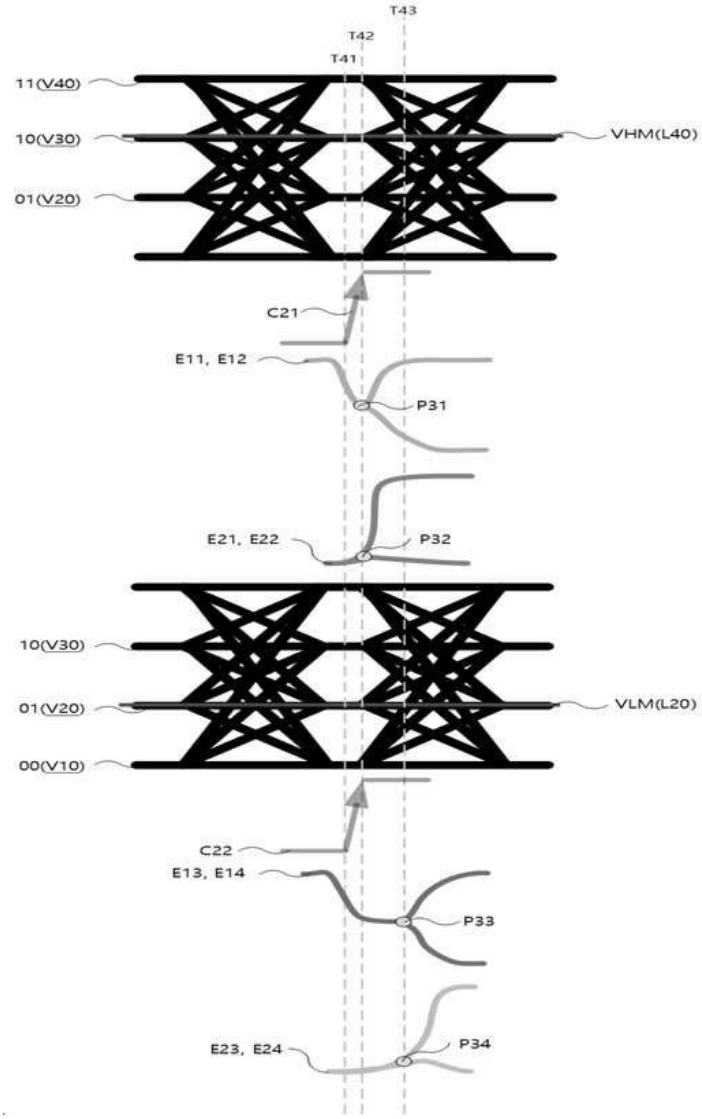
도면6


3N00
VH비교기(3N10)
정측 출력
3N12
3N14
VP
VN
VH
VL
VH
내부 비교기
(3N11)
부측 출력
3N13
3N15
SR
래치
(3N16)
DR0
DR0B
VL비교기(3N20)
3N22
3N23
VL
내부 비교기
(3N21)
3N24
3N25
SR
래치
(3N26)
DR1
DR1B
VHM비교기(3N30)
3N32
3N33
E11
E21
VHM
내부 비교기
(3N31)
E12
E22
3N34
3N35
SR
래치
(3N36)
CR0
CR0B
VHM
VLM
E21
E22
E23
E24
시간 기반 해독기
(3N50)
DR2
DR2B
VLM비교기(3N40)
3N42
3N43
E13
E23
VLM
내부 비교기
(3N41)
E14
E24
3N44
3N45
SR
래치
(3N46)
CR1
CR1B

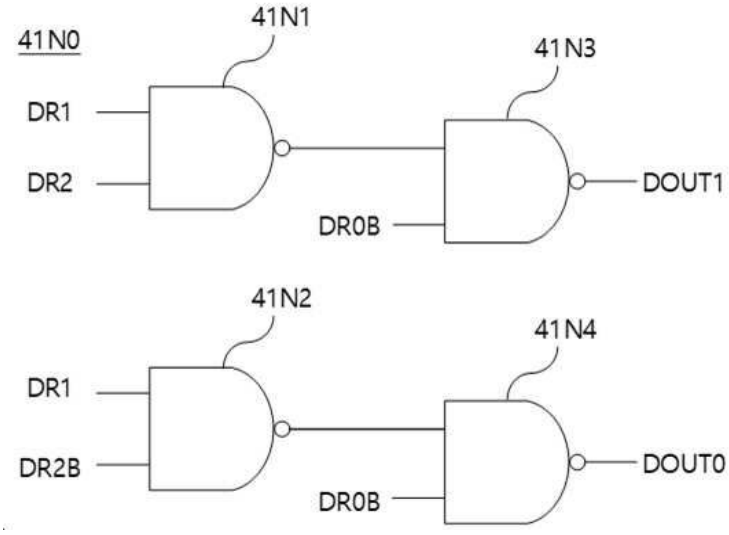
도면7


T33
T32
T31
11(V40)
10(V30)
01(V20)
VHM(L40)
C11
E11, E12
P21
E21, E22
P22
10(V30)
01(V20)
00(V10)
VLM(L20)
C12
E13, E14
P23
E23, E24
P24

도면8


T43
T42
T41
11(V40)
10(V30)
01(V20)
VHM(L40)
C21
E11, E12
P31
E21, E22
P32
10(V30)
01(V20)
00(V10)
VLM(L20)
C22
E13, E14
P33
E23, E24
P34

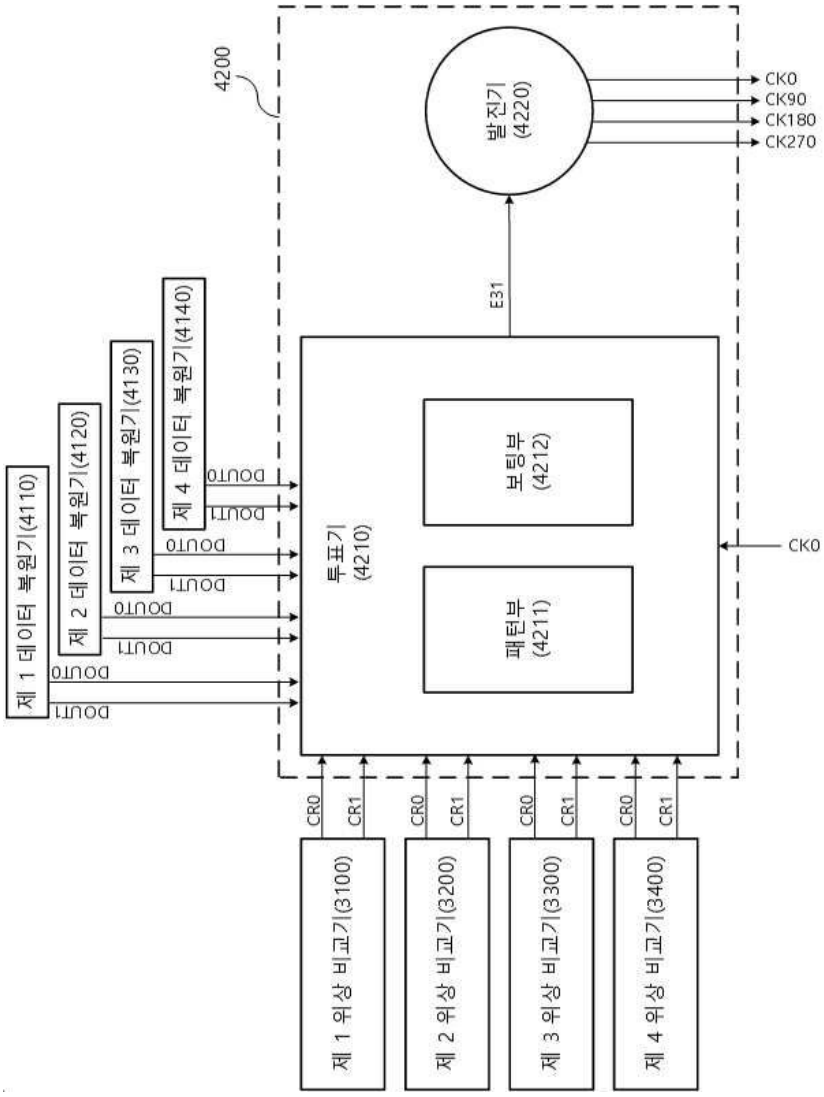
도면9


41N0
41N1
41N3
DR1
DR2
DR0B
DOUT1
41N2
41N4
DR1
DR2B
DR0B
DOUT0

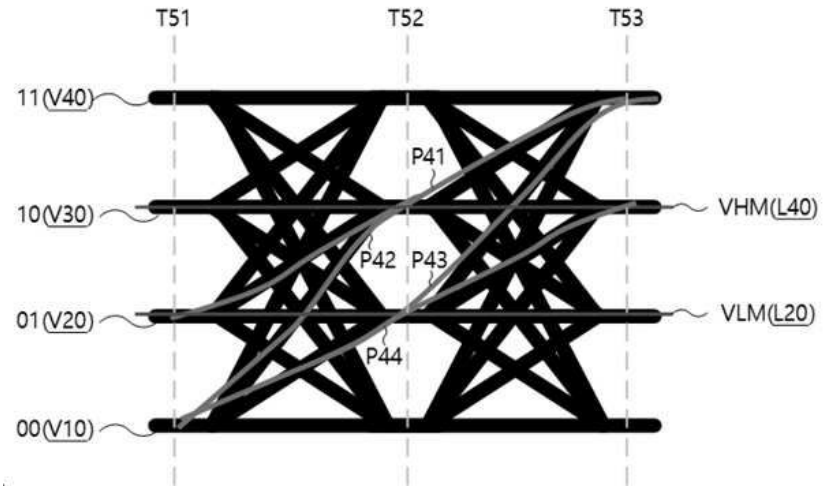
도면10

V	DR0	DR1	DR2	41N1	41N2	41N3 (DOUT1)	41N4 (DOUT2)	
+3	1	1	1	0	1	1	1	11
+1	0	1	1	0	1	1	0	10
-1	0	1	0	1	0	0	1	01
-3	0	0	0	1	0	0	0	00

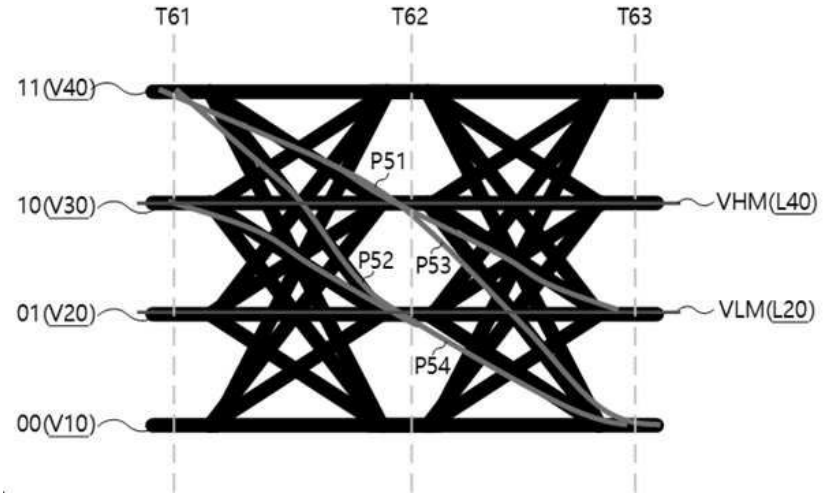
도면11



도면12


T51
T52
T53
11(V40)
10(V30)
01(V20)
00(V10)
P41
P42
P43
P44
VHM(L40)
VLM(L20)

도면13


T61
T62
T63
11(V40)
10(V30)
01(V20)
00(V10)
P51
P52
P53
P54
VHM(L40)
VLM(L20)