



[12] 发明专利说明书

[21] ZL 专利号 99805301.5

[45] 授权公告日 2004 年 7 月 14 日

[11] 授权公告号 CN 1157735C

[22] 申请日 1999.3.29 [21] 申请号 99805301.5

[30] 优先权

[32] 1998.4.22 [33] US [31] 09/064,811

[86] 国际申请 PCT/US1999/006807 1999.3.29

[87] 国际公布 WO1999/054880 英 1999.10.28

[85] 进入国家阶段日期 2000.10.23

[71] 专利权人 爱特梅尔股份有限公司

地址 美国加利福尼亚州

[72] 发明人 萨罗杰·帕塔克

格伦·A·罗森戴尔

詹姆斯·E·佩恩 N·汉佐

审查员 熊 婷

[74] 专利代理机构 上海专利商标事务所

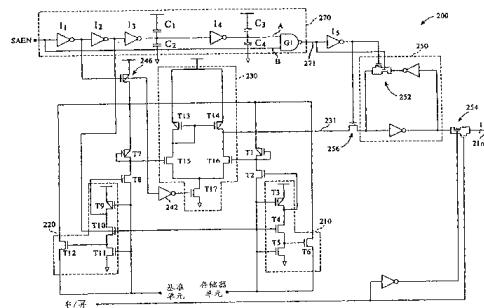
代理人 张政权

权利要求书 3 页 说明书 10 页 附图 7 页

[54] 发明名称 数据读出电路, 读出放大器及其操作方法

[57] 摘要

在串行配置存储器中使用的一种读出放大器(200)包括多个级, 根据控制脉冲(SAEN)以受控制的方式(270)启动和禁止这些级。每当外部提供的时钟信号的第 N 个周期产生控制信号(SAEN), 使用时钟来输出表示存储器的内容的位流。在一个较佳实施例中, 利用 N 个如此的读出放大器(200)以并行的方式来读出包括所访问的存储器位置的 N 个存储器单元(位)。因此读出放大器(200)仅在足够于读出存储器单元的时间周期中激活。



1.. 在具有组成为多个 N一位数据的存储器单元的阵列和具有 N个读出放大器的存储器中，一种操作每个读出放大器的方法，其中所述存储器对于时钟信号的每一个周期输出一位，其中每个读出放大器包括差分放大器级、基准电压级和数据锁存器，其特征在于所述方法包括：

- (i) 产生具有第一和第二逻辑电平的使能脉冲；
- (ii) 根据在所述第一逻辑电平处的所述使能脉冲，启动所述差分放大器级之一和所述基准电压级；
- (iii) 在启动所述差分放大器级之一和所述基准电压级以后，启动其它的所述差分放大器级和所述基准电压级；以及
- (iv) 清除所述数据锁存器并把所述数据锁存器耦合到所述差分放大器级的输出；
- (v) 使所述使能脉冲改变到所述第二逻辑电平；以及
- (vi) 根据在所述第二逻辑电平处的所述使能脉冲，锁存所述差分放大器级的输出；
- (vii) 在锁存所述输出之后，禁止所述差分放大器级之一和所述基准电压级；以及
- (viii) 在禁止所述差分放大器级之一和所述基准电压级之后，禁止其它的所述差分放大器级和所述基准电压级。

2. 如权利要求 1 所述的方法，其特征在于，产生所述使能脉冲的所述步骤包括同步于所述时钟信号，每当第 N 个时钟产生所述使能脉冲。

3. 如权利要求 1 所述的方法，其特征在于，产生所述使能脉冲的所述步骤包括：(A) 使所述时钟信号进行 N 分频；以及 (B) 使所述经分频的时钟延迟足够于对 N一位数据的存储器地址译码的一个时间量。

4. 如权利要求 1 所述的方法，其特征在于，改变所述使能脉冲的所述步骤包括延迟预定的时间周期，所述时间是产生所述使能脉冲之后和改变所述使能脉冲之前的时间；所述预定的时间周期足够于读出一个存储器单元。

5. 如权利要求 4 所述的方法，其特征在于，产生所述使能脉冲的所述步骤

包括同步于所述时钟信号，每当第 N 个时钟产生所述使能脉冲。

6. 如权利要求 5 所述的方法，其特征在于，在启动所述基准电压级之前先启动所述差分放大器级，以及在禁止所述基准电压级之前先禁止所述差分放大器级。

7. 一种用于存储器的数据读出电路，所述存储器具有组成为 N 位数据的多个存储器单元，其中，所述数据读出电路读出 N 位所访问的存储器位置，所述存储器以每个时钟信号周期为一位的速率输出位流，其特征在于，所述数据读出电路包括：

多个读出放大器，每个读出放大器包括差分放大器级、基准电压级和数据锁存器；

每当所述时钟信号的第 N 个周期产生一个控制脉冲的脉冲装置，所述控制脉冲置于第一逻辑电平一个持续时间 Δt ， Δt 为足以读出一个存储器单元的一个时间周期，所述控制脉冲在其它时间置于第二逻辑电平；

耦合到所述脉冲装置和所述读出放大器的控制装置，用于在启动所述基准电压级之前先启动所述差分放大器级，并用于在禁止所述基准电压级之前先禁止所述差分放大器级；以及

电气上将所述数据锁存器耦合到所述差分放大器级的输出的耦合装置，所述控制装置进一步有效地启动所述耦合装置，随后启动所述差分放大器级和所述基准电压级，并在禁止所述差分放大器级和所述基准电压级之前禁止所述耦合装置。

8. 如权利要求 7 所述的数据读出电路，其特征在于，所述脉冲装置包括延迟所述控制脉冲一个时间周期，足以对存储器位置地址译码的装置。

9. 如权利要求 8 所述的数据读出电路，其特征在于，所述读出放大器仅启动读出一个存储器单元所需的时间。

10. 如权利要求 7 所述数据读出电路，其特征在于，多个读出放大器的数量等于 N。

11. 一种用于存储器的读出放大器，所述存储器具有组成为多个 N 位数据的存储器单元阵列，并具有 N 个此种读出放大器以同时读出 N 位所访问的存储器位置，其中，所述存储器为时钟信号的每个周期输出一位，所述读出放大器

包括：

差分放大器级，包括耦合以读出存储器单元状态的输入；

耦合以向所述差分放大器级提供基准电压的基准电压级；

保持所读出的存储器单元的状态的数据锁存器；

每当所述时钟信号的 N 周期产生一个控制脉冲的定时装置，所述控制脉冲具有足以允许读出所访问的存储器单元的一个脉冲宽度；

第一电路，在缺少所述控制脉冲时，电气上将所述数据锁存器耦合到所述差分放大器级输出，并在存在所述控制脉冲时，电气上与所述数据锁存器分离；

第二电路，在存在所述控制脉冲时，启动所述差分放大器级，并在缺少所述控制脉冲时禁止所述差分放大器级；以及

第三电路，在存在所述控制脉冲时启动所述基准电压级，并在缺少所述控制脉冲时禁止所述基准电压级。

12. 如权利要求 11 所述的读出放大器，其特征在于，所述定时装置包括延迟所述控制脉冲一个时间 Δt 的延迟装置， Δt 为足以对存储器地址译码的一个时间周期。

13. 如权利要求 11 所述的读出放大器，其特征在于进一步包括在将所述控制脉冲加到所述第三电路之前，将所述控制脉冲加到所述第二电路的延迟装置。

14. 如权利要求 13 所述的读出放大器，其特征在于，所述延迟装置进一步包括将所述控制脉冲加到所述第一电路，随后将所述控制脉冲加到所述第三电路的装置。

15. 如权利要求 11 所述的读出放大器，其特征在于，所述定时装置包括：

第一反相器，具有接收所述控制脉冲的输入端和耦合到所述第二电路的输出端；

第二反相器系列，耦合到所述第一反相器并具有耦合到所述第三电路的输出端；

延迟电路系列，耦合到所述第二反相器；以及

与非门，具有耦合以接收所述延迟电路输出的第一输入端，并具有耦合以接收所述控制脉冲的第二输入端，所述与非门的输出端耦合到所述第一电路。

数据读出电路、读出放大器及其操作方法

技术领域

本发明涉及半导体存储器，尤其涉及在串行配置存储器中使用的读出放大器。

背景技术

串行配置存储器是和 FPGA 一起使用的器件。当对诸如 FPGA 之类的器件通电时，必须把它的每一个逻辑块配置成用于特定的逻辑操作，而且必须配置它的可编程的互连（interconnect）以在逻辑块之间提供选定路线来执行指定的逻辑功能。配置信息取位流的形式，把它馈送到 FPGA 并存储在器件中，其中位定义逻辑和 FPGA 元件的选定路线。

串行配置存储器是包含配置位流的器件。串行配置存储器包括诸如 PROM 或 E²PROM 之类的存储器矩阵、地址计数器和提供程序和复位控制的支持逻辑。把地址计数器连接到时钟输入线上，并使之在时钟信号的每个上升沿和下降沿上递增。计数器输出的作用是对存储器阵列的每一位寻址，产生串行地输出到 FPGA 的位流。

现今许多个人电子装置都是通过独立的电源，即电池通电的，所以总是考虑尽可能地节省电源。使功率消耗最小的要求遍及这些装置的设计的各个方面。FPGA 用于许多如此的装置中，包括膝上计算机、笔记本计算机和蜂窝电话。因此，配置存储器提供一种进行改进的可能，以使功率消耗最小。

发明概述

本发明针对在存储器中使用的读出放大器方案，所述存储器接收外部时钟信号，并产生频率等于外部时钟的位流。读出放大器包括差分放大器级、电压基准级和数据锁存器。每当时钟的第 N 周期产生控制脉冲（或使能脉冲）。N 是每个存储器位置的数据的长度（位数）。相应于控制脉冲的电路装置以规定的次序提供用于两级和数据锁存器的使能和禁止，因此，提供读出放大器的受控制的通电和断电程序。

在一个较佳实施例中，使用 N 个如此的读出放大器同时读出包括存储位置的 N 个存储单元。控制脉冲具有足够的脉冲宽度，以允许每个读出放大器读出一个存储器单元，在该时间之后，禁止读出放大器。延迟一段时间才启动读出放大器，该段时间足够于使一个存储器位置地址递增并译码。这样，和存储器的 N 位数据串行地移位输出所需要的时间相比较，在短时间中对读出放大器通电。

根据本发明的一个方面，提供了在具有组成为多个 N 位数据的存储器单元的阵列和具有 N 个读出放大器的存储器中，一种操作每个读出放大器的方法，其中所述存储器对于时钟信号的每一个周期输出一位，其中每个读出放大器包括差分放大器级、基准电压级和数据锁存器，所述方法包括：

- (i) 产生具有第一和第二逻辑电平的使能脉冲；
- (ii) 根据在所述第一逻辑电平处的所述使能脉冲，启动所述差分放大器级之一和所述基准电压级；
- (iii) 在启动所述差分放大器级之一和所述基准电压级以后，启动其它的所述差

分放大器级和所述基准电压级；以及

(iv) 清除所述数据锁存器并把所述数据锁存器耦合到所述差分放大器级的输出；

(v) 使所述使能脉冲改变到所述第二逻辑电平；以及

(vi) 根据在所述第二逻辑电平处的所述使能脉冲，锁存所述差分放大器级的输出；

(vii) 在锁存所述输出之后，禁止所述差分放大器级之一和所述基准电压级；以及

(viii) 在禁止所述差分放大器级之一和所述基准电压级之后，禁止其它的所述差分放大器级和所述基准电压级。

根据本发明的另一方面，提供了一种用于存储器的数据读出电路，所述存储器具有组成为 N 位数据的多个存储器单元，其中，所述数据读出电路读出 N 位所访问的存储器位置，所述存储器以每个时钟信号周期为一位的速率输出位流，所述数据读出电路包括：

多个读出放大器，每个读出放大器包括差分放大器级、基准电压级和数据锁存器；

每当所述时钟信号的第 N 个周期产生一个控制脉冲的脉冲装置，所述控制脉冲置于第一逻辑电平一个持续时间 Δt ， Δt 为足以读出一个存储器单元的一个时间周期，所述控制脉冲在其它时间置于第二逻辑电平；

耦合到所述脉冲装置和所述读出放大器的控制装置，用于在启动所述基准电压级之前先启动所述差分放大器级，并用于在禁止所述基准电压级之前先禁止所述差分放大器级；以及

电气上将所述数据锁存器耦合到所述差分放大器级的输出的耦合装置，所述控制装置进一步有效地启动所述耦合装置，随后启动所述差分放大器级和所述基准电压级，并在禁止所述差分放大器级和所述基准电压级之前禁止所述耦合装置。

根据本发明的再一方面，提供了一种用于存储器的读出放大器，所述存储器具有组成为多个 N 位数据的存储器单元阵列，并具有 N 个此种读出放大器以同时读出 N 位所访问的存储器位置，其中，所述存储器为时钟信号的每个周期输出一位，所述读出放大器包括：

差分放大器级，包括耦合以读出存储器单元状态的输入；

耦合以向所述差分放大器级提供基准电压的基准电压级；

保持所读出的存储器单元的状态的数据锁存器；

每当所述时钟信号的 N 周期产生一个控制脉冲的定时装置，所述控制脉冲具有足以允许读出所访问的存储器单元的一个脉冲宽度；

第一电路，在缺少所述控制脉冲时，电气上将所述数据锁存器耦合到所述差分放大器级输出，并在存在所述控制脉冲时，电气上与所述数据锁存器分离；

第二电路，在存在所述控制脉冲时，启动所述差分放大器级，并在缺少所述控制脉冲时禁止所述差分放大器级；以及

第三电路，在存在所述控制脉冲时启动所述基准电压级，并在缺少所述控制脉冲时禁止所述基准电压级。

附图简述

- 图 1 是根据本发明的存储器的系统方框图。
- 图 2A—2C 和 3 示出本发明的数据高速缓冲存储器方案。
- 图 4 是方框图，示出本发明的存储器阵列。
- 图 5 是根据本发明的读出放大器的示意图。
- 图 6 是定时图，示出本发明的读出放大器的工作。
- 图 7 示出和读出放大器一起使用的延迟电路。
- 图 8 是参与本发明的工作的主要信号的定时图。

实现本发明的最佳模式

参见图 1，根据本发明的串行配置存储器 100 一般包括组织成 8 一位字节阵列的存储器阵列 20。对于阵列，可以使用例如 16 一位字的另外的数据长度作为替代。一般，本发明可以工作于 N 一位数据长度，其中 N 最好是 2 的权。

地址计数器 40 馈送到存储器阵列 20，所述存储器阵列包括对存储器位置的地址译码的译码器。除以 8 ($\div 8$) 电路 60 的输出作为时钟触发地址计数器 40。由外部提供的时钟信号驱动 $\div 8$ 电路，以提供外部时钟的每第 8 周期上的脉冲。图 1 示出一列由外部时钟提供的时钟脉冲和由 $\div 8$ 电路产生的所得到的脉冲。因此，把地址流馈送到存储器阵列 20 的速率是每 8 个时钟一个地址。再有，在一般情况中，对于 N 一位数据长度，电路是除以 N 电路，其中每第 N 个时钟产生一个地址。也由 $\div 8$ 电路驱动的写入控制模块 32 把用于读出和写入操作的信号提供给存储器阵列。此外，写入控制模块发信号到数据寄存器控制器 36，以把从阵列 20 读出的数据锁存到数据寄存器 42。

存储器阵列 20 通过并行 8 一位数据通道 21 把所访问的 8 位字节输出到数据寄存器 42。如上所述，数据寄存器控制器 36 操作数据寄存器，使之把从存储器 20 读出的字节（或 N 位数据）并行地装载到数据寄存器 42，并把它的 8 位从串行数据输出线串行地移位输出。把串行数据输出线馈送到串行数据缓冲器 50，所述缓冲器把位流传送到例如 FPGA 之类的外部装置（未示出）。串行数据缓冲器 50 还接收待写入存储器阵列 20 的数据，以完成配置存储器的程序。写入控制模块 32 和数据寄存器控制器 36 一起操作数据寄存器 42，以使来自串行数据输入的数据串行地移位输入，并且将所移入的数据并行地写入存储器 20。

本发明的配置存储器进一步包括高速缓冲寄存器 44，耦合该高速缓冲寄存器以在通电程序期间接收数据字节，以及在复位程序期间，把先前存储在高速缓冲寄存器 44 中的字节装载到数据寄存器 42。高速缓冲寄存器控制器 34 控制高速缓冲寄存器完成这些操作，这将在下面描述。

现在参见图 2A，数据寄存器 42 和高速缓冲寄存器 44 包括一系列 1 一位级 45。每个级 45 包括 1 一位寄存器 42n 和 1 一位高速缓冲锁存器 44n。高速缓冲锁存器 44n 接收它的输入，该输入来自寄存器 42n 的输出。高速缓冲装载控制信号启动高速缓冲锁存器，以存储出现在它的输入线上的数据。把高速缓冲锁存器的输出馈送到开关 43

的输入。图 2B 示出用于高速缓冲锁存器 44n 的典型电路，它包括一个锁存器电路，通过由高速缓冲装载信号控制的传输门来选通对该锁存器电路的访问。

寄存器 42n 接收来自开关 41 和开关 43 的输入，并包括预置控制输入。开关 41 接收来自数据线 21n 和串行数据输入的数据，并通过串/并（SER/PAR）控制线转换。把开关 41 的输出馈送到寄存器 42n 的数据输入。开关 43 接收来自高速缓冲锁存器 44 和来自数据线 21n 的数据，并由高速缓冲读出控制线转换。把开关 43 的输出馈送到寄存器 42n 的预置输入。寄存器 42n 是由外部时钟（未示出）触发的。把寄存器 42n 的输出馈送到串行数据输出线，并如上所述，馈送到高速缓冲锁存器 44n。此外，把寄存器 42n 的输出经由通过晶体管 48 馈送回数据线 21n，所述晶体管受写入/读出控制线控制。

或门 46 的输出驱动预置控制输入，所述或门接收两者都来自高速缓冲控制器 34 的 PIN 复位信号和高速缓冲装载信号。预置控制造成寄存器 42n 锁存来自预置输入输入的数据而不是来自数据输入输入的数据。除了锁存到寄存器 42n 之外，预置控制把预置输入直接输入到寄存器的输出。将从下面的说明中明了这些特性的原因。在图 2C 中示出寄存器 42n 的典型电路。

在图 3 所示的方式中，耦合在一起的 8 个 1 一位级 45 组成数据寄存器 42 和高速缓冲寄存器 44（图 1）。例如，通过把一个寄存器 42n 的串行数据输出耦合到接着的寄存器的串行数据输入可以构成数据寄存器 42。来自存储器阵列 20（图 1）的 8 一位数据通道 21 包括级 45 的数据线 21n。从保存最低有效位的级的串行数据输出线得到数据寄存器 42 的串行数据输出（图 1），而数据寄存器的串行数据输入是包含最高有效位的级的串行输入。各级的控制线是公用的。

数据寄存器 42 和高速缓冲寄存器 44 一起完成四个基本任务：数据寄存器从所访问的存储器位置以并行的形式接收数据；在串行输出线上把存储在数据寄存器中的数据串行地移位输出；从串行输入线把待存储在存储器阵列 20 中的数据串行地移位输入；以及当写入存储器位置时，以并行的方式把数据提供给 8 个数据输入缓冲器（未示出）。

任务 1：从所访问的存储器位置装载的数据包括并行读出操作。通过使包括数据寄存器 42 的每个 1 一位级 45 的写入/读出和串/并确立为低电平（LO）而完成该操作。写入/读出上的低电平使通过晶体管（pass transistor）48 截止，以致来自存储器 20 的输出经由数据线 21n 馈送到开关 41 和 43。还有，在串/并上的低电平使数据线 21n 转换到寄存器 42n 的数据输入。PIN 复位和高速缓冲装载线是低电平，以致寄存器用时钟从数据输入而不是从预置输入馈入数据。

任务 2：通过在写入/读出上确立逻辑低电平和串/并上确立高电平而完成包含在数据寄存器 42 中的数据的串行移位。写入/读出使通过晶体管 48 截止以使串行数据输出和数据线 21n 隔离。串/并从前面的寄存器 42n 转换串行数据输入，以致外部时钟的每个信号（tick）实现从一个寄存器 42n 到下一个的移位传播。

任务 3：为了把数据用时钟串行地输入数据寄存器，从串行数据输入的串

行移位输入（图 1）要求在串/并上确立高电平。确立写入/读出为低电平以截止通过晶体管 48，以致使寄存器 42n 的输出和数据线 21n 隔离。

任务 4：通过在写入/读出上确立高电平把移位输入数据寄存器的数据写入存储器 20。由于待写入的数据正安放在每个寄存器 42n 的输出处，使通过晶体管导通而以并行的方式把数据提供给存储器阵列 20 的数据一输入缓冲器（未示出）。

在存储器的通电（通电复位）程序和外部驱动复位程序期间，以不同的方式进行数据和高速缓冲寄存器 42、44 的操作。再参见图 2，在通电复位（POR）周期期间，确立高速缓冲读出为低电平，而确立高速缓冲装载为高电平。高速缓冲读出把数据线 21n 转换到寄存器 42n 的预置输入。高速缓冲装载把预置输入装载到寄存器 42n。如上相应于图 2C 所述，确立预置把预置输入直接耦合到寄存器 42n 的输出。此外，当在确立高速缓冲装载为高电平的情况下，也把预置输入装载到高速缓冲锁存器 44n（见图 2A 和 2B）。因此，当在 POR 周期期间读出数据的第一字节（通常是包含在存储器位置 0 中的字节）时，在 8 一位数据通道 21 上提供（图 1），馈送到每个数据线 21n，并装载到分别组成数据寄存器 42 和高速缓冲寄存器 44 的寄存器 42n 和高速缓冲锁存器 44n。该操作是异步的，并当高速缓冲装载趋向低电平时，数据寄存器 42（同样，高速缓冲寄存器）包含第一字节。当第一时钟出现时，已经对数据寄存器 42 预一装载一个字节，并将准备开始把数据移位输出。

在外部驱动的复位周期期间，没有足够的时间把第一字节读出和装载到数据寄存器 42。一般，在数十毫微秒（例如，20 毫微秒）的事件中完成复位周期，与 POR 周期相比较，在装置准备输出它的位流之前，它要求毫秒的数量级来完成。然而，回忆在 POR 周期期间，高速缓冲寄存器 44 已经预一装载第一字节。因此，确立高速缓冲读出为高电平，以致把预置输入转换成接收高速缓冲锁存器 44n 的输出。确立 PIN 复位（通过高速缓冲控制器 34）为高电平，以致寄存器 42n 从预置输入而不是从数据输入装载它的输入。在复位周期期间，不是访问存储器位置和读出待装载到数据寄存器 42 的字节，而直接从高速缓冲寄存器 44 装载第一字节，可以在完成复位周期的时间中完成操作。再有，这是异步操作，而且一清除 PIN 复位条件，数据寄存器 42 就保存经高

速缓冲的字节并准备用时钟把它输出，

现在参见图 4，在图中示出包括单元阵列 20' 的存储器阵列 20，所述单元阵列 20' 具有多个可编程的存储器单元，诸如浮栅器件的阵列。X—和 Y—译码器 60、62 接收地址，并提供必须的译码逻辑以访问在单元阵列 20' 内的存储器位置。把 Y—译码器的输出馈送到读出放大器电路 66，该电路包括并行工作的 8 个读出放大器的系列（图 5）。根据本发明，Y—译码器以并行的形式把所访问的存储器位置的所有 N 位（例如 8 位）馈送到读出放大器电路 66，因此提供位的并行读出。把读出电路的输出通过数据线 21 耦合到数据寄存器 42。定时器 64 提供使能信号以使读出电路导通或截止，并由 $\div 8$ 时钟驱动。串/并把来自读出放大器电路 66 的读出数据锁存到数据寄存器 42。

图 5 较详细地示出每个如此的放大器 200，包括读出放大器 66。晶体管 T13—T17 包括差分放大器级 230。在差分放大器级 230 的存储器单元侧上是电压基准部分 210 和包括晶体管 T1 和 T2 的电流—至—电压级。相似地，在基准单元侧上是电压基准 220 和包括晶体管 T7 和 T8 的电流—至—电压级。把差分放大器的输出 231（即所读出的位）经过通过晶体管 256 馈送，以待存储在锁存器 250 中。把锁存器的输出通过由串/并线导通的传输门 254 耦合到读出放大器输出线 21n。

根据本发明，读出放大器电路 200 进一步包括读出放大器使能电路 270。从示于图 4 中的定时器 64 得到的读出放大器使能信号 SAEN 驱动使能电路。使能电路包括由一串延迟电容器对 C1/C2 和 C3/C4 散置的反相器 I1—I4。使能电路 270 的输出 271 启动传输门（包括晶体管对 252 和反相器 I5），使所述传输门以图 5 所示的方式与锁存器 250 耦合在一起。输出 270 还驱动（通过反相器 I5）通过晶体管 256 的栅极。

至于使能电路 270，把 SAEN 信号直接馈送到与非门 G1 的输入 B 和反相器 I1。把反相器 I1 的输出馈送到 P—沟道晶体管 246 的栅极和反相器 242。反相器 I1 使晶体管 246 和反相器 242 同时导通和截止。反相器 I2 的输出开/关 N—沟道晶体管 T4 和 T10。把反相器 I4 的输出馈送到与非门 G1 的输入 A。因为延迟电容器，到达输入 A 的信号相对于在输入 B 处的信号延迟一个时间量，所述时间量是根据延迟电容器的电容值和反相器 I1—I4 的某种延迟程度

的。

现在将参见图 5 和图 6 的定时波形图来描述读出放大器 200 的工作。首先参见图 5，在通电程序期间，当 SAEN 晶体管从低电平到高电平时，反相器 I1 的信号输出趋向低电平，因此使晶体管 246 导通，从而把 V_{CC} 提供给晶体管 T1、T6、T7 和 T12。反相器 I1 还通过反相器 242 使晶体管 T17 导通，因此通过提供对地的通道而启动差分放大器 230。在短延迟之后，反相器 I2 的输出趋向高电平。这使晶体管 T4 和 T10 导通，从而使电压基准级 210、220 导通。此时，读出放大器的通电程序已经完成。该通电程序保证读出放大器清楚地从非通电状态转换到通电状态，防止任何可能在读出放大器输出 21 处出现的暂态过程。

现在转到如图 6 中所示的在与非门 G1 的输入 A 和 B 处的输入信号的定时。在时间 t_0 以前和在 t_0 之后的 Δt 时间期间，由于 A 和 B 两者是低电平所以与非门 G1 是高电平。因此，锁存器 250 能够通过传输门 252 导通的性能而保持它的状态。同时，使锁存器 250 与差分放大器的输出 231 隔离，因为通过晶体管 256 是截止的。因为延迟电容器 C1—C4，在输入 A 处的信号接在输入 B 处的信号之后到达，因此门 G1 保持高电平直到时间 t_1 ，在 SAEN 之后的 Δt 单元趋向高电平。在 t_1 处，门 G1 趋向低电平，这使传输门 252 截止，因此清除并禁止了锁存器。还有，通过晶体管 256 导通，因此把差分放大器 230 的输出连接到锁存器。延迟通道保证锁存器保存其状态（因此先前所读出的数据）直到对读出放大器充分地供电之后。

接着，考虑当 SAEN 暂态状态从高电平到低电平时，读出放大器开始它的断电程序的情况。回到图 5，反相器 I1 的输出趋向高电平，这使晶体管 246 截止，因此除去晶体管 T1、T6、T7 和 T12 的 V_{CC} 。此外，晶体管 T17 截止（通过反相器 242），因此禁止了差分放大器 230。接着，反相器 I2 的输出趋向低电平，这使晶体管 T4 和 T10 截止，因此关闭了电压基准级 210、220。此时，读出放大器的断电程序已经完成。

参见图 6，在时间 t_2 处，直接耦合到与非门 G1 的，在 B 输入处的信号无延迟地跟随 SAEN。这使 SAEN 一趋向低电平 G1 就跳变到高电平。通过传输门的导通性能，把差分放大器输出 231 锁存到锁存器 250。同时，使通过晶体

管截止，以致当如上所述的断电时，使锁存器 250 与其余的读出放大器电路隔离。因此，在完成读出放大器的断电之前保留所读出的数据。此外，通过去除读出放大器输出 231 和锁存器的耦合，在断电程序期间可能发生的任何暂态状态都不会使锁存器的状态出错。

现在参见图 7 来另外说明示于图 4 中的定时电路 64。SAEN 信号起源于示于图 7 的电路的或非门 303 的输出。当使能信号 EN 趋向高电平时，与非门 301 启动定时电路。通过译码器延迟电路 302 使在与非门 301 处接收到的输入 $\div 8$ 时钟信号延迟一段时间 Δt_a 。译码器延迟电路 302 提供足够的延迟时间，以允许在实际启动读出放大器 200 之前递增地址寄存器 40（图 1）和使译码器 60、62（图 4）访问存储器位置。在 $\div 8$ 时钟的脉冲宽度太窄的情况下，提供通过延迟通过晶体管 310 的偏置，反相器链 306 保证了最小的延迟，以允许对下一个地址的递增和译码。

在延迟 Δt_a 之后， $\div 8$ 时钟使或非门 303 的输出（SAEN）趋向高电平，因此使读出放大器 200 导通。读出延迟电路 304 延迟 $\div 8$ 时钟以保证在时间 Δt_s 期间保持确立 SAEN 脉冲，该时间 Δt_s 期间足够于让读出放大器读出存储器单元的状态。

在图 7 中示出 $\div 8$ 时钟和 SAEN 脉冲之间的相应的定时。在时间 t_0 ，时钟到达并被电路 302 延迟一段时间 Δt_1 。在时间 t_1 ，在一段时间 Δt_s 中 SAEN 趋向高电平而启动读出放大器 200。在时间 t_2 ，SAEN 趋向低电平，因此使读出放大器 200 截止。

现在将参考图 8 的定时图来讨论串行配置存储器的操作。如在图中所示，每第 8 个时钟（通过 $\div 8$ 时钟 60，图 1）产生一个地址。因此在确定的时钟（称之为时钟 1）处开始地址跳变。如上所述，在时钟 1 之后的很短时间（ Δt_a ，图 7）处，通过定时器 64 使读出放大器电路 66 导通而确立 SAEN 为高电平。在一段足够长的时间（ Δt_s ，图 7）期间 SAEN 是高电平，以允许读出所寻址的存储器位置的 8 位。然后 SAEN 趋向低电平，而经读出的 8 位保存在读出放大器锁存器 250 的内部，在图 8 中把所保存的数据表示为内部数据（INT DATA）。

同时，把从先前的读出存储器位置 D_{n-1} 的数据位从数据寄存器 42 移位输

出，在图 8 中以外部数据（EXT DATA）表示。事实上在时钟 0 处，使 D_{n-1} 的位 1 移位输出。观察数据从数据寄存器 42 移位输出的大部分时间中串/并是高电平，回忆图 2A 和 3，这样每个时钟使所存储的位实现右移。

对于时钟 1—7， D_{n-1} 的位 2—8 移出数据寄存器。在时钟 7 处，把 D_{n-1} 的位 8 移出。还有在时钟 7 处，在延长到时钟 8 的时间间隔中确立串/并为低电平。再次参见图 2A 和 3，在串/并上的低电平使开关 41 从数据线 21n 把所读出的数据装载到寄存器锁存器 42n。在图 8 所示的情况下，在时钟 8 处的数据是 D_n 。因此当轮到时钟 8 时，从数据寄存器移位输出的下一位是 D_n 的第一位，是在时钟 1—7 期间（当正在移位输出 D_{n-1} 时）读出的并在读出放大器 200 的锁存器 250 中存储的存储器位置。

在时钟 1'—7' 期间，把包括 D_n 的位从数据寄存器移位输出。如定时图所示，该过程重复。在时钟 1' 处出现下一个地址 A_{n+1} ，使读出放大器导通以读出 D_{n+1} 的 8 位，并在使读出放大器正好截止之前锁存到锁存器 250。把 D_{n+1} 的各位保留在锁存器 250 中直到时钟 7'，在该时刻把 D_n 的位 8 移出，并把 D_{n+1} 的各位装载到数据寄存器（通过确立串/并为低电平），以致在时钟 8' 处，从数据寄存器 42 移位输出的下一位是 D_{n+1} 的第一位。

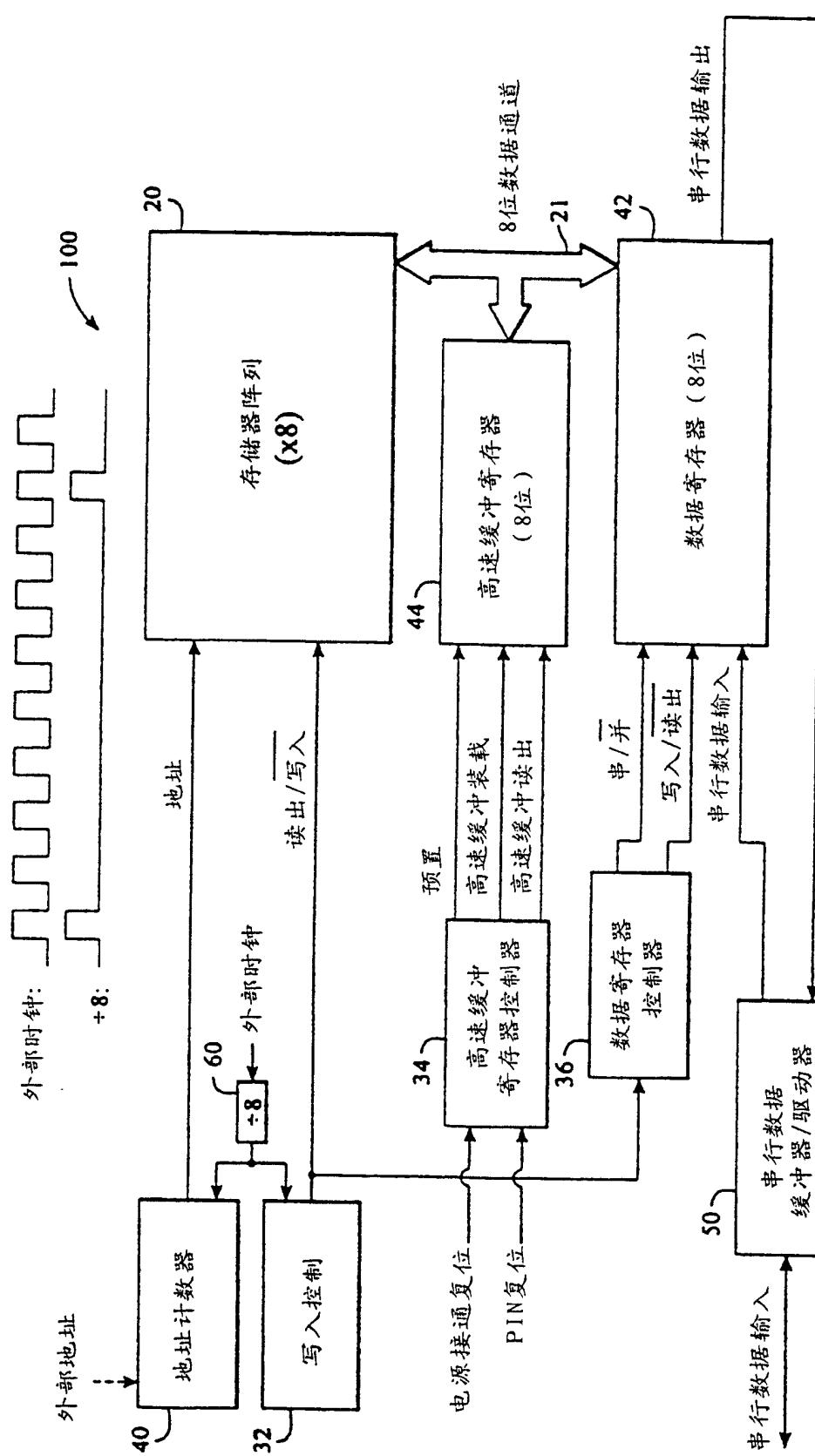
值得指出数点：第一，每当第 8 个时钟使 8 个读出放大器 200 的每一个导通，并仅保存一段足够于允许对一个地址译码和读出一位的时间。如定时图所示，在移位输出先前读出的字节所需要的 8 个时钟期间，允许读出放大器在大部分时间中截止。这样大大地降低了读出放大器所汲取的稳态电流，表示明显地降低了功率损耗。

第二，所产生的位流输出和外部时钟同步。更重要地，位流的输出速率与读出放大器的操作速度无关。这是由于在本发明中使用了流水线处理技术。如定时图所示，在任何时刻读出的存储器位置对于正在输出的位的存储器位置始终是超前一个位置。当正在输出以前“取出的”位置时，总是使一个存储器位置是“预一取出的”。这种读出操作和位流输出操作的重叠使位流速率和读出放大器速度无联系。因此，位流速率不再象在现有技术设计中那样受到读出放大器速度的限制。相反地，位速率仅是外部时钟频率的函数。

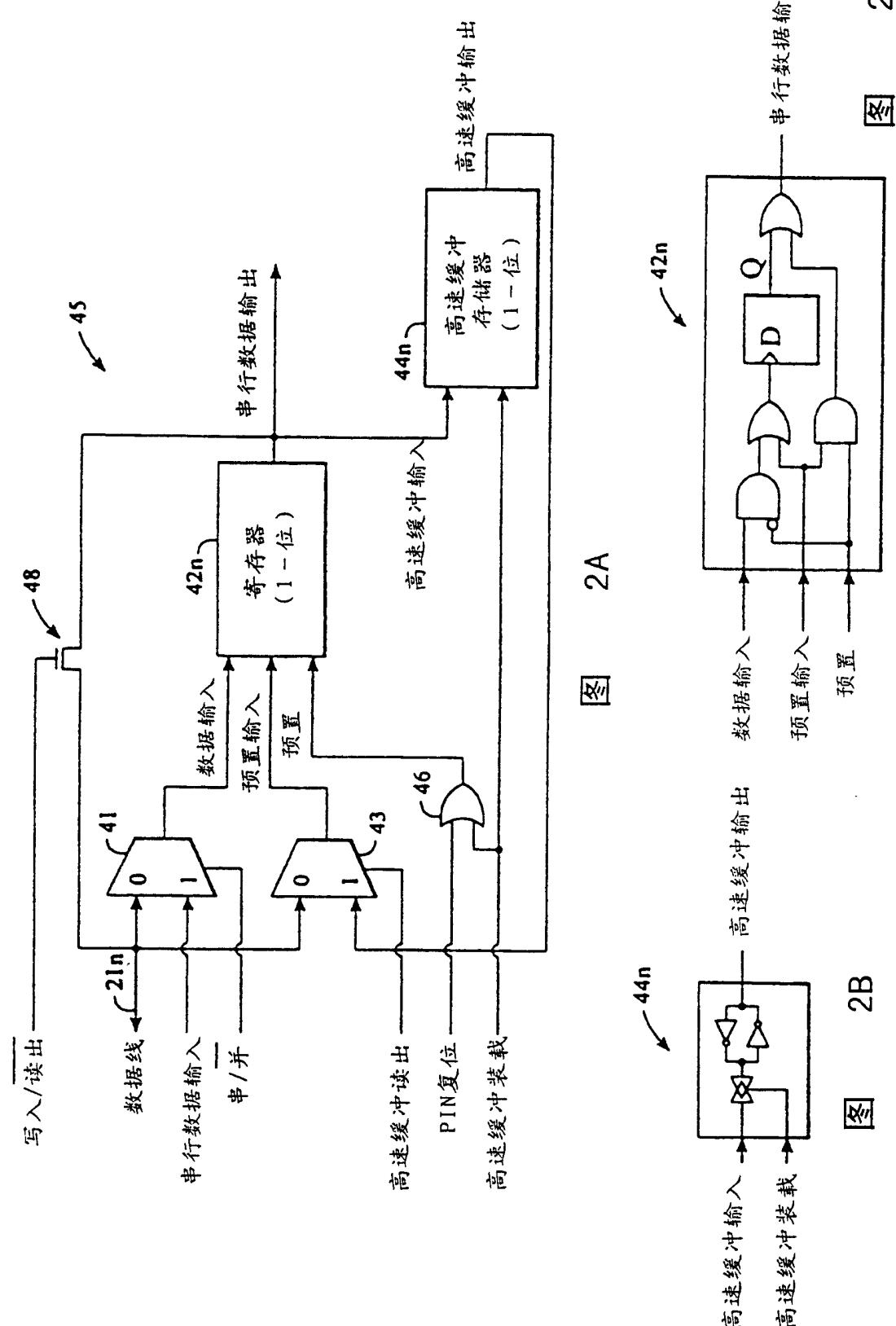
第三，对于数据长度大于 8 一位的数据可以方便地按比例增加这种构造。

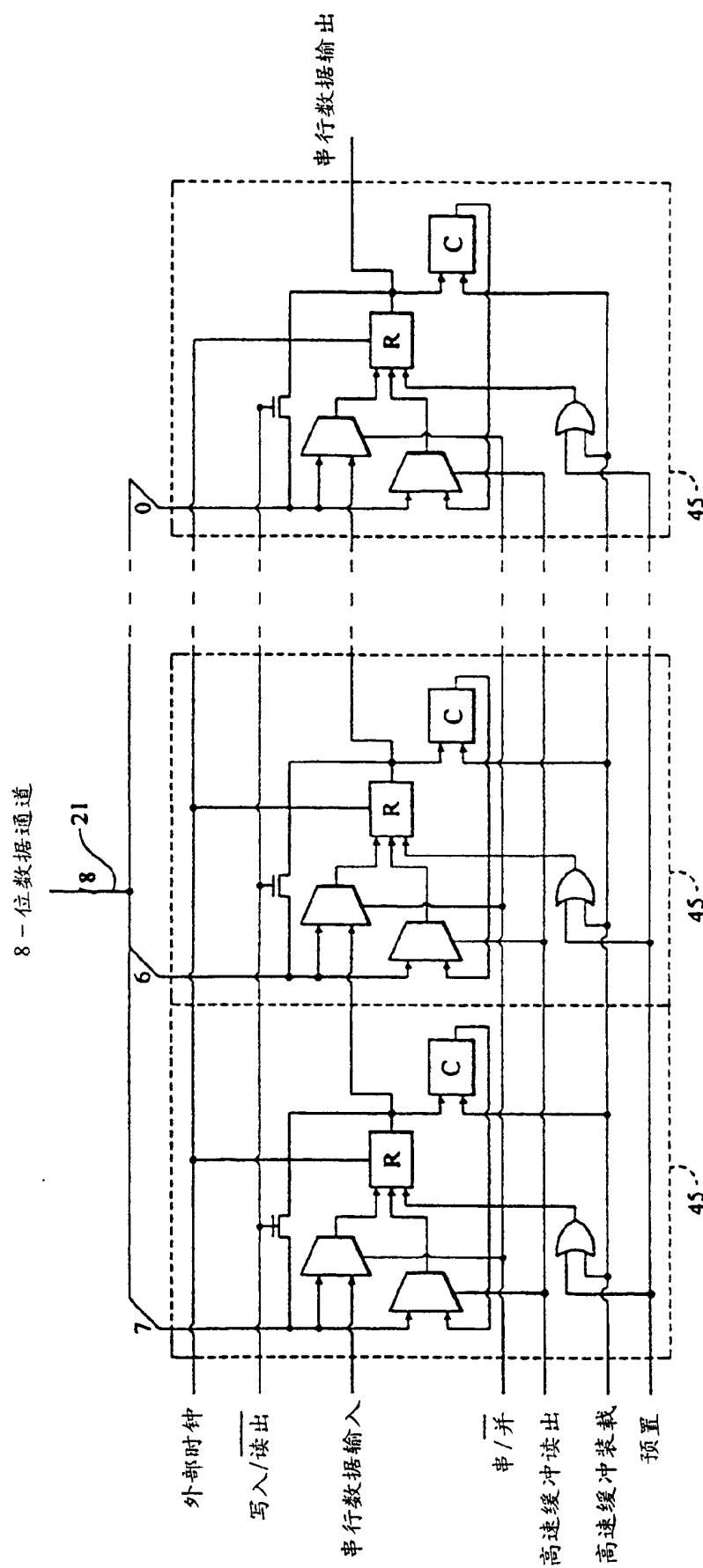
例如，可以简单地通过提供另外的读出放大器来容纳 16 一位数据通道。相应的定时和图 8 中所示的保持不变。因此，想象读出时间可能接近串行地输出 8 位的时间，对于更高的时钟频率，把数据长度扩展到 16 一位将提供较宽的时间窗口，在该较宽的时间窗口期间可以读出数据。

图 1 还示出本发明的实施例的变更。在该变更中，地址计数器 40 包括以虚线示出的一个输入，用于从外部源接收起始地址。这允许把地址计数器预一设置到存储器位置 0 之外的存储器位置，以致可以在存储器阵列 20 中的任何地方开始位流。这对于重新配置 FPGA 是有用的，其中可以把多个配置位流存储在配置存储器中，以致在运行时间中可以把任何一个配置发送到 FPGA。



1





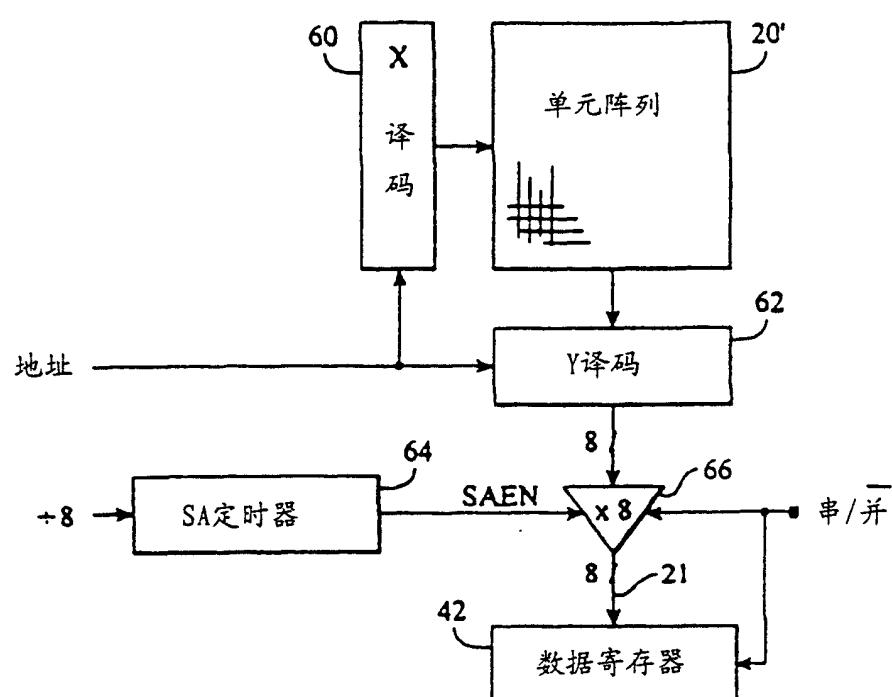


图 4

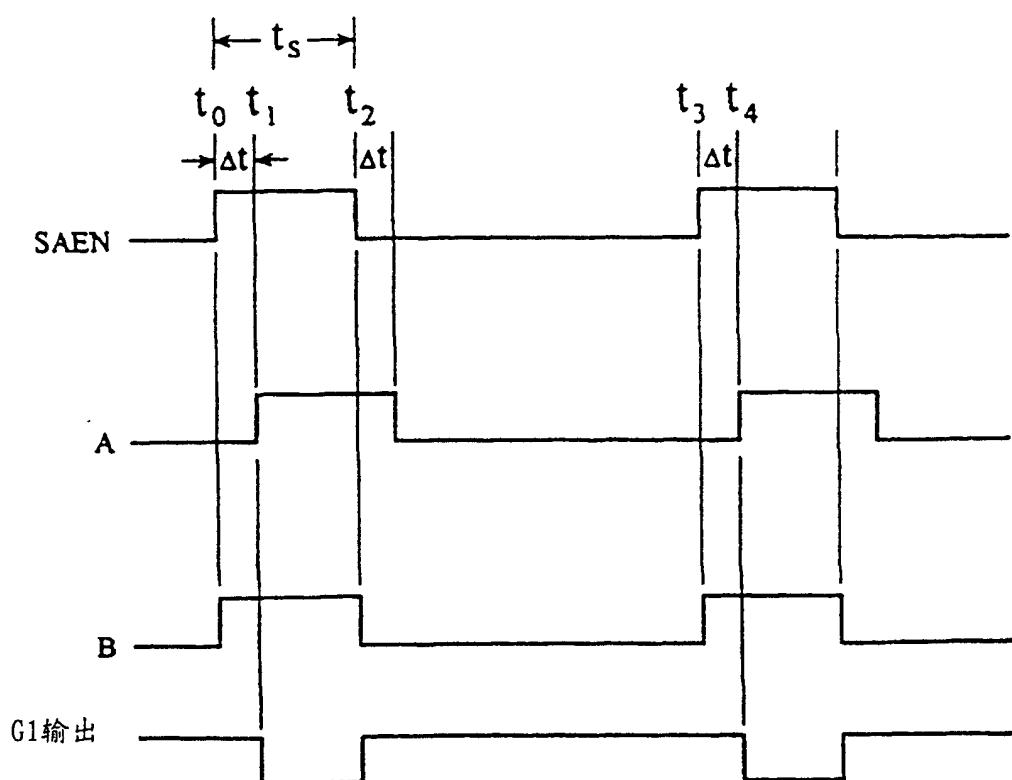


图 6

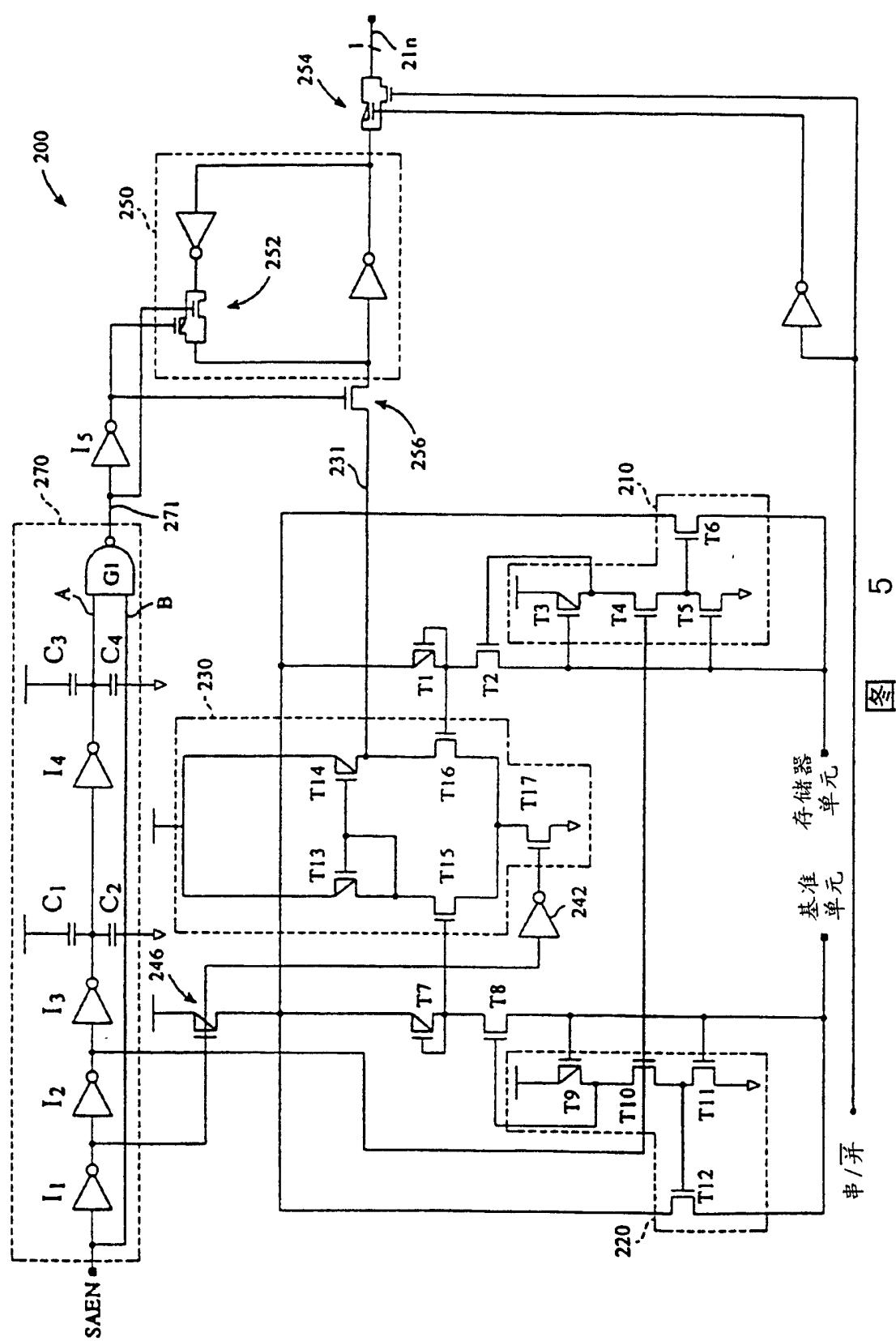


图 5

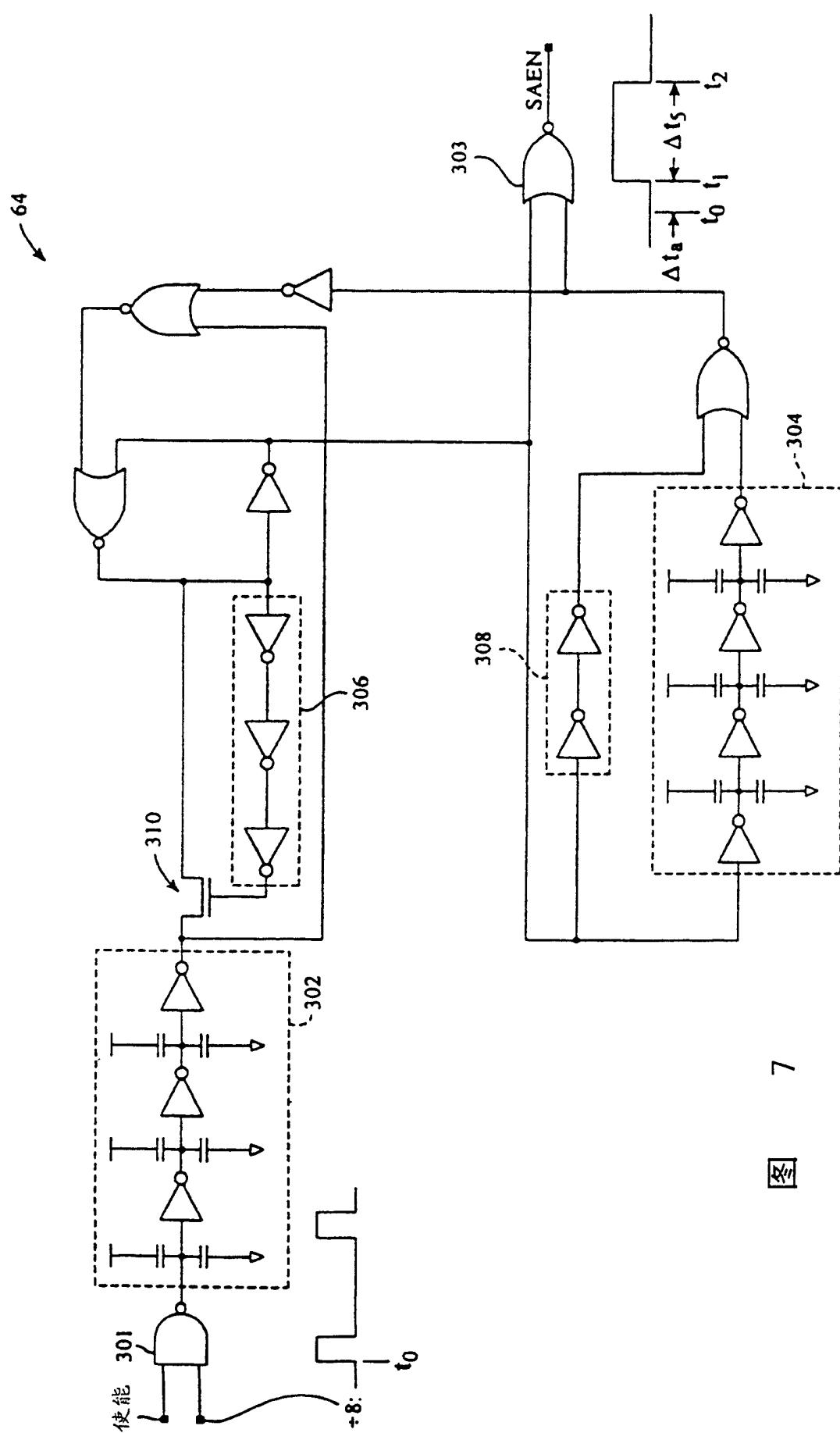


图 7

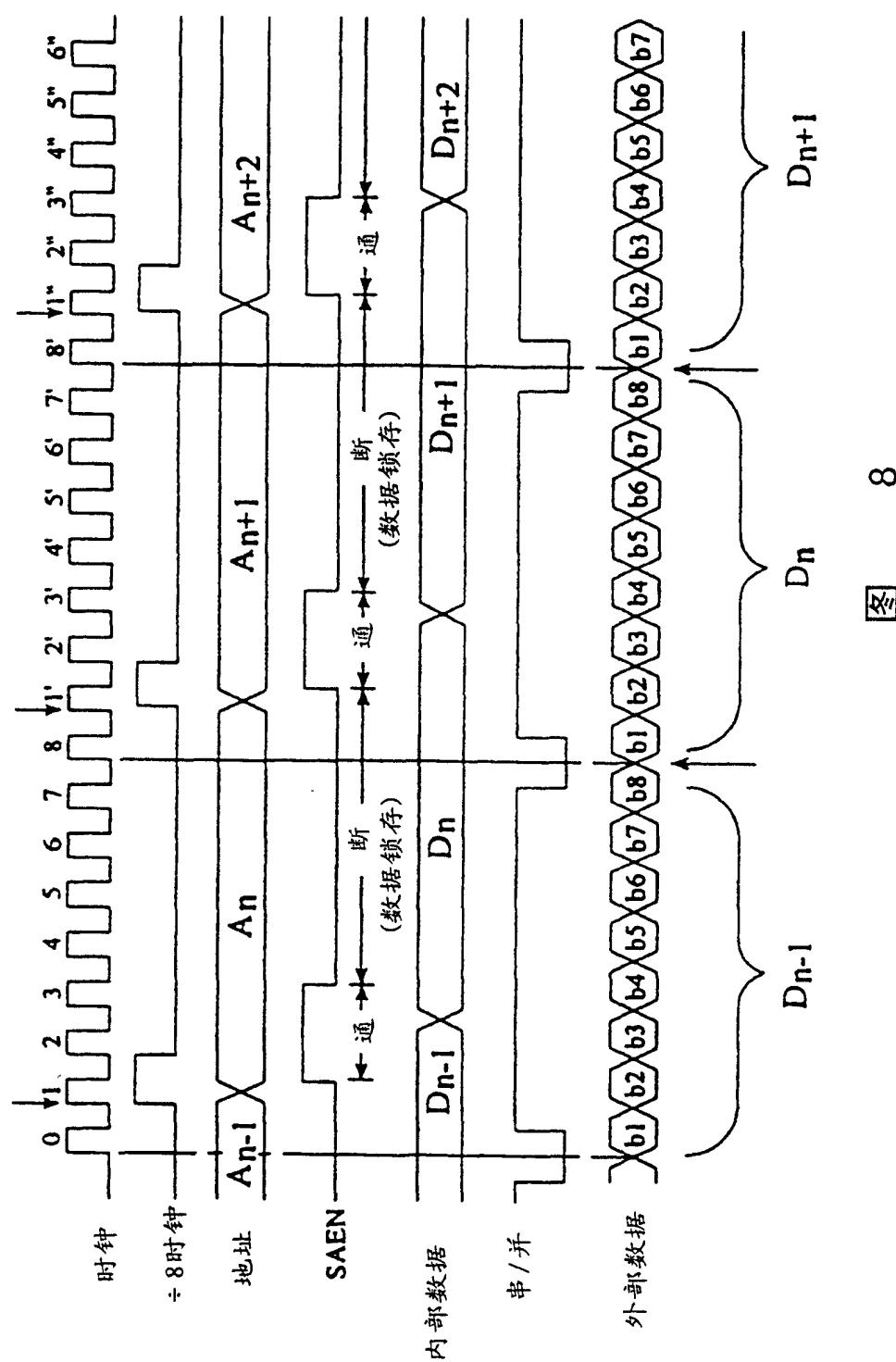


图 8