



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0124151
(43) 공개일자 2017년11월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1362 (2006.01)
H01L 29/786 (2006.01)

(52) CPC특허분류
G02F 1/1368 (2013.01)
H01L 29/78606 (2013.01)

(21) 출원번호 10-2016-0053466

(22) 출원일자 2016년04월29일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

정유광

경기도 안양시 만안구 삼성산길 8, 104동 1003호
(석수동, 석수역푸르지오아파트)

조현민

충청남도 아산시 탕정면 탕정면로 37, 401동 601호
(탕정삼성트라펠리스아파트)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

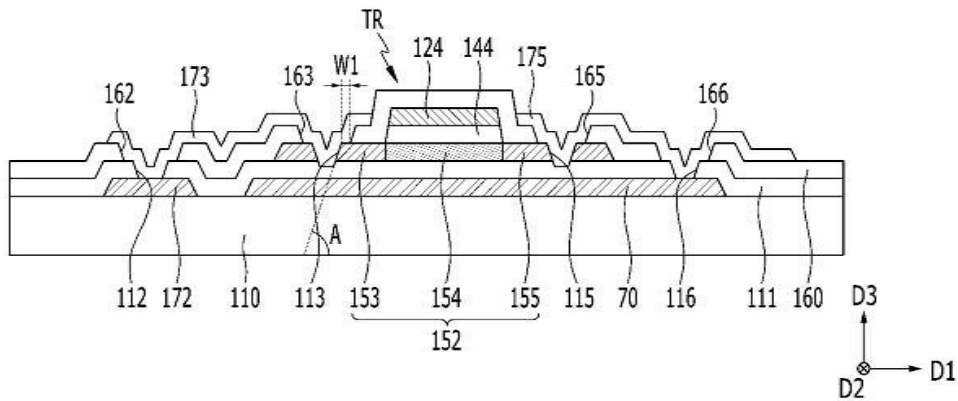
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 트랜지스터 패널 및 그 제조 방법

(57) 요약

본 개시는 트랜지스터 패널 및 그 제조 방법에 관한 것이다. 한 실시예에 따른 트랜지스터 패널은 기판, 상기 기판 위에 위치하는 버퍼층, 상기 버퍼층 위에 위치하는 반도체층, 상기 반도체층 위에 위치하는 층간 절연막, 그리고 상기 층간 절연막 위에 위치하는 상부 도전층을 포함하고, 상기 반도체층은 제1 접촉 구멍을 포함하고, 상기 층간 절연막은 상기 제1 접촉 구멍 위에 위치하며 상기 제1 접촉 구멍과 중첩하는 제2 중첩 구멍을 포함하고, 상기 상부 도전층은 상기 제1 접촉 구멍에서 상기 반도체층의 측면과 접촉한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/78639 (2013.01)

G02F 2001/13625 (2013.01)

(72) 발명자

배수빈

경상북도 경산시 진량읍 대구대로 606

최신일

경기도 화성시 동탄반석로 96, 406동 1104호 (반송동, 솔빛마을경남아너스빌아파트)

김상갑

서울특별시 강동구 고덕로 210, 508동 1407호 (명일동, 삼익그린맨션)

명세서

청구범위

청구항 1

기관,

상기 기관 위에 위치하는 버퍼층,

상기 버퍼층 위에 위치하는 반도체층,

상기 반도체층 위에 위치하는 층간 절연막, 그리고

상기 층간 절연막 위에 위치하는 상부 도전층

을 포함하고,

상기 반도체층은 제1 접촉 구멍을 포함하고,

상기 층간 절연막은 상기 제1 접촉 구멍 위에 위치하며 상기 제1 접촉 구멍과 중첩하는 제2 중첩 구멍을 포함하고,

상기 상부 도전층은 상기 제1 접촉 구멍에서 상기 반도체층의 측면과 접촉하는 트랜지스터 패널.

청구항 2

제1항에서,

상기 제2 중첩 구멍의 평면상 면적은 상기 제1 접촉 구멍의 평면상 면적보다 큰 트랜지스터 패널.

청구항 3

제2항에서,

상기 상부 도전층은 상기 제2 중첩 구멍에서 상기 반도체층의 윗면과 접촉하는 트랜지스터 패널.

청구항 4

제3항에서,

상기 제1 접촉 구멍은 상기 버퍼층의 윗면 또는 상기 버퍼층 내부까지 연장되어 상기 버퍼층 위의 상기 반도체층은 제거되어 있는 트랜지스터 패널.

청구항 5

제4항에서,

상기 제1 접촉 구멍과 중첩하는 상기 버퍼층의 단면상 두께는 상기 제1 접촉 구멍과 중첩하지 않는 상기 버퍼층의 단면상 두께보다 작은 트랜지스터 패널.

청구항 6

제4항에서,

상기 상부 도전층은 상기 제1 접촉 구멍에서 상기 버퍼층과 접촉하는 트랜지스터 패널.

청구항 7

제1항에서,

상기 기관과 상기 버퍼층 사이에 위치하는 하부 도전층을 더 포함하고,

상기 버퍼층은 상기 하부 도전층 위에 위치하는 제3 접촉 구멍을 포함하고,
상기 층간 절연막은 상기 제3 접촉 구멍 위에 위치하며 상기 제3 접촉 구멍과 중첩하는 제4 접촉 구멍을 포함하고,
상기 하부 도전층은 상기 반도체층과 다른 물질을 포함하는 트랜지스터 패널.

청구항 8

제7항에서,
상기 제4 중첩 구멍의 평면상 면적은 상기 제3 접촉 구멍의 평면상 면적보다 큰 트랜지스터 패널.

청구항 9

제8항에서,
상기 상부 도전층은 상기 제4 중첩 구멍에서 상기 버퍼층의 윗면과 접촉하고 상기 제3 접촉 구멍에서 상기 하부 도전층의 윗면과 접촉하는 트랜지스터 패널.

청구항 10

제7항에서,
상기 제4 접촉 구멍은 상기 버퍼층 내부까지 연장되어 있는 트랜지스터 패널.

청구항 11

제7항에서,
상기 제1 접촉 구멍과 상기 제2 접촉 구멍의 측면은 실질적으로 평평하고,
상기 제3 접촉 구멍과 상기 제4 접촉 구멍의 측면은 실질적으로 평평한 트랜지스터 패널.

청구항 12

제7항에서,
상기 제1 접촉 구멍의 측면의 상기 기판의 윗면에 대한 기울기는 상기 제2 접촉 구멍의 측면의 상기 기판의 윗면에 대한 기울기보다 작은 트랜지스터 패널.

청구항 13

기판 위에 버퍼층을 형성하는 단계,
상기 버퍼층 위에 반도체층을 형성하는 단계,
상기 반도체층 위에 위치하는 층간 절연막을 형성하는 단계,
상기 층간 절연막 위에 제1 마스크 패턴을 형성하는 단계,
상기 제1 마스크 패턴을 식각 마스크로 하여 상기 층간 절연막에 제1 구멍을 형성하는 단계,
상기 제1 마스크 패턴의 일부를 제거하여 상기 층간 절연막의 상기 제1 구멍 주변의 상기 층간 절연막의 윗면을 드러내는 제2 마스크 패턴을 형성하는 단계, 그리고
상기 제2 마스크 패턴을 식각 마스크로 하여 상기 층간 절연막 및 상기 반도체층을 제거하여 상기 반도체층의 제1 접촉 구멍 및 상기 층간 절연막의 제2 접촉 구멍을 형성하는 단계를 포함하는 트랜지스터 패널의 제조 방법.

청구항 14

제13항에서,

상기 제2 중첩 구멍의 평면상 면적은 상기 제1 접촉 구멍의 평면상 면적보다 큰 트랜지스터 패널의 제조 방법.

청구항 15

제14항에서,

상기 제1 접촉 구멍은 상기 버퍼층의 윗면 또는 상기 버퍼층 내부까지 연장되어 상기 버퍼층 위의 상기 반도체 층은 제거되는 트랜지스터 패널의 제조 방법.

청구항 16

제13항에서,

상기 제2 중첩 구멍을 형성하는 단계 이후에,

상기 제2 마스크 패턴을 제거하는 단계, 그리고

상기 층간 절연막 위에 상부 도전층을 형성하는 단계

를 더 포함하고,

상기 상부 도전층은 상기 제1 접촉 구멍에서 상기 반도체층의 측면과 접촉하는

트랜지스터 패널의 제조 방법.

청구항 17

제13항에서,

상기 버퍼층을 형성하는 단계 이전에, 상기 기판 위에 하부 도전층을 형성하는 단계를 더 포함하고,

상기 제1 접촉 구멍 및 상기 제2 접촉 구멍을 형성하는 단계에서, 상기 제2 마스크 패턴을 식각 마스크로 하여 상기 층간 절연막 및 상기 버퍼층을 제거하여 상기 버퍼층의 제3 접촉 구멍 및 상기 층간 절연막의 제4 접촉 구멍을 형성하고,

상기 제3 접촉 구멍은 상기 하부 도전층의 윗면을 드러내는

트랜지스터 패널의 제조 방법.

청구항 18

제17항에서,

상기 제4 중첩 구멍의 평면상 면적은 상기 제3 접촉 구멍의 평면상 면적보다 큰 트랜지스터 패널의 제조 방법.

청구항 19

제13항에서,

상기 제1 구멍을 형성하는 단계에서 상기 제1 구멍에 대응하는 상기 버퍼층의 적어도 일부도 제거되는 트랜지스터 패널의 제조 방법.

청구항 20

제13항에서,

상기 제1 접촉 구멍을 형성하는 단계에서 상기 제1 접촉 구멍에 대응하는 상기 버퍼층의 일부가 제거되는 트랜지스터 패널의 제조 방법.

청구항 21

기판 위에 버퍼층을 형성하는 단계,

상기 버퍼층 위에 반도체층을 형성하는 단계,

상기 반도체층 위에 위치하는 층간 절연막을 형성하는 단계,

상기 층간 절연막 위에 제1 마스크 패턴을 형성하는 단계, 그리고

상기 제1 마스크 패턴, 상기 제1 마스크 패턴에 의해 덮이지 않은 상기 층간 절연막, 상기 버퍼층, 그리고 상기 반도체층을 함께 식각하여 상기 층간 절연막, 상기 버퍼층, 그리고 상기 반도체층의 측면을 드러내는 단계

를 포함하는 트랜지스터 패널의 제조 방법.

청구항 22

제21항에서,

상기 식각 단계에서 식각 기체를 사용하고, 상기 식각 기체의 상기 제1 마스크 패턴에 대한 식각비는 상기 층간 절연막에 대한 식각비보다 높은 트랜지스터 패널의 제조 방법.

청구항 23

제21항에서,

상기 제1 마스크 패턴을 형성하는 단계 이후에, 상기 제1 마스크 패턴을 식각 마스크로 하여 상기 층간 절연막에 제1 구멍을 형성하는 단계를 더 포함하는 트랜지스터 패널의 제조 방법.

발명의 설명

기술 분야

[0001] 본 개시는 트랜지스터 패널 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 트랜지스터(transistor)는 평판 표시 장치 등 다양한 전자 장치에 사용되고 있다. 트랜지스터는 게이트 전극, 게이트 전극과 게이트 절연층을 사이에 두고 중첩하는 채널 영역을 포함하는 반도체층을 포함한다. 반도체층은 채널 영역과 연결되어 있으며 채널 영역을 사이에 두고 마주하는 소스 영역 및 드레인 영역을 더 포함할 수 있다.

[0003] 반도체층은 트랜지스터의 특성을 결정하는 중요한 요소이다. 이러한 반도체층으로는 비정질 규소, 다결정 규소, 금속 산화물 반도체(metal oxide semiconductor) 등이 이용되고 있다.

[0004] 트랜지스터 패널은 트랜지스터 및 트랜지스터를 구동하기 위한 다양한 도전층을 포함한다. 트랜지스터를 구성하는 게이트 전극, 반도체층, 그리고 다양한 도전층은 단면 구조상 절연층을 사이에 두고 다양한 층에 위치할 수 있다. 절연층은 트랜지스터의 게이트 전극, 반도체층, 그리고 다양한 도전층 사이의 전기적 연결을 위한 접촉 구멍을 포함한다. 이러한 접촉 구멍을 형성하기 위해서는 절연층을 식각하는 공정이 필요하다.

발명의 내용

해결하려는 과제

[0005] 트랜지스터 패널의 제조 공정에서 절연층을 식각하여 접촉 구멍을 형성할 때, 절연층의 재료도 다양하고, 접촉 구멍으로 드러내야 할 전극 및 도전층의 다양한 층 위치에 따라 식각해야 할 절연층의 두께도 다양하여 접촉 구멍을 형성하기 위해 절연층을 식각하는 시간이 서로 다를 수 있다. 따라서 식각 시간이 더 필요한 접촉 구멍을 형성하는 과정에서 식각되지 말아야 할 층, 예를 들어 반도체층도 식각되어 사라질 위험이 있다. 이를 방지하기 위해서 일반적으로는 상당히 높은 선택비를 가지는 식각 재료를 사용하거나 별도의 사진 공정 진행을 위해 더 많은 수의 광마스크를 사용해야 한다. 그러나, 선택비가 높은 식각 물질을 사용하는 공정은 그 난이도가 매우 높고, 광마스크 수의 증가는 제조 시간 및 제조 가격이 높아지며 제조 공정이 복잡해지는 문제점이 있다.

[0006] 본 기재는 위의 문제점을 해결하기 위한 것으로 난이도가 높은 고선택비의 식각 물질을 사용하는 공정의 필요 없이, 그리고 광마스크의 수를 늘리지 않으면서 다양한 깊이의 전극 또는 도전층과 연결되는 접촉 구멍을 형성하여 트랜지스터 패널의 제조 비용 및 제조 시간을 줄이고 제조 공정을 단순히 하기 위한 것이다.

[0007] 또한 접촉 구멍의 형성 과정에서 반도체층이 입는 손상을 줄여 반도체층의 잔량 제어를 용이하게 하고 공정 마진을 증가시키며 트랜지스터의 특성을 향상하는 것이다.

과제의 해결 수단

[0008] 한 실시예에 따른 트랜지스터 패널은 기판, 상기 기판 위에 위치하는 버퍼층, 상기 버퍼층 위에 위치하는 반도체층, 상기 반도체층 위에 위치하는 층간 절연막, 그리고 상기 층간 절연막 위에 위치하는 상부 도전층을 포함하고, 상기 반도체층은 제1 접촉 구멍을 포함하고, 상기 층간 절연막은 상기 제1 접촉 구멍 위에 위치하며 상기 제1 접촉 구멍과 중첩하는 제2 중첩 구멍을 포함하고, 상기 상부 도전층은 상기 제1 접촉 구멍에서 상기 반도체층의 측면과 접촉한다.

[0009] 상기 제2 중첩 구멍의 평면상 면적은 상기 제1 접촉 구멍의 평면상 면적보다 클 수 있다.

[0010] 상기 상부 도전층은 상기 제2 중첩 구멍에서 상기 반도체층의 윗면과 접촉할 수 있다.

[0011] 상기 제1 접촉 구멍은 상기 버퍼층의 윗면 또는 상기 버퍼층 내부까지 연장되어 상기 버퍼층 위의 상기 반도체층은 제거되어 있을 수 있다.

[0012] 상기 제1 접촉 구멍과 중첩하는 상기 버퍼층의 단면상 두께는 상기 제1 접촉 구멍과 중첩하지 않는 상기 버퍼층의 단면상 두께보다 작을 수 있다.

[0013] 상기 상부 도전층은 상기 제1 접촉 구멍에서 상기 버퍼층과 접촉할 수 있다.

[0014] 상기 기판과 상기 버퍼층 사이에 위치하는 하부 도전층을 더 포함하고, 상기 버퍼층은 상기 하부 도전층 위에 위치하는 제3 접촉 구멍을 포함하고, 상기 층간 절연막은 상기 제3 접촉 구멍 위에 위치하며 상기 제3 접촉 구멍과 중첩하는 제4 접촉 구멍을 포함하고, 상기 하부 도전층은 상기 반도체층과 다른 물질을 포함할 수 있다.

[0015] 상기 제4 중첩 구멍의 평면상 면적은 상기 제3 접촉 구멍의 평면상 면적보다 클 수 있다.

[0016] 상기 상부 도전층은 상기 제4 중첩 구멍에서 상기 버퍼층의 윗면과 접촉하고 상기 제3 접촉 구멍에서 상기 하부 도전층의 윗면과 접촉할 수 있다.

[0017] 상기 제4 접촉 구멍은 상기 버퍼층 내부까지 연장되어 있을 수 있다.

[0018] 상기 제1 접촉 구멍과 상기 제2 접촉 구멍의 측면은 실질적으로 평평하고, 상기 제3 접촉 구멍과 상기 제4 접촉 구멍의 측면은 실질적으로 평평할 수 있다.

[0019] 상기 제1 접촉 구멍의 측면의 상기 기판의 윗면에 대한 기울기는 상기 제2 접촉 구멍의 측면의 상기 기판의 윗면에 대한 기울기보다 작을 수 있다.

[0020] 한 실시예에 따른 트랜지스터 패널의 제조 방법은 기판 위에 버퍼층을 형성하는 단계, 상기 버퍼층 위에 반도체층을 형성하는 단계, 상기 반도체층 위에 위치하는 층간 절연막을 형성하는 단계, 상기 층간 절연막 위에 제1 마스크 패턴을 형성하는 단계, 상기 제1 마스크 패턴을 식각 마스크로 하여 상기 층간 절연막에 제1 구멍을 형성하는 단계, 상기 제1 마스크 패턴의 일부를 제거하여 상기 층간 절연막의 상기 제1 구멍 주변의 상기 층간 절연막의 윗면을 드러내는 제2 마스크 패턴을 형성하는 단계, 그리고 상기 제2 마스크 패턴을 식각 마스크로 하여 상기 층간 절연막 및 상기 반도체층을 제거하여 상기 반도체층의 제1 접촉 구멍 및 상기 층간 절연막의 제2 접촉 구멍을 형성하는 단계를 포함한다.

[0021] 상기 제2 중첩 구멍의 평면상 면적은 상기 제1 접촉 구멍의 평면상 면적보다 클 수 있다.

[0022] 상기 제1 접촉 구멍은 상기 버퍼층의 윗면 또는 상기 버퍼층 내부까지 연장되어 상기 버퍼층 위의 상기 반도체층은 제거될 수 있다.

[0023] 상기 제2 중첩 구멍을 형성하는 단계 이후에, 상기 제2 마스크 패턴을 제거하는 단계, 그리고 상기 층간 절연막 위에 상부 도전층을 형성하는 단계를 더 포함하고, 상기 상부 도전층은 상기 제1 접촉 구멍에서 상기 반도체층의 측면과 접촉할 수 있다.

[0024] 상기 버퍼층을 형성하는 단계 이전에, 상기 기판 위에 하부 도전층을 형성하는 단계를 더 포함하고, 상기 제1 접촉 구멍 및 상기 제2 접촉 구멍을 형성하는 단계에서, 상기 제2 마스크 패턴을 식각 마스크로 하여 상기 층간 절연막 및 상기 버퍼층을 제거하여 상기 버퍼층의 제3 접촉 구멍 및 상기 층간 절연막의 제4 접촉 구멍을 형성

하고, 상기 제3 접촉 구멍은 상기 하부 도전층의 윗면을 드러낼 수 있다.

- [0025] 상기 제4 중첩 구멍의 평면상 면적은 상기 제3 접촉 구멍의 평면상 면적보다 클 수 있다.
- [0026] 상기 제1 구멍을 형성하는 단계에서 상기 제1 구멍에 대응하는 상기 버퍼층의 적어도 일부도 제거될 수 있다.
- [0027] 상기 제1 접촉 구멍을 형성하는 단계에서 상기 제1 접촉 구멍에 대응하는 상기 버퍼층의 일부가 제거될 수 있다.
- [0028] 한 실시예에 따른 트랜지스터 패널의 제조 방법은 기판 위에 버퍼층을 형성하는 단계, 상기 버퍼층 위에 반도체층을 형성하는 단계, 상기 반도체층 위에 위치하는 층간 절연막을 형성하는 단계, 상기 층간 절연막 위에 제1 마스크 패턴을 형성하는 단계, 그리고 상기 제1 마스크 패턴, 상기 제1 마스크 패턴에 의해 덮이지 않은 상기 층간 절연막, 상기 버퍼층, 그리고 상기 반도체층을 식각하여 상기 층간 절연막, 상기 버퍼층, 그리고 상기 반도체층의 측면을 드러내는 단계를 포함한다.
- [0029] 상기 식각 단계에서 식각 기체를 사용하고, 상기 식각 기체의 상기 제1 마스크 패턴에 대한 식각비는 상기 층간 절연막에 대한 식각비보다 높을 수 있다.
- [0030] 상기 제1 마스크 패턴을 형성하는 단계 이후에, 상기 제1 마스크 패턴을 식각 마스크로 하여 상기 층간 절연막에 제1 구멍을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

- [0031] 본 실시예에 따르면 난이도가 높은 고선택비의 식각 물질을 사용한 공정의 필요 없이, 그리고 광마스크의 수를 늘리지 않으면서 다양한 깊이의 전극 또는 도전층과 연결되는 접촉 구멍을 형성하여 트랜지스터 패널의 제조 비용 및 제조 시간을 줄이고 제조 공정을 단순히 할 수 있다.
- [0032] 또한 접촉 구멍의 형성 과정에서 반도체층의 잔량 제어가 용이해지고 공정 마진이 증가하며 트랜지스터의 특성을 향상할 수 있다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 한 실시예에 따른 트랜지스터 패널의 단면도이고,
- 도 2 내지 도 5는 각각 도 1에 도시한 트랜지스터 패널의 접촉 구멍 부분의 개략적인 평면도이고,
- 도 6 내지 도 17은 본 발명의 한 실시예에 따른 트랜지스터 패널의 제조 방법에 따른 각 공정을 차례대로 도시한 단면도들이고,
- 도 18은 본 발명의 한 실시예에 따른 트랜지스터 패널의 배치도이고,
- 도 19는 도 18에 도시한 트랜지스터 패널을 A-AI 선을 따라 잘라 도시한 단면도의 한 예이고,
- 도 20은 도 18 및 도 19에 도시한 실시예에 따른 트랜지스터 패널의 한 화소에 대한 개략적인 회로도이고,
- 도 21은 본 발명의 한 실시예에 따른 트랜지스터 패널의 배치도이고,
- 도 22는 도 21에 도시한 트랜지스터 패널을 B-BI 선을 따라 잘라 도시한 단면도의 한 예이고,
- 도 23 내지 도 27은 본 발명의 한 실시예에 따른 트랜지스터 패널의 제조 방법에 따른 각 공정을 차례대로 도시한 단면도들이고,
- 도 28 및 도 29는 본 발명의 한 실시예에 따른 트랜지스터 패널의 제조 방법에 따른 각 공정을 차례대로 도시한 단면도들이고,
- 도 30 내지 도 32는 본 발명의 한 실시예에 따른 트랜지스터 패널의 제조 방법에 따른 각 공정을 차례대로 도시한 단면도들이고,
- 도 33 및 도 34는 본 발명의 한 실시예에 따른 트랜지스터 패널의 제조 방법에 따른 각 공정을 차례대로 도시한 단면도들이고,
- 도 35는 본 발명의 한 실시예에 따른 트랜지스터 패널의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0035] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0036] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0037] 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [0038] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [0039] 이제, 도 1 내지 도 5를 참조하여 본 발명의 한 실시예에 따른 트랜지스터 패널의 구조에 대하여 설명한다.
- [0040] 도 1을 참조하면, 본 발명의 한 실시예에 따른 트랜지스터 패널은 기판(110) 및 기판(110)의 일면 위에 위치하는 복수의 트랜지스터(TR)를 포함한다. 도 1은 편의상 하나의 트랜지스터(TR)만을 도시하였다.
- [0041] 도 1에 도시한 제1 방향(D1) 및 제2 방향(D2)은 기판(110)의 면에 수직인 방향에서 봤을 때 보이는 면에 평행한 방향으로서 서로 수직이고, 제3 방향(D3)은 제1 방향(D1) 및 제2 방향(D2)에 수직인 방향으로 대체로 기판(110)의 면에 수직인 방향이다. 제3 방향(D3)은 주로 단면 구조에서 표시될 수 있으며 단면 방향이라고도 한다. 제3 방향(D3)에서 관찰할 때 보여지는 구조를 평면 구조라 한다. 단면 구조에서 어떤 구성 요소의 위에 다른 구성 요소가 위치한다고 하면 두 구성 요소가 제3 방향(D3)으로 배열되어 있는 것을 의미하며 두 구성 요소 사이에는 다른 구성 요소가 위치할 수도 있다.
- [0042] 기판(110)은 플라스틱, 유리 등의 절연성 물질을 포함하며 유연성을 가질 수 있다. 기판(110)의 일부 영역은 필요에 따라 제거되어 있을 수도 있다.
- [0043] 트랜지스터(TR)는 반도체층(152), 상부 전극(124), 그리고 반도체층(152)과 상부 전극(124) 사이에 위치하는 절연층(144)을 포함한다.
- [0044] 반도체층(152)은 트랜지스터(TR)의 채널이 형성되는 채널 영역(154), 채널 영역(154)의 양쪽에 각각 위치하는 소스 영역(153) 및 드레인 영역(155)을 포함한다. 소스 영역(153) 및 드레인 영역(155)은 채널 영역(154)과 동일한 층에 위치하며 채널 영역(154)에 연결되어 있다.
- [0045] 소스 영역(153) 및 드레인 영역(155)과 채널 영역(154)은 서로 동일한 물질을 포함할 수 있는데, 예를 들어 금속 산화물, 다정질 규소 또는 비정질 규소 등을 포함할 수 있다. 소스 영역(153) 및 드레인 영역(155)과 채널 영역(154)이 금속 산화물을 포함하는 경우, 금속 산화물은 예를 들어 산화 아연(ZnO), 아연-주석 산화물(ZTO), 아연-인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO) 등일 수 있다.
- [0046] 소스 영역(153) 및 드레인 영역(155)의 캐리어 농도는 채널 영역(154)의 캐리어 농도보다 크고, 소스 영역(153) 및 드레인 영역(155)은 도전성일 수 있다. 소스 영역(153) 및 드레인 영역(155)과 채널 영역(154) 사이에는 캐리어 농도가 점차 변하는 구배(gradient) 영역이 더 위치할 수 있다.
- [0047] 소스 영역(153) 및 드레인 영역(155)은 기판(110) 위에 반도체 물질을 적층한 후 플라즈마 처리 등의 방법으로 일부를 도체화하여 형성할 수 있다. 예를 들어, 금속 산화물 반도체 물질을 기판(110) 위에 적층한 후 챔버 내에서 금속 산화물 반도체 물질에 불소(F), 수소(H) 및 황(S) 중 적어도 하나로 도핑하여 소스 영역(153) 및 드레인 영역(155)을 형성할 수 있다. 이때 불순물로 도핑되지 않은 부분은 채널 영역(154)으로 남는다.

- [0048] 반도체층(152)의 제3 방향(D3)의 두께는 대략 400 옹스트롬 이하일 수 있으나 이에 한정되지 않는다.
- [0049] 상부 전극(124)은 절연층(144)을 사이에 두고 채널 영역(154)과 중첩한다. 상부 전극(124)은 금속 등의 도전성 물질을 포함할 수 있다. 상부 전극(124)은 트랜지스터(TR)의 게이트 전극으로 기능할 수 있다.
- [0050] 절연층(144)은 산화 규소(SiO_x), 질화 규소(SiN_x), 또는 질산화 규소(SiON) 등의 무기 절연 물질 또는 유기 절연 물질을 포함할 수 있으며, 이들 물질 중 적어도 하나를 포함하는 단일막 또는 다중막 구조일 수 있다.
- [0051] 절연층(144)의 대부분은 반도체층(152)와 상부 전극(124) 사이에만 위치할 수 있다. 이 경우 절연층(144)의 윗면 또는 아랫면의 가장자리 변은 상부 전극(124)의 윗면 또는 아랫면의 가장자리 변과 실질적으로 나란할 수 있다. 두 가장자리 변이 서로 실질적으로 나란하다는 것은 평면상 구조로 볼 때 두 가장자리 변이 서로 일치하여 정렬되어 있거나 일치하지 않아도 대체로 일정한 거리를 두고 서로 나란한 것을 의미한다. 즉, 트랜지스터 패널의 평면상 구조를 볼 때 절연층(144)의 평면 모양과 상부 전극(124)의 평면 모양은 실질적으로 동일할 수 있다. 절연층(144)은 반도체층(152)의 채널 영역(154)의 대부분을 덮는다. 이는 트랜지스터 패널의 제조 공정에서 상부 전극(124)과 절연층(144)이 하나의 광마스크를 이용하여 형성된 결과일 수 있다.
- [0052] 도 1에 도시한 바와 달리, 절연층(144)은 상부 전극(124)과 반도체층(152) 사이의 영역에만 국한되지 않고 기판(110) 위에 연속적으로 형성되어 있을 수도 있다. 이 경우 절연층(144)은 트랜지스터(TR)의 소스 영역(153) 및 드레인 영역(155) 위에도 위치할 수 있다.
- [0053] 반도체층(152)의 채널 영역(154)의 평면 모양은 상부 전극(124)의 평면 모양과 실질적으로 동일할 수 있다. 다시 말해, 채널 영역(154)의 가장자리 변은 상부 전극(124)의 가장자리 변과 실질적으로 나란하며 대략 정렬되어 있을 수 있다. 채널 영역(154)과 소스 영역(153) 사이의 경계 및 채널 영역(154)과 드레인 영역(155) 사이의 경계는 상부 전극(124)의 가장자리 변과 실질적으로 나란하며 대략 정렬되어 있을 수 있다.
- [0054] 기판(110)과 트랜지스터(TR) 사이에는 버퍼층(111)이 위치한다. 버퍼층(111)은 절연층으로서 산화 규소(SiO_x), 질화 규소(SiN_x) 등의 무기 절연 물질 또는 유기 절연 물질 중 적어도 하나를 포함하는 단일막 또는 다중막 구조일 수 있다. 버퍼층(111)은 기판(110)으로부터 반도체층(152)로 불순물이 유입되는 것을 방지하여 반도체층(152)을 보호하고 반도체층(152)의 특성 열화를 막을 수 있다.
- [0055] 버퍼층(111)은 도 1에 도시한 바와 같이 기판(110) 위에 대체로 연속적으로 형성되어 있을 수도 있고, 이와 달리 기판(110) 위의 일부 영역 위에만 위치할 수도 있다. 예를 들어 버퍼층(111)은 반도체층(152)과 기판(110) 사이에만 위치하도록 패터닝되어 있을 수도 있다.
- [0056] 버퍼층(111)의 제3 방향(D3)의 두께는 층간 절연막(160)의 제3 방향(D3)의 두께와 유사할 수도 있으나, 이에 한정되는 것은 아니고 층간 절연막(160)의 제3 방향(D3)의 두께보다 두껍거나 얇을 수도 있다.
- [0057] 트랜지스터 패널이 포함하는 복수의 트랜지스터(TR) 중 적어도 일부 트랜지스터(TR)와 기판(110) 사이에는 하부 전극(70) 및 하부 도전체(172)를 포함하는 하부 도전층이 위치한다. 하부 전극(70)과 하부 도전체(172)는 단면 구조상 동일한 층에 위치하며, 버퍼층(111)과 기판(110) 사이에 위치한다. 하부 전극(70)과 하부 도전체(172)는 서로 동일한 물질을 포함할 수 있다.
- [0058] 하부 전극(70)은 제3 방향(D3)으로 반도체층(152)과 중첩하여 기판(110)의 아랫면 방향에서 봤을 때 반도체층(152)이 하부 전극(70)에 의해 가려질 수 있다.
- [0059] 하부 전극(70)은 여러 기능을 가질 수 있는데, 그 중 한 기능은 반도체층(152)에 대한 광차단 기능일 수 있다. 하부 전극(70)은 반도체층(152)에 외부광이 도달하는 것을 막아 반도체층(152)의 특성 저하를 막고 트랜지스터(TR)의 누설 전류를 억제할 수 있다. 하부 전극(70)의 다른 기능으로는, 하부 전극(70)이 트랜지스터(TR)의 한 전극과 전기적으로 연결되어 전압을 인가 받으면 트랜지스터(TR)의 포화 영역에서의 균일한 출력 전류 특성을 확보할 수 있다.
- [0060] 하부 도전체(172)는 데이터 전압, 구동 전압 등의 신호를 전달할 수 있다. 예를 들어 하부 도전체(172)가 데이터 전압을 전달하는 경우 하부 도전체(172)는 데이터선의 일부이거나 데이터선과 연결되어 있을 수 있다.
- [0061] 하부 도전층은 반도체층(152)과 다른 물질을 포함할 수 있는데, 예를 들어 구리(Cu) 등의 금속 또는 다른 도전성 물질을 포함할 수 있다.
- [0062] 트랜지스터(TR) 위에는 층간 절연막(160)이 위치한다. 층간 절연막(160)은 단일층 또는 다중층일 수 있다. 층간 절연막(160)은 산화 규소(SiO_x), 질화 규소(SiN_x) 등의 무기 절연 물질 또는 유기 절연 물질을 포함할 수 있

다.

- [0063] 도 1 내지 도 5를 참조하면, 층간 절연막(160)은 하부 도전체(172) 위에 위치하며 하부 도전체(172)와 중첩하는 접촉 구멍(162), 하부 전극(70) 위에 위치하며 하부 전극(70)과 중첩하는 접촉 구멍(166), 반도체층(152)의 소스 영역(153) 위에 위치하며 소스 영역(153)과 중첩하는 접촉 구멍(163), 그리고 반도체층(152)의 드레인 영역(155) 위에 위치하며 드레인 영역(155)과 중첩하는 접촉 구멍(165)을 포함한다. 접촉 구멍(162, 163, 165, 166)에서 층간 절연막(160)은 제거되어 있다.
- [0064] 도 1, 도 2 및 도 4를 참조하면, 버퍼층(111)은 층간 절연막(160)의 접촉 구멍(162)에 대응하는 접촉 구멍(112), 그리고 층간 절연막(160)의 접촉 구멍(166)에 대응하는 접촉 구멍(116)을 포함한다.
- [0065] 접촉 구멍(112)은 단면 구조상 층간 절연막(160)의 접촉 구멍(162)의 아래에 위치하고 평면 구조상 층간 절연막(160)의 접촉 구멍(162) 안에 위치하며 접촉 구멍(162)보다 작은 사이즈를 가진다.
- [0066] 접촉 구멍(116)은 단면 구조상 층간 절연막(160)의 접촉 구멍(166)의 아래에 위치하고 평면 구조상 층간 절연막(160)의 접촉 구멍(166) 안에 위치하며 접촉 구멍(166)보다 작은 사이즈를 가진다.
- [0067] 접촉 구멍(112, 116)에서 버퍼층(111)은 제거되어 있다.
- [0068] 도시한 바와 달리, 층간 절연막(160)의 접촉 구멍(162, 166)은 버퍼층(111)의 내부까지 연장되어 있을 수도 있다. 즉, 버퍼층(111)의 접촉 구멍(112, 116)의 가장자리 변과 층간 절연막(160)의 접촉 구멍(162, 166)의 가장자리 변 사이에 위치하는 버퍼층(111)의 적어도 일부가 제거되어 있을 수 있다.
- [0069] 또한 도시한 바와 달리, 버퍼층(111)의 접촉 구멍(112, 116)의 평면상 사이즈는 접촉 구멍(112, 116) 각각에 대응하는 층간 절연막(160)의 접촉 구멍(162, 166)의 평면상 사이즈와 대략 유사할 수도 있다. 즉, 접촉 구멍(112)과 접촉 구멍(162)의 측면은 계단형을 이루지 않고 평평한 면을 이룰 수 있고, 접촉 구멍(116)과 접촉 구멍(166)의 측면은 계단형을 이루지 않고 평평한 면을 이룰 수 있다. 이는 이후 도면과 관련하여 더 자세히 설명한다.
- [0070] 도 1, 도 3 및 도 5를 참조하면, 반도체층(152)은 층간 절연막(160)의 접촉 구멍(163)에 대응하는 접촉 구멍(113), 그리고 층간 절연막(160)의 접촉 구멍(165)에 대응하는 접촉 구멍(115)을 포함한다. 접촉 구멍(113, 115)에서 반도체층(152)은 적어도 일부 제거되어 있다. 도 1에 도시한 바와 같이 접촉 구멍(113, 115)에서 반도체층(152)이 모두 제거되어 있을 수도 있고 반도체층(152)의 아래쪽 부분의 일부가 남아 있을 수도 있다.
- [0071] 접촉 구멍(113)은 단면 구조상 층간 절연막(160)의 접촉 구멍(163)의 아래에 위치하고 평면 구조상 층간 절연막(160)의 접촉 구멍(163) 안에 위치하며 접촉 구멍(163)보다 작은 사이즈를 가진다. 따라서 접촉 구멍(113) 주변의 소스 영역(153)의 윗면은 층간 절연막(160)에 의해 덮이지 않는다.
- [0072] 접촉 구멍(115)은 단면 구조상 층간 절연막(160)의 접촉 구멍(165)의 아래에 위치하고 평면 구조상 층간 절연막(160)의 접촉 구멍(165) 안에 위치하며 접촉 구멍(165)보다 작은 사이즈를 가진다. 따라서 접촉 구멍(115) 주변의 드레인 영역(155)의 윗면은 층간 절연막(160)에 덮이지 않는다.
- [0073] 접촉 구멍(163, 165)에서 층간 절연막(160)에 의해 덮이지 않은 반도체층(152) 중 접촉 구멍(113, 115)의 주변에 위치하는 반도체층(152)의 윗면의 한쪽 폭(W1)은 대략 0.5 마이크로미터 이상일 수 있으나, 이에 한정되지 않고 트랜지스터(TR)의 특성에 따라 적절히 조절될 수도 있다.
- [0074] 접촉 구멍(113, 115)은 도 1에 도시한 바와 같이 버퍼층(111)의 내부까지 연장되어 버퍼층(111)의 윗부분의 적어도 일부가 제거되어 있을 수 있다. 이 경우, 단면 구조로 볼 때 접촉 구멍(113, 115) 아래에 위치하는 버퍼층(111)의 단면상 최단 두께는 접촉 구멍(113, 115)과 중첩하지 않는 버퍼층(111), 예를 들어 채널 영역(154)과 단면상 중첩하는 버퍼층(111)의 단면상 최단 두께보다 작을 수 있다.
- [0075] 접촉 구멍(113, 115) 아래에 위치하는 버퍼층(111) 모두가 제거되지는 않아 접촉 구멍(113, 115)이 하부 전극(70)까지 이르지 않는다는 점이다.
- [0076] 도 1에 도시한 바와 달리 접촉 구멍(113, 115)은 버퍼층(111)의 윗면까지만 연장되고 버퍼층(111)의 내부까지 연장되어 있지 않을 수도 있다.
- [0077] 접촉 구멍(113, 115)에서 반도체층(152)의 측면이 기판(110)의 면과 이루는 내측각(A)은 대략 30도 이상일 수 있다.

- [0078] 본 실시예에 따르면, 버퍼층(111), 층간 절연막(160), 반도체층(152)에 형성되어 있는 접촉 구멍(112, 113, 115, 116, 162, 163, 165, 166)은 단면 구조로 볼 때 서로 다른 층에 걸쳐 형성되어 있으며 서로 중첩하는 두 개의 접촉 구멍(112, 113, 115, 116, 162, 163, 165, 166)이 함께 전체적으로 계단형의 측면을 이룰 수 있다.
- [0079] 도 1에서는 접촉 구멍(112, 113, 115, 116, 162, 163, 165, 166) 각각의 측면이 기판(110)의 면 방향에 대해 비스듬히 기울어져 테이퍼된(tapered) 형태를 하고 있으나 이에 한정되는 것은 아니고, 접촉 구멍(112, 113, 115, 116, 162, 163, 165, 166) 각각의 측면이 기판(110)의 면 방향에 실질적으로 수직일 수도 있다. 이는 이후의 도면에 대해서도 마찬가지로 적용된다.
- [0080] 층간 절연막(160) 위에는 제1 연결부(173) 및 제2 연결부(175)를 포함하는 상부 도전층이 위치한다.
- [0081] 제1 연결부(173)는 접촉 구멍(112, 162)을 통해 하부 도전체(172)의 윗면과 접촉하며 전기적으로 연결되고, 접촉 구멍(113, 163)을 통해 소스 영역(153)과 접촉하며 전기적으로 연결된다. 제1 연결부(173)는 접촉 구멍(163)에서 소스 영역(153)의 윗면과 접촉하고 접촉 구멍(113)에서 소스 영역(153)의 측면과 접촉할 수 있다. 제1 연결부(173)는 하부 도전체(172)와 소스 영역(153)을 서로 전기적으로 연결하고, 소스 영역(153)은 제1 연결부(173)를 통해 하부 도전체(172)가 전달하는 전압을 인가받을 수 있다.
- [0082] 제2 연결부(175)는 접촉 구멍(116, 166)을 통해 하부 전극(70)의 윗면과 접촉하며 전기적으로 연결되고, 접촉 구멍(115, 165)을 통해 드레인 영역(155)과 접촉하며 전기적으로 연결된다. 제2 연결부(175)는 접촉 구멍(165)에서 드레인 영역(155)의 윗면과 접촉하고 접촉 구멍(115)에서 드레인 영역(155)의 측면과 접촉할 수 있다. 제2 연결부(175)는 하부 전극(70)과 드레인 영역(155)을 서로 전기적으로 연결하고, 하부 전극(70)은 드레인 영역(155)과 전기적으로 연결되어 전압을 인가 받을 수 있다. 이에 따르면 트랜지스터(TR)의 전압-전류 특성 그래프 중 포화 영역에서 전류 변화율(기울기)이 작아져 트랜지스터(TR)의 출력 전류가 일정한 영역의 범위가 넓어질 수 있다. 따라서 트랜지스터(TR)의 소스 영역(153)으로 입력되는 전압에 변화가 생겨도 트랜지스터(TR)의 출력 전류가 일정하여 출력 포화(output saturation) 특성을 향상시킬 수 있다.
- [0083] 제1 연결부(173) 및 제2 연결부(175)는 각각 접촉 구멍(113, 115)에서 버퍼층(111)과 접촉할 수 있다.
- [0084] 트랜지스터 패널의 구조에 따라 접촉 구멍(112, 162), 접촉 구멍(116, 166), 접촉 구멍(113, 163), 접촉 구멍(115, 165) 중 적어도 하나는 생략될 수도 있다.
- [0085] 도 1에 도시한 바와 달리, 하부 전극(70)은 생략될 수도 있다. 이 경우 접촉 구멍(166, 116)은 생략될 수 있고 제2 연결부(175)는 하부 전극(70)과는 연결되지 않을 수 있다.
- [0086] 그러면 도 1 내지 도 5와 함께 도 6 내지 도 17을 참조하여 본 발명의 한 실시예에 따른 트랜지스터 패널의 제조 방법에 대해 설명한다.
- [0087] 먼저 도 6을 참조하면, 유리 또는 플라스틱 등의 절연 물질을 포함하는 기판(110) 위에 도전성 물질을 적층하고 사진 식각 공정 등의 방법으로 패터닝하여 하부 전극(70) 및 하부 도전체(172)를 포함하는 하부 도전층을 형성한다. 이어서, 기판(110) 및 하부 도전층 위에 절연 물질을 적층하여 버퍼층(111)을 형성한다.
- [0088] 다음 도 7을 참조하면, 버퍼층(111) 위에 금속 산화물 반도체와 같은 반도체 물질을 적층하고 패터닝하여 반도체층(152)을 형성한다.
- [0089] 다음 도 8을 참조하면, 반도체층(152)이 형성된 기판(110) 위에 절연 물질을 적층하여 초기 절연층(initial insulating layer)(140)을 형성한다. 이어서, 초기 절연층(140) 위에 금속 등의 도전성 물질을 적층하여 도전층(120)을 형성한다.
- [0090] 이어서, 도전층(120) 위에 마스크 패턴(50)을 형성한다. 마스크 패턴(50)은 예를 들어 포토레지스트 등의 감광막을 도포하고 광마스크를 통한 노광 공정을 통해 형성할 수 있다. 마스크 패턴(50)은 반도체층(152)과 중첩하는 부분을 포함한다.
- [0091] 다음 도 8 및 도 9를 참조하면, 마스크 패턴(50)을 마스크로 하여 도전층(120)을 식각하여 상부 전극(124)을 형성한다. 이어서, 마스크 패턴(50) 및 상부 전극(124)을 마스크로 하여 초기 절연층(140)을 식각하여 절연층(144)을 형성한다. 도시하지 않았으나 초기 절연층(140)의 식각 공정에서 버퍼층(111)의 일부가 식각될 수도 있다.
- [0092] 다음 도 10을 참조하면, 절연층(144)에 의해 덮이지 않고 드러난 반도체층(152)을 처리하여 소스 영역(153) 및

드레인 영역(155)을 형성할 수 있다. 이때 처리 방법으로는 환원 분위기에서의 열처리하는 방법, 수소(H₂), 헬륨(He), 포스핀(PH₃), 암모니아(NH₃), 실란(SiH₄), 메탄(CH₄), 아세틸렌(C₂H₂), 디보란(B₂H₆), 이산화탄소(CO₂), 황화수소(H₂S), 아르곤(Ar), 질소(N₂), 산화 질소(N₂O), 플루오르포름(CHF₃) 등의 기체 플라즈마를 이용한 플라즈마 처리 방법 등이 있을 수 있다. 절연층(144)에 의해 덮인 반도체층(152)은 대부분 반도체 성질을 유지하여 채널 영역(154)이 된다.

- [0093] 다음 도 11을 참조하면, 기관(110) 위에 절연 물질을 적층하여 층간 절연막(160)을 형성한다.
- [0094] 다음 도 12를 참조하면, 층간 절연막(160) 위에 포토레지스트 등의 감광막을 도포하고 광마스크를 통한 노광 공정 등을 통해 마스크 패턴(52)을 형성한다. 마스크 패턴(52)은 하부 도전체(172), 하부 전극(70), 소스 영역(153) 및 드레인 영역(155) 위에 각각 위치하는 개구부를 포함할 수 있다.
- [0095] 다음 도 13을 참조하면, 마스크 패턴(52)을 마스크로 하여 층간 절연막(160)을 식각하여 하부 도전체(172) 위에 위치하는 구멍(162a), 하부 전극(70) 위에 위치하는 구멍(166a), 소스 영역(153) 위에 위치하는 구멍(163a), 그리고 드레인 영역(155) 위에 위치하는 구멍(165a)을 형성한다. 이에 따라 버퍼층(111), 소스 영역(153) 및 드레인 영역(155)이 드러난다. 이때 건식 식각 방법을 이용할 수 있다.
- [0096] 다음 도 14를 참조하면, 마스크 패턴(52)을 애싱(ashing) 등의 방법으로 일부 제거하여 줄어든 마스크 패턴(reduced photosensitive pattern)(52a)을 형성한다. 애싱은 산소계 기체를 이용할 수 있다. 그러면 마스크 패턴(52)의 단면상 두께가 전체적으로 낮아지고 마스크 패턴(52)의 개구부의 평면상 면적이 넓어진다. 이에 따라 층간 절연막(160)의 구멍(162a, 163a, 165a, 166a)의 주변에 위치하는 층간 절연막(160)의 윗면이 드러난다.
- [0097] 다음 도 15를 참조하면, 줄어든 마스크 패턴(52a)을 식각 마스크로 하여 줄어든 마스크 패턴(52a)으로 덮이지 않고 드러난 부분을 식각한다. 여기서의 식각 정도는 적절히 조절될 수 있는데, 줄어든 마스크 패턴(52a)으로 덮이지 않은 하부 도전체(172) 및 하부 전극(70)이 드러나면서 줄어든 마스크 패턴(52a)으로 덮이지 않은 반도체층(152)이 모두 소실되지 않으며 반도체층(152)의 아래에 위치하는 하부 전극(70)이 드러나지 않은 정도로 식각이 진행될 수 있다.
- [0098] 이에 따라 층간 절연막(160)의 구멍(162a, 166a) 아래에 위치하는 버퍼층(111)이 식각되어 하부 도전체(172) 및 하부 전극(70)을 드러내는 접촉 구멍(112, 116)이 버퍼층(111)에 형성되고, 층간 절연막(160)의 구멍(163a, 165a) 아래에 위치하는 반도체층(152)은 적어도 일부가 식각되어 접촉 구멍(113, 115)이 반도체층(152)에 형성된다. 본 식각 공정에서 사용되는 식각 기체의 버퍼층(111)과 반도체층(152)에 대한 식각비 또는 선택비에 따라 접촉 구멍(113, 115)에서 반도체층(152)이 모두 제거될 수도 있고 반도체층(152)의 적어도 일부가 남아 있을 수도 있다.
- [0099] 줄어든 마스크 패턴(52a)으로 덮이지 않고 드러나 있던 층간 절연막(160)도 버퍼층(111) 및 반도체층(152)과 함께 식각된다. 이에 따라 버퍼층(111)의 접촉 구멍(112, 116) 주변의 버퍼층(111)을 드러내는 접촉 구멍(162, 166), 그리고 반도체층(152)의 접촉 구멍(113, 115) 주변의 반도체층(152)을 드러내는 접촉 구멍(163, 165)이 층간 절연막(160)에 형성된다. 접촉 구멍(163, 165)에서 층간 절연막(160)에 의해 덮이지 않은 반도체층(152) 중 접촉 구멍(113, 115)의 주변에 위치하는 반도체층(152)의 윗면의 한쪽 폭(W1)은 대략 0.5 마이크로미터 이상일 수 있으나 이에 한정되는 것은 아니다. 반도체층(152)의 윗면의 폭(W1)은 앞에서 마스크 패턴(52)을 애싱 등으로 일부 제거하여 줄어든 마스크 패턴(52a)을 형성하는 공정에서 제거되는 마스크 패턴(52)의 양을 조절하여 조절할 수 있다.
- [0100] 이에 따라 하부 도전체(172)를 드러내는 접촉 구멍(112, 162), 하부 전극(70)을 드러내는 접촉 구멍(116, 166), 소스 영역(153)의 윗면 및 측면을 드러내는 접촉 구멍(113, 163), 그리고 드레인 영역(155)의 윗면 및 측면을 드러내는 접촉 구멍(115, 165)이 형성된다. 여기서 소스 영역(153) 및 드레인 영역(155)의 윗면은 대체로 기관(110)의 면 방향에 나란하고 측면은 기관(110)의 면 방향과 다른 방향에 나란한 면을 의미한다.
- [0101] 반도체층(152)의 접촉 구멍(113, 115)은 도 15에 도시한 바와 같이 버퍼층(111)의 윗부분의 적어도 일부까지 연장되어 있을 수도 있고 버퍼층(111)까지 연장되어 있지 않을 수도 있다.
- [0102] 도시한 바와 달리, 버퍼층(111)의 접촉 구멍(112, 116) 주변에 위치하며 층간 절연막(160)의 접촉 구멍(162, 166)에 의해 드러난 버퍼층(111)의 적어도 일부가 제거될 수도 있다. 이에 따르면 층간 절연막(160)의 접촉 구멍(162, 166)이 버퍼층(111)의 내부까지 연장되어 형성될 수 있다. 나아가, 층간 절연막(160)의 접촉 구멍(162, 166)이 버퍼층(111)의 접촉 구멍(112, 116)과 계단형을 이루지 않고 평평한 측면을 이루며 연결될 수도

있다. 이때, 층간 절연막(160)의 접촉 구멍(163, 165)에 의해 반도체층(152)은 윗면이 드러날 수도 있고 반도체층(152)의 측면만이 드러날 수도 있다. 층간 절연막(160)의 접촉 구멍(162, 163, 165, 166)에서 버퍼층(111) 및 반도체층(152)의 식각 정도는 사용되는 식각 기체의 버퍼층(111)과 반도체층(152)에 대한 식각비 또는 선택비에 따라 달라질 수 있다.

- [0103] 본 실시예에 따르면, 하부 전극(70) 및 하부 도전체(172)를 포함하는 하부 도전층을 드러내는 접촉 구멍 및 반도체층(152)을 드러내는 접촉 구멍과 같이 다양한 층에 위치하는 구성 요소와 연결되는 다양한 깊이의 접촉 구멍을 하나의 광마스크를 이용하여 형성된 하나의 마스크 패턴(52)을 이용하여 형성할 수 있다. 따라서 트랜지스터 패널의 제조 비용 및 제조 시간을 줄이고 제조 공정을 단순히 할 수 있다.
- [0104] 또한 버퍼층(111) 및 반도체층(152)에 대해 높은 선택비의 식각 기체를 사용할 필요가 없으므로 공정의 난이도를 쉽게 할 수 있다.
- [0105] 또한 접촉 구멍의 형성 과정에서 다른 층과의 접촉을 위해 남겨지는 반도체층(152)의 잔량 제어가 용이하고 공정 마진이 증가하며 트랜지스터(TR)의 특성을 향상할 수 있다. 특히 반도체층(152)의 처음 두께가 실질적으로 유지될 수 있으므로 반도체층(152)의 단면상 두께를 얇게 할 수 있는 마진이 커진다.
- [0106] 다음 도 16 및 도 1을 함께 참조하면, 줄어든 마스크 패턴(52a)을 제거하고, 층간 절연막(160) 위에 도전층을 적층하고 패터닝하여 제1 연결부(173) 및 제2 연결부(175)를 포함하는 상부 도전층을 형성한다.
- [0107] 다음 도 17을 참조하면, 상부 도전층 위에 무기 절연 물질 또는 유기 절연 물질을 적층하고 패터닝하여 접촉 구멍(185)을 포함하는 보호막(180)을 형성할 수 있다. 접촉 구멍(185)은 예를 들어 제2 연결부(175) 위에 위치하며 제2 연결부(175)를 드러낼 수 있다. 보호막(180)의 윗면은 대체로 평탄할 수 있다.
- [0108] 그러면, 앞에서 설명한 내용과 도 1 내지 도 5와 함께 도 18 내지 도 20을 참조하여 본 발명의 한 실시예에 따른 트랜지스터 패널의 구체적인 구조에 대해 설명한다.
- [0109] 도 18은 본 발명의 한 실시예에 따른 트랜지스터 패널의 배치도이고, 도 19는 도 18에 도시한 트랜지스터 패널을 A-AI 선을 따라 잘라 도시한 단면도의 한 예이다.
- [0110] 도 18 및 도 19를 참조하면, 본 실시예에 따른 트랜지스터 패널은 복수의 화소(PX)를 포함하는 표시 패널로서 기관(110) 위에 게이트 신호를 전달하는 게이트선(121), 데이터 신호를 전달하는 데이터선(171) 등의 신호선, 스위칭 반도체층(152s) 및 스위칭 게이트 전극(124s)을 포함하는 스위칭 트랜지스터(Qs), 스위칭 소스 전극(173s), 스위칭 드레인 전극(175s), 그리고 구동 트랜지스터(Qd)가 위치할 수 있다.
- [0111] 구동 트랜지스터(Qd)의 구조는 앞에서 설명한 실시예의 트랜지스터(TR)의 구조와 동일하므로 상세한 설명은 생략한다.
- [0112] 게이트선(121)은 대략 제1 방향(D1)으로 뻗는 부분을 포함하고, 데이터선(171)은 대략 제2 방향(D2)으로 뻗는 부분을 포함할 수 있다. 게이트선(121)은 상부 전극(124)과 동일한 층에 위치할 수 있고, 데이터선(171)은 하부 도전체(172)와 동일한 층에 위치할 수 있다. 본 실시예에 따른 하부 도전체(172)는 구동 전압을 전달할 수 있는 신호선으로 데이터선(171)과 같이 대체로 제2 방향(D2)으로 길게 연장되어 있을 수 있다.
- [0113] 스위칭 반도체층(152s)은 스위칭 트랜지스터(Qs)의 채널이 형성되는 채널 영역(154s), 채널 영역(154s)의 양쪽에 각각 위치하는 스위칭 소스 영역(153s) 및 스위칭 드레인 영역(155s)을 포함한다. 스위칭 반도체층(152s)은 예를 들어 금속 산화물, 다정질 규소 또는 비정질 규소 등을 포함할 수 있으며 구동 트랜지스터(Qd)의 반도체층(152)과 동일한 층에 위치할 수 있으나 이에 한정되는 것은 아니다.
- [0114] 스위칭 소스 영역(153s) 및 스위칭 드레인 영역(155s)의 캐리어 농도는 스위칭 채널 영역(154s)의 캐리어 농도보다 크고, 스위칭 소스 영역(153s) 및 스위칭 드레인 영역(155s)은 도전성이다.
- [0115] 스위칭 게이트 전극(124s)은 절연층(도시하지 않음)을 사이에 두고 스위칭 반도체층(152s)의 채널 영역(154s)과 중첩한다. 스위칭 게이트 전극(124s)은 게이트선(121)과 연결되어 게이트 신호를 인가받을 수 있다. 스위칭 게이트 전극(124s)은 게이트선(121)과 동일한 층에 위치할 수 있다.
- [0116] 층간 절연막(160)은 스위칭 소스 영역(153s) 위에 위치하는 접촉 구멍(163s), 스위칭 드레인 영역(155s) 위에 위치하는 접촉 구멍(165s), 데이터선(171) 위에 위치하는 접촉 구멍(162s), 그리고 상부 전극(124) 위에 위치하는 접촉 구멍(166s)을 더 포함할 수 있다.

- [0117] 스위칭 소스 전극(173s) 및 스위칭 드레인 전극(175s)은 앞에서 설명한 제1 연결부(173) 및 제2 연결부(175)와 동일한 층에 위치할 수 있다. 스위칭 소스 전극(173s)은 접촉 구멍(162s, 163s)을 통해 데이터선(171)과 스위칭 트랜지스터(Qs)의 스위칭 소스 영역(153s)을 서로 전기적으로 연결하고, 스위칭 드레인 전극(175s)은 접촉 구멍(165s, 166s)을 통해 스위칭 트랜지스터(Qs)의 스위칭 드레인 영역(155s)과 구동 트랜지스터(Qd)의 상부 전극(124)을 서로 전기적으로 연결한다.
- [0118] 구동 트랜지스터(Qd)의 상부 전극(124)은 스위칭 트랜지스터(Qs)의 스위칭 드레인 영역(155s)으로부터 전달하는 전압을 인가받는다. 구동 트랜지스터(Qd)의 제1 연결부(173)는 구동 전압을 전달하는 하부 도전체(172)와 연결되어 구동 전압을 구동 트랜지스터(Qd)에 전달한다.
- [0119] 도 18 및 도 19를 참조하면, 제1 연결부(173), 제2 연결부(175), 스위칭 소스 전극(173s) 및 스위칭 드레인 전극(175s) 위에 절연 물질을 포함하는 보호막(180)이 위치할 수 있다. 보호막(180)은 제2 연결부(175)를 드러내는 접촉 구멍(185)을 포함한다. 접촉 구멍(185)을 제외한 보호막(180)의 윗면은 대체로 평탄할 수 있다.
- [0120] 보호막(180) 위에는 화소 전극(191)이 위치한다. 화소 전극(191)은 접촉 구멍(185)을 통해 제2 연결부(175) 및 구동 트랜지스터(Qd)의 드레인 영역(155)과 연결되어 전압을 인가받을 수 있다.
- [0121] 화소 전극(191) 및 보호막(180) 위에는 화소 정의막(360)이 위치할 수 있다. 화소 정의막(360)은 화소 전극(191) 위에 위치하는 개구부(365)를 포함한다. 화소 정의막(360)의 개구부(365)에는 화소 전극(191) 위에 위치하는 발광층(370)이 위치하고, 발광층(370) 위에는 공통 전극(270)이 위치한다. 공통 전극(270)은 공통 전압을 인가받을 수 있다. 화소 전극(191), 발광층(370) 및 공통 전극(270)은 함께 유기 발광 다이오드(OLED)를 형성한다.
- [0122] 화소 전극(191) 위에 위치하는 층들의 구조는 도시한 바에 한정되지 않고 트랜지스터 패널이 적용되는 표시 장치의 종류에 따라 다양하게 바뀔 수 있다.
- [0123] 도 18 및 도 19에 도시한 실시예에 따른 트랜지스터 패널의 한 화소(PX)에 대한 등가 회로는 도 20에 도시한 바와 같다. 도 20을 참조하면, 한 화소(PX)는 스위칭 트랜지스터(Qs), 구동 트랜지스터(Qd), 축전기(Cst) 및 유기 발광 다이오드(OLED)를 포함한다.
- [0124] 스위칭 트랜지스터(Qs)의 제어 단자는 게이트선(121)에 연결되어 있고 입력 단자는 데이터선(171)에 연결되어 있으며 출력 단자는 구동 트랜지스터(Qd)의 제어 단자에 연결되어 있다. 스위칭 트랜지스터(Qs)는 게이트선(121)이 전달하는 게이트 신호에 응답하여 데이터선(171)으로부터 받은 데이터 신호를 구동 트랜지스터(Qd)의 제어 단자에 전달한다.
- [0125] 구동 트랜지스터(Qd)의 입력 단자는 구동 전압을 전달하는 하부 도전체(172)에 연결되어 있고 출력 단자는 유기 발광 다이오드(OLED)에 연결되어 있다. 구동 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 전류를 출력한다.
- [0126] 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있고, 구동 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(Qs)가 턴 오프된 뒤에도 이를 유지한다.
- [0127] 유기 발광 다이오드(OLED)는 구동 트랜지스터(Qd)의 출력 전류에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- [0128] 스위칭 트랜지스터(Qs) 및 구동 트랜지스터(Qd)는 도시한 바와 같이 N형 트랜지스터일 수도 있고 이와 달리 P형 트랜지스터일 수도 있다. 스위칭 트랜지스터(Qs) 및 구동 트랜지스터(Qd)의 채널형은 서로 같을 수도 있고 다를 수도 있다.
- [0129] 다음, 앞에서 설명한 내용과 도 1 내지 도 5와 함께 도 21 및 도 22를 참조하여 본 발명의 한 실시예에 따른 트랜지스터 패널의 구체적인 구조에 대해 설명한다.
- [0130] 도 21은 본 발명의 한 실시예에 따른 트랜지스터 패널의 배치도이고, 도 22는 도 21에 도시한 트랜지스터 패널을 B-BI 선을 따라 잘라 도시한 단면도의 한 예이다.
- [0131] 도 21 및 도 22를 참조하면, 본 실시예에 따른 트랜지스터 패널은 복수의 화소(PX)를 포함하는 표시 패널로서 기판(110) 위에 게이트 신호를 전달하는 게이트선(121), 그리고 트랜지스터(Q)가 위치할 수 있다.
- [0132] 트랜지스터(Q)의 구조는 앞에서 설명한 실시예의 트랜지스터(TR)의 구조와 동일하므로 상세한 설명은 생략한다.

- [0133] 게이트선(121)은 대략 제1 방향(D1)으로 뻗는 부분을 포함하고, 상부 전극(124)과 연결되어 있으며, 상부 전극(124)과 동일한 층에 위치할 수 있다.
- [0134] 하부 도전체(172)는 대략 제2 방향(D2)으로 뻗는 부분을 포함하며 게이트선(121)과 교차할 수 있다. 본 실시예에서 하부 도전체(172)는 데이터 전압을 전달하는 데이터선일 수 있다.
- [0135] 본 실시예에 따른 표시 패널은 액정 표시 장치의 패널로서 앞에서 설명한 도 1 내지 도 5에 도시한 실시예와 대부분 동일한 단면 구조를 가지나, 제1 연결부(173) 및 제2 연결부(175) 위에 절연 물질을 포함하는 보호막(180)이 위치할 수 있다. 보호막(180)은 제2 연결부(175)를 드러내는 접촉 구멍(185)을 포함한다. 접촉 구멍(185)을 제외한 보호막(180)의 윗면은 대체로 평탄할 수 있다.
- [0136] 보호막(180) 위에는 화소 전극(191)이 위치한다. 화소 전극(191)은 접촉 구멍(185)을 통해 제2 연결부(175) 및 트랜지스터(Q)의 드레인 영역(155)과 연결되어 데이터 전압을 인가받을 수 있다.
- [0137] 화소 전극(191) 위에는 복수의 액정 분자를 포함하는 액정층(3)이 위치하고, 액정층(3) 위에는 화소 전극(191)과 대향하는 상부층(200)이 위치할 수 있다. 상부층(200)은 기관(110)과 다른 별도의 기관 또는 절연층을 포함할 수 있다. 또한 상부층(200)은 화소 전극(191)과 함께 액정층(3)에 전기장을 생성할 수 있는 공통 전극(도시하지 않음)을 포함할 수 있다. 이와 달리 공통 전극이 액정층(3)과 트랜지스터(Q) 사이에 위치할 수도 있다.
- [0138] 도 21 및 도 22에 도시한 바와 달리 하부 전극(70)은 생략될 수도 있고, 이 경우 접촉 구멍(166, 116)은 생략될 수 있고, 제2 연결부(175)는 하부 전극(70)과는 연결되지 않을 수 있다.
- [0139] 다음, 앞에서 설명한 도 1 내지 도 17과 함께 도 23 내지 도 27을 참조하여 본 발명의 한 실시예에 따른 트랜지스터 패널의 제조 방법에 대해 설명한다.
- [0140] 본 실시예에 따른 트랜지스터 패널의 제조 방법은 앞에서 설명한 도 6 내지 도 17에 도시한 실시예에 따른 제조 방법과 대부분 동일하나, 마스크 패턴(52)을 마스크로 하여 층간 절연막(160)을 제거하는 단계부터 다를 수 있다.
- [0141] 도 23을 참조하면, 마스크 패턴(52)을 마스크로 하여 층간 절연막(160)을 제거하여 하부 도전체(172) 위에 위치하는 구멍(162b), 하부 전극(70) 위에 위치하는 구멍(166b), 소스 영역(153) 위에 위치하는 구멍(163b), 그리고 드레인 영역(155) 위에 위치하는 구멍(165b)을 형성한다.
- [0142] 구멍(162b, 166b)은 버퍼층(111) 내부까지 연장되어 구멍(162b, 166b)에 대응하는 버퍼층(111)에 홈(112a, 116a)이 형성될 수 있다. 즉, 구멍(162b, 166b)에 대응하는 버퍼층(111)의 윗부분의 일부가 제거될 수 있다. 또한, 구멍(163b, 165b)은 반도체층(152)의 내부까지 연장되어 구멍(163b, 165b)에 대응하는 반도체층(152)에 홈(113a, 115a)이 형성될 수 있다. 즉, 구멍(163b, 165b)에 대응하는 반도체층(152)의 윗부분의 일부가 제거될 수 있다.
- [0143] 다음 도 24를 참조하면, 마스크 패턴(52)을 에칭 등의 방법으로 일부 제거하여 줄어든 마스크 패턴(52a)을 형성한다. 이에 따라 층간 절연막(160)의 구멍(162b, 163b, 165b, 166b)의 주변에 위치하는 층간 절연막(160)의 윗면이 드러난다.
- [0144] 다음 도 25를 참조하면, 줄어든 마스크 패턴(52a)을 마스크로 하여 줄어든 마스크 패턴(52a)으로 덮이지 않고 드러난 부분을 식각한다. 이 단계에서 층간 절연막(160)의 접촉 구멍(162A, 163A, 165A, 166A), 버퍼층(111)의 접촉 구멍(112A, 116A), 그리고 반도체층(152)의 접촉 구멍(113A, 115A)이 형성된다. 이들 접촉 구멍(112A, 116A, 113A, 115A, 162A, 163A, 165A, 166A)은 앞에서 설명한 도 1 내지 도 17에 도시한 실시예에 따른 접촉 구멍(112, 116, 113, 115, 162, 163, 165, 166)과 대부분 동일하나, 그 면적 또는 크기 등이 다를 수 있다. 예를 들어 반도체층(152)의 접촉 구멍(113A, 115A)은 버퍼층(111)의 내부까지 연장되어 버퍼층(111)에 홈이 형성되는데, 버퍼층(111)의 홈의 깊이가 앞에서 설명한 도 15에 도시한 실시예에서보다 더 깊을 수 있다. 즉, 접촉 구멍(113A, 115A)의 깊이가 앞에서 설명한 실시예에 비해 더 깊을 수 있다. 여기서 깊이란 단면 구조에서 기관(110)을 향한 방향의 길이를 의미하며 앞으로도 동일하다.
- [0145] 본 실시예에 따른 접촉 구멍(112A, 116A, 113A, 115A, 162A, 163A, 165A, 166A)의 적어도 일부의 평면상 면적은 도 17에 도시한 실시예에 따른 접촉 구멍(112, 116, 113, 115, 162, 163, 165, 166) 각각의 평면상 면적보다 더 넓을 수 있다.
- [0146] 본 실시예에서 층간 절연막(160)의 접촉 구멍(162A, 166A)은 도시한 바와 같이 버퍼층(111)까지 연장되지 않을

수 있으나, 이와 달리 층간 절연막(160)의 접촉 구멍(162A, 166A)에 대응하는 버퍼층(111)의 윗부분의 일부도 식각되어 층간 절연막(160)의 접촉 구멍(162A, 166A)이 버퍼층(111)의 내부까지 연장되어 있을 수도 있다. 마찬가지로 층간 절연막(160)의 접촉 구멍(163A, 165A)은 도시한 바와 같이 반도체층(152)까지 연장되지 않을 수 있고, 이와 달리 층간 절연막(160)의 접촉 구멍(163A, 165A)에 대응하는 반도체층(152)의 윗부분의 일부도 식각되어 층간 절연막(160)의 접촉 구멍(163A, 165A)이 반도체층(152)의 내부까지 연장되어 있을 수도 있다.

- [0147] 다음 도 26을 참조하면, 줄어든 마스크 패턴(52a)을 제거한다.
- [0148] 다음 도 27을 참조하면, 층간 절연막(160) 위에 도전층을 적층하고 패터닝하여 제1 연결부(173) 및 제2 연결부(175)를 포함하는 상부 도전층을 형성한다.
- [0149] 이제, 앞에서 설명한 도 23 내지 도 27과 함께 도 28 및 도 29를 참조하여 본 발명의 한 실시예에 따른 트랜지스터 패널의 제조 방법에 대해 설명한다.
- [0150] 본 실시예에 따른 트랜지스터 패널의 제조 방법은 앞에서 설명한 도 23 내지 도 27에 도시한 실시예에 따른 제조 방법과 대부분 동일하나, 줄어든 마스크 패턴(52a)을 식각 마스크로 하여 줄어든 마스크 패턴(52a)으로 덮이지 않고 드러난 부분을 식각하는 단계가 다를 수 있다.
- [0151] 도 28을 참조하면, 줄어든 마스크 패턴(52a)을 마스크로 하여 줄어든 마스크 패턴(52a)으로 덮이지 않고 드러난 부분을 식각한다. 이 단계에서 층간 절연막(160)의 접촉 구멍(162B, 163B, 165B, 166B), 버퍼층(111)의 접촉 구멍(112B, 116B), 그리고 반도체층(152)의 접촉 구멍(113B, 115B)이 형성된다.
- [0152] 접촉 구멍(112B, 116B, 113B, 115B, 162B, 163B, 165B, 166B)은 앞에서 설명한 도 25에 도시한 실시예에 따른 접촉 구멍(112A, 116A, 113A, 115A, 162A, 163A, 165A, 166A)과 대부분 동일하나, 접촉 구멍(162B, 166B)의 깊이가 다를 수 있다. 본 식각 단계에서 줄어든 마스크 패턴(52a)로 덮이지 않은 층간 절연막(160)은 모두 제거되고, 제거된 층간 절연막(160)의 아래에 위치하는 버퍼층(111)도 적어도 일부 제거되어 도 28에 도시한 바와 같이 버퍼층(111)의 내부까지 연장된 접촉 구멍(162B, 166B)이 형성될 수 있다. 이 경우 접촉 구멍(162B, 166B)과 중첩하는 버퍼층(111)의 단면상 두께는 접촉 구멍(162B, 166B)과 중첩하지 않는 버퍼층(111), 예를 들어 채널 영역(154)과 중첩하는 버퍼층(111)의 단면상 두께보다 작을 수 있다.
- [0153] 접촉 구멍(162B, 166B)이 형성되는 동안에, 제거된 층간 절연막(160)의 아래에 위치하는 반도체층(152)은 거의 식각되지 않을 수 있다. 이에 따라 접촉 구멍(163B, 165B)은 층간 절연막(160)에 대부분 형성되고 반도체층(152) 내부까지는 거의 연장되어 있지 않을 수 있다. 이러한 경우, 본 식각 단계에서 사용되는 식각 기체의 반도체층(152)에 대한 버퍼층(111)의 식각비가 상당히 높을 수 있다.
- [0154] 반도체층(152)의 접촉 구멍(113B, 115B)은 실선으로 표시한 바와 같이 버퍼층(111)까지 연장되어 형성되어 있을 수도 있고, 점선으로 표시한 바와 같이 반도체층(152)에만 형성되어 있을 수 있다. 즉, 반도체층(152)의 접촉 구멍(113B, 115B)에서 반도체층(152)은 제거되지 않고 남을 수 있다.
- [0155] 다음 도 29를 참조하면, 줄어든 마스크 패턴(52a)을 제거한 후 층간 절연막(160) 위에 도전층을 적층하고 패터닝하여 제1 연결부(173) 및 제2 연결부(175)를 포함하는 상부 도전층을 형성한다.
- [0156] 이제, 앞에서 설명한 도 6 내지 도 17과 함께 도 30 내지 도 32를 참조하여 본 발명의 한 실시예에 따른 트랜지스터 패널의 제조 방법에 대해 설명한다.
- [0157] 본 실시예에 따른 트랜지스터 패널의 제조 방법은 앞에서 설명한 도 6 내지 도 17에 도시한 실시예에 따른 제조 방법과 대부분 동일하나, 줄어든 마스크 패턴(52a)을 식각 마스크로 하여 줄어든 마스크 패턴(52a)으로 덮이지 않고 드러난 부분을 식각하는 단계가 다를 수 있다.
- [0158] 줄어든 마스크 패턴(52a)을 식각 마스크로 하여 줄어든 마스크 패턴(52a)으로 덮이지 않고 드러난 부분을 식각하여, 접촉 구멍(162C, 163C, 165C, 166C) 및 접촉 구멍(113C, 115C)을 형성한다. 이때 층간 절연막(160)의 접촉 구멍(162C, 163C, 165C, 166C)에 대응하는 버퍼층(111) 및 반도체층(152)은 모두 제거될 수 있다.
- [0159] 접촉 구멍(162C, 166C)은 하부 도전체(172) 및 하부 전극(70) 윗면까지 연장될 수 있다. 접촉 구멍(162C, 166C)은 층간 절연막(160)과 버퍼층(111)에 형성되며 그 측면은 실질적으로 평평할 수 있다.
- [0160] 접촉 구멍(163C, 165C)은 반도체층(152) 내부 또는 버퍼층(111)의 내부까지 연장될 수 있다. 도 30에 도시한 바와 같이 층간 절연막(160)의 접촉 구멍(163C, 165C)에 대응하는 반도체층(152)은 모두 제거되어 반도체층(152)의 윗면 대신 측면만이 드러날 수 있다. 접촉 구멍(163C, 165C)은 층간 절연막(160)과 반도체층(152)에

형성되며 그 측면은 실질적으로 평평할 수 있다. 이때 접촉 구멍(113C, 115C)은 반도체층(152)에 형성되지 않고 버퍼층(111)에 형성되며 층간 절연막(160)의 접촉 구멍(163C, 165C)과 함께 계단형의 측면을 이룰 수 있다.

- [0161] 도 30에 도시한 바와 달리 접촉 구멍(113C, 115C)은 생략될 수도 있다. 이 경우 층간 절연막(160)의 접촉 구멍(163C, 165C) 안에서 버퍼층(111)의 윗면은 실질적으로 평평할 수 있다.
- [0162] 다음 도 31을 참조하면, 줄어든 마스크 패턴(52a)을 제거하고, 이어서 도 32에 도시한 바와 같이 층간 절연막(160) 위에 도전층을 적층하고 패터닝하여 제1 연결부(173) 및 제2 연결부(175)를 포함하는 상부 도전층을 형성한다.
- [0163] 이제, 앞에서 설명한 도 6 내지 도 17과 함께 도 33 및 도 34를 참조하여 본 발명의 한 실시예에 따른 트랜지스터 패널의 제조 방법에 대해 설명한다.
- [0164] 본 실시예에 따른 트랜지스터 패널의 제조 방법은 앞에서 설명한 도 6 내지 도 17에 도시한 실시예에 따른 제조 방법과 대부분 동일하나 마스크 패턴(52)의 애싱 단계가 생략될 수 있다.
- [0165] 본 실시예에 따르면 앞에서 설명한 도 13에 도시한 바와 같이 마스크 패턴(52)을 마스크로 하여 층간 절연막(160)을 제거하여 하부 도전체(172) 위에 위치하는 구멍(162a), 하부 전극(70) 위에 위치하는 구멍(166a), 소스 영역(153) 위에 위치하는 구멍(163a), 그리고 드레인 영역(155) 위에 위치하는 구멍(165a)을 형성하는 1차 식각 후, 마스크 패턴(52)으로 덮이지 않은 층간 절연막(160)과 버퍼층(111)을 마스크 패턴(52)과 함께 식각한다. 이때 1차 식각 때와 다른 조건의 식각 기체를 이용할 수 있다. 예를 들어, 산소계 기체 및 불소계 기체를 혼합한 식각 기체를 이용할 수 있으며, 마스크 패턴(52)의 식각 정도를 조절하기 위해 산소계 기체 및 불소계 기체의 비율을 적절히 조절할 수 있다. 본 실시예에서는 층간 절연막(160)과 버퍼층(111)보다 마스크 패턴(52)이 더 빠르게 제거될 수 있도록 1차 식각 시보다 산소계 기체의 비율을 불소계 기체의 비율보다 높게 하여 식각 기체의 층간 절연막(160)과 버퍼층(111)에 대한 식각비보다 마스크 패턴(52)에 대한 식각비가 더 높게 할 수 있다. 또한 식각 기체의 층간 절연막(160)과 버퍼층(111)에 대한 식각비보다 반도체층(152)에 대한 식각비가 더 높을 수 있다.
- [0166] 이에 따르면, 마스크 패턴(52)이 식각되어 줄어든 마스크 패턴(52b)이 됨에 따라 그 아래에 점차 드러나는 층간 절연막(160)과 버퍼층(111)이 점진적으로 식각되어 도 33에 도시한 바와 같이 기관(110)의 윗면에 대해 완만한 경사를 이루는 측면을 가지는 접촉 구멍(162D, 166D, 112D, 116D)이 층간 절연막(160)과 버퍼층(111)에 형성된다.
- [0167] 접촉 구멍(162D, 166D)의 측면의 경사와 접촉 구멍(112D, 116D)의 측면의 경사는 대체로 유사할 수 있다. 따라서 접촉 구멍(162D)과 접촉 구멍(112D)은 함께 실질적으로 평평한 하나의 측면을 이룰 수 있고, 접촉 구멍(166D)과 접촉 구멍(116D)은 함께 실질적으로 평평한 하나의 측면을 이룰 수 있으나, 이에 한정되는 것은 아니다.
- [0168] 마스크 패턴(52)이 식각되어 줄어든 마스크 패턴(52b)이 됨에 따라 그 아래에 점차 드러나는 층간 절연막(160)과 반도체층(152)도 점진적으로 식각되어 도 33에 도시한 바와 같이 기관(110)의 면에 대해 완만한 경사를 이루는 측면을 가지는 접촉 구멍(163D, 165D, 113D, 115D)이 층간 절연막(160)과 반도체층(152)에 형성된다. 접촉 구멍(163D, 165D)의 측면의 기관(110)의 윗면에 대한 기울기와 접촉 구멍(113D, 115D)의 측면의 기관(110)의 윗면에 대한 기울기는 식각 기체의 선택비에 따라 다르겠으나 서로 다를 수 있다. 특히 도 33에 도시한 바와 같이 반도체층(152)에 형성된 접촉 구멍(113D, 115D)의 측면의 기울기가 접촉 구멍(163D, 165D)의 측면의 기울기보다 더 완만할 수 있다. 반도체층(152)의 접촉 구멍(113D, 115D)의 측면이 기관(110)의 윗면과 이루는 내측각(B)은 대략 10도 이상일 수 있으며 앞에서 설명한 실시예에서의 반도체층(152)의 접촉 구멍(113, 115)의 측면이 기관(110)의 면과 이루는 내측각(A)보다 작을 수 있다.
- [0169] 위에서 설명한 바와 달리, 본 실시예에 따른 트랜지스터 패널의 제조 방법은 앞에서 설명한 도 6 내지 도 17에 도시한 실시예에 따른 제조 방법과 달리 할 수도 있다. 앞에서 설명한 도 12와 같이 층간 절연막(160) 위에 마스크 패턴(52)을 형성한 후, 층간 절연막(160)만을 식각하지 않고 처음부터 마스크 패턴(52)으로 덮이지 않은 층간 절연막(160)과 버퍼층(111)을 마스크 패턴(52)과 함께 식각한다. 이때 건식 식각 방법을 이용할 수 있다. 예를 들어, 산소계 기체 및 불소계 기체를 혼합한 식각 기체를 이용할 수 있으며, 마스크 패턴(52)의 식각 정도를 조절하기 위해 산소계 기체 및 불소계 기체의 비율을 조절할 수 있다. 본 실시예에서는 층간 절연막(160)과 버퍼층(111)보다 마스크 패턴(52)이 더 빠르게 제거될 수 있도록 산소계 기체의 비율을 불소계 기체의 비율보다 높게 하여 식각 기체의 층간 절연막(160)과 버퍼층(111)에 대한 식각비보다 마스크 패턴(52)에 대한 식각비가

더 높게 제어할 수 있다.

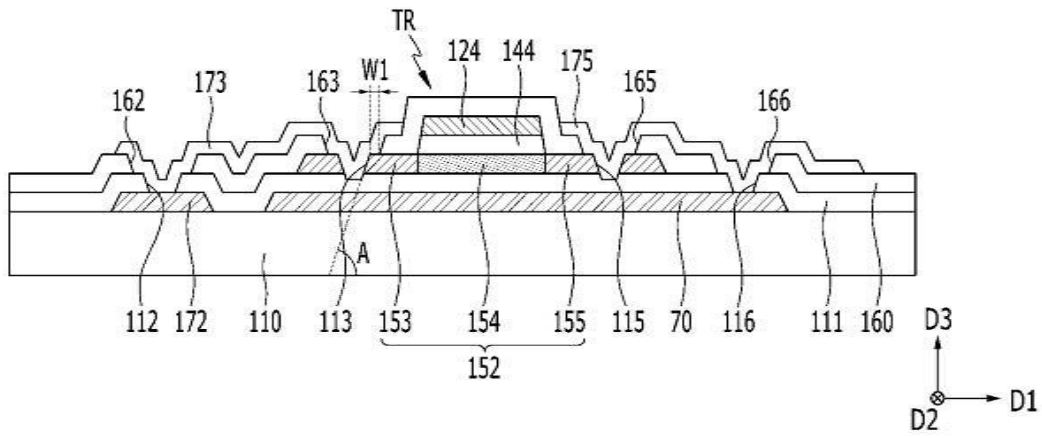
- [0170] 이에 따르면, 앞에서 설명한 바와 같이 마스크 패턴(52)이 식각되어 줄어든 마스크 패턴(52b)이 됨에 따라 그 아래에 점차 드러나는 층간 절연막(160)과 버퍼층(111)이 점진적으로 식각되어 도 33에 도시한 바와 같이 기관(110)의 면에 대해 완만한 경사를 이루는 측면을 가지는 접촉 구멍(162D, 166D, 112D, 116D)이 층간 절연막(160)과 버퍼층(111)에 형성되고, 기관(110)의 면에 대해 완만한 경사를 이루는 측면을 가지는 접촉 구멍(163D, 165D, 113D, 115D)이 층간 절연막(160)과 반도체층(152)에 형성된다.
- [0171] 다음 도 34를 참조하면, 줄어든 마스크 패턴(52b)을 제거하고, 층간 절연막(160) 위에 도전층을 적층하고 패턴화하여 제1 연결부(173) 및 제2 연결부(175)를 포함하는 상부 도전층을 형성한다.
- [0172] 본 실시예에 따르면 접촉 구멍(163D, 165D)에 대응하는 반도체층(152)의 소스 영역(153)과 드레인 영역(155)의 윗면이 실질적으로 존재하지 않아도 접촉 구멍(113D, 115D)에서 반도체층(152)의 측면의 경사가 기관(110)의 면에 대해 완만하게 형성되므로 제1 연결부(173) 및 제2 연결부(175)와 반도체층(152)의 소스 영역(153)과 드레인 영역(155)과의 접촉 면적을 크게 할 수 있어 접촉 저항을 낮출 수 있다.
- [0173] 이제, 앞에서 설명한 도면들과 함께 도 35를 참조하여 본 발명의 한 실시예에 따른 트랜지스터 패널에 대해 설명한다.
- [0174] 도 35를 참조하면, 본 실시예에 따른 트랜지스터 패널은 앞에서 설명한 여러 실시예에 따른 트랜지스터 패널과 대부분 동일하나 층간 절연막(160)의 구조가 다를 수 있다. 본 실시예에 따르면 층간 절연막(160)은 제1층(160a)과 제2층(160b)을 포함하는 다중층을 포함할 수 있다.
- [0175] 층간 절연막(160)의 제1층(160a)과 제2층(160b) 사이에는 유기 물질을 포함하는 유기층(230)이 더 위치할 수도 있다. 유기층(230)은 예를 들어 섀플터일 수 있다.
- [0176] 층간 절연막(160)이 포함하는 제1층(160a) 및 제2층(160b)은 앞에서 설명한 실시예와 같은 접촉 구멍(162, 163, 165, 166, 162A, 163A, 165A, 166A, 162B, 163B, 165B, 166B, 162C, 163C, 165C, 166C, 162D, 163D, 165D, 166D)을 포함한다. 이 밖의 구조는 앞에서 설명한 실시예에서와 동일하므로 상세한 설명은 생략한다.
- [0177] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

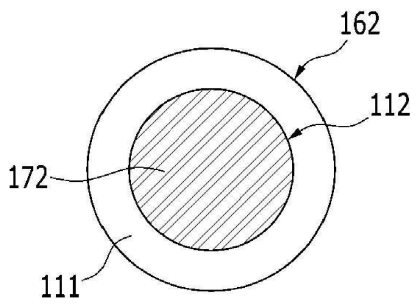
- [0178] 110: 기관 111: 버퍼층
- 121: 게이트선 124: 상부 전극
- 144: 절연층 152: 반도체층
- 153: 소스 영역 154: 채널 영역
- 155: 드레인 영역 160: 층간 절연층
- 112, 113, 115, 116, 162, 163, 165, 166: 접촉 구멍
- 180: 보호막 191: 화소 전극

도면

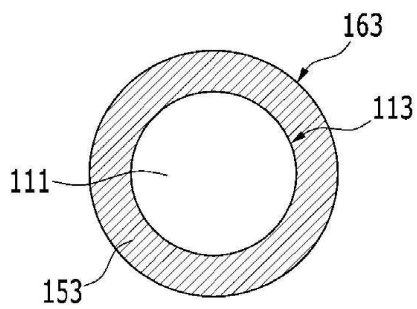
도면1



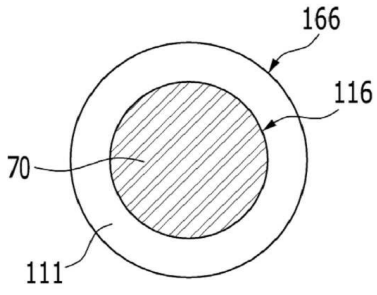
도면2



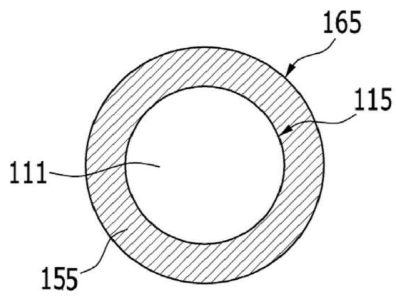
도면3



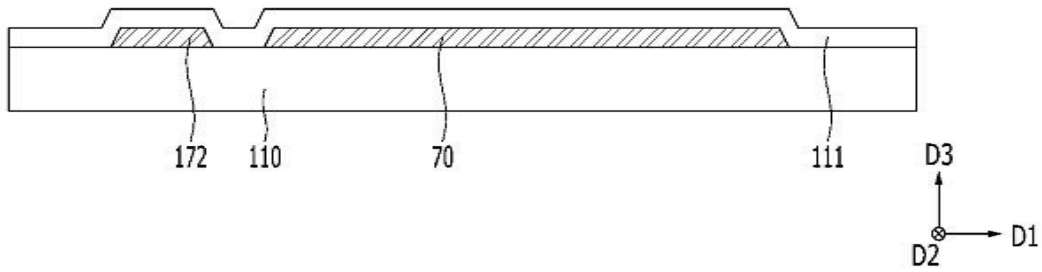
도면4



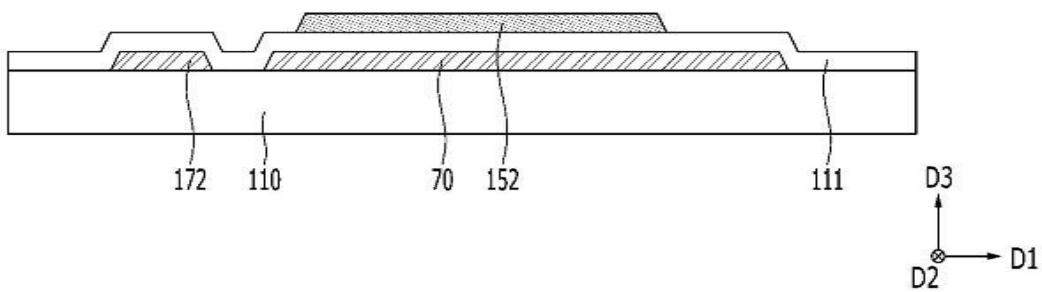
도면5



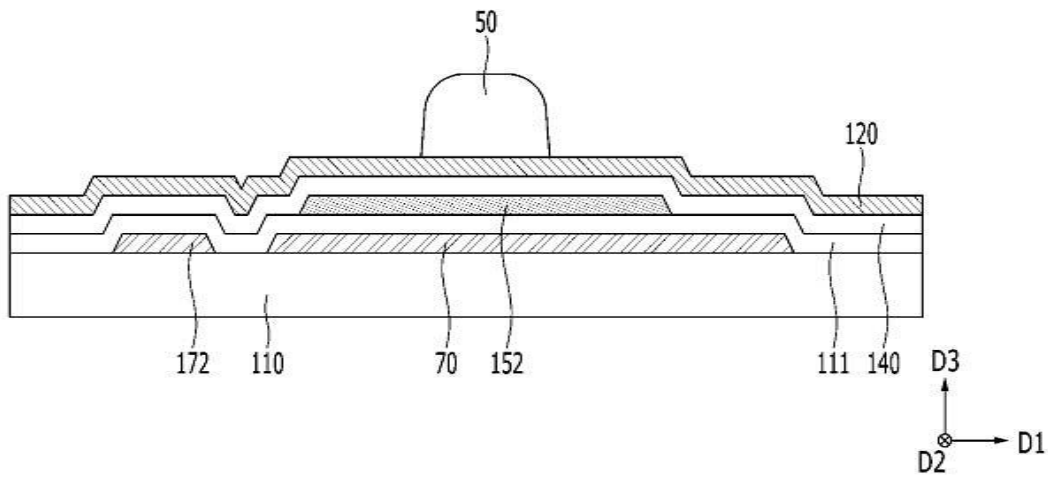
도면6



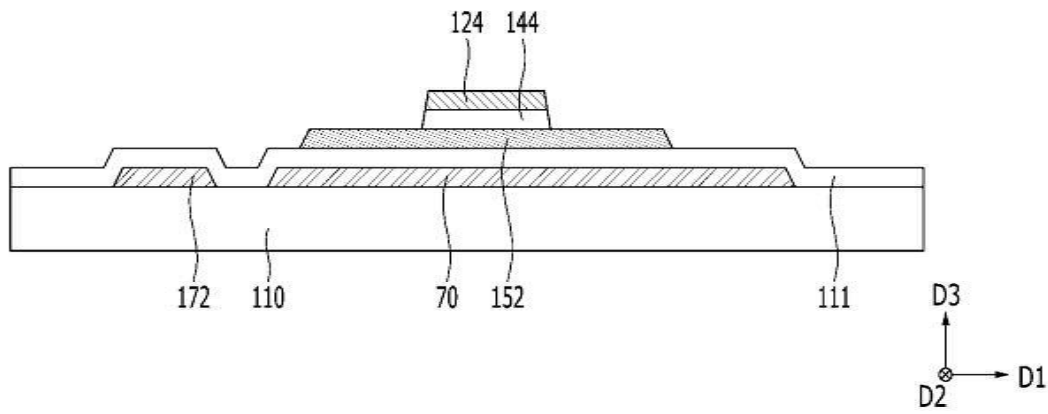
도면7



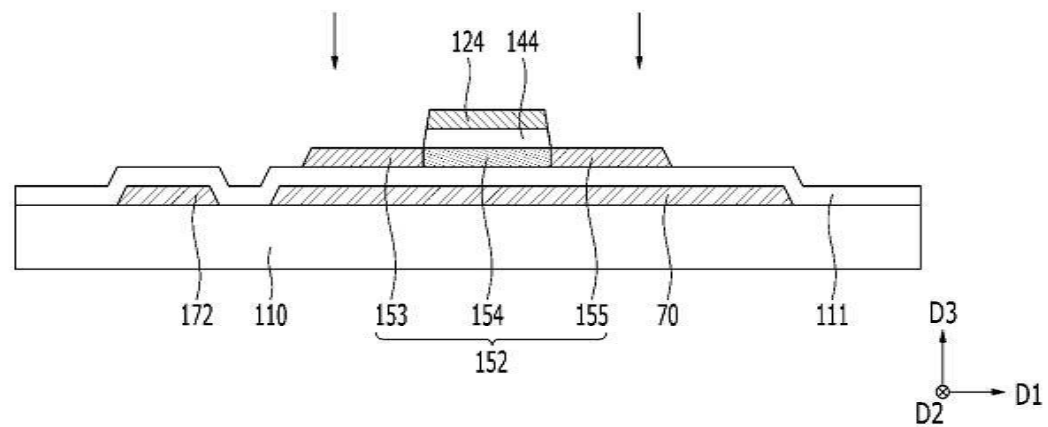
도면8



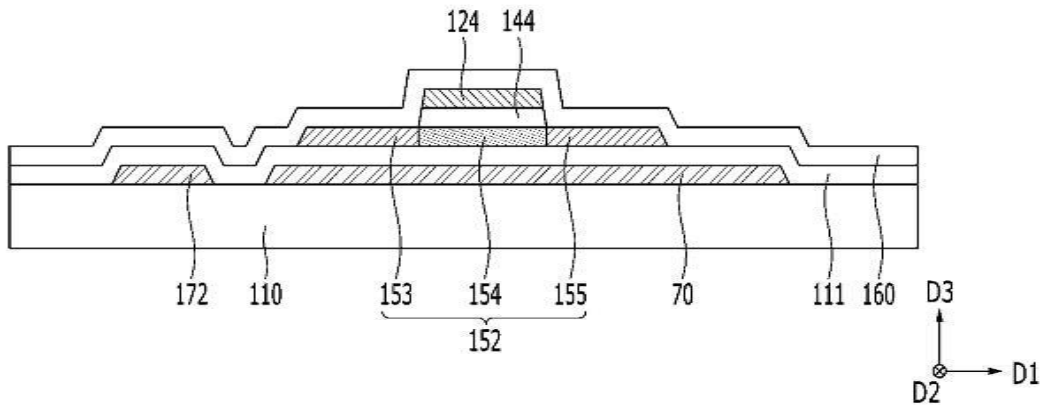
도면9



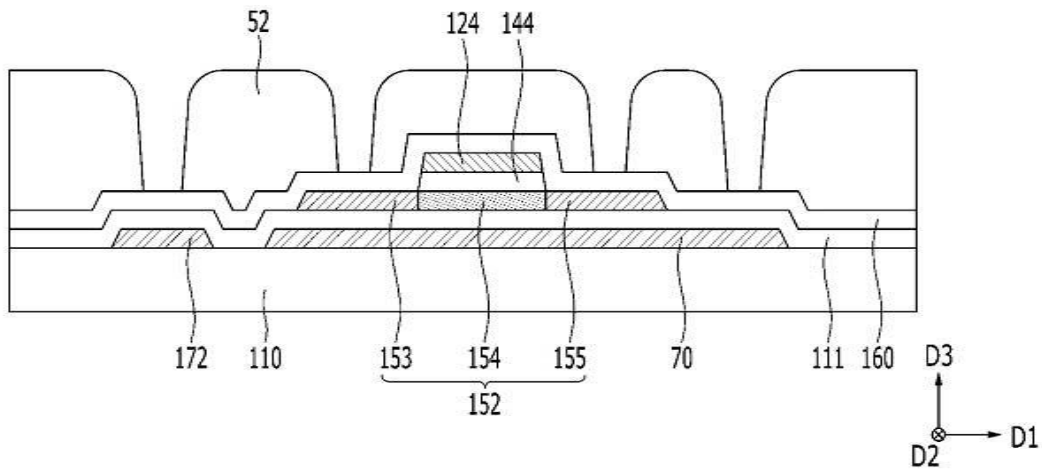
도면10



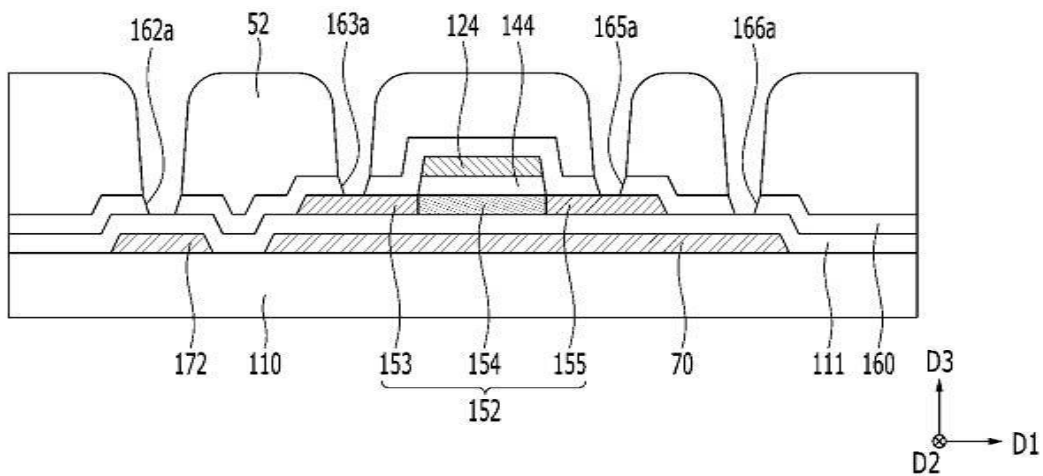
도면11



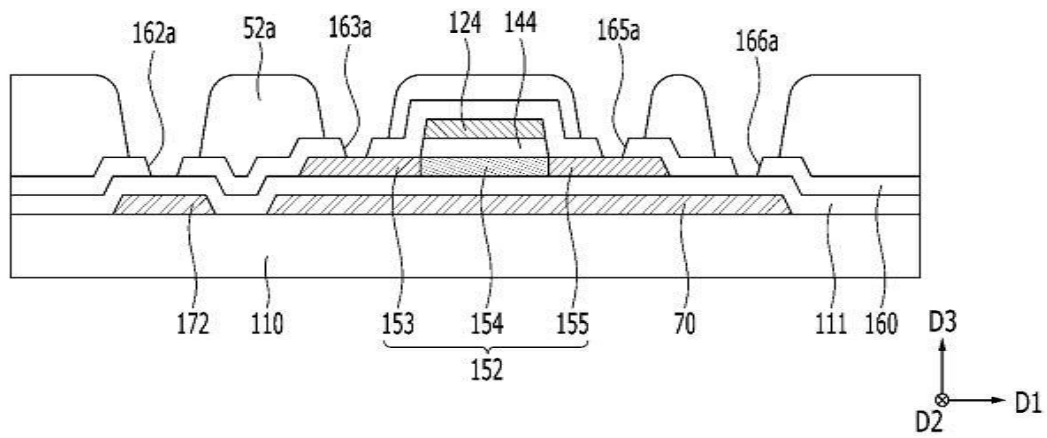
도면12



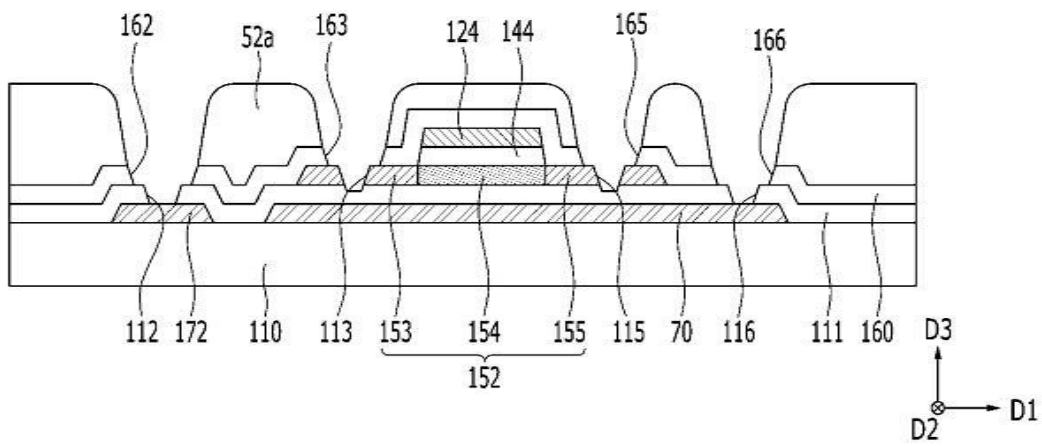
도면13



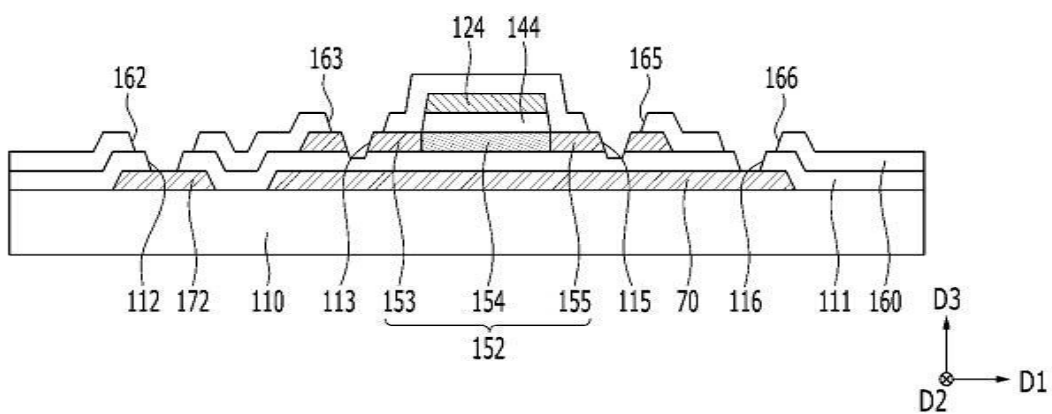
도면14



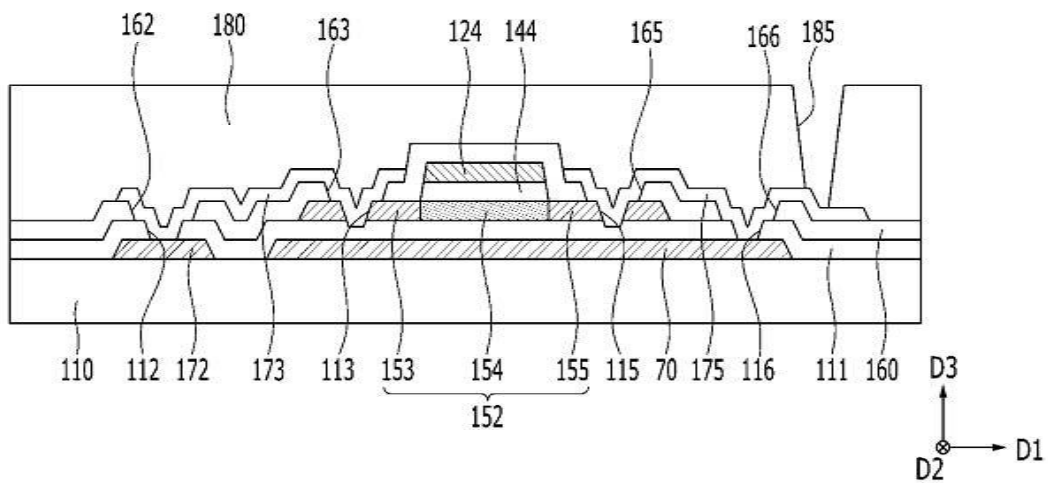
도면15



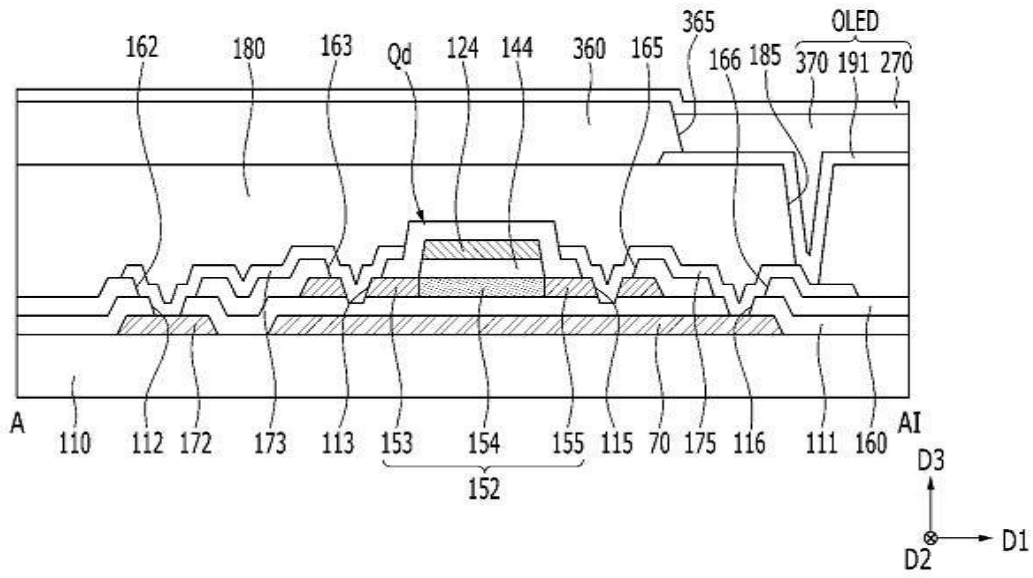
도면16



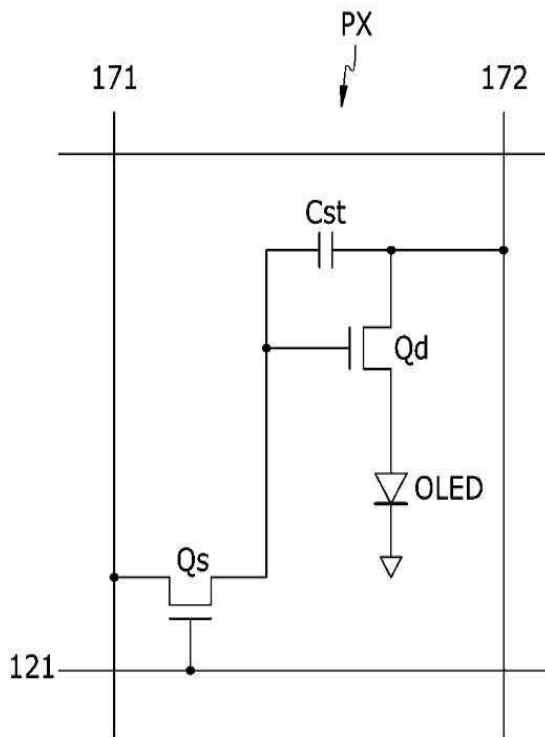
도면17



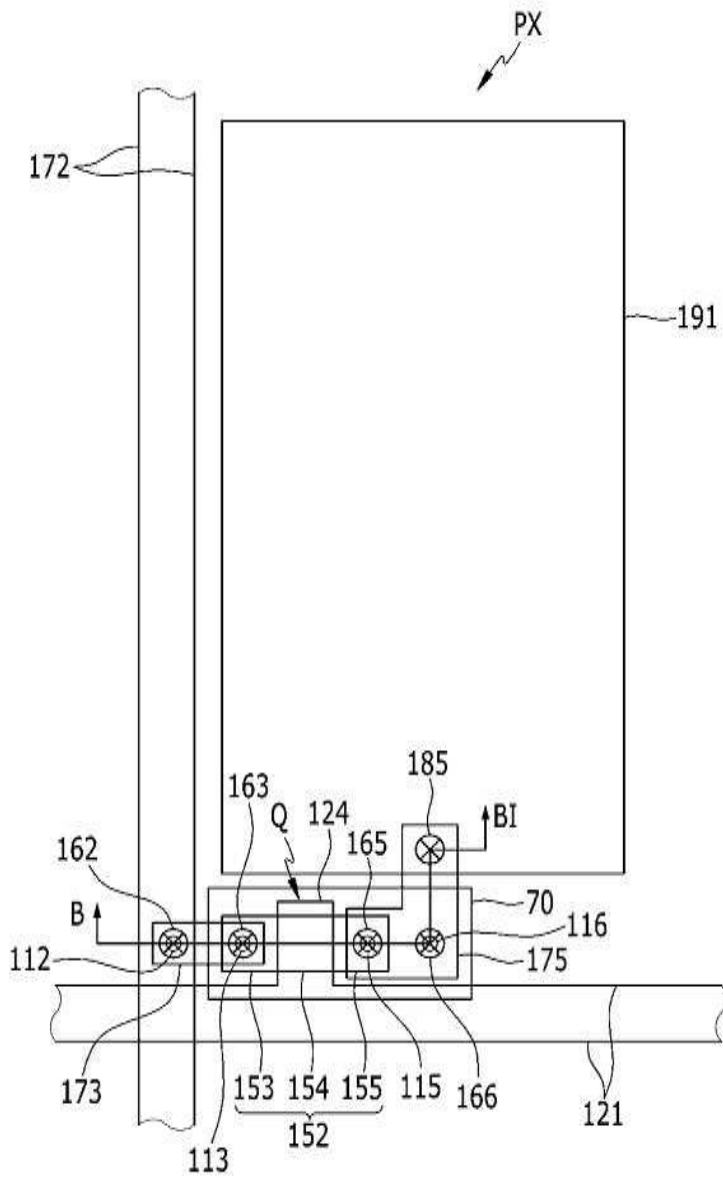
도면19



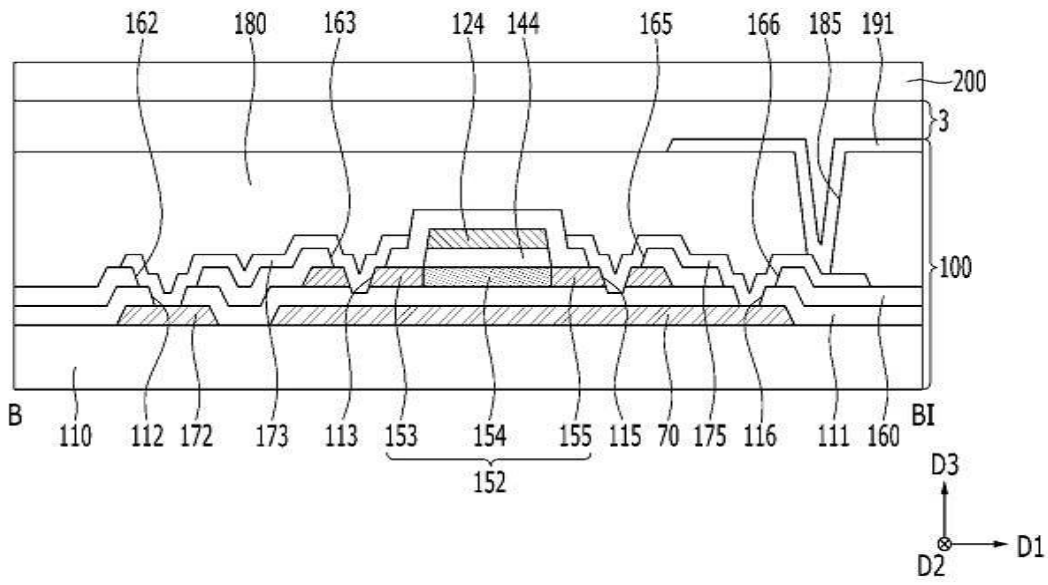
도면20



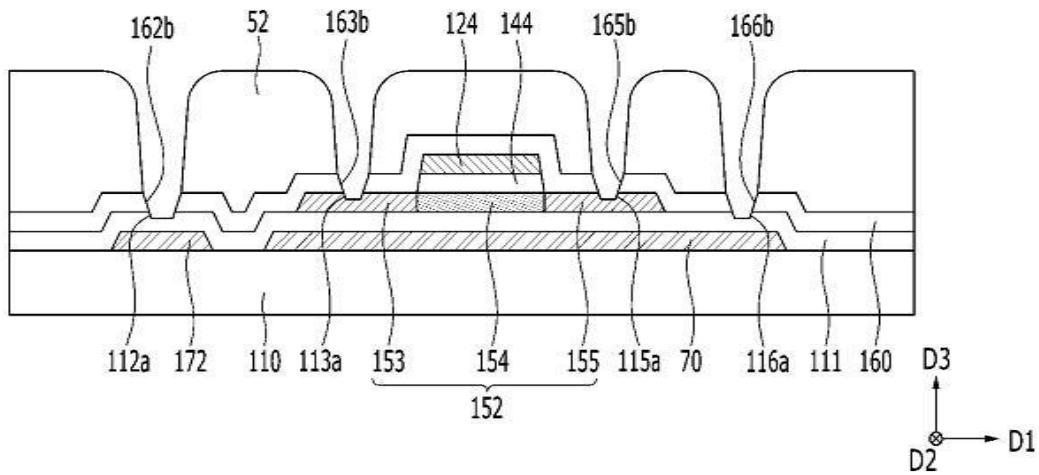
도면21



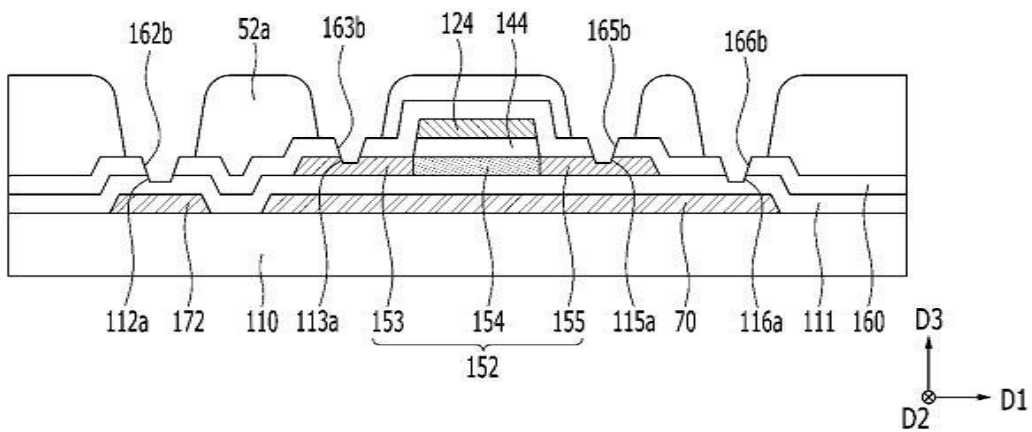
도면22



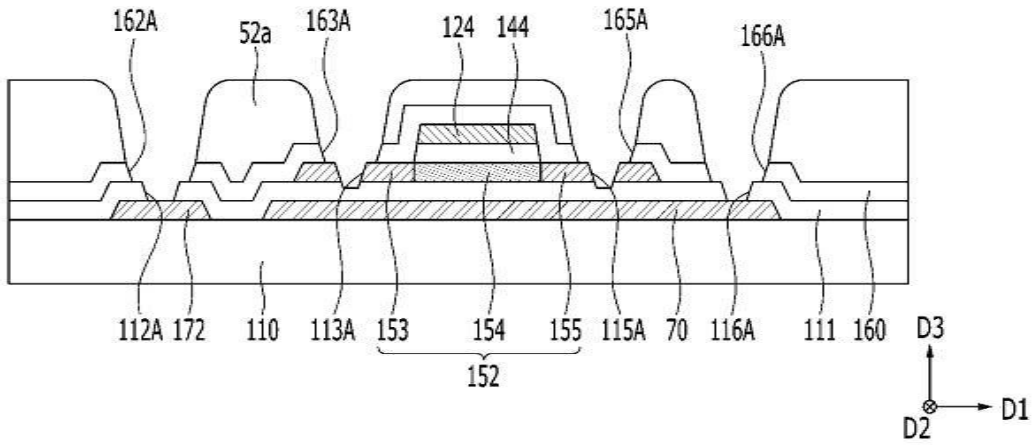
도면23



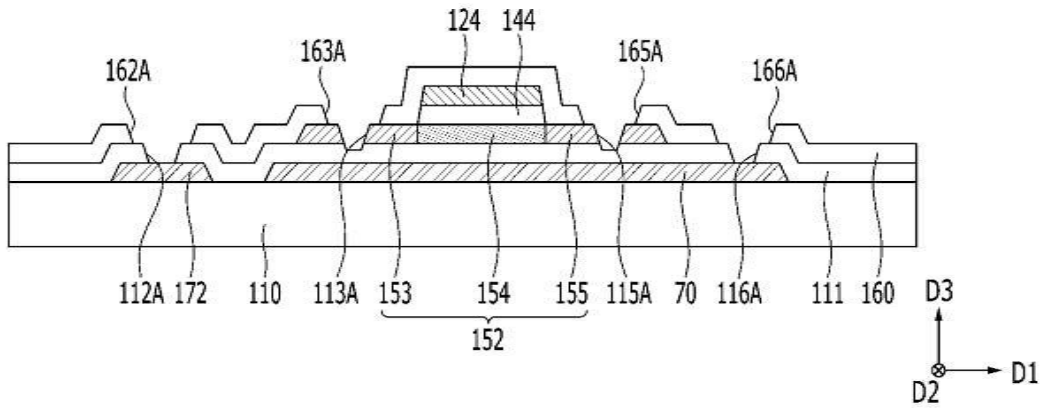
도면24



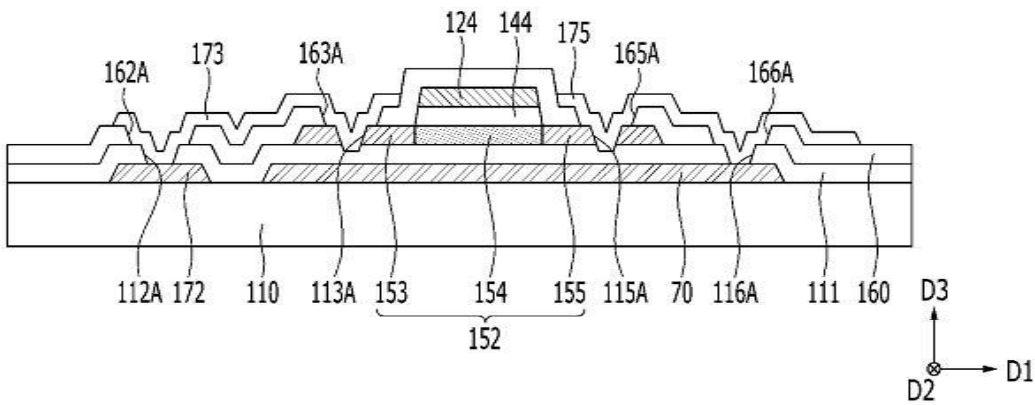
도면25



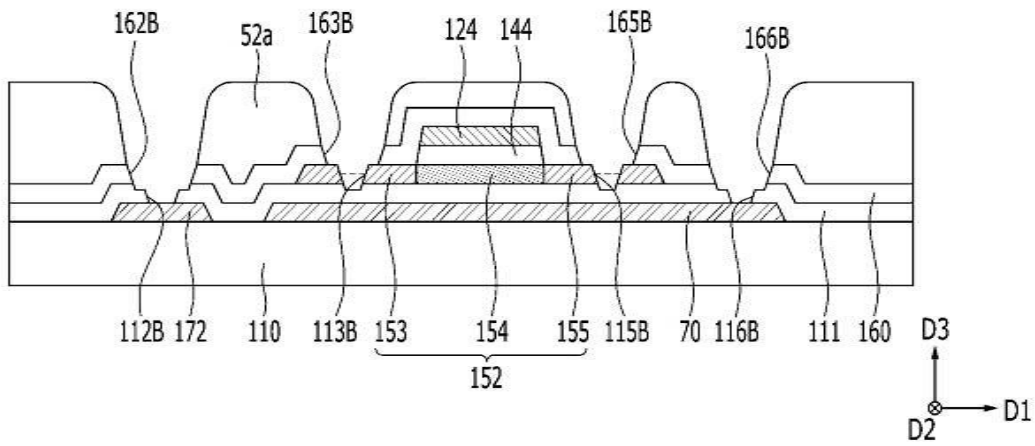
도면26



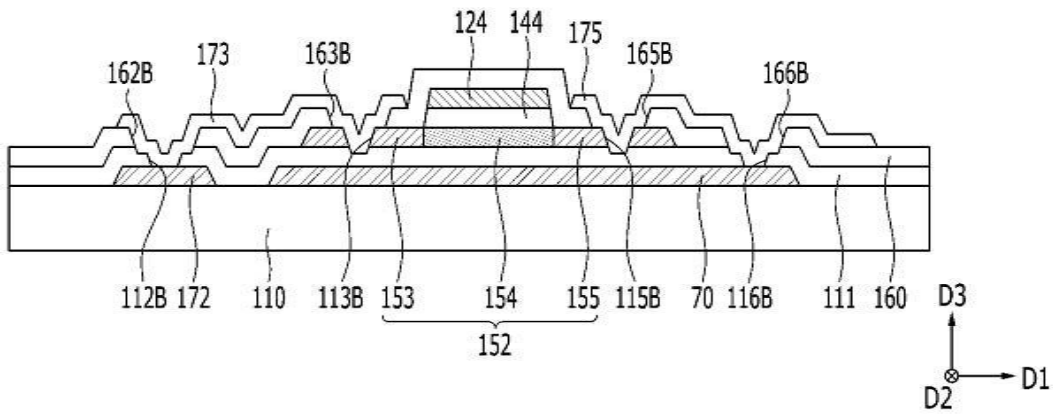
도면27



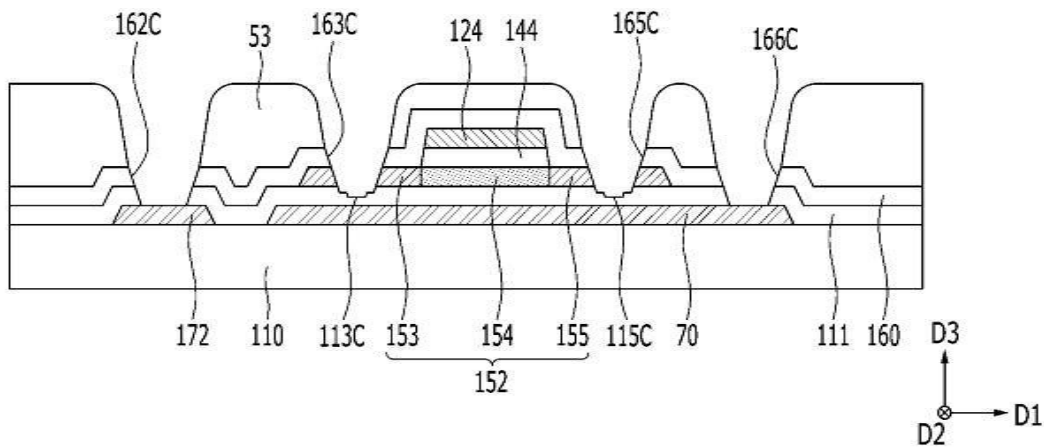
도면28



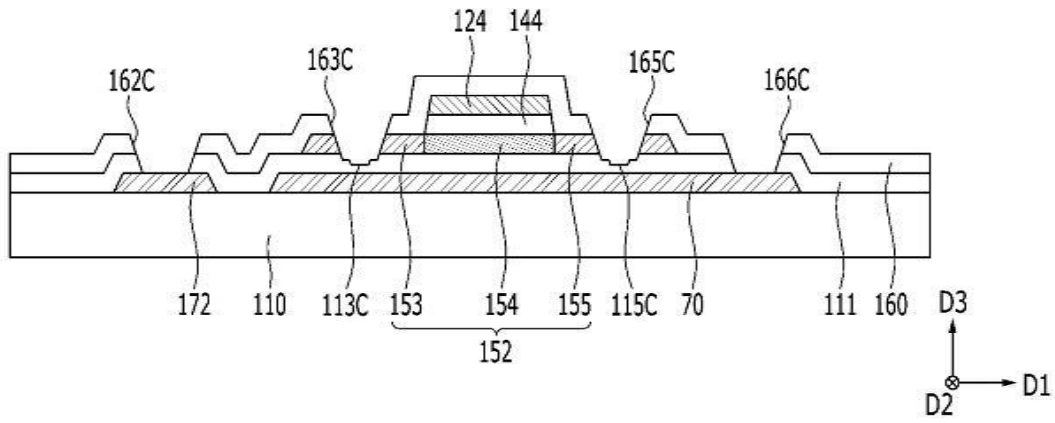
도면29



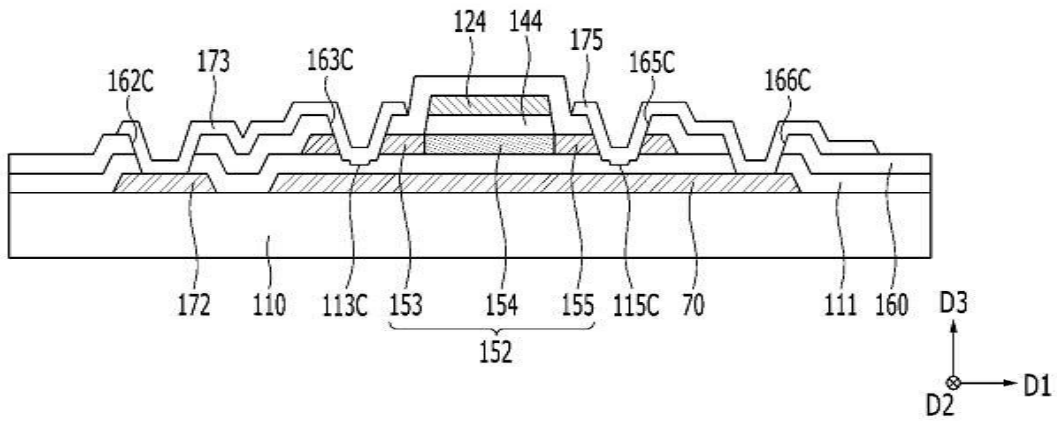
도면30



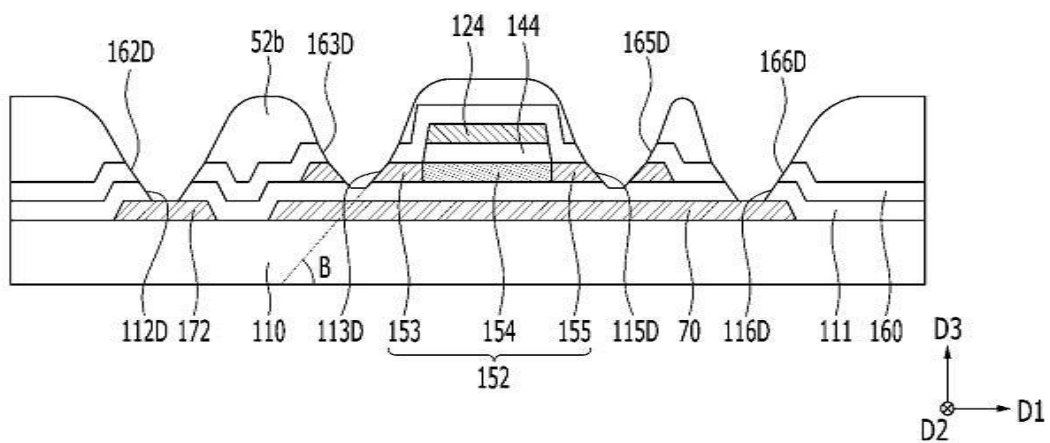
도면31



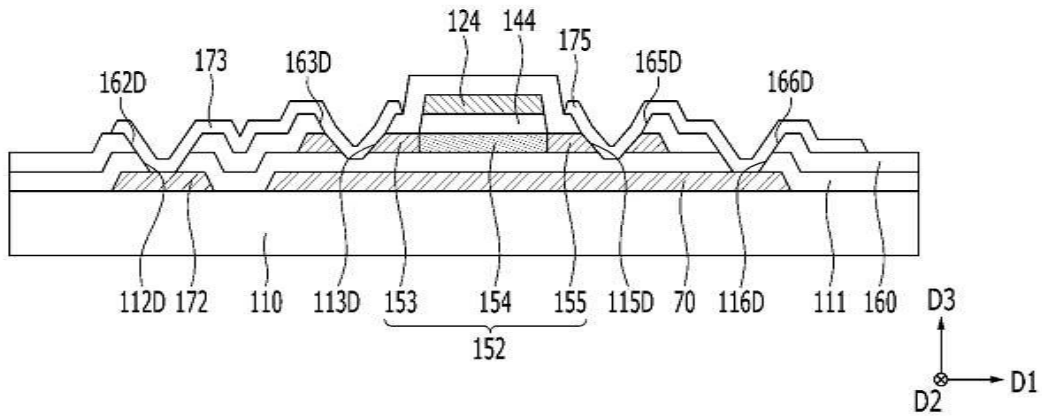
도면32



도면33



도면34



도면35

