



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I826246 B

(45)公告日：中華民國 112 (2023) 年 12 月 11 日

(21)申請案號：112103259

(22)申請日：中華民國 112 (2023) 年 01 月 31 日

(51)Int. Cl. : **H03M1/60 (2006.01)**

(30)優先權：2023/01/10 美國

18/152,747

(71)申請人：南亞科技股份有限公司 (中華民國) NANYA TECHNOLOGY CORPORATION  
(TW)

新北市泰山區南林路 98 號

(72)發明人：林恆 LIN, HENG (TW)

(74)代理人：葉璟宗；卓俊傑

(56)參考文獻：

TW 200935071A

US 2020/0310359A1

US 2021/0336624A1

WO 2021/028156A1

WO 2021/243451A1

審查人員：蘇齊賢

申請專利範圍項數：12 項 圖式數：4 共 23 頁

(54)名稱

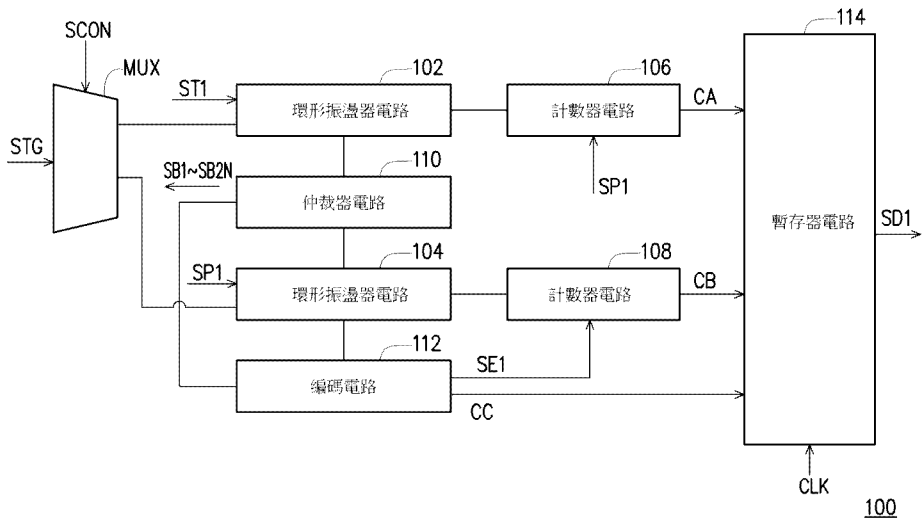
時間數位轉換裝置及其轉換方法

(57)摘要

一種時間數位轉換裝置及其轉換方法。計數第一環形振盪器電路的輸出信號而產生第一數位碼。計數第二環形振盪器電路的輸出信號而產生第二數位碼。依據第一環形振盪器電路的多個第一延遲級的其中一輸出以及第二環形振盪器電路的多個第二延遲級的其中一輸出相位重合的時間點產生對應的第三數位碼。

A time-to-digital converter apparatus and a converting method thereof are provided. Counting an output signal of a first ring oscillator circuit to generate a first code. Counting an output signal of a second ring oscillator circuit to generate a second code. Generating a corresponding third code according to a time point where one of outputs of a plurality of first delay stages of the first ring oscillator circuit and one of outputs of a plurality of second delay stages of the second ring oscillator circuit have phase coincidence.

指定代表圖：



【圖1】

- 符號簡單說明：
- 100:時間數位轉換裝置
  - 102、104:環形振盪器  
電路
  - 106、108:計數器電路
  - 110:仲裁器電路
  - 112:編碼電路
  - 114:暫存器電路
  - MUX:多工器
  - ST1:起始信號
  - SP1:停止信號
  - SD1:數位碼信號
  - STG:目標信號
  - SCON:選擇信號
  - CA、CB、CC:數位碼



I826246

## 【發明摘要】

【中文發明名稱】時間數位轉換裝置及其轉換方法

【英文發明名稱】TIME-TO-DIGITAL CONVERTER APPARATUS

AND CONVERTING METHOD THEREOF

【中文】一種時間數位轉換裝置及其轉換方法。計數第一環形振盪器電路的輸出信號而產生第一數位碼。計數第二環形振盪器電路的輸出信號而產生第二數位碼。依據第一環形振盪器電路的多個第一延遲級的其中一輸出以及第二環形振盪器電路的多個第二延遲級的其中一輸出相位重合的時間點產生對應的第三數位碼。

【英文】A time-to-digital converter apparatus and a converting method thereof are provided. Counting an output signal of a first ring oscillator circuit to generate a first code. Counting an output signal of a second ring oscillator circuit to generate a second code. Generating a corresponding third code according to a time point where one of outputs of a plurality of first delay stages of the first ring oscillator circuit and one of outputs of a plurality of second delay stages of the second ring oscillator circuit have phase coincidence.

【指定代表圖】圖1。

## 【代表圖之符號簡單說明】

100：時間數位轉換裝置

102、104：環形振盪器電路

106、108：計數器電路

110：仲裁器電路

112：編碼電路

114：暫存器電路

MUX：多工器

ST1：起始信號

SP1：停止信號

SD1：數位碼信號

STG：目標信號

SCON：選擇信號

CA、CB、CC：數位碼

## 【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】時間數位轉換裝置及其轉換方法

【英文發明名稱】TIME-TO-DIGITAL CONVERTER APPARATUS  
AND CONVERTING METHOD THEREOF

### 【技術領域】

【0001】 本發明是有關於一種轉換裝置，且特別是有關於一種時間數位轉換裝置及其轉換方法。

### 【先前技術】

【0002】 隨著積體電路的發展，將感測器所獲得的感測資訊轉換為數位碼的形式，可以實現更加廣泛的運用。其中，對於時間量測系統而言，時間數位轉換器可用於測量兩個事件之間的時間間隔並將此時間信息轉換為數位信號。

【0003】 在當今的許多應用中（例如雷達測距，飛行時間等），為滿足對於時間量測的精確度，對於時間數位轉換器的量測解析度要求日漸提高，因此如何提高時間數位轉換器的量測解析度為一重要的課題。

### 【發明內容】

【0004】 本發明提供一種時間數位轉換裝置及其轉換方法，可提供高解析度的時間量測。

【0005】 本發明的時間數位轉換裝置可將所接收到的起始信號及停止信號的時間差轉換成數位碼信號。時間數位轉換裝置包括第一環形振盪器電路、第一計數器電路、第二環形振盪器電路、第二計數器電路、仲裁器電路以及編碼電路。第一環形振盪器電路接收起始信號，第一環形振盪器電路包括  $N$  個第一延遲級，其中  $N$  為大於 1 的奇數。第一計數器電路耦接第一環形振盪器電路，計數第一環形振盪器電路的輸出信號而產生第一數位碼，依據停止信號停止計數第一環形振盪器電路的輸出信號。第二環形振盪器電路接收停止信號，第二環形振盪器電路包括  $N$  個第二延遲級。第二計數器電路耦接第二環形振盪器電路，計數第二環形振盪器電路的輸出信號而產生第二數位碼。仲裁器電路耦接第一環形振盪器電路與第二環形振盪器電路，依據各第一延遲級的輸出以及各第二延遲級的輸出產生多個仲裁信號，此些仲裁信號指示各第一延遲級的輸出以及各第二延遲級的輸出的轉態情形。編碼電路耦接仲裁器電路以及第二計數器電路，依據上述多個仲裁信號輸出計數停止信號以及第三數位碼，其中計數停止信號用以控制第二計數器電路停止計數，第三數位碼指示上述多個第一延遲級的其中一輸出與上述多個第二延遲級的其中一輸出相位重合的時間點。

【0006】 在本發明的一實施例中，上述的第一環形振盪器電路包括反及閘以及  $N-1$  個反向器，反及閘的一輸入端接收起始信號，反及閘的另一輸入端耦接第一環形振盪器電路的輸出端。 $N-1$  個反

向器串接於反及閘的輸出端與反及閘的另一輸入端之間，反及閘的輸出端以及各反向器的輸出端耦接仲裁器電路。

【0007】 在本發明的一實施例中，上述的第二環形振盪器電路包括反及閘以及  $N-1$  個反向器，反及閘的一輸入端接收停止信號，反及閘的另一輸入端耦接第二環形振盪器電路的輸出端。 $N-1$  個反向器串接於反及閘的輸出端與反及閘的另一輸入端之間，反及閘的輸出端以及各反向器的輸出端耦接仲裁器電路。

【0008】 在本發明的一實施例中，上述的各第一延遲級具有第一延遲時間，各第二延遲級具有第二延遲時間，第一延遲時間大於第二延遲時間。

【0009】 在本發明的一實施例中，上述的編碼電路於仲裁信號指示  $N$  個第一延遲級的其中一輸出與  $N$  個第二延遲級的其中一輸出相位重合時輸出計數停止信號以及第三數位碼。

【0010】 在本發明的一實施例中，上述的仲裁器電路包括多個仲裁器，各仲裁器耦接於對應的第一延遲級的輸出端與對應的第二延遲級的輸出端之間，依據對應的第一延遲級與對應的第二延遲級的輸出產生對應的仲裁信號。

【0011】 在本發明的一實施例中，上述的時間數位轉換裝置還包括暫存器電路，其耦接第一計數器電路、第二計數器電路以及編碼電路，依據時脈信號輸出第一數位碼、第二數位碼以及第三數位碼做為數位碼信號。

【0012】 本發明還提供一種時間數位轉換裝置的轉換方法，時間

數位轉換裝置可將接收到的起始信號及停止信號的時間差轉換成數位碼信號，時間數位轉換裝置包括接收起始信號的第一環形振盪器電路以及接收停止信號第二環形振盪器電路，其中第一環形振盪器電路包括  $N$  個第一延遲級，第二環形振盪器電路包括  $N$  個第二延遲級， $N$  為大於 1 的奇數。該時間數位轉換裝置的轉換方法包括下列步驟。計數第一環形振盪器電路的輸出信號而產生第一數位碼。依據停止信號停止計數第一環形振盪器電路的輸出信號。計數第二環形振盪器電路的輸出信號而產生第二數位碼。依據各第一延遲級的輸出以及各第二延遲級的輸出產生多個仲裁信號，此些仲裁信號指示各第一延遲級的輸出以及各第二延遲級的輸出的轉態情形。依據上述多個仲裁信號輸出計數停止信號以及第三數位碼，其中計數停止信號用以指示停止計數第二環形振盪器電路的輸出信號，第三數位碼指示上述多個第一延遲級的其中一輸出與上述多個第二延遲級的其中一輸出相位重合的時間點。依據第一數位碼、第二數位碼以及第三數位碼產生數位碼信號。

**【0013】** 在本發明的一實施例中，上述的第一環形振盪器電路包括反及閘以及  $N-1$  個反向器。反及閘的一輸入端接收起始信號，反及閘的另一輸入端耦接第一環形振盪器電路的輸出端。 $N-1$  個反向器串接於反及閘的輸出端與反及閘的另一輸入端之間。

**【0014】** 在本發明的一實施例中，上述的第二環形振盪器電路包括反及閘以及  $N-1$  個反向器。反及閘的一輸入端接收起始信號，反及閘的另一輸入端耦接第二環形振盪器電路的輸出端。 $N-1$  個反

向器串接於反及閘的輸出端與反及閘的另一輸入端之間。

【0015】 在本發明的一實施例中，上述的各第一延遲級具有第一延遲時間，各第二延遲級具有第二延遲時間，第一延遲時間大於第二延遲時間。

【0016】 在本發明的一實施例中，上述的時間數位轉換裝置的轉換方法包括，於上述多個仲裁信號指示  $N$  個第一延遲級的其中一輸出與  $N$  個第二延遲級的其中一輸出相位重合時輸出計數停止信號以及第三數位碼。

【0017】 基于上述，本發明的實施例計數第一環形振盪器電路的輸出信號而產生第一數位碼，計數第二環形振盪器電路的輸出信號而產生第二數位碼，依據第一環形振盪器電路的多個第一延遲級的其中一輸出以及第二環形振盪器電路的多個第二延遲級的其中一輸出相位重合的時間點產生對應的第三數位碼，如此將起始信號及停止信號的時間差轉換為包括第一數位碼、第二數位碼以及第三數位碼的數位碼信號可提供高解析度的時間量測。

【0018】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

## 【圖式簡單說明】

### 【0019】

圖 1 是依照本發明實施例的一種時間數位轉換裝置的示意圖。

圖 2 是依照本發明另一實施例的時間數位轉換裝置的示意圖。

圖 3 是依照本發明實施例的一種時間數位轉換裝置的操作時序示意圖。

圖 4 是依照本發明實施例的一種時間數位轉換裝置的轉換方法的流程圖。

### 【實施方式】

【0020】 圖 1 是依照本發明的實施例的一種時間數位轉換裝置的示意圖，請參照圖 1。時間數位轉換裝置 100 可將接收到的起始信號 ST1 及停止信號 SP1 的時間差轉換成數位碼信號 SD1。時間數位轉換裝置 100 可包括環形振盪器電路 102、104、計數器電路 106、108、仲裁器電路 110、編碼電路 112 以及暫存器電路 114，仲裁器電路 110 耦接環形振盪器電路 102、104 以及編碼電路 112，計數器電路 106 耦接環形振盪器電路 102 以及暫存器電路 114，計數器電路 108 耦接環形振盪器電路 104、編碼電路 112 以及暫存器電路 114，暫存器電路 114 還耦接編碼電路 112。起始信號 ST1 及停止信號 SP1 可例如來自多工器 MUX，多工器 MUX 的輸入端用以接收做為量測對象的目標信號 STG，多工器 MUX 可受控於選擇信號 SCON 而將目標信號 STG 做為起始信號 ST1 傳送至環形振盪器電路 102，或將目標信號 STG 做為停止信號 SP1 傳送至環形振盪器電路 104。

【0021】 進一步來說，環形振盪器電路 102、104 分別可包括 N 個延遲級(未繪示)，其中 N 為大於 1 的奇數。計數器電路 106、108 分別用以計數環形振盪器電路 102、104 輸出的時脈信號，而分別產生第一數位碼 CA 以及第二數位碼 CB，其中計數器電路 106 還接收停止信號 SP1，當計數器電路 106 接收到多工器 MUX 提供的停止信號 SP1 時，計數器電路 106 停止計數。仲裁器電路 110 可依據環形振盪器電路 102 中各延遲級的輸出以及環形振盪器電路 104 中各延遲級的輸出產生多個仲裁信號 SB1~SB2N，仲裁信號 SB1~SB2N 分別指示對應的延遲級的輸出的轉態情形，例如由低電壓準位轉為高電壓準位，或由高電壓準位轉為低電壓準位。編碼電路 112 可依據仲裁信號 SB1~SB2N 輸出計數停止信號 SE1 以及第三數位碼 CC，進一步來說，編碼電路 112 可依據仲裁信號 SB1~SB2N 判斷環形振盪器電路 102 中多個延遲級的其中一輸出以及環形振盪器電路 104 中多個延遲級的其中一輸出相位重合的時間點，並輸出對應的第三數位碼 CC，以及輸出計數停止信號 SE1 給計數器電路 108，以控制計數器電路 108 停止計數。

【0022】 暫存器電路 114 可暫存計數器電路 106 與 108 停止計數時對應的第一數位碼 CA 與第二數位碼 CB，以及編碼電路 112 提供的第三數位碼 CC，並受控於時脈信號輸出第一數位碼 CA、第二數位碼 CB 以及第三數位碼 CC 做為數位碼信號 SD1 給後級的處理電路，處理電路可依據第一數位碼 CA、第二數位碼 CB 以及第三數位碼 CC 計算起始信號 ST1 及停止信號 SP1 的時間差。舉例

來說，起始信號 ST1 及停止信號 SP1 的時間差 T 可以下列式子計算。

$$T=2*N*t1*CA+(2*N*CB+CC)*(t1-t2) \quad (1)$$

【0023】 其中 N 為環形振盪器電路 102、104 所分別包括的延遲級數量，t1 為環形振盪器電路 102 的延遲級的延遲時間，t2 為環形振盪器電路 104 的延遲級的延遲時間，其中延遲時間 t1 大於延遲時間 t2。值得注意的是，由於製程因素影響，延遲時間 t1 與 t2 的值可能與預期有落差，在不確定延遲時間 t1 與 t2 的實際值的情形下可將兩組已知的不同時間差的起始信號 ST1 及停止信號 SP1 提供給環形振盪器電路 102 以及 104，從而得到對應的兩組第一數位碼 CA、第二數位碼 CB 以及第三數位碼 CC，並將兩組已知的第一數位碼 CA、第二數位碼 CB 以及第三數位碼 CC 代入式(1)中，以獲得準確的延遲時間 t1 與 t2。在獲得準確的延遲時間 t1 與 t2 後，便可準確地量測時間差未知的起始信號 ST1 及停止信號 SP1。

【0024】 圖 2 是依照本發明另一實施例的時間數位轉換裝置的示意圖，請參照圖 2。在圖 2 實施例中，時間數位轉換裝置 100 的環形振盪器電路 102 與 104 分別包括 5 個延遲級，其中環形振盪器電路 102 的 5 個延遲級由反及閘 AND1 以及反向器 A1~A4 來實施，而環形振盪器電路 104 的 5 個延遲級由反及閘 AND2 以及反向器 B1~B4 來實施。在環形振盪器電路 102 中，反及閘 AND1 以及反向器 A1~A4 依序地串接於環形振盪器電路 102 的輸入端與輸出端之間，其中反及閘 AND1 的一輸入端用以接收起始信號 ST1，

另一輸入端則耦接至反向器 A4 的輸出端。類似地，在環形振盪器電路 104 中，反及閘 AND2 以及反向器 B1~B4 依序地串接於環形振盪器電路 104 的輸入端與輸出端之間，其中反及閘 AND2 的一輸入端用以接收停止信號 SP1，另一輸入端則耦接至反向器 B4 的輸出端。

【0025】此外，在圖 2 實施例中，仲裁器電路 110 包括 5 個仲裁器 AB1~AB5，各個仲裁器 AB1~AB5 可分別包括偵測上升緣與下降緣的兩個相位偵測器。仲裁器 AB1~AB5 耦接對應的延遲級的輸出端，例如仲裁器 AB1 耦接反及閘 AND1 以及 AND2 的輸出端，仲裁器 AB2 耦接反向器 A1 以及 B1 的輸出端，以此類推。此外，仲裁器 AB1~AB5 還耦接編碼電路 112，仲裁器 AB1~AB5 可依據輸出信號 S0~S4 以及輸出信號 F0~F4 判斷反及閘 AND1、AND2 的輸出、反向器 A1~A4 以及 B1~B4 的輸出的轉態情形，並輸出對應的仲裁信號。舉例來說，如圖 3 所示，仲裁器 AB1~AB5 可於輸出信號 F0~F4 的轉態時間點①~⑩分別輸出仲裁信號 SB1~SB10。例如，當輸出信號 F0 由高電壓準位轉為低電壓準位時，若輸出信號 F0 與對應的輸出信號 S0 相位未重合，則仲裁器 AB1 可輸出位元值為“0”的仲裁信號 SB1，反之則輸出位元值為“1”的仲裁信號 SB1。又例如，當輸出信號 F1 由低電壓準位轉為高電壓準位時，若輸出信號 F1 與對應的輸出信號 S1 相位未重合，則仲裁器 AB2 可輸出位元值為“0”的仲裁信號 SB2，反之則輸出位元值為“1”的仲裁信號 SB2。依此類推，仲裁器 AB3~AB5 也可於輸出信號 F2~F4

轉態時，分別判斷輸出信號 S2~S4 與對應的輸出信號 F2~F4 是否出現相位重合的情形，並依據判斷結果輸出仲裁信號。編碼電路 112 可依據仲裁器 AB1~AB5 輸出的仲裁信號 SB1~SB10 的位元值產生第三數位碼 CC，並產生計數停止信號 SE1 給計數器電路 108。

【0026】舉例來說，在圖 3 實施例中，環形振盪器電路 104 的反向器 B1 的輸出信號 F1 在轉態時間點②由低電壓準位轉為高電壓準位時，環形振盪器電路 102 的反向器 A1 的輸出信號 S1 也同時由低電壓準位轉為高電壓準位，也就是說，輸出信號 F1 與輸出信號 S1 出現相位重合的情形。此時，對應轉態時間點②的仲裁信號 SB2 的位元值為“1”，其餘仲裁信號 SB1、SB3~SB10 的位元值為“0”，編碼電路 112 可依據仲裁器 AB1~AB5 輸出的仲裁信號 SB1~SB10 產生第三數位碼 CC，並產生計數停止信號 SE1 給計數器電路 108。暫存器電路 114 可受控於時脈信號 CLK 輸出計數器電路 106 停止計數時對應的第一數位碼 CA、計數器電路 108 停止計數時對應的第二數位碼 CB 以及第三數位碼 CC 做為數位碼信號 SD1 給後級的處理電路，處理電路可依據上述式(1)計算起始信號 ST1 及停止信號 SP1 的時間差。起始信號 ST1 及停止信號 SP1 的時間差可如圖 3 所示，等於時間  $T1+T2$ ，其中時間  $T1$  等於  $2*5*t1*CA$ ，時間  $T2$  則等於  $(2*5*CB+CC)*(t1-t2)$ ，在本實施例中，第一數位碼 CA 的數值為 5(計數器電路 106 計數到輸出信號 S4 的 5 個上升緣)，第二數位碼 CB 的數值為 1(計數器電路 108 計數到輸出信號 F4 的 1 個上升緣)，第三數位碼 CC 的數值為 2(輸出信號

相位重合的位置在轉態時間點②)。

【0027】 圖 4 是依照本發明實施例的一種時間數位轉換裝置的轉換方法的流程圖，時間數位轉換裝置可將接收的起始信號及停止信號的時間差轉換成數位碼信號，時間數位轉換裝置包括接收起始信號的第一環形振盪器電路以及接收停止信號第二環形振盪器電路，其中第一環形振盪器電路包括  $N$  個第一延遲級，第二環形振盪器電路包括  $N$  個第二延遲級， $N$  為大於 1 的奇數，其中各第一延遲級具有第一延遲時間，各第二延遲級具有第二延遲時間，第一延遲時間大於第二延遲時間。進一步來說，第一環形振盪器電路可包括做為  $N$  個第一延遲級的反及閘與  $N-1$  個反向器，反及閘的第一輸入端接收起始信號，反及閘的第二輸入端耦接第一環形振盪器電路的輸出端， $N-1$  個反向器串接於反及閘的輸出端與反及閘的第二輸入端之間。此外，第二環形振盪器電路也可包括做為  $N$  個第二延遲級的反及閘與  $N-1$  個反向器，反及閘的第一輸入端接收停止信號，反及閘的第二輸入端耦接第二環形振盪器電路的輸出端， $N-1$  個反向器串接於反及閘的輸出端與反及閘的第二輸入端之間。

【0028】 由上述實施例可知，時間數位轉換裝置的轉換方法可至少包括下列步驟。首先，計數第一環形振盪器電路的輸出信號而產生第一數位碼(步驟 S402)，接著，依據停止信號停止計數第一環形振盪器電路的輸出信號(步驟 S404)，並計數第二環形振盪器電路的輸出信號而產生第二數位碼(步驟 S406)。然後，依據各第

一延遲級的輸出以及各第二延遲級的輸出產生多個仲裁信號(步驟 S408)，其中此些仲裁信號指示各第一延遲級的輸出以及各第二延遲級的輸出的轉態情形，例如指示是否同時出現上升緣或同時出現下降緣。之後，依據多個仲裁信號輸出一計數停止信號以及一第三數位碼(步驟 S410)，例如於此些仲裁信號指示 N 個第一延遲級的其中一輸出與 N 個第二延遲級的其中一輸出相位重合時輸出計數停止信號以及第三數位碼，其中計數停止信號用以指示停止計數第二環形振盪器電路的輸出信號，第三數位碼指示第一延遲級的其中一輸出與第二延遲級的其中一輸出相位重合的時間點。最後，依據第一數位碼、第二數位碼以及第三數位碼產生數位碼信號(步驟 S412)，利用數位碼信號中的第一數位碼、第二數位碼、第三數位碼與上述式(1)可精確地計算出起始信號及停止信號的時間差。

【0029】 綜上所述，本發明的實施例計數第一環形振盪器電路的輸出信號而產生第一數位碼，計數第二環形振盪器電路的輸出信號而產生第二數位碼，依據第一環形振盪器電路的多個第一延遲級的其中一輸出以及第二環形振盪器電路的多個第二延遲級的其中一輸出相位重合的時間點產生對應的第三數位碼，如此將起始信號及停止信號的時間差轉換為包括第一數位碼、第二數位碼以及第三數位碼的數位碼信號可提供高解析度的時間量測。

## 【符號說明】

## 【0030】

100：時間數位轉換裝置

102、104：環形振盪器電路

106、108：計數器電路

110：仲裁器電路

112：編碼電路

114：暫存器電路

MUX：多工器

ST1：起始信號

SP1：停止信號

SD1：數位碼信號

STG：目標信號

SCON：選擇信號

CA、CB、CC：數位碼

SE1：計數停止信號

AND1、AND2：反及閘

A1~A4、B1~B4：反向器

AB1~AB5：仲裁器

S0~S4、F0~F4：輸出信號

①~⑩：轉態時間點

SB1~SBN：仲裁信號

S402~S412：時間數位轉換裝置的轉換方法的步驟

## 【發明申請專利範圍】

【請求項1】一種時間數位轉換裝置，將所接收到的一起始信號及一停止信號的時間差轉換成數位碼信號，該時間數位轉換裝置包括：

一第一環形振盪器電路，接收該起始信號，該第一環形振盪器電路包括N個第一延遲級，其中N為大於1的奇數；

一第一計數器電路，耦接該第一環形振盪器電路，計數該第一環形振盪器電路的輸出信號而產生一第一數位碼，依據該停止信號停止計數該第一環形振盪器電路的輸出信號；

一第二環形振盪器電路，接收該停止信號，該第二環形振盪器電路包括N個第二延遲級；

一第二計數器電路，耦接該第二環形振盪器電路，計數該第二環形振盪器電路的輸出信號而產生一第二數位碼；

一仲裁器電路，耦接該第一環形振盪器電路與該第二環形振盪器電路，依據各第一延遲級的輸出以及各第二延遲級的輸出產生多個仲裁信號，該些仲裁信號指示各第一延遲級的輸出以及各第二延遲級的輸出的轉態情形；以及

一編碼電路，耦接該仲裁器電路以及該第二計數器電路，依據該些仲裁信號輸出一計數停止信號以及一第三數位碼，其中該計數停止信號用以控制該第二計數器電路停止計數，該第三數位碼指示該些第一延遲級的其中一輸出與該些第二延遲級的其中一輸出相位重合的時間點。

【請求項2】如請求項1所述的時間數位轉換裝置，其中該第一環形振盪器電路包括：

一反及閘，其一輸入端接收該起始信號，該反及閘的另一輸入端耦接該第一環形振盪器電路的輸出端；以及

N-1個反向器，串接於該反及閘的輸出端與該反及閘的該另一輸入端之間，該反及閘的輸出端以及各反向器的輸出端耦接該仲裁器電路。

【請求項3】如請求項1所述的時間數位轉換裝置，其中該第二環形振盪器電路包括：

一反及閘，其一輸入端接收該停止信號，該反及閘的另一輸入端耦接該第二環形振盪器電路的輸出端；以及

N-1個反向器，串接於該反及閘的輸出端與該反及閘的該另一輸入端之間，該反及閘的輸出端以及各反向器的輸出端耦接該仲裁器電路。

【請求項4】如請求項1所述的時間數位轉換裝置，其中各第一延遲級具有一第一延遲時間，各第二延遲級具有一第二延遲時間，該第一延遲時間大於該第二延遲時間。

【請求項5】如請求項1所述的時間數位轉換裝置，其中該編碼電路於該些仲裁信號指示該N個第一延遲級的其中一輸出與該N個第二延遲級的其中一輸出相位重合時輸出該計數停止信號以及該第三數位碼。

【請求項6】如請求項1所述的時間數位轉換裝置，其中該仲裁器電路包括多個仲裁器，各仲裁器耦接於對應的第一延遲級的輸出

端與對應的第二延遲級的輸出端之間，依據對應的第一延遲級與對應的第二延遲級的輸出產生對應的仲裁信號。

【請求項7】如請求項1所述的時間數位轉換裝置，還包括：

一暫存器電路，耦接該第一計數器電路、該第二計數器電路以及該編碼電路，依據一時脈信號輸出該第一數位碼、該第二數位碼以及該第三數位碼做為該數位碼信號。

【請求項8】一種時間數位轉換裝置的轉換方法，該時間數位轉換裝置將所接收到的一起始信號及一停止信號的時間差轉換成數位碼信號，該時間數位轉換裝置包括接收該起始信號的一第一環形振盪器電路以及接收該停止信號一第二環形振盪器電路，其中該第一環形振盪器電路包括N個第一延遲級，該第二環形振盪器電路包括N個第二延遲級，N為大於1的奇數，該時間數位轉換裝置的轉換方法包括：

計數該第一環形振盪器電路的輸出信號而產生一第一數位碼；  
依據該停止信號停止計數該第一環形振盪器電路的輸出信號；  
計數該第二環形振盪器電路的輸出信號而產生一第二數位碼；  
依據各第一延遲級的輸出以及各第二延遲級的輸出產生多個仲裁信號，該些仲裁信號指示各第一延遲級的輸出以及各第二延遲級的輸出的轉態情形；

依據該些仲裁信號輸出一計數停止信號以及一第三數位碼，其中該計數停止信號用以指示停止計數該第二環形振盪器電路的輸出信號，該第三數位碼指示該些第一延遲級的其中一輸出與該些第二延遲級的其中一輸出相位重合的時間點；以及

依據該第一數位碼、該第二數位碼以及該第三數位碼產生一數位碼信號。

【請求項9】如請求項8所述的時間數位轉換裝置的轉換方法，其中該第一環形振盪器電路包括：

一反及閘，其一輸入端接收該起始信號，該反及閘的另一輸入端耦接該第一環形振盪器電路的輸出端；以及

N-1個反向器，串接於該反及閘的輸出端與該反及閘的該另一輸入端之間。

【請求項10】如請求項8所述的時間數位轉換裝置的轉換方法，其中該第二環形振盪器電路包括：

一反及閘，其一輸入端接收該停止信號，該反及閘的另一輸入端耦接該第二環形振盪器電路的輸出端；以及

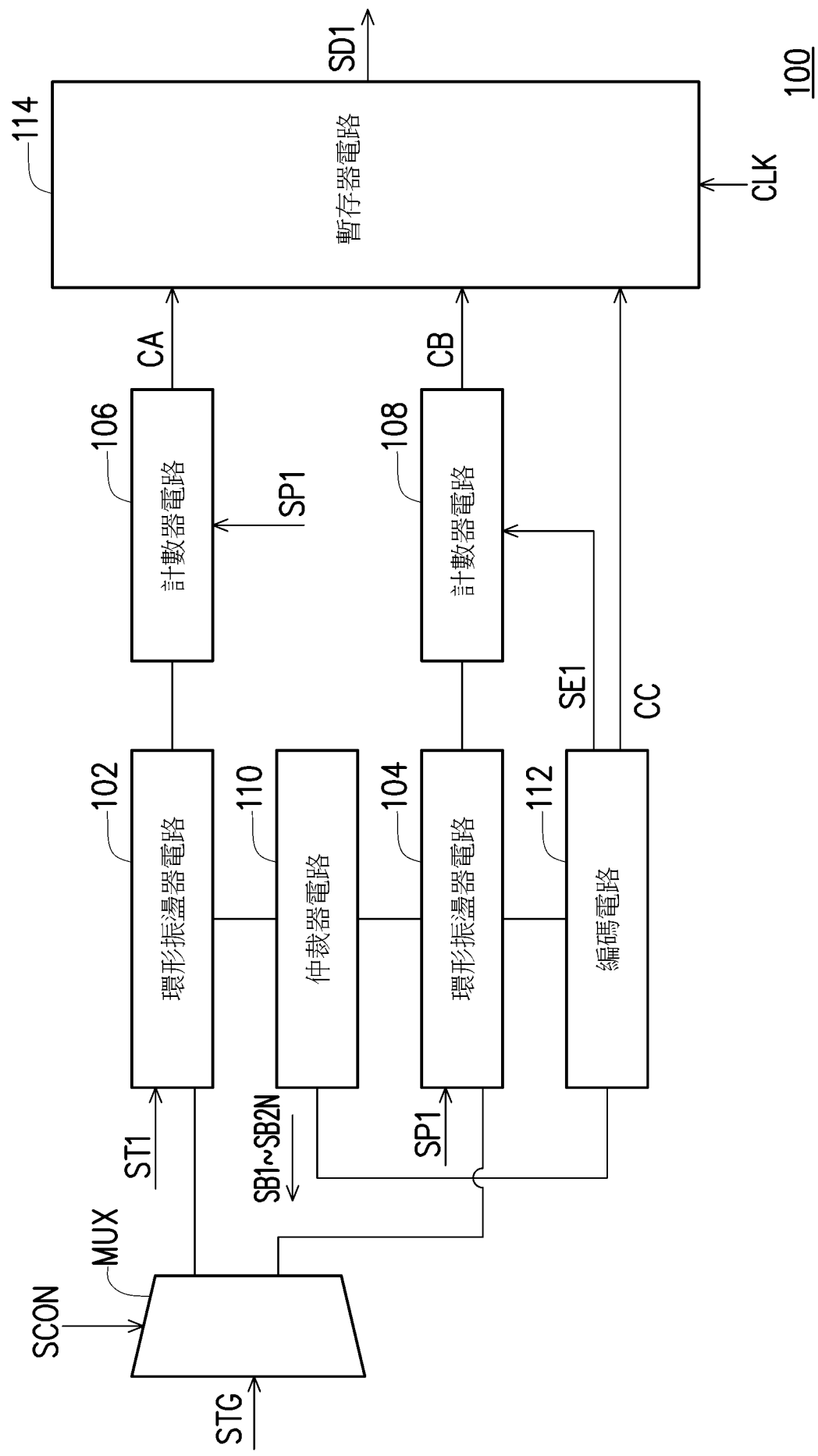
N-1個反向器，串接於該反及閘的輸出端與該反及閘的該另一輸入端之間。

【請求項11】如請求項8所述的時間數位轉換裝置的轉換方法，其中各第一延遲級具有一第一延遲時間，各第二延遲級具有一第二延遲時間，該第一延遲時間大於該第二延遲時間。

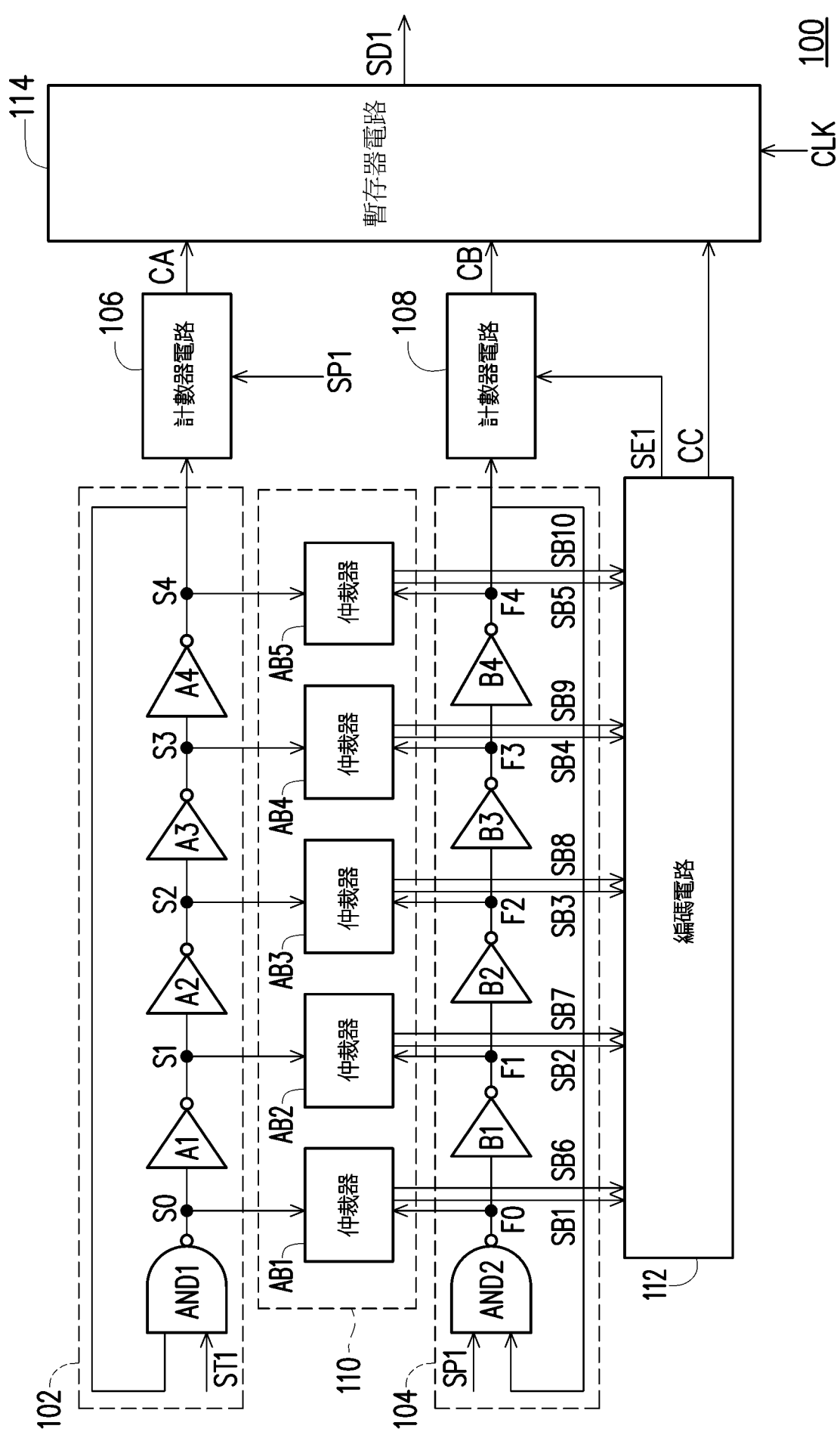
【請求項12】如請求項8所述的時間數位轉換裝置的轉換方法，包括：

於該些仲裁信號指示該N個第一延遲級的其中一輸出與該N個第二延遲級的其中一輸出相位重合時輸出該計數停止信號以及該第三數位碼。

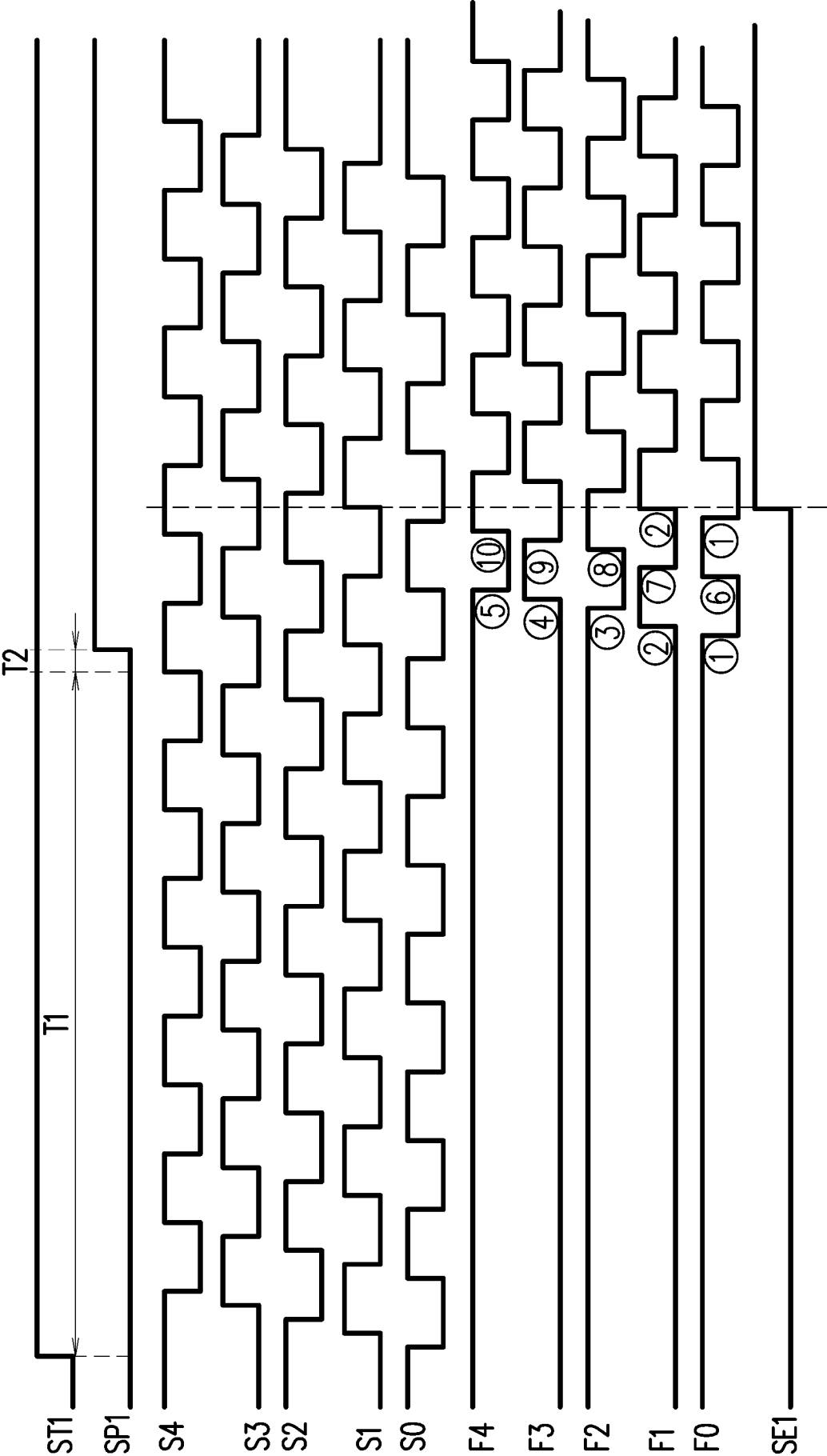
【發明圖式】



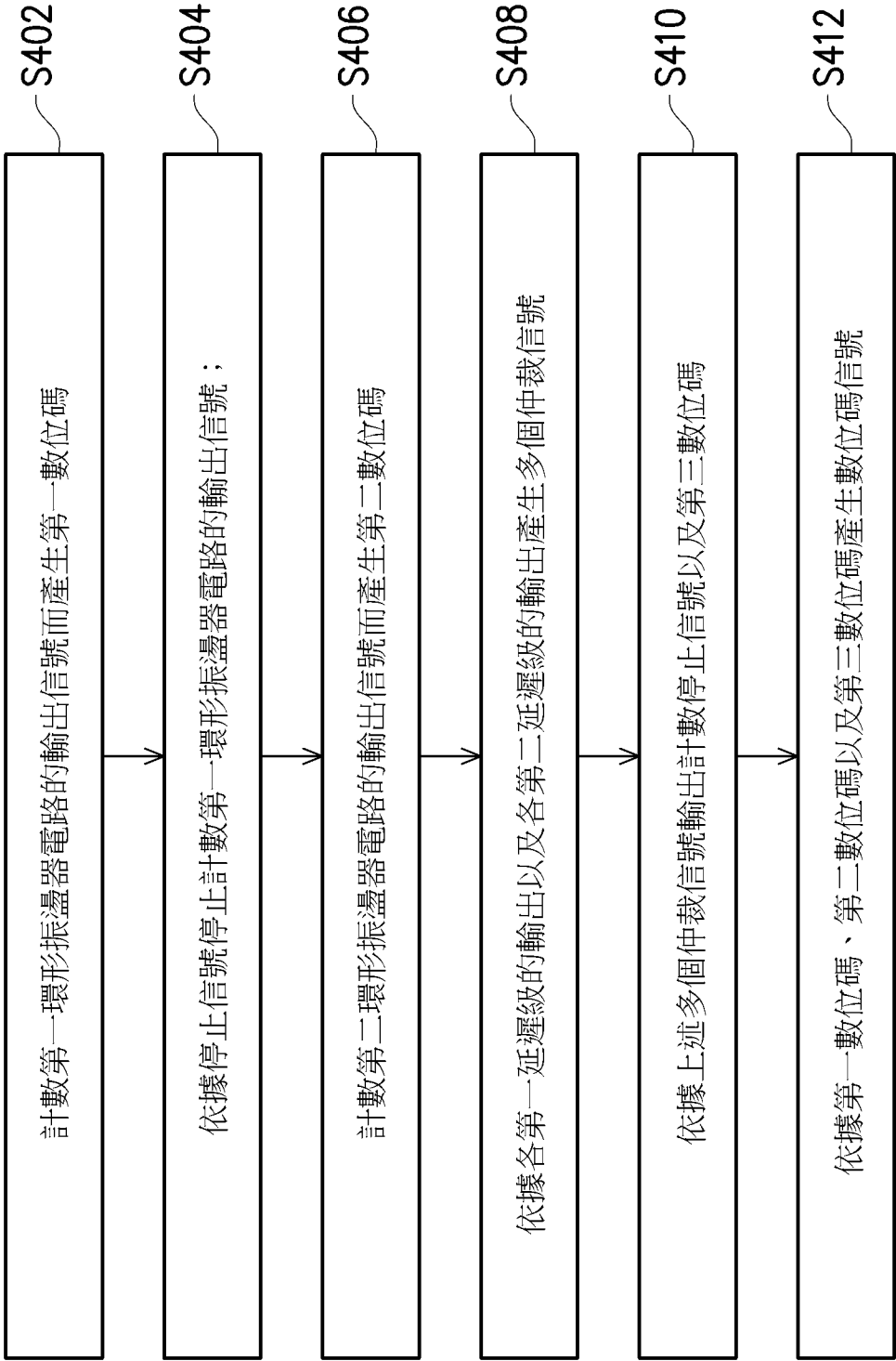
【圖1】



【圖2】



【圖3】



【圖4】