(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3564893号
(P3564893)
(45)発行日　平成16年9月15日(2004.9.15)　(24)登録日　平成16年6月18日(2004.6.18)

(51)Int.Cl.[7]	F I	
H03K 17/16	H03K 17/16	H
H02M 1/08	H02M 1/08	A

請求項の数 1　(全 7 頁)

(21)出願番号　特願平8-231545
(22)出願日　平成8年9月2日(1996.9.2)
(65)公開番号　特開平10-75164
(43)公開日　平成10年3月17日(1998.3.17)
審査請求日　平成14年2月19日(2002.2.19)

(73)特許権者　000006105
株式会社明電舎
東京都品川区大崎２丁目１番１７号
(74)代理人　100096459
弁理士　橋本　剛
(72)発明者　市原　昌文
東京都品川区大崎２丁目１番１７号　株式会社明電舎内

審査官　江嶋　清仁

(56)参考文献　特開平０８－２０４５２６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 17/16
H02M 1/08

(54)【発明の名称】電圧制御形スイッチング素子のゲート駆動回路

(57)【特許請求の範囲】
【請求項１】
電圧制御形スイッチング素子と、
この電圧制御形スイッチング素子のゲートに、一端が接続される第１、第２のゲート抵抗と、
この第１、第２のゲート抵抗の他端に別々に接続され前記第１、第２のゲート抵抗を介して、電圧制御形スイッチング素子のゲートにターンオン用ゲート電圧またはターンオフ用ゲート電圧を別々に与える第１、第２の制御用スイッチング回路とを備え、
前記電圧制御形スイッチング素子をターンオンからターンオフさせる際に、第１の制御用スイッチング回路を負側電源に切り換えて、前記スイッチング素子のゲートに第１、第２のゲート信号の和電圧を与え、還流ダイオードにより、サージ電圧が減少する程度の時間が経過してから第２の制御用スイッチング回路を負側電源に切り換えてターンオフ動作させることを特徴とする電圧制御形スイッチング素子のゲート駆動回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、電圧制御形スイッチング素子（ＩＧＢＴなど）のゲート駆動回路、特にターンオフ時のサージ電圧低減技術に関する。
【０００２】
【従来の技術】

電圧制御形スイッチング素子、例えばＩＧＢＴを用いた電力変換器では、ＩＧＢＴがターンオフする際に生じるサージ電圧が使用電圧の低下やスイッチング損失の増加などの問題を引き起こす。このサージ電圧を低減するためには、以下のような対策が取り入れられている。

【０００３】

（Ａ）スイッチング速度を遅くする.

ＩＧＢＴのゲート周辺回路を図６に、これに相当するゲート駆動回路を図７にそれぞれ示す。図中、１はＩＧＢＴ、２はゲート抵抗、３はターンオン・ターンオフ制御用スイッチング回路、４はターンオン用電源（電圧＋Ｖｃｃ）、５はターンオフ用電源（電圧－Ｖｅｅ）である。ターンオン・ターンオフ制御用スイッチング回路３は、例えばトランジスタＴＲ１，ＴＲ２を直列に接続し、その接続点にゲート抵抗２を、ベースに＋Ｖｃｃ接続ドライバＤＲ１，－Ｖｅｅ接続ドライバＤＲ２をそれぞれ接続した構成としている。

【０００４】

ＩＧＢＴ１のゲートは、駆動するドライバ側から見ると、コンデンサ（図６に示すゲート容量Ｃｇ）として見える。これは、ゲート抵抗２の抵抗値Ｒｇを小さくすればコンデンサの電荷を素早く出し入れできることを意味する。従って、抵抗値Ｒｇを小さくすればスイッチング速度が速くなり、逆に、抵抗値Ｒｇを大きくすればスイッチング速度は遅くなる。即ち、ゲート抵抗２によってＩＧＢＴ１のスイッチング速度を調整することができる。

【０００５】

サージ電圧はＩＧＢＴ１が急速にターンオフすることによって生じる電圧であるため、ゲート抵抗２を大きくすること、つまりスイッチング速度を遅くすることにより、サージ電圧を低く抑えられる。

【０００６】

（Ｂ）サージ電圧を吸収するスナバ回路を付加する.

サージ電圧はＩＧＢＴ主回路の浮遊インダクタンス（配線インダクタンス）に蓄えられたエネルギーによって発生する。よって、ＩＧＢＴにスナバ回路を付設し、このスナバ回路にエネルギーを吸収すれば、サージ電圧を低く抑えることができる。図８、図９に代表的なスナバ回路を示す。

【０００７】

図８のスナバ回路２１は抵抗ＲｓとコンデンサＣｓを直列に接続した構成、図９のスナバ回路２２は過渡的な等価抵抗を小さくするために抵抗Ｒｓ´と並列にダイオードＤｓを接続した構成であり、ＩＧＢＴ１に並列に接続している。

【０００８】

【発明が解決しようとする課題】

上記の対策には次のような問題点がある。

【０００９】

（Ａ）の問題点

スイッチング速度を遅くすると、サージ電圧は低下するが、スイッチングに要する時間が長くなる。スイッチング時間の増加は、スイッチング素子（ＩＧＢＴ１）のターンオフ損失の増加につながるため、素子の冷却に問題が移行するが、素子の冷却は特性上肝要であり、むやみにスイッチング速度を遅くすることはできない。

【００１０】

（Ｂ）の問題点

スナバ回路２１（または２２）を付設した場合は、回路構成が複雑になり、部品点数、工数の増加につながる。また、最近のＩＧＢＴのスイッチング速度はかなり高速であるため、図８（図９）に示すスナバ回路２１（２２）自体の持つ配線インダクタンスＬｄを無視すること（スナバ回路の配線長を短くするのには限界がある）ができず、スナバ回路の効果には限界がある。特に、ＩＧＢＴの場合は十分な効果が期待できない。

【００１１】

本発明は上記事情に鑑みてなされたもので、ゲート信号供給回路を多重化することにより

、簡単な回路構成で、小損失、低サージ電圧でターンオフできる電圧制御形スイッチング素子のゲート駆動回路を提供することを目的とする。

【００１２】

また本発明は、ゲート信号供給回路の２重化の代わりにターンオフ初期専用回路を追設することにより、比較的簡単な回路構成で、小損失、低サージ電圧でターンオフできる電圧制御形スイッチング素子のゲート駆動回路を提供することを目的とする。

【００１３】

【課題を解決するための手段】

本発明は、電圧制御形スイッチング素子と、
この電圧制御形スイッチング素子のゲートに、一端が接続される第１、第２のゲート抵抗と、
この第１、第２のゲート抵抗の他端に別々に接続され前記第１、第２のゲート抵抗を介して、電圧制御形スイッチング素子のゲートにターンオン用ゲート電圧またはターンオフ用ゲート電圧を別々に与える第１、第２の制御用スイッチング回路とを備え、
前記電圧制御形スイッチング素子をターンオンからターンオフさせる際に、第１の制御用スイッチング回路を負側電源に切り換えて、前記スイッチング素子のゲートに第１、第２のゲート信号の和電圧を与え、還流ダイオードにより、サージ電圧が減少する程度の時間が経過してから第２の制御用スイッチング回路を負側電源に切り換えてターンオフ動作させることを特徴とする。

【００１４】

また本発明は、ターンオン用ゲート電圧とターンオフ用ゲート電圧をスイッチング回路及びゲート抵抗を介して電圧制御形スイッチング素子のゲートに選択的に供給する電圧制御形スイッチング素子のゲート駆動回路において、スイッチング回路の共通端子とＧｎｄレベルの間に放電路を有するターンオフ初期専用回路を設け、ターンオフに際しては、まずターンオフ初期専用回路のみを動作させ、所定時間後にスイッチング回路のターンオフ動作及びターンオフ初期専用回路のオフ動作を行うようにしたことを特徴とする。

【００１５】

【発明の実施の形態】

図１に本発明の一実施形態となる電圧制御形スイッチング素子のゲート駆動回路を示す。図中、１はＩＧＢＴ、２－１及び２－２はゲート抵抗、３－１及び３－２はターンオン・ターンオフ制御用スイッチング回路であり、ＩＧＢＴ１のゲート信号供給回路を２回路としている。

【００１６】

次に、動作について述べる。ＩＧＢＴ１をターンオフさせる場合には、まず、一方のゲート信号供給回路、例えば制御用スイッチング回路３－１側のみを動作させる。つまり、制御用スイッチング回路３－１を負側電源に切り換える。この状態では、他方のゲート信号供給回路（制御用スイッチング回路３－２側）はターンオン状態のままであり、電源電圧を±Ｖｇ、ゲート抵抗の値をＲｇとすると、電圧状態は図２（ａ）に示すようになる。これをＩＧＢＴ１から見ると、図２（ｂ）に示す回路と等価になる。即ち、ＩＧＢＴ１のゲートにＲｇ／２の抵抗を介して０（Ｖ）が加わる。

【００１７】

このため、ＩＧＢＴ１のゲートの初期の電荷減少速度は、従来の回路で（図７参照）で、ゲート抵抗の値Ｒｇを大きめに設定することによってサージ電圧を低減している場合と同等（電圧半分、抵抗半分）となる。従って、サージ電圧も同等の電圧が生じる。そして、ある程度時間が経過してから（還流ダイオードなどがターンオンしてサージ電圧が減少してから）他方の制御用スイッチング回路３－２もターンオフ駆動の動作をする。両ゲート信号供給回路でターンオフ駆動をするようになると、電荷減少速度は速くなり、スイッチング速度は図７の場合よりも高速になる。これにより、ゲート抵抗の値Ｒｇを大きめに設定している場合と同等のサージ電圧でスイッチング速度を高速化できる。

【００１８】

なお、上記実施形態ではゲート信号供給回路を２回路（２重）としたが、３回路以上に多重化することもできる。その場合、回路数やゲート抵抗の値を適宜選定すれば、きめ細かいターンオフ時のゲート電荷減少速度調節が可能となり、より効果的な（低スイッチング損失、低サージ電圧の）スイッチング動作が期待できる。

【００１９】

図３に本発明の他の実施形態となる電圧制御形スイッチング素子のゲート駆動回路を示す。図中、１はＩＧＢＴ、２はゲート抵抗、３はターンオン・ターンオフ制御用スイッチング回路、４はターンオン用電源（電圧＋Ｖｃｃ）、５はターンオフ用電源（電圧－Ｖｅｅ）である。ターンオン・ターンオフ制御用スイッチング回路３は、例えばトランジスタＴＲ１，ＴＲ２を直列に接続し、その接続点にゲート抵抗２を、ベースに＋Ｖｃｃ接続ドライバＤＲ１，－Ｖｅｅ接続ドライバＤＲ２をそれぞれ接続した構成としている。６はターンオフ初期専用回路で、Ｇｎｄ接続ドライバＤＲ３と、この出力でオン、オフするトランジスタＴＲ３により構成し、トランジスタＴＲ３のコレクタをゲート抵抗２、エミッタをターンオン用電源４とターンオフ用電源５の接続点（Ｇｎｄ点）にそれぞれ接続している。

【００２０】

ターンオフ初期専用回路６は、ドライバ出力の電位がＧｎｄレベルより高い場合に電荷を引き抜く働きがある。また、Ｖｃｃ接続ドライバＤＲ１と－Ｖｅｅ接続ドライバＤＲ２は、独立して駆動できるようにしている（通常のドライバでは、互いに反転動作するようになっている）。

【００２１】

次に、動作について述べる。ターンオン時にはターンオフ初期専用回路６は駆動せず、通常のゲートドライバと同じようにＶｃｃ接続ドライバＤＲ１の部分で同じように駆動する。このため、ターンオン時の特性は通常のドライバと同等である。

【００２２】

ターンオフ時は、＋Ｖｃｃ接続ドライバＤＲ１の部分をオフにした後、ターンオフ初期専用回路６をオンにする。この状態では、図４に太線（矢印ａを併記）で示すようにＩＧＢＴ１のゲートはゲート抵抗２及びトランジスタＴＲ３を通してＧｎｄレベルに接続される。通常のゲートドライバでは最初から－Ｖｅｅ電源に接続することになるため、この段階でのゲート電荷の引き抜き力は本実施形態の方が弱く、ゆっくりとスイッチングすることになる。これによって、サージ電圧は低減される。

【００２３】

ある程度ターンオフが進み、サージ電圧の発生要因が減少した段階で、図５に太線（矢印ｂを併記）で示すように－Ｖｅｅ接続ドライバＤＲ２の部分をオンにする。同時に、ターンオフ初期専用回路６をオフにする。これにより、これ以後のスイッチング速度は通常のドライバと同等となる。

【００２４】

従って、ゲート抵抗２を常時同じ値とした本実施形態では、サージ電圧を低減できてもスイッチング速度はターンオフ初期専用回路６の動作期間の影響で遅くなるが、スイッチング直後のスイッチング速度を遅くできるため、サージ電圧のピークが低減し、ゲート抵抗２を小さめの値にすることができる。Ｖｃｃ＝Ｖｅｅの場合、ゲート抵抗２は略半分の値にすることが可能であり、その場合はターンオフ初期専用回路６の動作によるスイッチング時間の増加が、その後の－Ｖｅｅ接続ドライバＤＲ２の動作期間での低減によって十分に補われる。

【００２５】

【発明の効果】

以上のように本発明によれば、最もサージ電圧が高くなるターンオフ開始直後のゲート電荷減少速度を遅くし、還流ダイオードなどがターンオンしてサージ電圧発生要因が減少してからゲート電荷減少速度を速くするゲート動作としたので、低スイッチング損失、低サージ電圧でのスイッチング動作が可能となる。また、ドライバ構成は少々複雑になっても

、適切なドライバ構成の採用によりスナバ回路の大幅な削減、ひいてはスナバレス化が可能であり、装置全体としては大いに有利となる。

【図面の簡単な説明】

【図１】本発明の一実施形態を示す回路構成図。

【図２】一実施形態における一方のゲート信号供給回路のみをターンオフ動作させた時の動作説明図で、（ａ）は回路電圧状態を示す回路図、（ｂ）はＩＧＢＴ側から見た等価回路図。

【図３】本発明の他の実施形態を示す回路構成図。

【図４】他の実施形態におけるターンオフ初期専用回路を動作させた時の動作状況を説明するための回路図。

【図５】他の実施形態における－Ｖｅｅ接続ドライバを動作させた時の動作状況を説明するための回路図。

【図６】従来の一般的なゲート周辺回路を示す回路構成図。

【図７】図６のゲート周辺回路に相当するゲート駆動回路を示す回路構成図。

【図８】代表的なスナバ回路の一例を示す回路図。

【図９】代表的なスナバ回路の他の例を示す回路図。

【符号の説明】

１…ＩＧＢＴ

２、２－１、２－２…ゲート抵抗

３、３－１、３－２…ターンオン・ターンオフ制御用スイッチング回路

４…ターンオン用電源

５…ターンオフ用電源

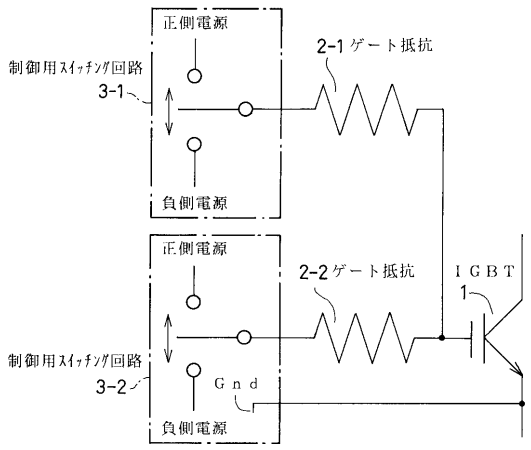
６…ターンオフ初期専用回路

ＴＲ１～ＴＲ３…トランジスタ

ＤＲ１～ＤＲ３…ドライバ

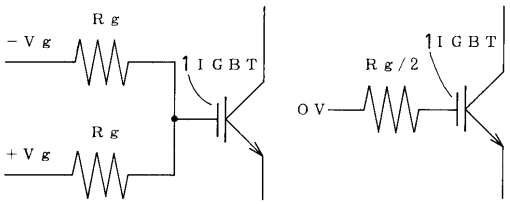
【図１】

一実施形態の回路構成



【図２】

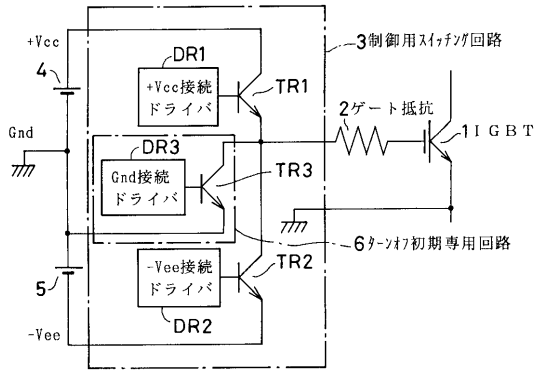
一実施形態のターンオフ動作説明



（ａ）回路図　　（ｂ）等価回路図

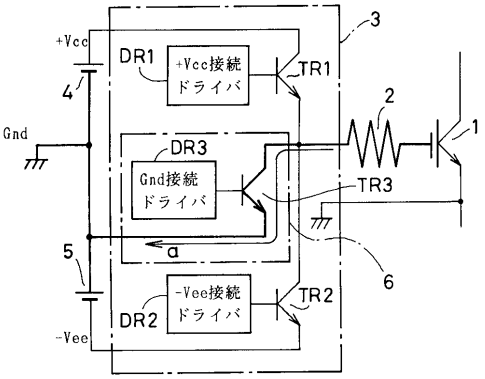
【図３】

他の実施形態の回路構成



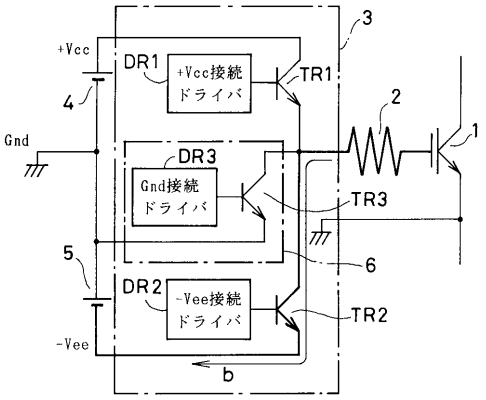
【図４】

他の実施形態の動作説明
（ターンオフ初期専用回路６のみオン）



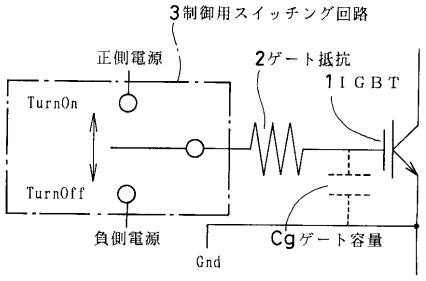
【図５】

他の実施形態の動作説明
（－Ｖｅｅ接続ドライバをオンした場合）



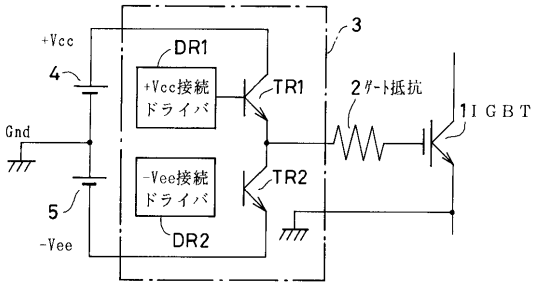
【図６】

ＩＧＢＴゲート周辺回路



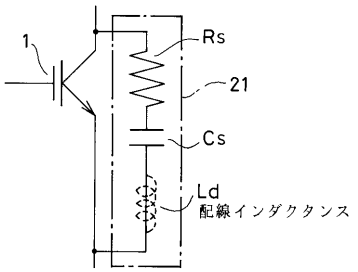
【図７】

従来のゲート駆動回路



【図８】

代表的なスナバ回路の一例



【図９】

代表的なスナバ回路の他の例

