

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04B 1/28 (2006.01)



[12] 发明专利说明书

专利号 ZL 200480002444.3

[45] 授权公告日 2009年1月7日

[11] 授权公告号 CN 100449953C

[22] 申请日 2004.2.5

[21] 申请号 200480002444.3

[30] 优先权

[32] 2003.2.19 [33] US [31] 10/369,853

[86] 国际申请 PCT/US2004/003418 2004.2.5

[87] 国际公布 WO2004/075424 英 2004.9.2

[85] 进入国家阶段日期 2005.7.19

[73] 专利权人 SiRF 技术公司

地址 美国加利福尼亚州

[72] 发明人 史蒂文·格罗尼迈耶 罗伯特·索

[56] 参考文献

CN1333954A 2002.1.30

WO02056488A 2002.7.18

审查员 何旭文

[74] 专利代理机构 北京市柳沈律师事务所
代理人 黄小临 王志森

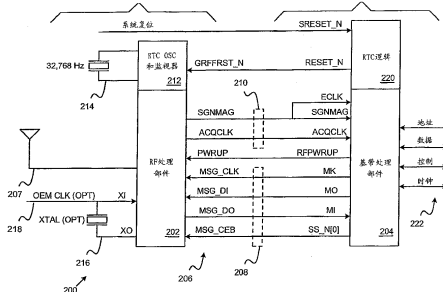
权利要求书 3 页 说明书 18 页 附图 5 页

[54] 发明名称

具有可编程时钟的串行射频至基带接口

[57] 摘要

一种 RF 处理部件 (202) 与基带处理部件 (204) 之间的接口 (206)，支持在 RF 处理部件 (202) 和基带处理部件 (204) 之间的通用消息传输以及卫星定位系统信号样本传输。所述接口包括双向消息串行接口 (208) 和数据串行接口 (210)。通过在数据串行接口中使用单条数据位信号线可以最小化数据串行接口的复杂性。



1. 一种射频至基带的接口(206),用于将处理射频信号的射频部件(202)耦合至处理基带信号的基带部件(204),所述接口包括:

双向消息串行接口(208),用于在射频部件(202)和基带部件(204)之间传送消息,所述双向消息串行接口(208)包括消息入信号线、消息出信号线和消息时钟信号线;

单向数据串行接口(210),用于从射频部件(202)向基带部件(204)传送数据;

数据时钟信号线,运送包括上升沿和下降沿的数据时钟;

单一数据位信号线,运送包括第一数据位和第二数据位的数据信号,其中,第一数据位在数据时钟的上升沿有效,第二数据位在数据时钟的下降沿有效;

其中,所述消息出信号线运送表示从预定的射频部件消息组中选择的消息的输出位流。

2. 如权利要求1所述的接口,其中预定的射频部件消息组包括射频部件电源控制消息和射频部件测试消息

3. 如权利要求1-2之一所述的接口,其中所述消息串行接口(208)还包括从选择信号线。

4. 如权利要求1-2之一所述的接口,其中所述第一数据位是符号位。

5. 如权利要求1-2之一所述的接口,其中所述第二数据位是数量位。

6. 如权利要求1-2之一所述的接口,其中所述预定的射频部件消息组还包括射频部件可编程时钟合成器消息。

7. 如权利要求6所述的接口,其中所述可编程时钟合成器消息包括基准分频器值。

8. 如权利要求7所述的接口,其中所述基准分频器值是整数分频器值。

9. 如权利要求7所述的接口,其中所述基准分频器值是小数分频器值。

10. 如权利要求1-2之一所述的接口,其中所述预定消息组还包括时钟输出选择消息,用于为消息时钟信号线选择消息时钟。

11. 如权利要求1-2之一所述的接口,其中所述消息入信号线运送表示从预定的基带部件消息组中选择的消息的输入位流,所述预定的基带部件消

息组包括时钟状态消息和模拟测量消息。

12. 如权利要求 11 所述的接口，其中所述预定基带部件消息组还包括通道转换计数消息。

13. 如权利要求 12 所述的接口，其中所述模拟测量消息包括用于多个模拟输入通道中的至少一个的模拟测量消息。

14. 一种用于卫星定位系统接收机的射频前端 (224)，该前端包括：
射频处理部件 (202)，包括用于接收卫星定位系统信号的射频输入端 (207)；以及

如权利要求 1-13 之一所述的、耦合至射频处理部件的射频至基带接口 (206)。

15. 一种用于卫星定位系统接收机的基带后端 (226)，该后端包括：
基带处理部件 (204)，包括至少一个用于与数字器件通信的地址、数据、和控制线；以及

如权利要求 1-13 之一所述的、耦合至基带处理部件 (204) 的射频至基带接口 (206)。

16. 一种卫星定位系统接收机，包括：

射频前端 (224)，包括射频处理部件 (202) 和用于接收卫星定位系统信号的射频输入端 (207)；

基带后端 (226)，包括基带处理部件 (204) 和用于与数字器件通信的至少一个地址、数据和控制线；以及

如权利要求 1-13 之一所述的、耦合在射频处理部件 (202) 和基带处理部件 (204) 之间的射频至基带接口 (206)。

17. 一种用于将处理射频信号的射频部件接口到处理基带信号的基带部件的方法，该方法包括步骤：

在消息串行接口上，在射频部件和基带部件之间双向地串行传送消息，该消息串行接口包括消息入信号线、消息出信号线和消息时钟信号线；

在单向数据串行接口上，从射频部件向基带部件串行地传送数据，其中串行地传送数据的步骤包括使用数据时钟信号线和数据位信号线串行地传送数据的步骤，并且其中：

数据时钟信号线运送包括上升沿和下降沿的数据时钟；

数据位信号线运送包括第一数据位和第二数据位的数据信号；

第一数据位在数据时钟的上升沿上有效，第二数据位在数据时钟的下降沿上有效；

其中，所述消息出信号线运送表示从预定的射频部件消息组中选择的消息的输出位流。

18. 如权利要求 17 所述的方法，其中串行地传送数据的步骤包括在单一数据位信号线上串行地传送数据的步骤。

19. 如权利要求 17 或 18 所述的方法，其中所述第一数据位是符号位。

20. 如权利要求 17 或 18 所述的方法，其中所述第二数据位是数量位。

21. 如权利要求 17 或 18 所述的方法，其中串行地传送消息的步骤包括使用消息入信号线、消息出信号线和消息时钟信号线串行地传送消息的步骤。

具有可编程时钟的串行射频至基带接口

本申请要求于 2003 年 2 月 19 日提交的、序列号为 10/369,853 的美国专利申请的优先权。

技术领域

本发明涉及一种用于将射频 (RF) 处理部件耦合至基带处理部件的接口。更具体地, 本发明涉及一种 RF 处理部件与基带处理部件之间的串行消息和数据接口。

背景技术

诸如双向无线电设备、寻呼机、便携式电视、个人通信系统 (“PCS”)、个人数字助理 (“PDA”)、蜂窝电话 (也称为 “移动电话”)、蓝牙设备、卫星无线电接收机和诸如全球定位系统 (“GPS”) (也称为 NAVSTAR) 的卫星定位系统 (“SPS”) 等无线设备的广泛使用正在快速增长。当前趋势要求将 SPS 服务并入到包括 PDA、蜂窝电话、便携式计算机、移动电话等的电子设备和系统的广阔范围内。

同时, 制造商使用完全不同的体系结构, 跨越 (span) 多种处理器、基准频率、时钟速率等来设计它们的设备。制造商非常关注在提供尽可能多的功能 (包括 SPS 能力) 的同时保持尽可能低的成本。特别地, 在射频 (RF) 前端和基带处理部件之间分离 SPS 信号处理的体系结构继续是流行的。

例如, 加利福尼亚的 San Jose 的 SiRF 技术有限公司使得广泛使用包括 GRF1 RF 芯片和 GSP1/LX 基带处理芯片的 SPS 芯片组。这两种器件在 SiRFStar® I GPS 体系结构 GRF1 和 GSP1 数据表中有详细的描述。如图 1 所示, RF 芯片 102 使用微分符号信号线 (标记为 SIGN)、微分数量信号线 (标记为 MAGNITUDE)、GPS 时钟信号线 (标记为 GPSCLK)、和获取时钟信号线 (标记为 ACQCLK) 将数据样本传送至基带芯片 104。基带芯片 104 能够以受限的方式与 RF 芯片 102 通信, 即通过使用自动增益控制 (AGC) 时钟、数据和选通信号线 (分别标记为 AGCCLK、AGCDATA 和 AGCSTRB) 将 AGC

数据提供至 RF 芯片 102。

更近的 SPS 信号处理芯片组解决方案包括 SiRFStar® IIe (以 GRF2i RF 芯片和 GSP2e 基带芯片为中心)和 SiRFStar® II t (以 GRF2i RF 芯片和 GSP2t 基带芯片为中心)解决方案。所述两种方案都保留用于将数据样本从 RF 部件传送到基带部件和将 AGC 信息从基带部件单向传送到 RF 部件的多条信号线。但是,基带部件使用 RF 芯片采样的单脉冲宽度调制的输出将 AGC 信息单向传送到 RF 芯片。换句话说, SiRFStar® IIe 消除多信号线 AGC 通信路径而支持单输出线。

不考虑在先的 SPS 芯片组解决方案的能力,它们大多数只对一种或两种特定的输入基准频率起作用,并且还需要数个芯片组插脚(例如,分离的符号和数量数据插脚)以便在 RF 部件和基带部件之间传送数据信号。随着接口信号数量的增长,芯片的接口数和制造成本也增长。此外,在基带和 RF 部件之间只存在专用单向通信能力。因此,对于与设备的最大的可能范围的结合,预先存在的芯片组在它们的柔性和完善度上受到限制。

因此,需要一种 RF 至基带接口,其克服以上提及的问题和其他在先遇到的问题。

发明内容

本发明提供一种 RF 处理部件与基带处理部件之间的接口(以及操作或提供接口的方法)。所述接口支持在 RF 处理部件和基带处理部件之间的通用双向消息传输。该接口还支持在所述两个处理部件之间的 SPS 信号样本传输,而不用对接口增加过度的复杂性。

根据本发明,一种射频至基带的接口,用于将处理射频信号的射频部件耦合至处理基带信号的基带部件,所述接口包括:双向消息串行接口,用于在射频部件和基带部件之间传送消息,所述双向消息串行接口包括消息入信号线、消息出信号线和消息时钟信号线;单向数据串行接口,用于从射频部件向基带部件传送数据;数据时钟信号线,运送包括上升沿和下降沿的数据时钟;单一数据位信号线,运送包括第一数据位和第二数据位的数据信号,其中,第一数据位在数据时钟的上升沿有效,第二数据位在数据时钟的下降沿有效;其中,所述消息出信号线运送表示从预定的射频部件消息组中选择的消息的输出位流。

根据本发明，一种用于将处理射频信号的射频部件接口到处理基带信号的基带部件的方法，该方法包括步骤：在消息串行接口上，在射频部件和基带部件之间双向地串行传送消息，该消息串行接口包括消息入信号线、消息出信号线和消息时钟信号线；在单向数据串行接口上，从射频部件向基带部件串行地传送数据，其中串行地传送数据的步骤包括使用数据时钟信号线和数据位信号线串行地传送数据的步骤，并且其中：数据时钟信号线运送包括上升沿和下降沿的数据时钟；数据位信号线运送包括第一数据位和第二数据位的数据信号；第一数据位在数据时钟的上升沿上有效，第二数据位在数据时钟的下降沿上有效；其中，所述消息出信号线运送表示从预定的射频部件消息组中选择的消息的输出位流。

在一个实施例中，所述接口包括消息串行接口和数据串行接口。消息串行接口在 RF 部件和基带部件之间传送消息。数据串行接口从 RF 部件向基带部件传送 SPS 信号样本数据。

可以通过例如使用单一的数据位信号线从 RF 部件向基带部件顺序地运送信号样本来减少数据串行接口的复杂性。数据串行接口还可以包括用于提供信号样本的定时的数据时钟信号线。特别地，作为示例，数据时钟信号线可以运送额定以 $16f_0$ 运行的数据时钟（其包括上升沿和下降沿），其中 $f_0 = 1.023\text{MHz}$ ，而数据位信号线可以运送包括串行地发送的数据位的数据信号。在一个实施例中，第一种类型的数据位在数据时钟的上升沿有效，第二种类型

型的数据位在数据时钟的下降沿有效。作为示例，第一种类型的数据位可以是符号位，而第二种类型的数据位可以是数量位。

如上所述，消息串行接口在处理部件之间传送消息。消息串行接口可以包括消息入信号线、消息出信号线、和消息时钟信号线。在一些实施例中，消息串行接口还可以包括从选择信号线。

在查看随后的附图和详细描述之后，本发明的其他设备、系统、方法、特征和优点对于本领域的技术人员将变得显而易见。所有这样额外的系统、方法、特征和优点包括在这一描述中，在本发明的范围之内，并且由所附的权利要求来保护。

附图说明

附图中的部件不必按比例绘制，其重点在于图解说明本发明的原理。在附图中，相同的参考数字在全部不同的视图中指示相同的部件。

图 1 示出了现有技术中在 GPS RF 芯片和基带芯片之间的接口。

图 2 图解说明了卫星定位系统接收机，其包括通过接口耦合至基带处理部件的 RF 处理部件，所述接口包括消息串行接口和数据串行接口。

图 3 图解说明了示出分别在数据时钟信号线和数据位信号线上传送的数据时钟和数据信号之间的关系的时序图，所述数据时钟信号线和数据位信号线形成图 2 中所示的数据串行接口。

图 4 图解说明了示出分别在消息时钟信号线和消息数据位信号线上传送的消息时钟和消息数据位之间的关系的时序图，所述消息时钟信号线和消息位信号线形成图 2 中所示的消息串行接口的部分。

图 5 示出了用于在 RF 处理部件和基带处理部件之间连接的方法。

具体实施方式

典型的卫星定位系统（“SPS”）具有大约 12 个在任何时候对于无线设备可见的卫星。如在这一文档中使用的，SPS 是指利用卫星和/或陆上通信设备提供或允许无线设备在地球上的位置确定的任意系统，包括（但不限于）：全球定位系统（“GPS”）（例如 NAVSTAR）、GLONASS、LORAN、Shoran、Decca 或 TACAN。为了讨论的目的，描述了 GPS RF 处理部件和基带处理部件之间的接口的特定示例。但是，接口之下的原理总体上适用于连接 RF 处理部件

和基带处理部件。

首先转到图 2，该图示出了卫星定位系统的接收机 200。接收机 200 包括使用 RF 至基带接口 206 耦合至基带处理部件 204 的 RF 处理部件 202。RF 处理部件 202 在 RF 输入端 207 上接收 SPS 信号，例如 1575.42MHz GPS 信号。

接收机部件 200 通常可以认为包括 RF 前端 224 和基带后端 226。RF 前端 224 包括 RF 处理部件 202 和 RF - 基带接口 206。RF 前端 224 经过一系列下变换、自动增益控制、和模拟 - 数字转换来处理在 RF 输入端 207 接收到的 SPS 信号。基带后端 226 包括基带处理部件 204 和 RF - 基带接口 206。基带后端 226 (利用微控制器核心，CPU 或其他控制逻辑) 处理由 RF 前端 224 提供的采样数据。基带后端 226 利用包含数字通信接口 222 的一个或多个地址、数据、控制和时钟信号将处理的数据传送至数字设备 (例如，数字信号处理器、通用微控制器或 CPU、或主机 PC)。

RF 前端 224 和基带后端 226 中的一个或这两者例如可以实现为分离的单个集成电路。从而，RF 前端 224 可以是包括 RF 输入端 207 (例如，插件上的特定输入插脚)、RF 处理部件 202、和接口 206 (例如，如下面更加详细地描述的一组接口插脚) 的单个插件。类似地，基带后端 226 可以是包括基带处理部件 204、接口 206、和数字接口 222 的单个插件。由 RF 处理部件 202 和基带处理部件 204 执行的处理在 SiRFStar® I, II 或 III 芯片组数据表中有更加详细地阐述，而接口 206 在下文中被更加详细地描述。SiRFStar® 芯片组可以从加利福尼亚的 San Jose 的 SiRF 技术有限公司得到。

尽管，如图 2 所示，RF 前端 224 和基带后端 226 之间的功能性划分使得其自身被划分为两个分离的集成电路，但是许多其他的实现方式也是可能的。作为一个示例，多个离散逻辑和信号处理电路块可以实现 RF、基带、和接口 206 的功能性。作为另外的示例，RF 前端 224 和基带后端 226 的功能性之下的任何电路可以集成到单个插件 (例如，其包含多个集成电路模具) 或集成电路、多个插件或集成电路、或分布在一个或多个电路板上。在这些实现中，单独的电线、电路板线路、或 VLSI 金属或多晶硅层在 RF 处理电路和基带处理电路之间传送接口 206 信号。

此外，RF 前端 224 和基带后端 226 的功能性之下的任何电路可以具有附加功能地集成到单个插件或集成电路、多个插件或集成电路、或分布在一个

或多个电路板上。例如，RF 和基带电路可以集成在具有数字或模拟处理电路的用于蜂窝电话，PDA 操作，或用于汽车的引擎、仪器、或电子控制器的模具上。因此，图 2 和上面给出的例子不是用于限制，相反，本领域的技术人员将明白，特定实现、功能性的划分、实现 RF 处理、基带处理和接口 206 的电路的封装可以取决于临近的应用、工程考虑、成本考虑等而很大地变化。

接口 206 包括消息串行接口 208 和数据串行接口 210。消息串行接口 208 提供 RF 部件 202 和基带部件 204 之间的通用消息双向串行通信。与此相反，RF 部件 202 使用数据串行接口 210 向基带部件 204 发送 SPS 信号样本。

作为开始的问题，注意通常图 2 中所示的接口 206 信号是 CMOS 兼容的。特别地，输入对于逻辑 1 是高于 $0.7 \cdot V_{cc}$ ，对于逻辑 0 是低于 $0.3 \cdot V_{cc}$ 。输出对于逻辑 1 是高于 $V_{cc} - 0.4V$ ，对于逻辑 0 是低于 $0.4V$ 。输入/输出插脚取决于希望的实现通常工作在 2.5V 或 3.3V 的电压范围内。实时时钟 (RTC) 输入/输出插脚可以工作在 1.5V，尽管它们被设计为如果需要可以容许 3.3V 的电平。但是，取决于希望的实现，信号中的任何一个可以适合于不同的额定电压或电压规格。

如图 2 所示，消息串行接口 208 包括消息入信号线(标记为 MSG_DO/MI)、消息出信号线 (标记为 MSG_DI/MO)、消息时钟信号线 (MSG_CLK/MK) 和从选择信号线 (标记为 MSG_CEB/SS_N[0])。消息信号线上的标记指示从 RF 部件 202/基带部件 204 来看的数据流的方向。例如，消息出信号线 (MSG_DI/MO) 传送由基带部件 204 输出并输入到 RF 部件 202 的消息位。

数据串行接口 210 包括数据时钟信号线 (标记为 ACQCLK) 和数据位信号线 (标记为 SGNMAG)。数据串行接口 210 通常仅使用一条数据位信号线将数据位串行传送至基带部件 204 (如下面参照图 3 更详细地描述的)。从而，数据串行接口 210 通常包括很少的两条信号线：一条用于数据时钟，另一条用于数据位。因此数据串行接口 210 是对于 RF 部件 202 和基带部件 204 之间的 SPS 信号样本接口的低复杂性的解决方案。

如图 2 所示，RF 处理方的接收机部件 200 还包括实时时钟 (RTC) 振荡器 (OSC) 和监控器部件 212。32KHz 的晶体 (或其他时钟源) 向 RTC OSC 部件 212 提供输入时钟 214。RTC OSC 部件 212 在 RTCLK/RIN 信号线上生成基带部件 204 用来保持例如 GPS 时间或 UTC 时间的时钟输出。时钟输出是例如 32768Hz，1.5V 的 CMOS 输出。RTC OSC 部件 212 在断电模式继续

运行，以帮助基带部件 204 保持精确的时基。

但是，RTC OSC 部件 212 中的监控电路（例如，耦合至时钟输入的整流器，其后跟随有比较器）确定什么时候输入时钟 214 已经一致地运行（例如，已经停止了不超过 10-30 个时钟周期）。如果时钟已经停止了太长时间，则 RF 部件 202 设置一位（例如，设置触发器输出或在多位状态寄存器中设置一位）来指示时钟输出尚未一致（并且，在某些情况，基带部件 204 应当搜索接收到的 SPS 信号的全部范围以确定正确的时间）。

RF 部件 202 还接受来自晶体振荡器 216 或外部时钟源 218 的计时输入（例如，在无线设备中提供的基准频率）。计时输入 216 和 218 提供 RF 部件 202 中的 PLL 分频器链用来生成 ACQCLK 信号的时钟源。计时输入 216 和 218 在下文中合称为 OSCCLK，而 PLL 分频器链时钟称为 PLLCLK。PLLCLK 通常设置为对于从 OSCCLK（或者内部基准）产生的数据时钟 ACQCLK 生成 $16 f_0$ （其中 $f_0 = 1.023\text{MHz}$ ）的标称频率。

在加电时，OSCCLK（通常在 5-27MHz 的范围）存在于 ACQCLK 输出端。一个消息（下面进行描述）命令 RF 部件 202 将 ACQCLK 从 OSCCLK 转换为 PLLCLK 和从 PLLCLK 转换为 OSCCLK。ACQCLK 信号可以是具有在 45% 和 55% 之间的占空比的 2.5/3.3V CMOS 输出（除了当转换时钟源时，在该情形中 ACQCLK 可以具有扩展的低循环）。

电源控制信号（标记为 PWRUP/RFPWRUP）控制 RF 部件 202 的某些部分是否被加电。电源控制信号可以连接到例如 RF 部件 202 中的稳压器使能插脚。RTC OSC 部件 212 被单独地加电，使得其能够将时钟连续地提供至基带部件 204。电源控制信号可以是 2.5/3.3V CMOS 信号。基带处理方包括 RTC 逻辑部件 220。RTC 逻辑部件 220 接受由 RTC OSC 和监控器部件 212 生成的输入时钟，作为确定当前时间以及 SPS 位置的解决方案的辅助。

RTC 逻辑部件 220 还输出复位信号 GRFRST_N/RESET_N（声明为低）。复位信号可以用于在加电时复位 RTC OSC 部件 212 和 RF 部件 202 中的控制寄存器的状态。例如，当声明（assert）GRFRST_N 时，RF 处理方的数字控制寄存器将被复位至他们的默认状态。控制寄存器的默认值允许 OSCCLK 电路工作并允许通过 OSCCLK 驱动 ACQCLK 输出（当声明了 PWRUP 时）。当未声明 GRFRST_N 时，则 RF 部件 202 根据其内部逻辑状态而工作。

消息串行接口信号是 2.5/3.3V CMOS I/O 信号。MSG_CLK/MK、

MSG_DI/MO 和 MSG_CEB/SS_N[0] 信号被输入至 RF 部件 202。MSG_DO/MI 信号是来自 RF 部件 202、具有三态控制的输出。当 MSG_CEB/SS_N[0] 为逻辑高时，MSG_DO/MI 输出为高阻抗，并且可以由其他连接到消息串行接口 208 的器件驱动。因而，从基带部件 204 输出的 MSG_CEB/SS_N[0] 作为允许 RF 部件 202 驱动 MSG_DO/MI 信号线上的数据的从选择信号运行。当额外的器件附加至消息串行接口 208 时，基带部件 204 可以提供附加从选择信号线，以确定允许哪个器件驱动 MSG_DO/MI 信号线上的数据。

RF 部件 202 也可以包括一个或多个用于外部模拟传感器（未示出）的输入。因而，RF 部件 202 中的多通道模拟数字（A/D）转换器可以进行模拟输入信号的测量并将结果传送至基带部件 204。模拟输入可以包括（但不限于）温度输入、陀螺仪偏转速率输入、轮盘转动（wheel tick）输入、或电池电压输入。

表 1 总结了用于接收机部件 200 的操作模式：

模式	GRFRST_N	PWRUP	操作
休眠	0	0	RF 部件稳压器禁用；RTC OSC 部件与 RF 部件分离。
启动	0	1	RF 部件稳压器启用；RTC OSC 部件分离；寄存器复位；OSCCLK 启用；ACQCLK 输出 OSCCLK。
NA	1	0	不允许。
正常	1	1	RF 部件稳压器启用；RTC OSC 部件与 RF 部件通信；消息控制 RF 部件操作。

下面转到图 3，该图图解说明了示出数据时钟 302 和数据信号 304 之间的关系的时序图 300。数据信号 304 将 SPS 信号样本提供至基带部件 204。SPS 信号样本是从由连接到 RF 部件 202 的天线接收的 SPS 输入信号产生的。ACQCLK 信号线运送数据时钟 302，而 SGNMAG 信号线运送数据信号 304。例如可以是 2.5/3.3V CMOS 输出的数据信号 304 在 SGNMAG 信号线上发送符号位数据 306 和数量位数据 308。在一个实施例中，数据信号 304 提供由

RF 部件 202 中的 A/D 转换器确定的符号和数量位信息。

在其他实施例中，可以与预定协议或应用至数据位的编码技术（例如，伪随机噪声码）相一致地提供信息或量化的附加位，以便允许基带部件 204 识别所发送的数据。此外，数据信号 304 可以对于由 RF 部件 202 处理的不同无线电链发送信号样本。例如，当 RF 部件 202 正在处理 SPS 数据时，数据信号 304 在上述的每个样本（符号或数量）数据对中可以容纳两位。与此相反，当 RF 部件 202 正在处理不同的 RF 信号（例如蓝牙信号）时，数据信号 304 可以改为根据为处理所述 RF 信号而建立的规则在每个样本中发送或多或少位（例如 4 或 6 位）。类似地，数据时钟 302 可以变化频率和占空比，以满足对于 RF 部件 202 当前正在处理的 RF 信号的处理规则。

如图 3 中所示，RF 部件 202 在数据时钟 302 为高时输出符号位 306，在数据时钟 302 为低时输出数量位 308。如图 3 中所示，符号位 306 在数据时钟 302 的下降沿 310 之前的至少 $T_{\text{SEPUP-F}}$ 是有效的。类似地，数量位 308 在数据时钟 302 的上升沿 312 之前的至少 $T_{\text{SEPUP-R}}$ 是有效的。

符号位 306 在数据时钟 302 的下降沿 310 之后的至少 $T_{\text{HOLD-F}}$ 保持有效。数量位 308 在数据时钟 302 的上升沿 312 之后的至少 $T_{\text{HOLD-R}}$ 保持有效。启动和保持时间可以根据实现方式而变化。作为一个示例，启动和保持时间可以是大约 5-10ns。

消息串行接口 208 可以用多种不同的方法来实现。在一个实施例中，消息串行接口 208 具有下面陈述的特征，尽管其他的实现方式也是可能的。

RF 部件 202 上的消息串行接口用作至基带部件 204 的从器件（或其他遵守下面陈述的特征的主器件）。至 RF 部件 202 的输入位（在 MSG_DI 线上）在 MSG_CLK 的控制之下移位至 RF 部件 202 中的 32 位移位寄存器。首先接收和发送数据的最高有效位。在一个实现方式中，多达 32 位在一个消息块中发送。同时，MSG_DO 输出位从同一移位寄存器的另一端移出。如果不需要来自 RF 部件 202 的输出，则不需要连接 MSG_DO 输出。

MSG_CLK 可以例如工作在高达 20MHz。而消息串行接口输入对于逻辑 1 在 $0.7 \cdot V_{\text{CC}}$ V 之上，对于逻辑 0 在 $0.3 \cdot V_{\text{CC}}$ V 之下；并且输出对于逻辑 1 在 $V_{\text{CC}} - 0.4$ V 之上，对于逻辑 0 在 0.4V 之下。

从选择信号线（MSG_CEB）对于串行数据传输为低电平有效。因此只要 MSG_CEB 在预先选择的时间段（例如，5ns）内为高，则可以忽略 MSG_DI

和 MSG_CLK。在 MSG_CLK 的上升沿采样数据。在一个实现方式中，在 MSG_CLK 的上升沿之后至少 5 ns 发生 MSG_DI 或 MSG_DO 的转变，在 MSG_CLK 的下一个上升沿之前至少 5ns 稳定。数据在 MSG_CLK 的下降沿移位。继续所述示例，MSG_CEB 信号可以在第一 MSG_CLK 的上升沿之前至少 10ns 有效（逻辑 0），并在 MSG_CLK 的下降沿之后至少 10ns 保持有效（逻辑 0）。两种情形中的时间段可以是例如半个时钟周期。随后 MSG_CEB 信号可以无效（逻辑 1）至少 30ns，以确保锁存了数据。

如果 MSG_CEB 信号在消息块中的所有数据被发送之前转变为高，则丢弃数据并且不将其施加到 RF 部件 202 寄存器。消息块中未使用的位被设置为 0。但是，提供快速写入模式以允许缩短的一字节消息。假设快速写入模式，直到接收到多于 8 位。当接收到多于 8 位时，RF 部件 202 希望接收有效消息的全部 32 位。

RF 部件 202 响应于从请求数据的基带部件 204 接收的消息，将 (MSG_DO 上的) 数据输出至基带部件 204。基带部件 204 随后发送后续的消息，以便从移位寄存器中移出所请求的、在 RF 部件 202 移位寄存器中的数据。所述后续的消息可以是单独的操作信息，或者其可以是为了移出希望的数据这一唯一目的而发送的哑消息。

图 4 图解说明了显示从选择信号 (MSG_CEB) 402、消息时钟信号 (MSG_CLK) 404、和消息数据位信号 (MSG_DO 和 MSG_DI) 306 之间的关系时序图 400。当从选择信号 402 下降时，开始数据传输。当从选择信号 402 上升时，锁存所发送的数据。

如图 4 中所示，消息出信号线 (MSG_DI/DO) 和消息入信号线 (MSG_DO/MI) 中的每一个运送串行位流。消息出信号线上的串行位流表示从一组预定的 RF 部件消息中选择的消息，所述一组预定的 RF 部件消息被从基带部件 204 发送至 RF 部件 202。类似地，消息入信号线上的串行位流表示从一组预定的基带部件消息中选择的消息，所述一组预定的基带部件消息被从 RF 部件 202 发送至基带部件 204。

所述消息不限于任何特定的目的或形式。如在下文中更加详细地描述的，消息可以包括（但不限于）RF 部件电源控制消息、RF 部件测试消息、时钟状态消息、模拟测量消息、通道转换计数消息等等。

在一种实现方式中，定义了四种类型的消息块。Data[1: 0]（在 32 位或

8 位序列中)是地址位,其如下面的表 2 所示定义四个消息。每个消息类型可以支持快速写入模式和全写入模式,并且为两种模式都定义了备用容量。

Data[1:0]	消息类型	消息名称
00	0	AGC (快速写入) 和合成器
01	1	电源控制 (快速写入) 和合成器
10	2	输出消息类型
11	3	输入消息类型扩展

在表 3 至 8 中详细定义了每个消息的内容。表 3 示出了 AGC 和合成器控制消息,表 4 示出了电源控制和合成器控制消息,表 5 示出了用于所选消息类型的输出请求类型。表 6 示出了输出消息类型,表 7-8 示出了输入消息类型。列定义如下的内容。标记为“位”的第 1 列表示消息数据位,用位 0 指示所发送的最后一位。标记为“字段名”的第 2 列标识消息中字段的名称。标记为“长度”的第 3 列是字段的长度。标记为“默认”的第 4 列指示当首次加电时 RF 部件 202 中默认参数的内容。标记为“内容”的第 5 列描述字段允许的内容。标记为“功能”的第六列指示字段完成什么。并且,标记为“_Pwr”的第 7 列指示使用哪个电源区域控制位(如果有的话)来驱动,使得至 RF 部件 202 的接口上的这些字段输出为 0。

消息类型 2 用于利用指定多达 32 种类型的输出请求的字段来实现输出请求。消息类型 3 用于将输入消息类型(或地址)从 4 扩展至 36。下面对于“合成器”的参考是对于 RF 部件 202 中的 PLL 合成器时钟生成电路的参考。PLL 合成器可以例如通过设置时钟分频器值以根据多个不同的输入基准频率生成 PLLCLK 来配置。

位	字段名	长度	默认	内容	功能	_Pwr
31:28	Spare0[3:0]	4	0	0	备用	
27:8	NUM[19:0]	20	TBD	0x00000 - 0xFFFFF	指定 RF 部件 202 的 PLL 时钟生成部件中的环路分频器的分数部分的分子	Synth

7:2	AGC[5:0]	6	0	0x00-0x3F	控制 RF 部件 202 中的 AGC 增益	Rx
1:0	Address[1:0]	2	0	0	定义消息类型	

表 4 - 消息类型 1: 电源控制和合成器控制 (Address[1:0] = 1)

位	字段名	长度	默认	内容	功能	_Pwr
31:28	Spare1[3:0]	4	0	0	备用	
27	InvertFePwr	1	0	0:Fe_Pwr=Rx_Pwr 1:Fe_Pwr=~Rx_Pwr	为了测试的目的的分割 RF 部件 202 中的接收链	
26	WideBwFilter	1	1	0=窄 Bw 1=宽 BW	选择在 RF 部件 202 中使用的滤波器	Rx
25:18	ND[7:0]	8	-	0x00-0xFF	指定 PLL 时钟生成部件中的合成器环路分频器参数的整数部分	Synth
17:15	RDIV[2:0]	3	-	0x0-0x7	指定 PLL 时钟生成部件中的合成器基准分频器值	Synth
14:11	CP[3:0]	4	-	-	指定合成器电荷泵输出和测试模式	PLL
10	PD_POL	1	-	1=正, 0=负	指定相位检测器极性	PLL
9	DvSel	1	1	0=分数 1=整数	为 PLL 反馈指定分频器	PLL
8	SDO	1	1	0=第三顺序 SD 1=第一顺序 SD	选择 Sigma Delta 顺序	Synth
7	Rx_Pwr	1	0	1=接通, 0=断开	通过 A/D 转换器控制用于第二低噪声放大器的前端电源	

6	AcqClk_Sel	1	0	1=PLL, 0=Osc	控制为 ACQCLK 选择 OSCCLK 或 PLLCLK 的无假噪声开关	
5	Synth_Pwr	1	0	1=接通, 0=断开	控制到分数 N 合成器的电源	
4	PLL_Pwr	1	0	1=接通, 0=断开	控制用于 PLL 和分频器链的电源	
3	LNA1_Pwr	1	0	1=接通, 0=断开	控制用于第一 (可选) LNA 的电源	
2	Osc_Pwr	1	1	1=接通, 0=断开	控制用于振荡器、ACQCLK 选择复用器和 ACQCLK 驱动器的电源	
1:0	Address[1:0]	2	1	1	定义消息类型	

表 5 - 消息类型 2: 输出请求类型 0 至 31 (Address[1:0] = 2)

位	字段名	长度	默认	内容	功能
31:18	Spare2[28:5]	24	0	0	备用
7:3	Spare2[4:0]或 Out_Dat[4:0]	5	0	0-31	如果 Out_Req=0, 备用 (快速写入) 如果 Out_Req=1, 输出数据类型
2	Out_Req	1	0	0=数据 1=输出	当 = 0 时, 数据跟随 当 = 1 时, 输出数据到跟随的负载
1:0	Address[1:0]	2	2	2	定义消息类型

输出消息类型如表 6 所示。定义备用消息作为测试 RF 部件 202 的扩展或在其中使用。由于这些数据从 RF 部件 202 输入到消息接口, 因此为这些字段给出指示输入的名字, 例如 spareInA。当数据被移出时, 其利用给出的索引值定位在输出数据流中。例如, spareInA[23:0]定位在 32 位输出字段中的移出的最后 24 位中, 从而根据首先移出最高有效位的惯例, 前面的八个 0 后

跟随 spareInA[23]到 spareInA[0]。

Out_Dat[4:0] = 4-8 规定由 RF 部件 202 中的双斜率 (dual slope) A/D 转换器进行的 20 位测量。如上所述, A/D 转换器可以具有与一个或多个模拟测量器件相连接的多个通道。如下文中使用的, Out_Dat[4:0] = 9 规定由 RTC OSC 部件 212 维持并且如上所述的有效时钟位。

表 6 - 利用消息类型 2 定义的输出消息 (Address[1:0]=2 且 Out_Req=1)		
Out_Dat[4:0]	消息位	内容
0	31:24 23:0	0 SpareInA[23:0]
1	31:24 23:0	0 SpareInB[23:0]
2	31:24 23:0	0 SpareInC[23:0]
3	31:24 23:0	0 SpareInD[23:0]
4	31:30 29:20 19:0	DS_ADC_CH_0 LAST_CH[1:0] Spare[9:0] DATA0[19:0]
5	31:30 29:20 19:0	DS_ADC_CH_1 LAST_CH[1:0] Spare[9:0] DATA1[19:0]
6	31:30 29:20 19:0	DS_ADC_CH_2 LAST_CH[1:0] Spare[9:0] DATA2[19:0]
7	31:30 29:20 19:0	DS_ADC_CH_3 LAST_CH[1:0] Spare[9:0] DATA3[19:0]
8	31:30 29:20 19:0	DS_ADC_CNT LAST_CH[1:0] Spare[9:0] COUNT[19:0]

9	31:1 0	RTC_STA Spare[30:0] 0 = RTC 无效 (默认) 1=RTC 有效
29	31:26 15:0	0 电源控制消息 寄存器[24:0]
30	31:0	消息输入移位寄存器
31	31:16 15:0	0 芯片版本[15:0]

表 7 - 消息类型 3: 扩展的输入消息类型 (Address[1:0]=3)

位	字段名	长度	默认	内容	功能
31:8	Spare3[28:5]	24	0	0	备用
7:3	Spare3[4:0] 或 Address[6:2]	5	0	0 - 31	如果 Addr_Exp=0, 备用 (快速写入) 如果 Addr_Exp=1, 地址扩展
2	Addr_Exp	1	0	0=数据 1=地址	当 = 0 时, 数据跟随 当 = 1 时, 地址跟随
1:0	Address[1:0]	2	3	3	定义消息类型

备用消息 (用于测试或扩展的目的) 如表 8 所示。由于这些数据表示由至 RF 部件 202 的消息接口输出的控制位, 因此数据字段被命名为指示输出, 例如 SpareOutA。

还为 SGNMAG 输出信号线定义了测试消息。当 TestSignMag[8] = 1, 则进入测试模式。当该位是 0, 测试模式停止。在测试模式, 只要 ACQCLK 运行, 当 ACQCLK 为高时从 TestSignMag[7]开始输出在 TestSignMag[7:0]中规定的型式。

表 8 - 利用消息类型 3 的输入消息 (Address[1:0]=3 且 Addr_Exp=1)

Address[6:2]	消息位	GRFRST_N	内容
0	31:8	0	SpareOutA[23:0]
1	31:8	0	SpareOutB[23:0]
2	31:8	0	SpareOutC[23:0]

3	31:8	0	SpareOutD[23:0]
4	16:8	0	TestSignMag[8:0]
5			DS_ADC_PER
	31:12	0	PERIOD[19:0]
	11	0	CLK_SEL
	10	0	CLK_ENB
	9:8	0	Spare[1:0]
6			DS_ADC_SH
	31:12	0	SHIFT[19:0]
	11:8	0	Spare[3:0]
7			DS_ADC_PH
	31:12	0	PH_ONE[19:0]
	11:8	0	Spare[3:0]
8			DS_ADC_SEQ
	31:12	0	CH_SEQ[23:0]
	11:8	0	Spare[3:0]
9			RTC_CTL
	31:10	0	Spare[21:0]
	9	0	1:设置 RTC 状态 0:无动作 (默认)
	8	0	1:读取 RTC 状态 0:无动作 (默认)
10			SGNMAG_SIG
	31:1	0	Sapre[30:0]
	0	0	0:SGNMAG (默认) 1:OSCCLK

地址[6:2] = 5-8 规定用于 RF 部件 202 中的双斜率 A/D 转换器的参数。DS_ADC_PER 消息设置 20 位转换周期——完整 A/D 转换周期 (PERIOD) 的持续时间, 选择一个提供至 A/D 转换器 (CLK_SEL) 的输入时钟 (例如, OSCCLK 或 PLLCLK), 以及使能或禁止时钟 (CLK_ENB)。在开始转换之前, DS_ADC_SH 消息提供 A/D 转换器控制电路用作递减计数值的 20 位的移位周期 (SHIFT), 以便相对于任何给定的时基来改变 A/D 转换周期的相位。DS_ADC_PH 对于双斜率 A/D 转换器的一个转换周期 (例如积分周期的持续

时间)规定 20 位的相位。

DS_ADC_SEQ 消息规定 24 位来控制 A/D 转换器对四个输入通道中的每一个执行转换的顺序。更具体地,所述 24 位被分成 12 个位对;每对规定下一个到 A/D 转换器之前的模拟多路复用器的输入通道。因此所述位对控制接下来哪一个通道将被 A/D 转换器数字化,从而可以以不同的速率采样 4 个输入通道。

继续关注表 8, Address[6:2] = 9 规定 RTC OSC 部件 212 中的时钟状态位将被设定为指示良好的时钟,或(如果位 8 是 1)基带部件 204 正在请求通过 RF 部件 202 输出时钟状态位值。Address[6:2] = 10 控制(例如通过多路复用器)RF 部件 202 在 SGNMAG 信号线上提供的信号。默认是符号位和数量位信息,而可选的是 OSCCLK 信号。

下面转到图 5,该附图示出了用于连接 RF 部件 202 和基带部件 204 的方法的流程图 500。特别地,关于 SPS 信号样本向基带部件 204 的串行传输,RF 部件 202 在 SGNMAG 信号线上放置符号位 306(步骤 502),然后在 ACQCLK 线上提供下降沿 310(步骤 504)。随后,RF 部件 202 在 SGNMAG 信号线上放置数量位 308(步骤 506),然后在 ACQCLK 线上提供上升沿 312(步骤 508)。对于发送到基带部件 204 的每个符号位和数量位样本对重复这一顺序。从而将 SPS 信号数据串行地传送至基带部件 204。

关于 RF 部件 202 和基带部件 204 之间的消息传输,主器件(典型地为基带部件 204)确定其是否需要经由消息串行接口 208 发送或接收数据(步骤 510)。如果需要,基带部件 204 确定消息是否是快速写入消息(步骤 512)。如果消息是快速写入消息,则基带部件 204(如果其是发送数据)或 RF 部件 202(如果其是发送数据)串行地在适当的串行消息数据线上放置 8 个数据位。通过用于每个数据位的消息时钟 404 转变来移入每个数据位(步骤 514)。否则,基带部件 204 或 RF 部件 202 串行地将 32 个数据位放置在适当的串行消息线上,通过消息时钟 404 转变来移入每个数据位(步骤 516)。

从选择信号线可以用于在基带部件 204 和 RF 部件 202 之间传送定时。特别地,COUNT[19:0]输出(参见表 6, Out_Dat=8)表示 RF 部件 202 中存在的计数器的值,该计数器值揭示 RF 部件 202 中的双斜率 A/D 转换器的采样相位。从选择信号线连接至 RF 部件 202 中锁存 DSP 定时的电路。从而,COUNT 值是在当从选择信号使得输出请求 COUNT 的消息时将 COUNT 值锁存

到移位寄存器中用于传输时计数器中的值。在基带部件 204，当从选择的信号被解除声明时（其在 RF 部件锁存 COUNT 时也解除锁存），从选择信号锁存计数器（或时间的另一个表示）。

由此 A/D 采样定时可以与基带部件 204 定时有关。SHIFT[19:0]输入（参见表 8，Address = 6）用于将 A/D 定时移位至离基带部件 204 定时希望的偏移。结果，基带部件 204 可以改变 RF 部件 202 电路的定时，而不需要额外的接口线。

因此，与本发明一致的系统和方法提供在 RF 处理部件 202 和基带处理部件 204 之间的接口（以及操作或提供接口的方法）。该接口支持在两个处理部件之间的通用消息传输以及 SPS 信号传输，而不用对接口增加过度的复杂性。

为了示例和说明的目的而给出了前面对于本发明优选实施例的描述。其并非穷举的，或者试图将本发明限制为所公开的精确形式。根据上面的示教，许多修改和变化是可能的。本发明的范围并非是由这些详细的描述来限定。

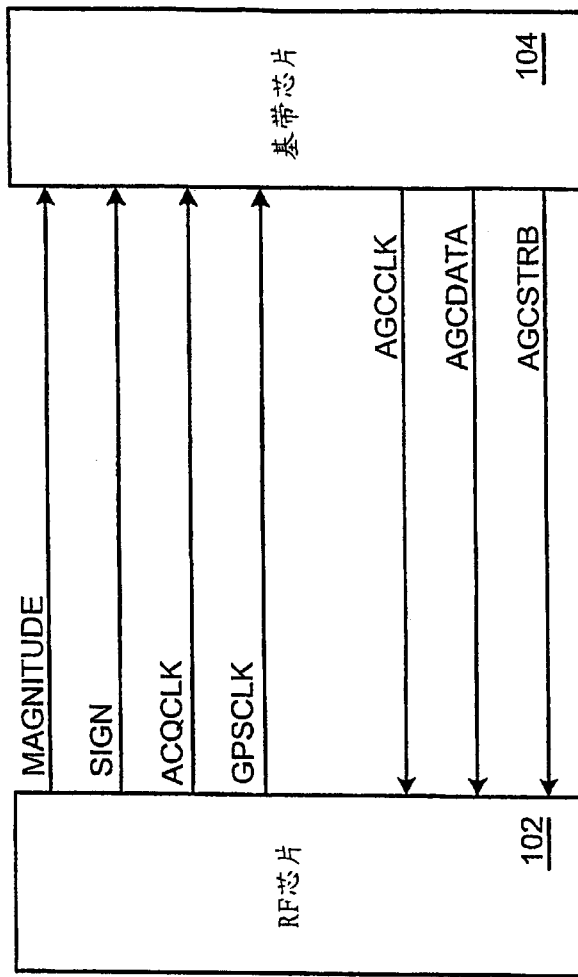


图 1

(现有技术)

100

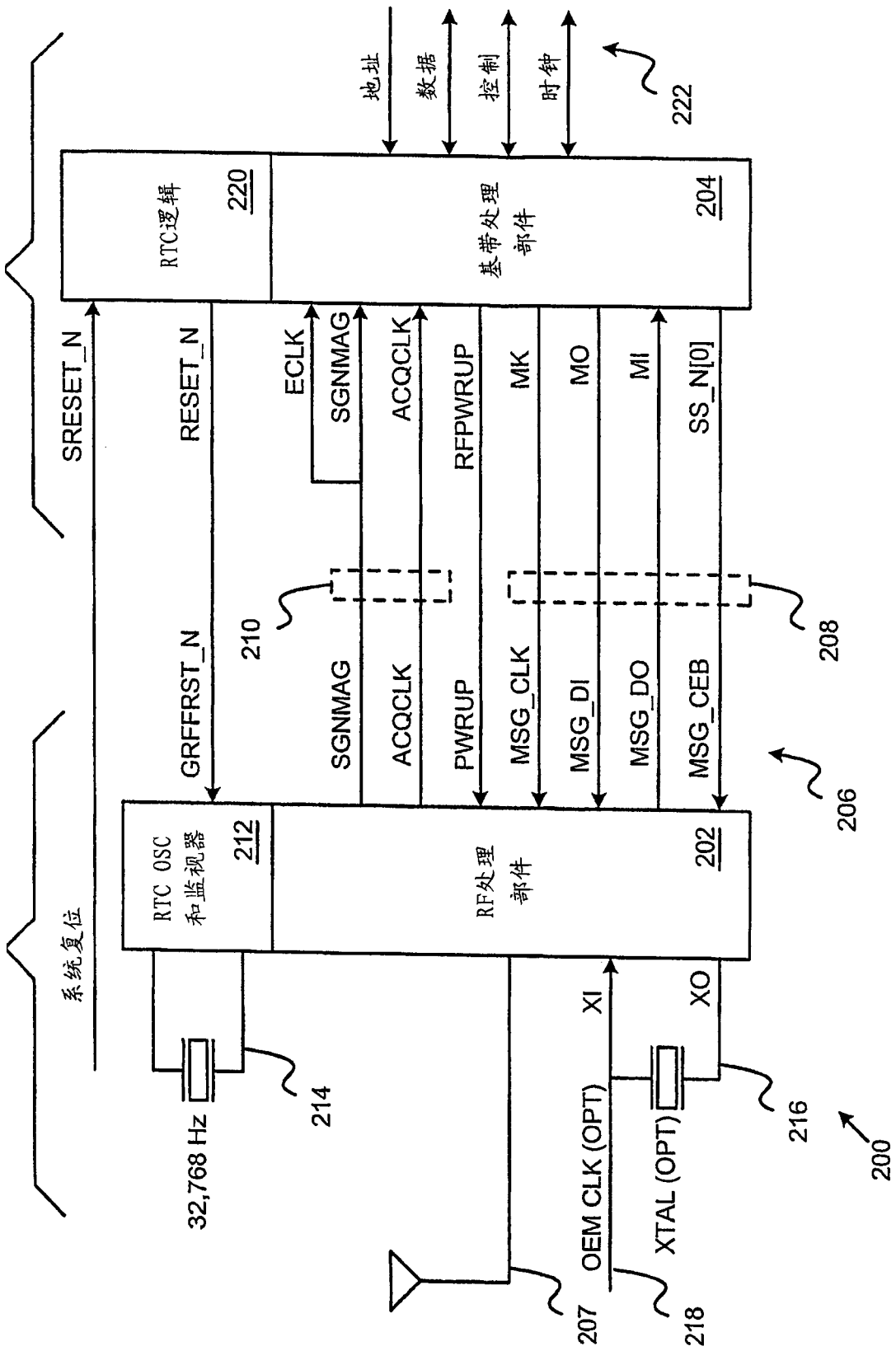


图 2

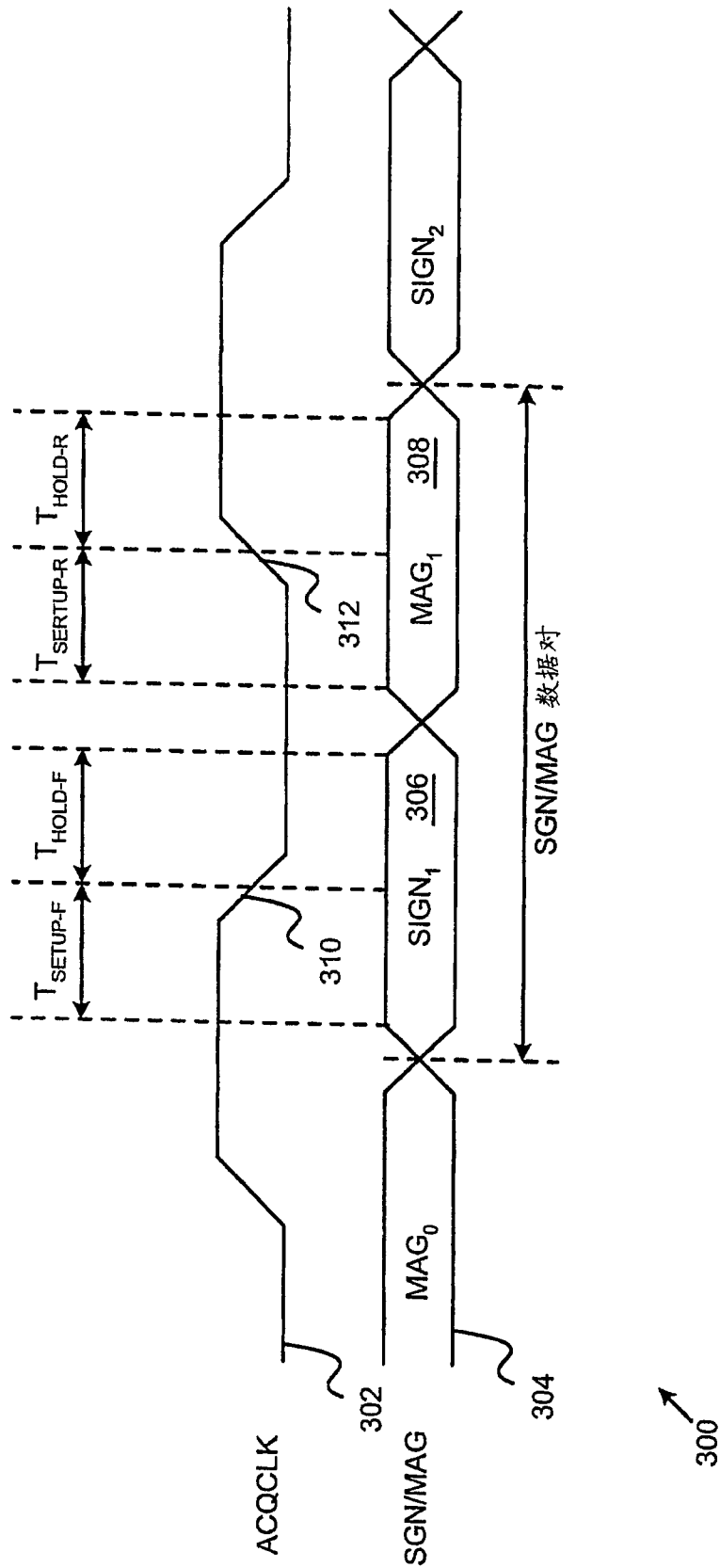


图 3

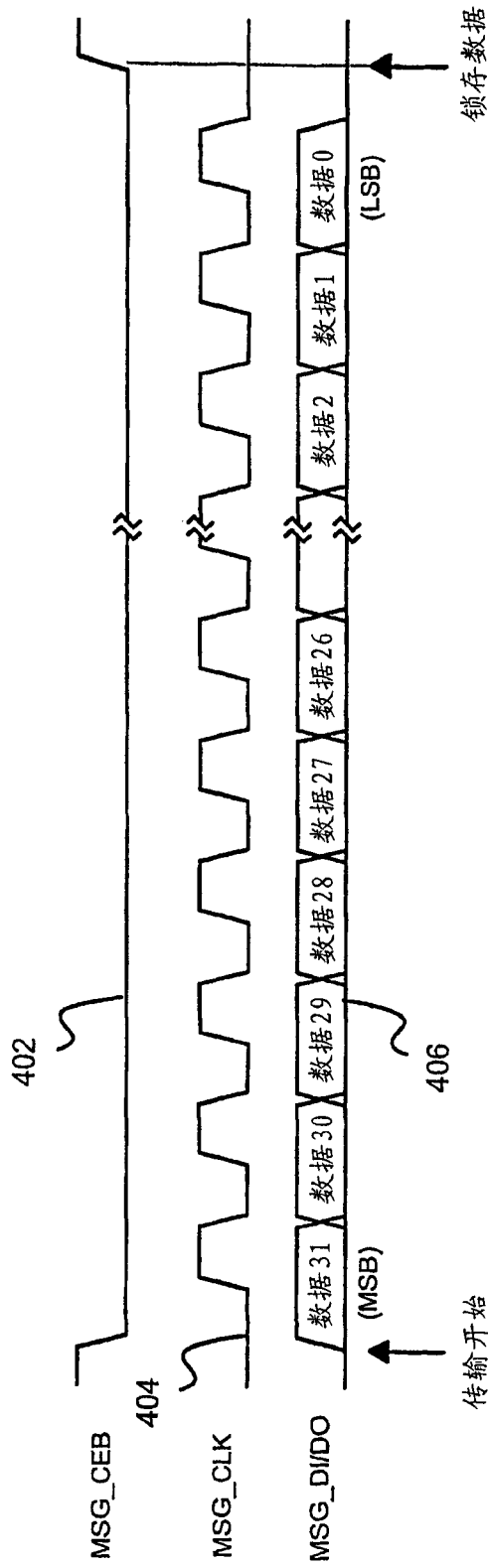


图 4

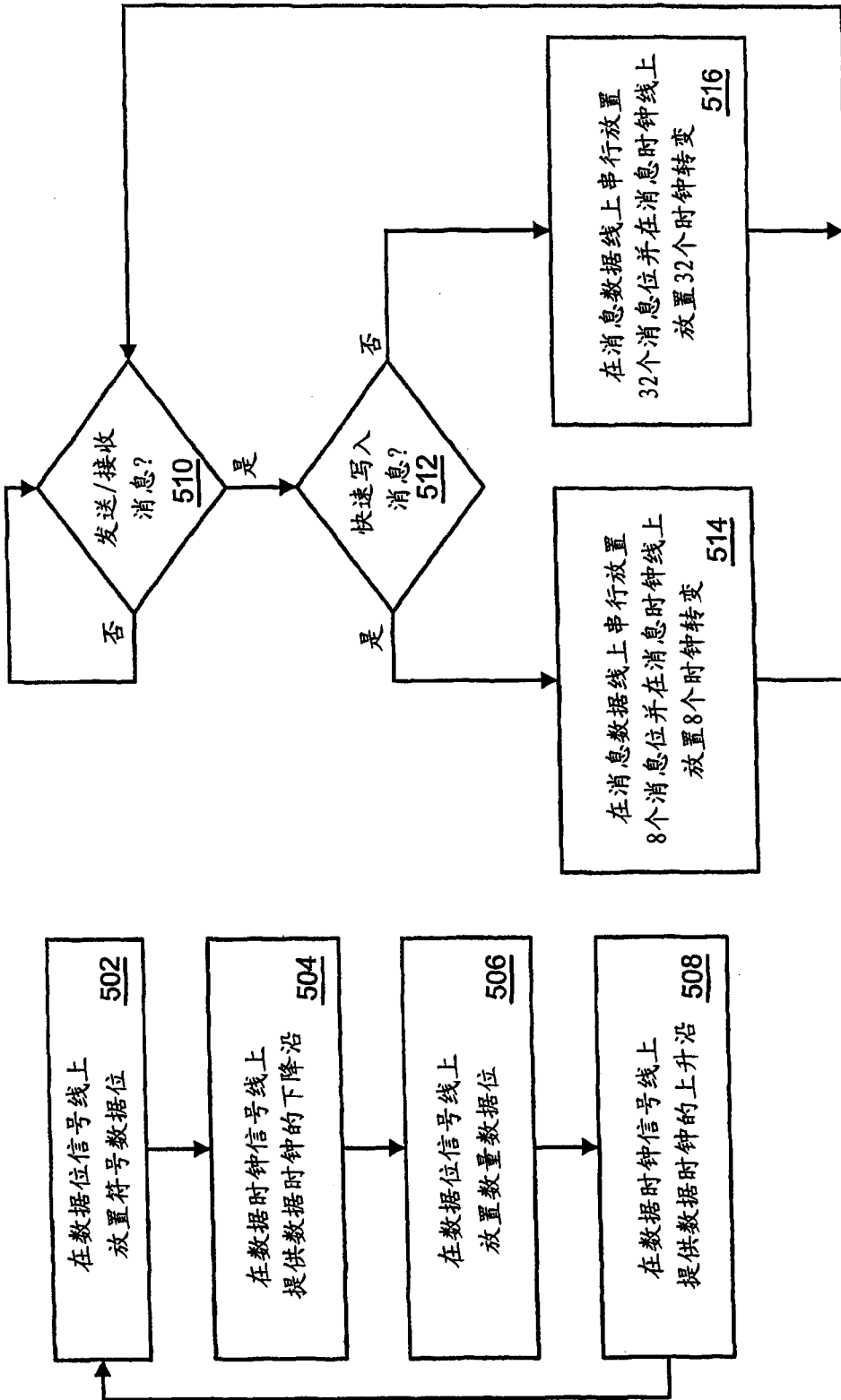


图 5