

(72) 발명자

시마모토 야스히로

일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부
시킴가이샤히타치세이사쿠쇼 지적재산권본부 내

야스이 간

일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부
시킴가이샤히타치세이사쿠쇼 지적재산권본부 내

아리가네 쥬요시

일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부
시킴가이샤히타치세이사쿠쇼 지적재산권본부 내

미네 도시유키

일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부
시킴가이샤히타치세이사쿠쇼 지적재산권본부 내

특허청구의 범위

청구항 1

반도체 기관의 주면의 제1 영역에 제1 전계 효과 트랜지스터를 포함하고, 제2 영역에 상기 제1 전계 효과 트랜지스터에 인접하는 제2 전계 효과 트랜지스터를 포함하는 불휘발성 메모리 셀을 갖는 반도체 기억 장치로서,

상기 제1 영역에 형성된 상기 제1 전계 효과 트랜지스터의 제1 게이트 전극과, 상기 제2 영역에 형성된 상기 제2 전계 효과 트랜지스터의 제2 게이트 전극과, 상기 반도체 기관과 상기 제1 게이트 전극 사이에 형성된 제1 게이트 절연막과, 상기 반도체 기관과 상기 제2 게이트 전극 사이 및 상기 제1 게이트 전극과 상기 제2 게이트 전극 사이에 형성된 상기 전하 축적층과, 상기 반도체 기관과 상기 전하 축적층 사이 및 상기 제1 게이트 전극과 상기 전하 축적층 사이에 형성된 제1 절연막을 갖고,

상기 제1 게이트 전극의 게이트 길이 방향 단부 아래의 상기 제1 게이트 절연막의 두께가, 상기 제1 게이트 전극의 게이트 길이 방향 중앙부 아래의 상기 제1 게이트 절연막의 두께보다도 두껍고,

상기 제1 게이트 전극과 상기 전하 축적층 사이에 위치하고, 또한 상기 반도체 기관에 가장 가까운 상기 제1 절연막의 두께가, 상기 반도체 기관과 상기 전하 축적층 사이의 상기 제1 절연막의 두께의 1.5배 이하인 것을 특징으로 하는 반도체 기억 장치.

청구항 2

제1항에 있어서,

상기 제1 게이트 전극의 게이트 길이 방향 단부 아래의 상기 제1 게이트 절연막의 두께가, 상기 제1 게이트 전극의 게이트 길이 방향 중앙부 아래의 상기 제1 게이트 절연막의 두께보다도 0.5nm 이상 두꺼운 것을 특징으로 하는 반도체 기억 장치.

청구항 3

제1항에 있어서,

상기 반도체 기관의 주면의 제3 영역에 논리 연산을 행하는 제3 전계 효과 트랜지스터를 더 갖고,

상기 제3 영역에 형성된 상기 제3 전계 효과 트랜지스터의 제3 게이트 전극과, 상기 반도체 기관과 상기 제3 게이트 전극 사이에 형성된 제2 게이트 절연막을 갖고,

상기 제3 게이트 전극의 게이트 길이 방향 단부 아래의 상기 제2 게이트 절연막의 두께와, 상기 제3 게이트 전극의 게이트 길이 방향 중앙부 아래의 상기 제2 게이트 절연막의 두께와의 차가 0.5nm 이하인 것을 특징으로 하는 반도체 기억 장치.

청구항 4

제1항에 있어서,

상기 제1 게이트 전극의 한쪽의 게이트 길이 방향 단부 아래의 상기 제1 게이트 절연막의 두께가, 상기 제1 게이트 전극의 게이트 길이 방향 중앙부 아래의 상기 제1 게이트 절연막의 두께보다도 두꺼운 것을 특징으로 하는 반도체 기억 장치.

청구항 5

제1항에 있어서,

상기 전하 축적층은 질화 실리콘막, 산질화 실리콘막, 산화 탄탈막, 또는 산화 알루미늄막인 것을 특징으로 하는 반도체 기억 장치.

청구항 6

제1항에 있어서,

상기 제1 절연막은 산화 실리콘막인 것을 특징으로 하는 반도체 기억 장치.

청구항 7

제1항에 있어서,

상기 제2 게이트 전극과 상기 전하 축적층 사이에 제2 절연막을 갖는 것을 특징으로 하는 반도체 기억 장치.

청구항 8

제7항에 있어서,

상기 제2 절연막은 산화 실리콘막, 산화 실리콘막의 사이에 질화 실리콘막이 삽입된 절연막, 또는 산화 실리콘막의 사이에 비정질 실리콘막이 삽입된 절연막인 것을 특징으로 하는 반도체 기억 장치.

청구항 9

제1항에 있어서,

상기 전하 축적층에 SSI 방식에 의해 핫 일렉트론을 주입함으로써, 정보를 기입하는 것을 특징으로 하는 반도체 기억 장치.

청구항 10

제1항에 있어서,

상기 전하 축적층에 BTBT 현상을 이용하여 핫 홀을 주입함으로써, 정보를 소거하는 것을 특징으로 하는 반도체 기억 장치.

청구항 11

반도체 기관의 주면의 제1 영역에 제1 전계 효과 트랜지스터를 포함하고, 제2 영역에 상기 제1 전계 효과 트랜지스터에 인접하는 제2 전계 효과 트랜지스터를 포함하는 불휘발성 메모리 셀을 형성하는 반도체 기억 장치의 제조 방법으로서,

- (a) 상기 제1 영역의 상기 반도체 기관의 주면에 제1 게이트 절연막을 형성하는 공정과,
- (b) 상기 반도체 기관의 주면 위에 제1 도체막을 퇴적한 후, 상기 제1 영역에 상기 제1 게이트 절연막을 개재하여 상기 제1 도체막으로 이루어지는 상기 제1 전계 효과 트랜지스터의 제1 게이트 전극을 형성하는 공정과,
- (c) 상기 제1 게이트 전극 아래의 상기 제1 게이트 절연막을 남기고, 그 밖의 영역의 상기 제1 게이트 절연막을 제거하는 공정과,
- (d) 상기 반도체 기관에 대하여 제1 산화 처리를 실시하고, 상기 제1 게이트 전극의 게이트 길이 방향 단부 아래의 상기 제1 게이트 절연막의 두께를 상기 제1 게이트 전극의 게이트 길이 방향 중앙부 아래의 상기 제1 게이트 절연막의 두께보다도 두껍게 하는 공정과,
- (e) 상기 (d) 공정 후에, 상기 제1 산화 처리에 의해 형성된 산화막의 전부 또는 일부를 제거한 후, 상기 반도체 기관에 대하여 제2 산화 처리를 실시하여, 제1 절연막을 형성하는 공정과,
- (f) 상기 (e) 공정 후에, 상기 제1 절연막 위에 전하 축적층을 형성하는 공정과,
- (g) 상기 (f) 공정 후에, 상기 반도체 기관의 주면 위에 제2 도체막을 퇴적한 후, 상기 제2 도체막을 이방성 에칭에 의해 가공하고, 상기 제1 게이트 전극의 양 측면에 상기 제2 도체막으로 이루어지는 사이드월을 형성하는 공정과,
- (h) 상기 제1 게이트 전극의 한쪽의 측면에 형성된 상기 사이드월을 제거하고, 상기 제1 게이트 전극의 다른 측면에 남는 상기 사이드월을 제2 게이트 전극으로 하는 공정과,
- (i) 상기 제1 게이트 전극과 상기 제2 게이트 전극 사이, 및 제2 영역에 형성된 상기 제1 절연막 및 상기 전하 축적층을 남기고, 그 밖의 영역의 상기 제1 절연막 및 상기 전하 축적층을 제거하는 공정

을 갖는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 12

제11항에 있어서,

상기 (e) 공정에서, 상기 제1 게이트 전극과 상기 전하 축적층 사이에 위치하고, 또한 상기 반도체 기판에 가장 가까운 상기 제1 절연막의 두께가, 상기 반도체 기판과 상기 전하 축적층 사이의 상기 제1 절연막의 두께의 1.5 배 이하로 되도록, 상기 제1 절연막을 형성하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 13

제11항에 있어서,

상기 제1 게이트 전극의 게이트 길이 방향 단부 아래의 상기 제1 게이트 절연막의 두께를, 상기 제1 게이트 전극의 게이트 길이 방향 중앙부 아래의 상기 제1 게이트 절연막의 두께보다도 0.5nm 이상 두껍게 형성하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 14

제11항에 있어서,

상기 (f) 공정과 상기 (g) 공정 사이에, (j) 상기 전하 축적층 위에 제2 절연막을 형성하는 공정을 더 갖는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 15

제11항에 있어서,

상기 제2 산화 처리는, 상기 반도체 기판에 대하여 ISSG 산화 처리를 실시함으로써 형성되는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 16

제11항에 있어서,

상기 제1 산화 처리는, 웨트 산화 처리인 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 17

제11항에 있어서,

상기 제1 산화 처리는, 드라이 산화 처리인 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 18

제17항에 있어서,

상기 (c) 공정에서, 상기 제1 게이트 전극의 게이트 길이 방향 단부 아래의 상기 제1 게이트 절연막을, 상기 제1 게이트 전극의 단부로부터 3~20nm 더 에칭하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 19

제11항에 있어서,

상기 (d) 공정은,

(d1) 상기 반도체 기판의 주면 위에 제3 절연막을 형성하는 공정과,

(d2) 상기 제1 게이트 전극의 측면에, 상기 제3 절연막을 개재하여, 제4 절연막으로 이루어지는 사이드월을 형성하는 공정과,

(d3) 상기 제1 게이트 전극 아래의 상기 제1 게이트 절연막이 노출될 때까지, 상기 제3 절연막을 제거하는 공정과,

(d4) 상기 반도체 기판에 대하여 드라이 산화 처리를 실시하여, 상기 제1 게이트 전극의 게이트 길이 방향 단부 아래의 상기 제1 게이트 절연막의 두께를 상기 제1 게이트 전극의 게이트 길이 방향 중앙부 아래의 상기 제1 게

이트 절연막의 두께보다도 두껍게 형성하는 공정을 더 갖고,

상기 (e) 공정은,

(e1) 상기 제1 게이트 전극 아래의 상기 제1 게이트 절연막을 남기고, 그 밖의 영역의 상기 제3 절연막, 상기 사이드월 및 상기 드라이 산화 처리에 의해 형성된 산화막을 제거하는 공정

을 더 갖는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은, 반도체 기억 장치 및 그 제조 기술에 관한 것으로, 특히, 질화 막을 전하 축적층으로 하는 MONOS(Metal Oxide Nitride Oxide Semiconductor) 메모리 셀을 갖는 반도체 기억 장치에 적용하기에 유효한 기술에 관한 것이다.

배경 기술

- <2> 전기적으로 기입, 소거가 가능한 불휘발성 반도체 기억 장치로서, 현재, EEPROM(Electrical Erasable and Programmable Read Only Memory)이 사용되고 있다. 플래시 메모리로 대표되는 불휘발성 반도체 기억 장치의 메모리 셀은, MIS(Metal Oxide Semiconductor) 트랜지스터의 게이트 전극 아래에, 산화막으로 둘러싸여진 도전성의 부유 게이트 전극 또는 트랩성 절연막으로 대표되는 전하 축적 영역을 갖고 있고, 이 전하 축적 영역에 기억 정보로서 전하를 축적하고, 그것을 MIS트랜지스터의 임계값 전압으로서 판독하는 것이다.
- <3> 트랩성 절연막을 전하 축적 영역으로 하는 메모리 셀로서는, MONOS 방식의 메모리 셀이 있다. 그 중에서도, 1개의 메모리 셀이 메모리 게이트 전극과 선택 게이트 전극의 2개의 게이트 전극을 갖는 스플리트 게이트형 메모리 셀이, 최근, 널리 사용되고 있다. 스플리트 게이트형 메모리 셀은, 전하 축적 영역으로서 트랩성 절연막을 이용하고 있으므로, 이산적으로 전하를 축적할 수 있어 데이터 유지의 신뢰성이 우수하다. 또한, 데이터 유지의 신뢰성이 우수하기 때문에, 트랩성 절연막의 위 아래에 형성되는 산화막을 박막화할 수 있으므로, 기입·소거 동작의 저전압화가 가능하다는 등의 이점을 갖고 있다. 또한, 스플리트 게이트형 메모리 셀을 이용함으로써, 주입 효율이 우수한 SSI(Source Side Injection: 소스 사이드 주입) 방식에 의해 핫 일렉트론을 트랩성 절연막에 주입할 수 있으므로, 고속, 저전류의 기입을 도모할 수 있다. 또한, 기입, 소거 동작의 제어 가 간단하기 때문에, 주변 회로를 소규모로 할 수 있다고 하는 이점도 갖고 있다. 트랩성 절연막이란, 전하 축적을 가능하게 하는 절연막을 말하며, 일례로서, 질화 실리콘막을 예로 들 수 있다.
- <4> 스플리트 게이트형 메모리 셀의 셀 구조는, 크게 나누어서 도 35 및 도 36에 도시하는 2종류로 나눌 수 있다. 도 35에 도시하는 셀 구조의 제1 메모리 셀에서는, 먼저 선택 게이트 전극 CG를 형성한 후, 하부 산화막 OIb, 질화 실리콘막 NI 및 상부 산화막 OIt로 이루어지는 ONO막을 형성하고, 메모리 게이트 전극 MG를 측벽 스페이스의 형상으로 형성한다(예를 들면 특허 문헌1 참조). 이에 대해, 도 36에 도시하는 셀 구조의 제2 메모리 셀에서는, 먼저 하부 산화막 OIb, 질화 실리콘막 NI 및 상부 산화막 OIt로 이루어지는 ONO막을 형성하고, 그 위에 메모리 게이트 전극 MG를 형성한 후, 메모리 게이트 전극 MG와 선택 게이트 전극 CG 사이의 내압을 확보하기 위한 측벽 산화막 GAP, 및 선택 게이트 전극 CG의 게이트 절연막 OG를 성막한다. 그 후, 선택 게이트 전극 CG를 측벽 스페이스의 형상으로 형성한다.
- <5> 상기 제1 메모리 셀의 이점은, 메모리 게이트 전극 MG와 선택 게이트 전극 CG 사이에 ONO막이 있기 때문에, 메모리 게이트 전극 MG와 선택 게이트 전극 CG 사이의 내압을 확보하기 쉬워, 양자 간의 거리를 ONO막의 두께 정도로 짧게 할 수 있는 것이다. 메모리 게이트 전극 MG와 선택 게이트 전극 CG 사이의 거리를 짧게 할 수 있으면, 메모리 게이트 전극 MG와 선택 게이트 전극 CG 사이의 아래의 채널부의 갭 저항이 작아져서, 상기 제2 메모리 셀보다도 큰 판독 전류를 얻을 수 있다. 또한, 도 35 및 도 36 중, 참조 부호 SUB, PW, Srm 및 Drm은, 각각 반도체 기판, p웰, 소스 영역 및 드레인 영역을 나타낸다.

- <6> [특허 문헌1] 일본 특허 공개 2005-123518호 공보

발명의 내용

해결 하고자하는 과제

- <7> 스플리트 게이트형 MONOS 메모리 셀에서, SSI 방식에 의한 기입을 행하면, 기입 시의 디스터브가 문제로 된다. 여기에서 말하는 기입 시의 디스터브란, 임의의 메모리 셀을 선택하고, 그 메모리 셀의 기입 동작을 행하면, 선택 메모리 셀에 인가한 전압이 동일한 배선에 접속되어 있는 선택하지 않은 비선택 메모리 셀에도 인가되어, 비선택 메모리 셀이 약한 기입 및 약한 소거 동작을 행하여, 서서히 데이터를 잃게 되는 현상을 말한다. SSI 방식에 의한 기입에서는, 복수의 메모리 셀의 소스 영역이 접속된 소스선과, 복수의 메모리 셀의 메모리 게이트 전극이 접속된 메모리 게이트선과의 양방에 고전압이 인가된다. 이 때문에, 소스 영역과 메모리 게이트 전극과의 양방에 기입의 고전압이 인가되는 비선택 메모리 셀이 존재하고, 그 비선택 메모리 셀에서 전하 축적 영역에 전자가 주입되는 약한 기입이 일어나, 문제로 된다.
- <8> 디스터브를 해결하는 방법으로서, 동일한 소스선 및 동일한 메모리 게이트선에 접속되는 메모리 셀의 수를 줄이는 방법이 생각된다. 그러나, 이 방법으로는, 1개의 배선을 복수개로 분할하고, 또한 배선을 구동하는 드라이버의 수를 늘릴 필요가 있기 때문에, 메모리 모듈의 면적이 증가하게 된다.
- <9> 본 발명의 목적은, 스플리트 게이트형 MONOS 메모리 셀에서, SSI 방식에 의한 기입 시의 디스터브 내성을 향상시키는 것이 가능한 기술을 제공하는 데에 있다.
- <10> 본 발명의 상기 및 그 밖의 목적과 신규의 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

과제 해결수단

- <11> 본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.
- <12> 본 발명은, 스플리트 게이트형 MONOS 메모리 셀을 갖는 반도체 기억 장치로서, 선택용 전계 효과 트랜지스터의 선택 게이트 전극과, 메모리용 전계 효과 트랜지스터의 메모리 게이트 전극과, 반도체 기판과 선택 게이트 전극 사이에 형성된 게이트 절연막과, 반도체 기판과 메모리 게이트 전극 사이 및 선택 게이트 전극과 메모리 게이트 전극 사이에 형성된 하층의 절연막, 전하 축적층 및 상층의 절연막으로 이루어지는 적층 구조의 전하 유지용 절연막을 갖고, 선택 게이트 전극의 게이트 길이 방향 단부 아래의 게이트 절연막의 두께가, 선택 게이트 전극의 게이트 길이 방향 중앙부 아래의 게이트 절연막의 두께보다도 두껍게, 선택 게이트 전극과 전하 축적층 사이에 위치하고, 또한 반도체 기판에 가장 가까운 하층의 절연막의 두께가, 반도체 기판과 전하 축적층 사이의 하층의 절연막의 두께의 1.5배 이하로 하는 것이다.
- <13> 본 발명은, 스플리트 게이트형 MONOS 메모리 셀을 갖는 반도체 기억 장치의 제조 방법으로서, 반도체 기판의 주면에 선택용 전계 효과 트랜지스터의 게이트 절연막을 형성하는 공정과, 게이트 절연막 위에 제1 도체막으로 이루어지는 선택용 전계 효과 트랜지스터의 선택 게이트 전극을 형성하는 공정과, 선택 게이트 전극 아래의 게이트 절연막을 남기고, 그 밖의 영역의 게이트 절연막을 제거하는 공정과, 반도체 기판에 대하여 산화 처리를 실시하여, 선택 게이트 전극의 게이트 길이 방향 단부 아래의 게이트 절연막의 두께를 선택 게이트 전극의 게이트 길이 방향 중앙부 아래의 게이트 절연막의 두께보다도 두껍게 형성하는 공정과, 선택 게이트 전극 아래의 게이트 절연막을 남기고, 반도체 기판의 주면을 노출시키는 공정과, 반도체 기판의 주면 위에 하층의 절연막을 형성하는 공정과, 하층의 절연막 위에 전하 축적층을 형성하는 공정과, 전하 축적층 위에 상층의 절연막을 형성하는 공정과, 선택 게이트 전극의 측면에 제2 도체막으로 이루어지는 메모리용 전계 효과 트랜지스터의 메모리 게이트 전극을 형성하는 공정과, 선택 게이트 전극의 한쪽에 형성된 메모리 게이트 전극을 제거하는 공정과, 선택 게이트 전극과 메모리 게이트 전극 사이, 및 메모리 게이트 전극과 반도체 기판 사이의 하층의 절연막, 전하 축적층 및 상층의 절연막을 남기고, 그 밖의 하층의 절연막, 전하 축적층 및 상층의 절연막을 제거하는 공정을 갖는 것이다.

효과

- <14> 본원에서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 이하와 같다.
- <15> 스플리트 게이트형 MONOS 메모리 셀에서, 판독 전류를 저감시키지 않고, SSI 방식에 의한 기입 시의 디스터브 내성을 향상시킬 수 있다. 또한, 비선택 메모리 셀의 디스터브 내성이 향상함으로써, 메모리 모듈의 면적을 저감할 수 있다.

발명의 실시를 위한 구체적인 내용

- <16> 본 실시 형태에서, 편의상 그 필요가 있을 때는, 복수의 섹션 또는 실시 형태로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 그들은 서로 무관한 것은 아니고, 한쪽은 다른쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다.
- <17> 또한, 본 실시 형태에서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)으로 언급하는 경우, 특별히 명시한 경우 및 원리적으로 명확하게 특정한 수에 한정되는 경우 등을 제외하고, 그 특정한 수에 한정되는 것은 아니고, 특정한 수 이상이어도 이하이어도 된다. 또한, 본 실시 형태에서, 그 구성 요소(요소 스텝 등도 포함함)는, 특별히 명시한 경우 및 원리적으로 명확하게 필수적이라고 생각되는 경우 등을 제외하고, 반드시 필수적인 것은 아닌 것은 물론이다. 마찬가지로, 본 실시 형태에서, 구성 요소 등의 형상, 위치 관계 등에 언급할 때는, 특별히 명시한 경우 및 원리적으로 명확하게 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은, 상기 수치 및 범위에 대해서도 마찬가지이다.
- <18> 또한, 본 실시 형태에서는, 전계 효과 트랜지스터를 대표하는 MIS·FET(Metal Insulator Semiconductor Field Effect Transistor)를 MIS라고 약칭하고, n채널형의 MIS·FET를 nMIS라고 약칭한다. 또한, MOSFET(Metal Oxide Semiconductor FET)는, 그 게이트 절연막이 산화 실리콘(SiO_2 등)막으로 이루어지는 구조의 전계 효과 트랜지스터이며, 상기 MIS의 하위 개념에 포함되는 것으로 한다. 또한, 본 실시 형태에서 기재하는 MONOS형 메모리 셀에 대해서도, 상기 MIS의 하위 개념에 포함되는 것은 물론이다. 또한, 본 실시 형태에서, 질화 실리콘, 질화 규소 또는 실리콘나이트라이드라고 할 때는, Si_3N_4 는 물론이지만, 그것뿐만 아니라, 실리콘의 질화물로 유사 조성의 절연막을 포함하는 것으로 한다. 또한, 본 실시 형태에서, 웨이퍼라고 할 때는, Si(Silicon) 단결정 웨이퍼를 주로 하지만, 그것만 아니라, SOI(Silicon On Insulator) 웨이퍼, 집적 회로를 그 위에 형성하기 위한 절연막 기판 등을 가리키는 것으로 한다. 그 형태도 원형 또는 거의 원형뿐만 아니라, 정방형, 장방형 등도 포함하는 것으로 한다.
- <19> 또한, 본 실시 형태를 설명하기 위한 전체 도면에서, 동일 기능을 갖는 것은 원칙적으로 동일한 부호를 붙여서, 그 반복된 설명은 생략한다. 이하, 본 발명의 실시 형태를 도면에 기초하여 상세하게 설명한다.
- <20> [실시 형태 1]
- <21> 본 발명의 실시 형태 1에 의한 스플리트 게이트형 MONOS 메모리 셀의 구조의 일례를 도 1 및 도 2를 이용하여 설명한다. 도 1은 채널을 메모리 게이트 전극에 대하여 교차하는 방향을 따라서 절단한 스플리트 게이트형 MONOS 메모리 셀의 주요부 단면도, 도 2는 도 1의 a영역을 확대하여 도시한 주요부 단면도이다.
- <22> 도 1에 도시한 바와 같이, 반도체 기판(1)은, 예를 들면 p형의 단결정 실리콘으로 이루어지고, p형의 불순물이 도입되어 이루어지는 p웰 PW가 형성되어 있다. 반도체 기판(1)의 주면(디바이스 형성면)의 활성 영역에는, 본 실시 형태 1에 의한 메모리 셀 MC1의 선택용 nMIS(Qnc)와 메모리용 nMIS(Qnm)가 배치되어 있다. 이 메모리 셀 MC1의 드레인 영역 Drm 및 소스 영역 Srm은, 예를 들면 상대적으로 저농도의 n^- 형의 반도체 영역(2ad, 2as)와, 그 n^- 형의 반도체 영역(2ad, 2as)보다도 불순물 농도가 높은 상대적으로 고농도의 n^+ 형의 반도체 영역(2b)을 갖고 있다(LDD(Lightly Doped Drain) 구조). n^- 형의 반도체 영역(2ad, 2as)은, 메모리 셀 MC1의 채널 영역측에 배치되고, n^+ 형의 반도체 영역(2b)은, 메모리 셀 MC1의 채널 영역측에서 n^- 형의 반도체 영역(2ad, 2as)분만큼 떨어진 위치에 배치되어 있다.
- <23> 이 드레인 영역 Drm과 소스 영역 Srm 사이의 반도체 기판(1)의 주면 위에는, 상기 선택용 nMIS(Qnc)의 선택 게이트 전극 CG와, 상기 메모리용 nMIS(Qnm)의 메모리 게이트 전극 MG가 인접하여 연장되어 있고, 그 연장 방향에서 복수의 메모리 셀 MC1은 반도체 기판(1)에 형성된 소자 분리부를 통하여 인접하고 있다. 선택 게이트 전극 CG는 반도체 기판(1)의 주면의 제1 영역에 배치되고, 메모리 게이트 전극 MG는 반도체 기판(1)의 주면의 제1 영역과는 다른 제2 영역에 배치되어 있다. 선택 게이트 전극 CG는, 예를 들면 n형의 다결정 실리콘막으로 이루어지고, 그 불순물 농도는, 예를 들면 $2 \times 10^{20} \text{cm}^{-3}$ 정도, 그 게이트 길이는, 예를 들면 100~150nm 정도이다. 메모리 게이트 전극 MG는, 예를 들면 n형의 다결정 실리콘막으로 이루어지고, 그 불순물 농도는, 예를 들면 $2 \times 10^{20} \text{cm}^{-3}$ 정도, 그 게이트 길이는, 예를 들면 50~100nm 정도이다.
- <24> 선택 게이트 전극 CG와, 메모리 게이트 전극 MG와, 소스 영역 Srm 및 드레인 영역 Drm의 일부를 구성하는 n^+ 형

의 반도체 영역(2b)의 상면에는, 예를 들면 코발트 실리사이드, 니켈 실리사이드, 티탄 실리사이드 등과 같은 실리사이드층(3)이 형성되어 있다. MONOS형 메모리 셀에서는, 선택 게이트 전극 CG 및 메모리 게이트 전극 MG의 쌍방에 전위를 공급할 필요가 있고, 그 동작 속도는 선택 게이트 전극 CG 및 메모리 게이트 전극 MG의 저항값에 크게 의존한다. 따라서 실리사이드층(3)을 형성함으로써 선택 게이트 전극 CG 및 메모리 게이트 전극 MG의 저저항화를 도모하는 것이 바람직하다. 실리사이드층(3)의 두께는, 예를 들면 20nm 정도이다.

<25> 선택 게이트 전극 CG와 반도체 기관(1)의 주면 사이에는, 예를 들면 두께 1~5nm 정도의 얇은 산화 실리콘막으로 이루어지는 게이트 절연막(4)이 형성되어 있다. 따라서 소자 분리부 위 및 게이트 절연막(4)을 개재한 반도체 기관(1)의 제1 영역 위에 선택 게이트 전극 CG가 배치되어 있다. 또한, 게이트 절연막(4)의 구조는 버즈 비크 형상이며, 게이트 절연막(4)의 게이트 길이 방향 단부 아래의 두께가, 게이트 절연막(4)의 게이트 길이 방향 중앙부 아래의 두께보다도 두껍게 형성되어 있다.

<26> 게이트 절연막(4)의 하방의 반도체 기관(1)의 주면에는, 예를 들면 붕소가 도입되어 p형의 반도체 영역(5)이 형성되어 있다. 이 반도체 영역(5)은, 선택용 nMIS(Qnc)의 채널 형성용의 반도체 영역이며, 이 반도체 영역(5)에 의해 선택용 nMIS(Qnc)의 임계값 전압이 소정의 값으로 설정되어 있다.

<27> 메모리 게이트 전극 MG는 선택 게이트 전극 CG의 측면의 한쪽에 형성되어 있고, 하층의 절연막(6b), 전하 축적층 CSL 및 상층의 절연막(6t)을 적층한 전하 유지용 절연막(이하, 절연막(6b, 6t) 및 전하 축적층 CSL이라고 적음)에 의해 선택 게이트 전극 CG와 메모리 게이트 전극 MG와의 절연이 이루어져 있다. 또한, 절연막(6b, 6t) 및 전하 축적층 CSL을 개재한 반도체 기관(1)의 제2 영역 위에 메모리 게이트 전극 MG가 배치되어 있다. 또한, 도 1에서는 절연막(6b, 6t) 및 전하 축적층 CSL의 표기를 6b/CSL/6t로서 표현하고 있다.

<28> 전하 축적층 CSL은, 그 상하를 절연막(6b, 6t) 사이에 둔 상태에서 형성되어 있고, 예를 들면 질화 실리콘막으로 이루어지고, 그 두께는, 예를 들면 5~20nm 정도이다. 질화 실리콘막은, 그 막 내에 이산적인 트랩 준위를 갖고, 이 트랩 준위에 전하를 축적하는 기능을 갖는 절연막이다. 절연막(6b, 6t)은, 예를 들면 산화 실리콘막 등으로 이루어지고, 하층의 절연막(6b)의 두께는, 예를 들면 1.5~6nm 정도, 상층의 절연막(6t)의 두께는, 예를 들면 0~8nm 정도이다. 절연막(6b, 6t)은 질소를 포함한 산화 실리콘막으로 형성할 수도 있다.

<29> 상기 하층의 절연막(6b)의 하방, p형의 반도체 영역(5)과 소스 영역 Srm 사이의 반도체 기관(1)의 주면에는, 예를 들면 비소 또는 인이 도입되어 n형의 반도체 영역(7)이 형성되어 있다. 이 반도체 영역(7)은, 메모리용 nMIS(Qnm)의 채널 형성용의 반도체 영역이며, 이 반도체 영역(7)에 의해 메모리용 nMIS(Qnm)의 임계값 전압이 소정의 값으로 설정되어 있다. 선택 게이트 전극 CG 및 메모리 게이트 전극 MG의 상방에는 질화 실리콘막(8a) 및 산화 실리콘막(8b)으로 이루어지는 층간 절연막(8)이 형성되어 있고, 이 층간 절연막(8)에는 드레인 영역 Drm에 도달하는 콘택트 홀 CNT가 형성되어 있다. 드레인 영역 Drm에는, 콘택트 홀 CNT에 매립된 플러그 PLG를 통하여, 제1 방향으로 연장하는 메모리 게이트 전극 MG(또는 선택 게이트 전극 CG)에 대하여 교차하는 방향인 제2 방향으로 연장하는 제1층 배선 M1이 접속되어 있다. 이 배선 M1이, 각 메모리 셀 MC1의 비트선을 구성하고 있다.

<30> 도 2에, 메모리 셀 MC1의 겹부에서의 선택 게이트 전극 CG의 게이트 절연막(4), 하층의 절연막(6b), 전하 축적층 CSL 및 상층의 절연막(6t)의 확대도를 도시한다.

<31> 본 실시 형태 1에서 설명되는 메모리 셀 MC1의 특징은, 선택 게이트 전극 CG의 게이트 절연막(4)의 구조가 버즈 비크 형상이며, 부가적으로, 선택 게이트 전극 CG와 전하 축적층 CSL 사이에 위치하는 하층의 절연막(6b)을 두껍게 형성하지 않고, 소정의 두께로 설정하는 데에 있다. 보다 구체적으로는, (1)선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)의 두께(toxe)가, 게이트 길이 방향 중앙부 아래의 게이트 절연막(4)의 두께(toxc)보다도 두껍게 형성되고, (2) 선택 게이트 전극 CG와 전하 축적층 CSL 사이에 위치하고, 또한 반도체 기관(1)(p웰 PW)에 가장 가까운 하층의 절연막(6b)의 두께(toxs)가, 반도체 기관(1)과 전하 축적층 CSL 사이에 위치하는 하층의 절연막(6b)의 두께(toxb)의 1.5배 이하이다. 나중에, 이 메모리 셀 MC1의 어레이 구성 및 메모리 동작(기입, 기입 디스터브, 소거 및 판독)에 대해서는 도 3~도 11을 이용하여, 이 메모리 셀 MC1의 제조 방법에 대해서는 도 12~도 20을 이용하여 상세하게 설명한다.

<32> 우선, 본 발명의 실시 형태 1에 의한 스플리트 게이트형 MONOS 메모리 셀의 어레이 구성의 일례를 도 3을 이용하여 설명한다. 도 3은 메모리 셀의 어레이 구성을 도시하는 회로도이다. 또한, 도 3에서는, 간략화를 위해, 2×4개의 메모리 셀만을 나타내고 있다.

<33> 각 메모리 셀 MC1의 선택 게이트 전극 CG를 접속하는 선택 게이트선(워드선) CGL0~CGL3, 메모리 게이트 전극

MG를 접속하는 메모리 게이트선 MGL0~MGL3 및 2개의 인접한 메모리 셀이 공유하는 소스 영역 Srm을 접속하는 소스선 SL0, SL1은 제1 방향으로 각각 평행하게 연장한다. 또한, 메모리 셀 MC1의 드레인 영역 Drm을 접속하는 비트선 BL0, BL1은 제2 방향, 즉, 선택 게이트선 CGL0 등과 직교하는 방향으로 연장한다. 또한, 이들 배선은, 회로도 상뿐만 아니라, 각 메모리 셀 MC1 또는 배선의 레이아웃 상에도 전술한 방향으로 연장한다. 또한, 선택 게이트선 CGL0등은, 선택 게이트 전극 CG에 의해 구성하여도 되고, 선택 게이트 전극 CG에 접속되는 배선에 의해 구성하여도 된다.

<34> 소스선 SL0, SL1과 메모리 게이트선 MGL0~MGL3에는, 기입·소거 시에 고전압이 인가되므로, 고내압의 MIS로 이루어지는 승압 드라이버가 접속되어 있다(도시하는 생략). 또한, 선택 게이트선 CGL0~CGL3에는, 1.5V 정도의 저전압만이 인가되므로, 저내압에서 고속의 승압 드라이버가 접속되어 있다(도시하는 생략). 1개의 로컬 비트선에는 16개, 32개 또는 64개의 메모리 셀이 접속되고, 로컬 비트선은 로컬 비트선을 선택하는 MIS를 통하여 글로벌 비트선에 접속되고, 글로벌 비트선은 센스 앰프에 접속되어 있다.

<35> 도 3에 도시한 어레이 구성에서는, 소스선 SL0, SL1은 1개마다 독립되어 배선되고, 메모리 게이트선 MGL0~MGL3은 복수개를 접속하여 공통의 메모리 게이트선 MGL로 하고 있지만, 소스선 SL0, SL1 및 메모리 게이트선 MGL0~MGL3 모두 복수개를 접속하고, 각각 공유의 소스선 및 메모리 게이트선으로 하여도 된다. 공유의 배선으로 함으로써, 각각의 선을 구동하는 고내압의 드라이버수가 삭감되고, 칩 면적을 저감할 수 있다. 반대로, 소스선 SL0, SL1 및 메모리 게이트선 MGL0~MGL3 모두 1개마다 독립되어 배선하여도 된다. 이 경우, 고내압의 드라이버수는 많아지지만, 기입 및 소거 시에 디스터브를 받는 시간을 줄일 수 있다.

<36> 다음으로, 본 발명의 실시 형태 1에 의한 스플리트 게이트형 MONOS 메모리 셀의 메모리 동작(기입, 기입 디스터브, 소거 및 판독)의 일례를 도 4~도 11을 이용하여 설명한다. 도 4는 상기 도 3에 도시한 선택 셀 BIT1의 기입, 소거 및 판독 시에서, 각 배선(선택 게이트선 CGL0~CGL3, 메모리 게이트선 MGL, 소스선 SL0, SL1, 비트선 BL0, BL1)에 인가되는 전압 조건의 일례, 도 5는 상기 도 3에 도시한 선택 셀 BIT1에 정보를 기입하는 경우에, 선택 셀 BIT1, 비선택 셀 DISTA, DISTB, DISTC의 각 단자에 인가되는 전압 조건의 일례, 도 6은 기입 선택 메모리 셀의 전하의 움직임을 나타내는 메모리 셀의 주요부 단면도, 도 7은 메모리 셀의 기입 특성을 나타내는 그래프도, 도 8은 디스터브 특성을 나타내는 그래프도, 도 9는 선택 게이트 전극의 게이트 길이 방향 단부 아래의 게이트 절연막의 버즈 비크량과 임계값 전압이 -1V에 도달하는 디스터브 시간과의 관계를 나타내는 그래프도, 도 10은, 디스터브 시의 전자 주입의 메카니즘을 설명하기 위한 메모리 셀의 주요부 단면도, 도 11은 선택 게이트 전극과 전하 축적층 사이에 위치하는 하층의 절연막의 두께와 메모리용 nMIS의 최대 상호 컨덕턴스와의 관계를 나타내는 그래프도이다. 여기에서는, 전하 축적층 CSL에의 전자의 주입을 「기입」, 홀의 주입을 「소거」라고 정의한다.

<37> 「기입」과 「기입 디스터브」에 대하여 설명한다.

<38> 기입은, 소위 SSI 방식에 의해 행해진다. 비선택 셀 DISTA는, 선택 셀 BIT1과 동일한 메모리 게이트선 MGL, 소스선 SL0 및 선택 게이트선 CGL1에 접속된 메모리 셀, 비선택 셀 DISTB, DISTC는, 선택 셀 BIT1과 동일한 메모리 게이트선 MGL, 소스선 SL0에 접속된 메모리 셀이다.

<39> 도 4 및 도 5에 도시한 바와 같이, 선택 셀 BIT1의 소스 영역 Srm에 인가하는 전압 Vs를 5V, 메모리 게이트 전극 MG에 인가하는 전압 Vmg를 10V, 선택 게이트 전극 CG에 인가하는 전압 Vsg를 1V로 한다. 그리고, 드레인 영역 Drm에 인가하는 전압 Vd는 기입 시의 채널 전류가 임의의 설정값으로 되도록 제어한다. 이 때의 전압 Vd는 채널 전류의 설정값과 선택용 MIS(Qnc)의 임계값 전압에 의해 정해지고, 예를 들면 설정 전류값 1 μ A에서 0.4V 정도로 된다. p웰 PW에 인가하는 전압 Vwel1은 0V이다.

<40> 도 6에, 선택 셀 BIT1에 기입 전압을 인가했을 때의 전하의 움직임을 나타낸다. 드레인 영역 Drm보다도 큰 전압을 선택 게이트 전극 CG에 인가하여 선택용 MIS(Qnc)를 온 상태로 하고, 소스 영역 Srm에 플러스의 고전압을 인가함으로써, 드레인 영역 Drm으로부터 소스 영역 Srm에 전자가 흐른다. 채널 영역을 흐르는 이 전자는, 선택 게이트 전극 CG와 메모리 게이트 전극 MG의 경계 부근 아래의 채널 영역(소스 영역 Srm과 드레인 영역 Drm 사이)에서 가속되어 핫 일렉트론으로 된다. 그리고, 핫 일렉트론은, 메모리 게이트 전극 MG에 인가된 정전압에 의해 메모리 게이트 전극 MG에 가까이 당겨져 메모리 게이트 전극 MG 아래의 전하 축적층 CSL 내에 주입된다. 주입된 핫 일렉트론은, 전하 축적층 CSL 내의 트랩 준위에 포획되고, 그 결과, 전하 축적층 CSL에 전자가 축적되어 메모리용 nMIS(Qnm)의 임계값 전압이 상승한다.

<41> 기입 디스터브를 받는 비선택 셀 DISTA에서는, 소스 영역 Srm에 인가하는 전압 Vs를 5V, 메모리 게이트 전극 MG

에 인가하는 전압 V_{mg} 를 10V, 선택 게이트 전극 CG에 인가하는 전압 V_{sg} 를 10V로 하고, 선택 셀 BIT1과 동일한 전압을 인가한다. 드레인 영역 D_{rm} 에 인가하는 전압 V_d 는 선택 셀 BIT1과는 달리, 선택 게이트 전극 CG에 인가하는 전압 V_{sg} 보다도 큰 1.5V로 하고 있다. 선택 게이트 전극 CG보다도 큰 전압을 드레인 영역 D_{rm} 에 인가하여, 선택용 nMIS(Q_{nc})를 오프 상태로 함으로써 기입을 금지한다.

<42> 기입 디스터브를 받는 비선택 셀 DISTB, DISTC에서는, 소스 영역 S_{rm} 에 인가하는 전압 V_s 는 5V, 메모리 게이트 전극 MG에 인가하는 전압 V_{mg} 는 10V로 하여, 선택 셀 BIT1과 동일한 전압을 인가한다. 선택 게이트 전극 CG에 인가하는 전압 V_{sg} 는 비선택의 0V, 드레인 영역 D_{rm} 에 인가하는 전압 V_d 는, 선택 셀 BIT1과 동일한 비트선 BL0에 접속된 비선택 셀의 경우에는 0.4V, 선택 셀 BIT1과 다른 비트선 BL1에 접속된 비선택 셀의 경우에는 1.5V가 인가된다. 선택 게이트 전극 CG에 인가하는 전압 V_{sg} 보다도 드레인 영역 D_{rm} 에 인가하는 전압 V_d 가 커서, 선택용 nMIS(Q_{nc})를 오프 상태로 함으로써 기입을 금지한다.

<43> 도 7 및 도 8에, 본 실시 형태 1에 의한 메모리 셀의 기입 특성 및 디스터브 특성을 각각 나타낸다. 비교를 위해, 이들 도면에는, 선택용 nMIS(Q_{nc})의 게이트 절연막(4)에 버즈 비크가 없는 메모리 셀(이하, 종래의 메모리 셀이라고 적음)의 기입 특성 및 디스터브 특성도 나타낸다. 도 7 및 도 8 중, 선택용 nMIS(Q_{nc})의 게이트 절연막(4)에 버즈 비크가 있고, 선택 게이트 전극 CG의 게이트 길이 방향 중앙부 아래의 게이트 절연막(4)의 두께(to_{xc})가 2nm, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)의 두께(to_{xe})가 2.5nm인 본 실시 형태 1에 의한 메모리 셀 A, 선택용 nMIS(Q_{nc})의 게이트 절연막(4)에 버즈 비크가 있고, 선택 게이트 전극 CG의 게이트 길이 방향 중앙부 아래의 게이트 절연막(4)의 두께(to_{xc})가 2nm, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)의 두께(to_{xe})가 3nm인 본 실시 형태 1에 의한 메모리 셀 B, 선택용 nMIS의 게이트 절연막에 버즈 비크가 없고, 게이트 절연막의 두께가 2nm인 종래의 메모리 셀 C의 각각의 특성을 나타내고 있다.

<44> 도 7에 도시한 바와 같이, 본 실시 형태 1에 의한 메모리 셀 A, B도 종래의 메모리 셀 C도, 기입 속도는 거의 변하지 않는다. 즉, 기입 속도는 선택 게이트 전극 CG의 게이트 절연막(4)의 두께에는 거의 의존하지 않는다. 이는, 기입에서 주입하는 전자는 드레인 영역 D_{rm} 으로부터 공급되고, 이 전자의 공급량은 선택 게이트 전극 CG의 버즈 비크의 영향을 받지 않기 때문이라고 생각된다.

<45> 이에 대해, 도 8에 도시한 바와 같이, 디스터브 특성에서는, 선택 게이트 전극 CG에 인가하는 전압 V_{sg} 가 1V인 비선택 셀 DISTA와 선택 게이트 전극 CG에 인가하는 전압 V_{sg} 가 0V인 비선택 셀 DISTB, DISTC의 양자 모두, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)의 두께(to_{xe})가 증가함에 따라서, 임계값 전압의 상승이 억제되어 있다. 즉, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래에 버즈 비크를 도입함으로써, 디스터브 내성이 향상한다.

<46> 도 9에, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)의 버즈 비크량과 임계값 전압이 -1V에 도달하는 디스터브 시간과의 관계를 나타낸다. 선택 게이트 전극 CG의 게이트 길이 방향 중앙부 아래의 게이트 절연막(4)의 두께(to_{xc})와 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)의 두께(to_{xe})의 차를 버즈 비크량이라고 한다.

<47> 도 9에 도시한 바와 같이, 버즈 비크량이 커지면, 임계값 전압이 1V 상승할 때까지의 시간이 길어져서, 디스터브 내성이 향상하고 있는 것을 알 수 있다. 버즈 비크량이 0.5nm 이상으로 하면, 급격하게 디스터브 내성이 향상한다.

<48> 도 10에, 디스터브 시의 전자 주입의 메커니즘을 나타낸다. 상기 도 5의 디스터브 전압이 인가된 경우, 메모리 게이트 전극 MG에 정전압이 인가되고, 메모리 게이트 전극 MG 아래에 채널 영역이 형성되기 때문에, 소스 영역 S_{rm} 에 인가한 5V의 고전압이 선택 게이트 전극 CG의 단부 부근까지 도달한다. 선택 게이트 전극 CG에 인가하는 전압 V_{sg} (1V 또는 0V)보다도 큰 전압이, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)의 더 아래에 걸리게 되기 때문에, 소위 GIDL(Gate Induced drain leakage) 전류가 흐른다. 이 GIDL 전류는, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 반도체 기판(1)(반도체 영역(5))에서 생성한 전자 정공쌍에 의한 것으로, 이 중 전자가 소스 영역 S_{rm} 과 메모리 게이트 전극 MG에 인가한 플러스의 고전압에 인장되어 전하 축적층 CSL 내에 주입된다. 상기 도 8에 도시한 디스터브 특성에서는, 선택 게이트 전극 CG에 인가하는 전압 V_{sg} 가 1V인 비선택 셀 DISTA보다도 선택 게이트 전극 CG에 인가하는 전압 V_{sg} 가 0V인 비선택 셀 DISTB, DISTC의 쪽이 임계값 전압의 상승이 커지고 있어, 드레인 영역 D_{rm} 과 소스 영역 S_{rm} 사이의 채널 전류는 아니고, 선택 게이트 전극 CG 아래의 GIDL 전류에 의해 디스터브의 전자 주입이 일어나 있다고 생각된다. 버즈 비크를 도입하면, 전자 정공쌍이 생성되는 개소 위의 게이트 절연막(4)에 걸리는 수직 방향 전계가 작아지고,

그 결과, GIDL 전류가 감소하기 때문에, 디스터브 내성이 향상한다.

<49> 다음으로, 「소거」에 대하여 설명한다.

<50> 상기 도 4의 「소거」란에 도시한 바와 같이, 소거는, BTBT(Band-To-Band Tunneling) 현상에 의해 홀을 발생시켜 전계 가속함으로써 핫 홀을 전하 축적층 CSL 내에 주입하는 BTBT 소거, 메모리 게이트 전극 MG 또는 반도체 기판(1)으로부터 홀을 FN(Fowler-Nordheim) 터널링에서 전하 축적층 내에 주입하는 FN 소거 중 어느 하나에 의해 행한다.

<51> BTBT 소거를 행하는 경우에는, 메모리 게이트 전극 MG에 인가하는 전압 V_{mg} 를 -6V, 소스 영역 S_{rm} 에 인가하는 전압 V_s 를 6V, 선택 게이트 전극 CG에 인가하는 전압 V_{sg} 를 0V로 하고, 드레인 영역 D_{rm} 은 부유 상태로 한다. p웰 PW에는 0V(V_{well})를 인가한다. 상기 전압을 인가한 경우, 소스 영역 S_{rm} 과 메모리 게이트 전극 MG 사이에 걸리는 전압에 의해 소스 영역 S_{rm} 의 단부에서 BTBT 현상에서 생성된 홀이, 소스 영역 S_{rm} 에 인가된 고전압에 의해 가속되어 핫 홀로 되고, 메모리 게이트 전극 MG에 인가된 고전압에 의해 핫 홀이 메모리 게이트 전극 MG 방향으로 인장되어, 전하 축적층 CSL 내에 주입된다. 주입된 핫 홀은 전하 축적층 CSL 내의 트랩 준위에 포획되어, 메모리용 nMIS(Q_{nm})의 임계값 전압이 저하한다.

<52> 메모리 게이트 전극 MG로부터 홀을 주입하는 FN 소거의 경우, 홀의 FN 터널 주입이 일어나기 쉽도록, 상기 도 1의 메모리 셀 MC1에서 상층의 절연막(6t)의 두께를 3nm 이하로 하거나, 상층의 절연막(6t)이 없는 구조로 한다. 상층의 절연막(6t)이 있는 구조의 경우, 보다 홀이 주입하기 쉽도록, 상층의 절연막(6t) 사이에 두께 1nm 정도의 질화 실리콘막 또는 아몰퍼스 실리콘막을 삽입한 구조로 하면 된다. 또한, 상층의 절연막(6t)이 없는 구조의 경우, 보다 홀이 주입하기 쉽도록, 전하 축적층 CSL을 산질화 실리콘막을 이용한 구조, 또는 질화 실리콘막 및 산질화 실리콘막을 반도체 기판측으로부터 순서대로 적층한 구조로 하면 된다. 메모리 게이트 전극 MG로부터 홀 주입하는 FN 소거의 인가 전압으로서는, 메모리 게이트 전극 MG에 인가하는 전압 V_{mg} 를 15V로 하고, 그 외에 소스 영역 S_{rm} 에 인가하는 전압 V_s , 선택 게이트 전극 CG에 인가하는 전압 V_{sg} , 드레인 영역 D_{rm} 에 인가하는 전압 V_d , p웰 PW에 인가하는 전압 V_{well} 은 0V로 한다. 상기 전압을 인가하면, 메모리 게이트 전극 MG로부터 홀이 FN 터널링에서 전하 축적층 CSL에 주입된다. 부가적으로, 기입 시에 전하 축적층 CSL에 축적된 전자가 메모리 게이트 전극 MG에 뽑아내어진다.

<53> 반도체 기판(1)으로부터 홀을 주입하는 FN 소거의 경우, 홀의 FN 터널 주입이 일어나기 쉽도록, 상기 도 1에 도시한 메모리 셀 MC1에서, 하층의 절연막(6b)을 3nm 이하의 막 두께로 하거나, 보다 홀을 주입하기 쉽도록 하층의 절연막(6b) 사이에 두께 1nm 정도의 질화 실리콘막 또는 아몰퍼스 실리콘막을 삽입한 구조로 한다. 반도체 기판(1)으로부터 홀 주입하는 FN 소거의 인가 전압으로서는, 메모리 게이트 전극 MG에 인가하는 전압 V_{mg} 를 -15V로 하고, 그 밖에 소스 영역 S_{rm} 에 인가하는 전압 V_s , 선택 게이트 전극 CG에 인가하는 전압 V_{sg} , 드레인 영역 D_{rm} 에 인가하는 전압 V_d , p웰 PW에 인가하는 전압 V_{well} 은 0V로 한다. 상기 전압을 인가하면, 반도체 기판(1)으로부터 홀이 터널링에서 전하 축적층 CSL에 주입된다. 부가적으로, 기입 시에 전하 축적층 CSL에 축적된 전자가 반도체 기판(1)에 뽑아내어진다.

<54> 다음으로, 「판독」에 대하여 설명한다.

<55> 상기 도 4의 「판독」란에 도시한 바와 같이, 판독에는, 기입과 역방향으로 전류를 흘려서 판독하는 방법과 동일한 방향으로 전류를 흘려서 판독하는 방법의 2종류가 있다. 상기 도 4에 도시한 바와 같이, 기입과 역방향으로 전류를 흘려서 판독하는 경우, 드레인 영역 D_{rm} 에 인가하는 전압 V_d 를 1.5V, 소스 영역 S_{rm} 에 인가하는 전압 V_s 를 0V, 선택 게이트 전극 CG에 인가하는 전압 V_{sg} 를 1.5V, 메모리 게이트 전극 MG에 인가하는 전압 V_{mg} 를 1.5V로 한다. 기입과 동일한 방향으로 전류를 흘려서 판독하는 경우, 드레인 영역 D_{rm} 에 인가하는 전압 V_d 와 소스 영역 S_{rm} 에 인가하는 전압 V_s 를 교체하고, 각각 0V, 1.5V로 한다.

<56> 판독 시의 메모리 게이트 전극 MG에 인가하는 전압 V_{mg} 는, 기입 상태에서의 메모리용 nMIS(Q_{nm})의 임계값 전압과 소거 상태에서의 메모리용 nMIS(Q_{nm})의 임계값 전압 사이에 설정한다. 기입 상태 및 소거 상태의 임계값 전압을 각각 4V 및 -1V로 설정하면, 상기 판독 시의 V_{mg} 는 양자의 중간값으로 된다. 중간값으로 함으로써, 데이터 유지 중에 기입 상태의 임계값 전압이 2V 저하하여도, 소거 상태의 임계값 전압이 2V 상승하여도, 기입 상태와 소거 상태를 판별할 수 있어, 데이터 유지 특성의 마진이 넓어진다. 소거 상태에서의 메모리 셀 MC1의 임계값 전압을 충분히 낮게 해두면, 판독 시의 전압 V_{mg} 를 0V로 할 수도 있다. 판독 시의 전압 V_{mg} 를 0V로 함으로써, 판독 디스터브, 즉, 메모리 게이트 전극 MG에의 전압 인가에 의한 임계값 전압의 변동을 회피하는 것이 가능하게 된다.

- <57> 그런데, 본 실시 형태 1에 의한 메모리 셀 MC1에서는, 선택 게이트 전극 CG의 게이트 절연막(4)에 버즈 비크를 도입하는 산화 공정에서 선택 게이트 전극 CG의 측면에 두꺼운 절연막이 형성되고, 이 두꺼운 절연막이 메모리 셀 MC1을 완성했을 때에 남으면, 판독 전류가 감소하게 된다.
- <58> 도 11에, 선택 게이트 전극 CG와 전하 축적층 CSL 사이에 위치하고, 또한 반도체 기판(1)에 가장 가까운 하층의 절연막(6b)의 두께(toxs)와 메모리용 nMIS(Qnm)의 최대 상호 컨덕턴스와의 관계를 나타낸다. 선택 게이트 전극 CG와 전하 축적층 CSL 사이에 위치하고, 또한 반도체 기판(1)에 가장 가까운 하층의 절연막(6b)의 두께(toxs)는, 반도체 기판(1)과 전하 축적층 CSL 사이에 위치하는 하층의 절연막(6b)의 두께(toxb)와의 비로 나타내고 있다. 메모리용 nMIS(Qnm)의 최대 상호 컨덕턴스는, 그 값이 클수록 큰 판독 전류가 취해지는 것을 나타내고 있으며, 선택 게이트 전극 CG와 전하 축적층 CSL 사이에 위치하고, 또한 반도체 기판(1)에 가장 가까운 하층의 절연막(6b)의 두께(toxs)와 반도체 기판(1)과 전하 축적층 CSL 사이에 위치하는 하층의 절연막(6b)의 두께(toxb)와의 비 toxs/toxb가 1일 때의 값으로 규격화되어 있다.
- <59> 도 11에 도시한 바와 같이, 선택 게이트 전극 CG와 전하 축적층 CSL 사이에 위치하고, 또한 반도체 기판(1)에 가장 가까운 하층의 절연막(6b)의 두께(toxs)와 반도체 기판(1)과 전하 축적층 CSL 사이에 위치하는 하층의 절연막(6b)의 두께(toxb)와의 비 toxs/toxb가 1.5배 이하이면, 큰 상호 컨덕턴스를 확보할 수 있어, 큰 판독 전류가 얻어지는 것을 알 수 있다. 그러나, 상기 비 toxs/toxb가 1.5배 이상으로 되면, 상호 컨덕턴스가 작아져서, 판독 전류가 감소한다. 선택 게이트 전극 CG와 메모리 게이트 전극 MG 사이의 거리를 분리해가면, 양 전극 간의 아래의 채널 영역에 선택 게이트 전극 CG 및 메모리 게이트 전극 MG의 전압의 영향을 받기 어려운 영역이 나타나고, 그것이 넓어져서 양 전극 간의 아래의 채널 영역의 저항 성분을 늘리게 된다. 이 때문에, 판독 전류가 감소해 가게 된다.
- <60> 이상, 상기 도 4 및 도 5에서 메모리 동작의 전압 조건을 나타내었지만, 이들의 조건은 일례로서, 여기에서 나타낸 수치를 갖고 본 발명이 한정되는 것은 아니다.
- <61> 다음으로, 본 발명의 실시 형태 1에 의한 스플리트 게이트형 MONOS 메모리 셀의 제조 방법의 일례를 도 12~도 21을 이용하여 설명한다. 도 12~도 16, 도 18~도 21은, 반도체 장치의 제조 공정 중에서의 메모리 셀의 주요부 단면도이며, 상기 도 1에 도시한 메모리 셀의 주요부 단면도와 동일한 개소를 나타내고, 도 17은, 다결정 실리콘 및 단결정 실리콘의 산화 속도와 온도와의 관계를 나타내는 그래프도이다.
- <62> 우선, 도 12에 도시한 바와 같이, 예를 들면 $1 \sim 10 \Omega \cdot \text{cm}$ 정도의 비저항을 갖는 p형의 단결정 실리콘으로 이루어지는 반도체 기판(이 단계에서는 반도체 웨이퍼라고 칭하는 평면 대략 원 형상의 반도체의 박판)(1)을 준비한다. 계속해서 반도체 기판(1)의 주면에, 예를 들면 홈형의 소자 분리부 SGI 및 이에 둘러싸여지도록 배치된 활성 영역 등을 형성한다. 즉 반도체 기판(1)의 소정 개소에 분리홈을 형성한 후, 반도체 기판(1)의 주면 위에, 예를 들면 산화 실리콘막으로 이루어지는 절연막을 퇴적하고, 또한 그 절연막이 분리홈 내에만 남겨지도록 절연막을 CMP(Chemical Mechanical Polishing)법 등에 의해 연마함으로써, 소자 분리부 SGI를 형성한다.
- <63> 다음으로, 반도체 기판(1)의 소정 부분에 소정의 불순물을 소정의 에너지로 선택적으로 이온 주입법 등에 의해 도입함으로써, 매립 n웰 NW 및 p웰 PW를 형성한다. 계속해서 반도체 기판(1)의 주면에 p형 불순물, 예를 들면 붕소를 이온 주입함으로써, 선택용 nMIS(Qnc)의 채널 형성용의 p형의 반도체 영역(5)을 형성한다. 이 때의 p형 불순물 이온의 주입 에너지는, 예를 들면 20KeV 정도, 도즈량은, 예를 들면 $1.5 \times 10^{13} \text{ cm}^{-2}$ 정도이다.
- <64> 다음으로, 반도체 기판(1)에 대하여 산화 처리를 실시함으로써, 반도체 기판(1)의 주면에, 예를 들면 산화 실리콘막으로 이루어지는 두께 $1 \sim 5 \text{ nm}$ 정도의 게이트 절연막(4)을 형성한다. 계속해서, 반도체 기판(1)의 주면 위에, 예를 들면 $2 \times 10^{20} \text{ cm}^{-3}$ 정도의 불순물 농도를 갖는 다결정 실리콘막으로 이루어지는 제1 도체막(9)을 퇴적한다. 이 제1 도체막(9)은 CVD(Chemical Vapor Deposition)법에 의해 형성되고, 그 두께는, 예를 들면 150~250 nm 정도를 예시할 수 있다.
- <65> 다음으로, 도 13에 도시한 바와 같이, 레지스트 패턴을 마스크로 하여 상기 제1 도체막(9)을 가공함으로써, 선택 게이트 전극 CG를 형성한다. 선택 게이트 전극 CG의 게이트 길이는, 예를 들면 100~150nm 정도이다. 선택 게이트 전극 CG는 도면의 길이 방향으로 연장하고, 선 형상의 패턴이다. 이 패턴은, 예를 들면 상기 도 3에 도시한 메모리 셀의 어레이 구성에서의 선택 게이트선 CGL0~CGL3에 상당한다. 계속해서, 노출한 게이트 절연막(4)을, 예를 들면 불화 수소산 수용액으로 제거한다.
- <66> 다음으로, 도 14에 도시한 바와 같이, 반도체 기판(1)에 대하여 웨트 산화 처리를 실시함으로써, 반도체 기판

(1)의 주면에, 예를 들면 4nm 정도의 두께의 산화 실리콘막 WETOa를 형성한다. 웨트 산화 처리의 온도는, 예를 들면 750℃이다. 웨트 산화 처리를 행하면, 선택 게이트 전극 CG의 측면의 다결정 실리콘막이 증속 산화되고, 선택 게이트 전극 CG의 측면에 조종형의 산화 실리콘막 WETOb가 형성된다. 또한, 웨트 산화 처리를 행하면, 선택 게이트 전극 CG와 반도체 기판(1)(반도체 영역(5)) 사이의 게이트 길이 방향 단부 아래의 게이트 절연막(4)에 버즈 비크가 형성된다. 상기 웨트 산화 처리의 조건에 의해, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)의 두께(toxe)를, 게이트 길이 방향 중앙부 아래의 게이트 절연막(4)의 두께(toxc)보다도 1nm 정도 두껍게 할 수 있다. 웨트 산화 처리 대신에, 드라이 산화 처리를 이용하여도 된다. 드라이 산화 처리는, 웨트 산화 처리에 비하여 버즈 비크는 형성되기 어렵기 때문에, 웨트 산화 처리보다도 산화량을 많게 한다. 예를 들면 반도체 기판(1)의 주면에 6nm 정도의 두께의 산화 실리콘막 WETOa가 형성될 때까지 드라이 산화 처리를 행한다. 드라이 산화 처리의 온도는, 예를 들면 800℃로 한다. 드라이 산화 처리의 경우, 선택 게이트 전극 CG의 측면의 다결정 실리콘막은, 측면 내에서 거의 동일한 속도로 산화된다.

<67> 다음으로, 도 15에 도시한 바와 같이, 예를 들면 불화 수소산 수용액을 이용한 웨트 에칭법에 의해, 산화 실리콘막 WETOb의 일부를 남기고, 산화 실리콘막 WETOa, WETOb를 에칭한다. 이 때, 도면 중, b 영역에서 나타내는 선택 게이트 전극 CG의 측면의 하부에서 잔존하는 산화 실리콘막 WETOb의 두께가, 나중에 형성되는 전하 유지용 절연막의 하층의 절연막(6b)의 두께 이하로 되도록 제어한다. 선택 게이트 전극 CG의 측면의 하부가 노출될 때까지, 산화 실리콘막 WETOb를 에칭하여도 된다. 상기 에칭에 의해, 선택 게이트 전극 CG의 측면의 중앙부에 산화 실리콘막 WETOb가 남지만, 이는 메모리 셀 MC1의 전기적 특성에 영향을 미치지 않는다. 계속해서, 선택 게이트 전극 CG 및 레지스트 패턴을 마스크로 하여, 반도체 기판(1)의 주면에 n형 불순물, 예를 들면 비소 또는 인을 이온 주입함으로써, 메모리용 nMIS의 채널 형성용의 n형의 반도체 영역(7)을 형성한다. 이 때의 n형 불순물 이온의 주입 에너지는, 예를 들면 25keV 정도, 도즈량은, 예를 들면 $6.5 \times 10^{12} \text{ cm}^{-2}$ 정도이다.

<68> 다음으로, 도 16에 도시한 바와 같이, 반도체 기판(1)의 주면 위에, 예를 들면 산화 실리콘막으로 이루어지는 하층의 절연막(6b), 질화 실리콘막으로 이루어지는 전하 축적층 CSL 및 산화 실리콘막으로 이루어지는 상층의 절연막(6t)을 순차적으로 퇴적한다. 하층의 절연막(6b)은 ISSG(In-Situ Stream Generation) 산화법에 의해 형성되고, 그 두께는, 예를 들면 1.5~6nm 정도, 전하 축적층 CSL은 CVD법에 의해 형성되고, 그 두께는, 예를 들면 5~20nm 정도, 상층의 절연막(6t)은 ISSG 산화법 또는 CVD법에 의해 형성되고, 그 두께는, 예를 들면 0~8nm 정도를 예시할 수 있다.

<69> 하층의 절연막(6b)의 성막에 ISSG 산화법을 이용하는 것은, 고온이 아니어도 반도체 기판(1)을 구성하는 단결정 실리콘과 선택 게이트 전극 CG를 구성하는 다결정 실리콘막이 거의 동일한 속도로 산화되기 때문이다. 도 17에, 웨트 산화법, 드라이 산화법 및 ISSG 산화법을 이용한 다결정 실리콘의 산화 속도와 단결정 실리콘의 산화 속도와를 비를 나타낸다. 산화 온도가 900℃에서는, 웨트 산화법 및 드라이 산화법을 이용하면, 다결정 실리콘은 단결정 실리콘보다도 3배 이상의 속도로 산화하지만, ISSG 산화법을 이용하면, 다결정 실리콘과 단결정 실리콘과는 거의 동일한 속도로 산화할 수 있다.

<70> 따라서, 선택 게이트 전극 CG의 측면에 위치하고, 또한 반도체 기판(1)에 가장 가까운 하층의 절연막(6b)의 두께(toxs)와 반도체 기판(1) 상의 하층의 절연막(6b)의 두께(toxb)를 동일한 정도로 할 수 있으므로, 상기 도 11을 이용하여 설명한 바와 같이, 메모리 셀 MC1의 판독 전류를 저감시키지 않을 수 있다. 또한, ISSG 산화법에서는, 이미 표면에 산화막이 형성되어 있는 실리콘에서는, 산화중인 활성화한 산화 래디컬이 실리콘의 표면까지 닿기 어렵기 때문에, 산화가 진행하기 어렵다고 하는 이점도 있다. 이들에 의해, 상기 도 15에 b 영역으로 나타낸 선택 게이트 전극 CG의 측면의 하부에, 산화 실리콘막 WETOb가 하층의 절연막(6b)과 동일한 정도의 두께로 남아 있어도, ISSG 산화 중에 산화 실리콘막 WETOb의 두께가 크게 늘어나는 일은 없고, 판독 전류의 감소를 억제할 수 있다. 산화 온도를 1000℃ 부근까지 올리면, 드라이 산화법에서도 선택 게이트 전극 CG의 측면에 두꺼운 산화막을 형성하는 일 없이, 하층의 절연막(6b)을 형성할 수 있다. 산화 온도가 높기 때문에 불순물의 확산이 일어나지만, 배치식의 산화 장치를 사용할 수 있으므로, 산화 공정에서 고스루풋을 실현할 수 있다.

<71> 절연막(6b, 6t) 및 전하 축적층 CSL을 구성하는 각 막의 구성은, 제조하는 반도체 장치의 사용 방법에 의해 변하기 때문에, 여기에서는 대표적인 구성 및 값을 예시하고 있지만, 상기 구성 및 값에 한정되는 것은 아니다.

<72> 다음으로, 반도체 기판(1)의 주면 위에, 예를 들면 $2 \times 10^{20} \text{ cm}^{-3}$ 정도의 불순물 농도를 갖는 다결정 실리콘막으로 이루어지는 제2 도체막(10a)을 퇴적한다. 이 제2 도체막(10a)은 CVD법에 의해 형성되고, 그 두께는, 예를 들면 50~100nm 정도를 예시할 수 있다.

- <73> 다음으로, 도 18에 도시한 바와 같이, 상기 제2 도체막(10a)을 이방성의 드라이 에칭법으로 에치백함으로써, 선택 게이트 전극 CG의 양 측면에 절연막(6b, 6t) 및 전하 축적층 CSL을 개재하여 사이드월(10)을 형성한다. 도시는 생략하지만, 레지스트 패턴을 마스크로 하여 제2 도체막(10a)을 가공하고, 나중에 메모리 게이트 전극 MG에 접속하는 콘택트 홀을 형성하는 영역에 인출부를 형성해둔다. 또한, 이 사이드월(10)의 형성 공정에서는, 상층의 절연막(6t)을 에칭 스톱퍼층으로 하여 제2 도체막(10a)이 에치백되지만, 에치백에 의해 상층의 절연막(6t) 및 그 아래의 전하 축적층 CSL이 데미지를 받아 손상하지 않도록, 저데미지의 에칭 조건을 설정하는 것이 바람직하다. 상층의 절연막(6t) 및 전하 축적층 CSL이 손상하면, 전하 유지 특성이 열화하는 등의 메모리 셀의 특성 열화가 생기게 된다.
- <74> 다음으로, 레지스트 패턴 R1을 마스크로 하여, 거기에서 노출하는 사이드월(10)을 에칭하여, 선택 게이트 전극 CG의 측면의 한쪽에만, 사이드월(10)로 이루어지는 메모리 게이트 전극 MG를 형성한다. 메모리 게이트 전극 MG의 게이트 길이는, 예를 들면 50~100nm 정도이다.
- <75> 다음으로, 도 19에 도시한 바와 같이, 레지스트 패턴 R1을 제거한 후, 선택 게이트 전극 CG와 메모리 게이트 전극 MG 사이 및 반도체 기관(1)과 메모리 게이트 전극 MG 사이의 절연막(6b, 6t) 및 전하 축적층 CSL을 남기고, 그 밖의 영역의 절연막(6b, 6t) 및 전하 축적층 CSL을 선택적으로 에칭한다.
- <76> 다음으로, 그 단부가 선택 게이트 전극 CG의 상면에 위치하여 메모리 게이트 전극 MG와 반대측의 선택 게이트 전극 CG의 일부를 덮는 레지스트 패턴을 형성한 후, 선택 게이트 전극 CG, 메모리 게이트 전극 MG 및 레지스트 패턴을 마스크로 하여 n형 불순물, 예를 들면 비소를 반도체 기관(1)의 주면에 이온 주입함으로써, 반도체 기관(1)의 주면에 n⁻형의 반도체 영역(2as)을 메모리 게이트 전극 MG에 대하여 자기 정합적으로 형성한다. 이 때의 불순물 이온의 주입 에너지는, 예를 들면 5keV 정도, 도즈량은, 예를 들면 $1 \times 10^{15} \text{ cm}^{-2}$ 정도이다.
- <77> 다음으로, 그 단부가 선택 게이트 전극 CG의 상면에 위치하여 메모리 게이트 전극 MG측의 선택 게이트 전극 CG의 일부 및 메모리 게이트 전극 MG를 덮는 레지스트 패턴을 형성한 후, 선택 게이트 전극 CG, 메모리 게이트 전극 MG 및 레지스트 패턴을 마스크로 하여 n형 불순물, 예를 들면 비소를 반도체 기관(1)의 주면에 이온 주입함으로써, 반도체 기관(1)의 주면에 n⁻형의 반도체 영역(2ad)을 선택 게이트 전극 CG에 대하여 자기 정합적으로 형성한다. 이 때의 n형 불순물 이온의 주입 에너지는, 예를 들면 7keV 정도, 도즈량은, 예를 들면 $1 \times 10^{15} \text{ cm}^{-2}$ 이다.
- <78> 여기서는, 먼저 n⁻형의 반도체 영역(2as)을 형성하고, 그 후 n⁻형의 반도체 영역(2ad)을 형성했지만, 먼저 n⁻형의 반도체 영역(2ad)을 형성하고, 그 후 n⁻형의 반도체 영역(2as)을 형성하여도 되고, 동시에 n⁻형의 반도체 영역(2as, 2ad)을 형성하여도 된다. 또한, n⁻형의 반도체 영역(2ad)을 형성하는 n형 불순물의 이온 주입에 계속해서, p형 불순물, 예를 들면 붕소를 반도체 기관(1)의 주면에 이온 주입하고, n⁻형의 반도체 영역(2as, 2ad)의 하부를 둘러싸도록 p형의 반도체 영역을 형성하여도 된다. p형 불순물 이온의 주입 에너지는, 예를 들면 20keV 정도, 도즈량은, 예를 들면 $2.5 \times 10^{13} \text{ cm}^{-2}$ 이다.
- <79> 다음으로, 도 20에 도시한 바와 같이, 반도체 기관(1)의 주면 위에, 예를 들면 산화 실리콘막으로 이루어지는 두께 80nm 정도의 절연막을 플라즈마 CVD법에 의해 퇴적한 후, 이들을 이방성의 드라이 에칭법으로 에치백함으로써, 선택 게이트 전극 CG의 한쪽면 및 메모리 게이트 전극 MG의 한쪽면에 각각 사이드월(11)을 형성한다. 사이드월(11)의 스페이서 길이는, 예를 들면 60nm 정도이다. 이에 의해, 선택 게이트 전극 CG와 반도체 기관(1) 사이의 게이트 절연막(4)이 노출되어 있었던 측면, 및 메모리 게이트 전극 MG와 반도체 기관(1) 사이의 절연막(6b, 6t) 및 전하 축적층 CSL이 노출되어 있었던 측면을 사이드월(11)에 의해 덮을 수 있다.
- <80> 다음으로, 사이드월(11)을 마스크로 하여 n형 불순물, 예를 들면 비소 및 인을 반도체 기관(1)의 주면에 이온 주입함으로써, 반도체 기관(1)의 주면에 n⁺형의 반도체 영역(2b)을 선택 게이트 전극 CG 및 메모리 게이트 전극 MG에 대하여 자기 정합적으로 형성한다. 이 때의 n형 불순물 이온의 주입 에너지는, 예를 들면 50keV 정도, 도즈량은, 예를 들면 $4 \times 10^{15} \text{ cm}^{-2}$, 인 이온의 주입 에너지는, 예를 들면 40keV 정도, 도즈량은, 예를 들면 $5 \times 10^{13} \text{ cm}^{-2}$ 이다. 이에 의해, n⁻형의 반도체 영역(2ad) 및 n⁺형의 반도체 영역(2b)으로 이루어지는 드레인 영역 Drm, n⁻

형의 반도체 영역(2a) 및 n^+ 형의 반도체 영역(2b)으로 이루어지는 소스 영역 Srm이 형성된다.

<81> 다음으로, 도 21에 도시한 바와 같이, 선택 게이트 전극 CG 및 메모리 게이트 전극 MG의 상면, 및 n^+ 형의 반도체 영역(2b)의 상면에, 예를 들면 코발트 실리사이드(CoSi_2)층(12)을 자기 정합법, 예를 들면 살리사이드(Salicide: Self Align silicide) 프로세스에 의해 형성한다. 우선, 반도체 기판(1)의 주면 위에 스퍼터링법에 의해 코발트막을 퇴적한다. 계속해서, 반도체 기판(1)에 RTA(Rapid Thermal Anneal)법을 이용한 열처리를 실시함으로써, 코발트막과 선택 게이트 전극 CG를 구성하는 다결정 실리콘막 및 메모리 게이트 전극 MG를 구성하는 다결정 실리콘막, 코발트막과 반도체 기판(1)(n^+ 형의 반도체 영역(2b))을 구성하는 단결정 실리콘을 반응시켜서 코발트 실리사이드층(12)을 형성한다. 그 후, 미반응의 코발트막을 제거한다. 코발트 실리사이드층(12)을 형성함으로써, 코발트 실리사이드층(12)과, 그 상부에 형성되는 플러그 등과의 접촉 저항을 저감할 수 있고, 또한 선택 게이트 전극 CG, 메모리 게이트 전극 MG, 소스 영역 Srm 및 드레인 영역 Drm 자신의 저항을 저감할 수 있다.

<82> 다음으로, 반도체 기판(1)의 주면 위에, 예를 들면 질화 실리콘막(8a) 및 산화 실리콘막(8b)으로 이루어지는 층간 절연막(8)을 CVD법에 의해 형성한다. 계속해서 층간 절연막(8)에 콘택트 홀 CNT를 형성한 후, 콘택트 홀 CNT 내에 플러그 PLG를 형성한다. 플러그 PLG는, 예를 들면 티탄 및 질화 티탄의 적층막으로 이루어지는 상대적으로 얇은 배리어막과, 그 배리어막에 둘러싸여지도록 형성된 텅스텐 또는 알루미늄 등으로 이루어지는 상대적으로 두꺼운 도체막을 갖고 있다. 그 후, 층간 절연막(8) 위에, 예를 들면 텅스텐, 알루미늄 또는 구리 등으로 이루어지는 제1층 배선 M1을 형성함으로써, 상기 도 1에 도시한 메모리 셀 MC1이 대략 완성된다. 이 이후에는, 통상의 반도체 장치의 제조 공정을 거쳐, 반도체 장치를 제조한다.

<83> 이와 같이, 본 실시 형태 1에 따르면, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)의 두께(toxe)를 게이트 길이 방향 중앙부 아래의 게이트 절연막(4)의 두께(toxc)보다도 두껍게 형성하고, 선택 게이트 전극 CG와 전하 축적층 CSL 사이에 위치하고, 또한 반도체 기판(1)에 가장 가까운 하층의 절연막(6b)의 두께를 반도체 기판(1)과 전하 축적층 CSL 사이에 위치하는 하층의 절연막(6b)의 두께의 1.5배 이하로 함으로써, 관독 전류를 저감시키지 않고, SSI 방식에 의한 기입 시의 비선택 메모리 셀의 디스터브 내성을 향상시킬 수 있다. 또한, 비선택 메모리 셀의 디스터브 내성이 향상함으로써, 메모리 모듈의 면적을 저감할 수 있다.

<84> [실시 형태 2]

<85> 본 실시 형태 2에서는, 선택용 nMIS의 게이트 절연막의 형성 방법이 전술한 실시 형태 1과는 다른 스플리트 게이트형 MONOS 메모리 셀의 제조 방법의 일례를 설명한다. 본 실시 형태 2에 의한 스플리트 게이트형 MONOS 메모리 셀의 제조 방법을 도 22~도 24를 이용하여 설명한다. 도 22~도 24는 반도체 장치의 제조 공정 중에서의 메모리 셀의 주요부 단면도이다. 본 실시 형태 2인 스플리트 게이트형 MONOS 메모리 셀의 어레이 구성 및 동작 조건은, 전술한 실시 형태 1과 동일하다. 또한, 선택용 nMIS의 게이트 절연막을 형성하는 공정 이외의 제조 과정은, 전술한 실시 형태 1의 메모리 셀 MC1의 제조 과정과 마찬가지로 하기 때문에, 그 설명을 생략한다.

<86> 전술한 실시 형태 1의 상기 도 13을 이용하여 설명한 바와 같이, 선택 게이트 전극 CG를 형성한 후, 노출한 게이트 절연막(4)을, 예를 들면 불화 수소산 수용액으로 제거한다. 이 때, 도 22에 도시한 바와 같이, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)을 소정의 거리일수록 사이드 에칭한다. 선택 게이트 전극 CG의 게이트 길이 방향 단부로부터 제거되는 거리는, 예를 들면 3~20nm이다.

<87> 다음으로, 도 23에 도시한 바와 같이, 반도체 기판(1)에 대하여 드라이 산화 처리 또는 ISSG 산화 처리를 실시함으로써, 반도체 기판(1)의 주면에, 예를 들면 4nm 정도의 두께의 산화 실리콘막 DRYO를 형성한다. 드라이 산화 처리의 온도는, 예를 들면 800℃, ISSG 산화 처리의 온도는, 예를 들면 900℃이다. 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래가 노출된 상태에서 산화 처리를 행하면, 웨트 산화 처리에 비하여 버즈 비크가 형성되기 어려운 드라이 산화 처리 및 ISSG 산화 처리를 이용하여도, 효율적으로 버즈 비크를 형성할 수 있다. 또한, 드라이 산화 처리 및 ISSG 산화 처리에서는, 선택 게이트 전극 CG의 측면의 다결정 실리콘막이 증속 산화되기 어려워, 웨트 산화 처리에서는 형성되는 선택 게이트 전극 CG의 측면의 조종형의 산화 실리콘막이 형성되지 않는다.

<88> 다음으로, 도 24에 도시한 바와 같이, 예를 들면 불화 수소산 수용액을 이용한 웨트 에칭법에 의해, 산화 실리콘막 DRYO를 에칭한다. 이 때, 선택 게이트 전극 CG의 측면의 하부에서 잔존하는 산화 실리콘막 DRYO의

두께가, 나중에 형성되는 전하 유지용 절연막의 하층의 절연막(6b)의 두께 이하로 되도록 제어한다. 선택 게이트 전극 CG의 측면의 하부가 노출될 때까지, 산화 실리콘막 DRYO를 에칭하여도 된다. 계속해서, 선택 게이트 전극 CG 및 레지스트 패턴을 마스크로 하여, 반도체 기판(1)의 주면에 n형 불순물, 예를 들면 비소 또는 인을 이온 주입함으로써, 메모리용 nMIS(Qnm)의 채널 형성용의 n형의 반도체 영역(7)을 형성한다.

<89> 이와 같이, 본 실시 형태 2에 따르면, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)에 버즈 비크를 형성할 수 있으므로, 전술한 실시 형태 1과 마찬가지로의 효과가 얻어진다. 또한, 버즈 비크를 형성할 때에는, 드라이 산화 처리 또는 ISSG 산화 처리를 이용하고 있기 때문에, 전술한 실시 형태 1과 같이, 선택 게이트 전극 CG의 측면에 조종형의 산화 실리콘막이 형성되지 않으므로, 선택 게이트 전극 CG의 형상이나 치수의 변동을 억제할 수 있다.

<90> [실시 형태 3]

<91> 본 실시 형태 3에서는, 선택용 nMIS의 게이트 절연막의 형성 방법이 전술한 실시 형태 1, 2와는 다른 스플리트 게이트형 MONOS 메모리 셀의 제조 방법의 일례를 설명한다. 본 실시 형태 3에 의한 스플리트 게이트형 MONOS 메모리 셀의 제조 방법도 도 25~도 28을 이용하여 설명한다. 도 25~도 28은 반도체 장치의 제조 공정 중에서의 메모리 셀의 주요부 단면도이다. 본 실시 형태 3인 스플리트 게이트형 MONOS 메모리 셀의 어레이 구성 및 동작 조건은, 전술한 실시 형태 1과 동일하다. 또한, 선택용 nMIS의 게이트 절연막을 형성하는 공정 이외의 제조 과정은, 전술한 실시 형태 1의 메모리 셀 MC1의 제조 과정과 마찬가지로이기 때문에, 그 설명을 생략한다.

<92> 전술한 실시 형태 1의 상기 도 13을 이용하여 설명한 바와 같이, 선택 게이트 전극 CG를 형성한 후, 노출한 게이트 절연막(4)을, 예를 들면 불화 수소산 수용액으로 제거한다.

<93> 다음으로, 도 25에 도시한 바와 같이, 반도체 기판(1)의 주면 위에 CVD법에 의해, 예를 들면 5nm 정도의 두께의 고온 산화 실리콘막 HTO를 형성한다. 고온 산화 실리콘막 HTO를 이용하면, 그 후의 웨트 에칭에 의해 용이하게 제거할 수 있다고 하는 이점이 있지만, 웨트 산화 처리, 드라이 산화 처리 또는 ISSG 산화 처리에 의해 산화 실리콘막을 형성하여도 된다. 계속해서, 반도체 기판(1)의 주면 위에 저압 CVD법에 의해, 예를 들면 5nm 이상의 두께의 질화 실리콘막을 형성한 후, 이 질화 실리콘막을 이방성의 드라이 에칭법으로 에치백함으로써, 선택 게이트 전극 CG의 양 측면에 고온 산화 실리콘막 HTO를 개재하여 사이드월(13)을 형성한다.

<94> 다음으로, 도 26에 도시한 바와 같이, 예를 들면 불화 수소산 수용액을 이용한 웨트 에칭법에 의해, 선택 게이트 전극 CG 아래의 게이트 절연막(4)이 노출될 때까지, 고온 산화 실리콘막 HTO를 에칭한다.

<95> 다음으로, 도 27에 도시한 바와 같이, 반도체 기판(1)에 대하여 웨트 산화 처리를 실시함으로써, 반도체 기판(1)의 주면에, 예를 들면 4nm 정도의 두께의 산화 실리콘막 WETOa를 형성한다. 웨트 산화 처리의 온도는, 예를 들면 750℃이다. 웨트 산화 처리를 행하면, 선택 게이트 전극 CG와 반도체 기판(1)(반도체 영역(5)) 사이의 게이트 길이 방향 단부 아래에 위치하는 게이트 절연막(4)의 단부에 버즈 비크가 형성된다. 또한, 선택 게이트 전극 CG의 측면이 노출되지 않은 상태에서 웨트 산화 처리를 행하므로, 선택 게이트 전극 CG의 측면의 다결정 실리콘막이 증속 산화되지 않는다. 웨트 산화 처리 대신에, 드라이 산화 처리를 이용하여도 된다. 드라이 산화 처리는, 웨트 산화 처리에 비하여 버즈 비크는 형성되기 어렵기 때문에, 웨트 산화 처리보다도 산화량을 많게 한다. 예를 들면 반도체 기판(1)의 주면에 6nm 정도의 두께의 산화 실리콘막 WETOa가 형성될 때까지 드라이 산화 처리를 행한다. 드라이 산화 처리의 온도는, 예를 들면 800℃로 한다.

<96> 다음으로, 도 28에 도시한 바와 같이, 예를 들면 열 인산을 이용하여 선택 게이트 전극 CG의 측면의 사이드월(13)을 제거하고, 불화 수소산 수용액을 이용한 웨트 에칭법에 의해, 산화 실리콘막 WETOa 및 고온 산화 실리콘막 HTO를 제거한다. 계속해서, 선택 게이트 전극 CG 및 레지스트 패턴을 마스크로 하여, 반도체 기판(1)의 주면에 n형 불순물, 예를 들면 비소 또는 인을 이온 주입함으로써, 메모리용 nMIS(Qnm)의 채널 형성용의 n형의 반도체 영역(7)을 형성한다.

<97> 이와 같이, 본 실시 형태 3에 따르면, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)에 버즈 비크를 형성할 수 있으므로, 전술한 실시 형태 1과 마찬가지로의 효과가 얻어진다. 또한, 버즈 비크를 형성할 때에는, 선택 게이트 전극 CG의 측면에 고온 산화 실리콘막 HTO 및 질화 실리콘막으로 이루어지는 사이드월(13)을 형성하고 있고, 선택 게이트 전극 CG의 측면에 조종형의 산화 실리콘막이 형성되지 않으므로, 선택 게이트 전극 CG의 형상이나 치수의 변동을 억제할 수 있다.

<98> [실시 형태 4]

- <99> 본 실시 형태 4에서는, 선택용 nMIS의 선택 게이트 전극 CG의 게이트 길이 방향의 한쪽 단부 아래의 게이트 절연막에만 버즈 비크를 형성한다. 전술한 실시 형태 1~3에서는, 선택 게이트 전극의 게이트 길이 방향의 양 단부 아래의 게이트 절연막에 버즈 비크를 형성했지만, 한쪽에만 버즈 비크를 형성하여도, 관독 전류의 저감을 억제할 수 있어, 비선택 메모리 셀의 디스터브 내성을 향상시킬 수 있다. 본 실시 형태 4에 의한 스플리트 게이트형 MONOS 메모리 셀의 제조 방법을 도 29 및 도 30을 이용하여 설명한다. 도 29 및 도 30은 반도체 장치의 제조 공정 중에서의 메모리 셀의 주요부 단면도이다. 본 실시 형태 4인 스플리트 게이트형 MONOS 메모리 셀의 어레이 구성 및 동작 조건은, 전술한 실시 형태 1과 동일하다. 또한, 선택용 nMIS(Qnc)의 게이트 절연막을 형성하는 공정 이외의 제조 과정은, 전술한 실시 형태 1의 메모리 셀 MC1의 제조 과정과 마찬가지로이기 때문에, 그 설명을 생략한다.
- <100> 전술한 실시 형태 1의 상기 도 14를 이용하여 설명한 바와 같이, 반도체 기판(1)의 주면에, 예를 들면 4nm 정도의 두께의 산화 실리콘막 WET0a를 형성하고, 선택 게이트 전극 CG의 측면에 조종형의 산화 실리콘막 WET0b를 형성하고, 선택 게이트 전극 CG와 반도체 기판(1)(반도체 영역(5)) 사이의 게이트 길이 방향 단부 아래의 게이트 절연막(4)에 버즈 비크를 형성한다.
- <101> 다음으로, 도 29에 도시한 바와 같이, 선택용 nMIS(Qnc)의 게이트 절연막(4)에 버즈 비크를 형성하는 드레인 영역 Drm측을 덮는 레지스트 패턴을 형성하고, 이를 마스크로 하여, 거기에서 노출되는 소스 영역 Srm측의 산화 실리콘막 WET0a, WET0b를 제거한다. 계속해서, 상기 레지스트 패턴을 제거한 후, 반도체 기판(1)의 주면 위에, 예를 들면 질화 실리콘막(14)을 형성한 후, 선택용 nMIS(Qnc)의 게이트 절연막(4)에 버즈 비크를 형성하지 않은 소스 영역 Srm을 덮는 레지스트 패턴 R2를 형성한다.
- <102> 다음으로, 도 30에 도시한 바와 같이, 예를 들면 불화 수소산 수용액을 이용한 웨트 에칭법에 의해, 레지스트 패턴 R2를 마스크로 하여, 거기에서 노출하는 질화 실리콘막(14)을 제거하고, 또한, 산화 실리콘막 WET0b의 일부를 남기고, 산화 실리콘막 WET0a, WET0b를 에칭한다. 이 때, 선택 게이트 전극 CG의 측면의 하부에서 잔존하는 산화 실리콘막 WET0b의 두께가, 나중에 형성되는 전하 유지용 절연막의 하층의 절연막(6b)의 두께 이하로 되도록 제어한다. 선택 게이트 전극 CG의 측면의 하부가 노출될 때까지, 산화 실리콘막 WET0b를 에칭하여도 된다.
- <103> 다음으로, 레지스트 패턴 R2를 제거하고, 질화 실리콘막(14)을 제거한 후, 선택 게이트 전극 CG 및 레지스트 패턴을 마스크로 하여, 반도체 기판(1)의 주면에 n형 불순물, 예를 들면 비소 또는 인을 이온 주입함으로써, 메모리용 nMIS(Qnm)의 채널 형성용의 n형의 반도체 영역(7)을 형성한다.
- <104> 이와 같이, 본 실시 형태 4에 따르면, 선택 게이트 전극 CG의 게이트 길이 방향의 한쪽 단부 아래의 게이트 절연막(4)에 버즈 비크를 형성할 수 있으므로, 전술한 실시 형태 1과 마찬가지로의 효과가 얻어진다. 또한, 선택 게이트 전극 CG의 한쪽의 측면에만 조종형의 산화 실리콘막이 형성되므로, 선택 게이트 전극 CG의 형상이나 치수의 변동을 전술한 실시 형태 1의 메모리 셀보다도 억제할 수 있다.
- <105> [실시 형태 5]
- <106> 전술한 실시 형태 1~4에서는, 메모리 셀만의 제조 방법을 예시했지만, 실제로는, 동시에 혼재하는 주변 회로의 MIS도 맞추어서 형성된다. 주변 회로의 MIS에는, 코어 로직용의 MIS와 고전압 제어용의 고내압 MIS가 있다. 이 중, 코어 로직용의 MIS의 게이트 전극과 메모리 셀의 선택 게이트 전극을 동시에 형성하지 않고, 메모리 셀의 선택 게이트 전극을 형성한 후에 코어 로직용의 MIS의 게이트 전극을 형성함으로써, 코어 로직용의 MIS의 게이트 절연막에는 버즈 비크를 형성하지 않고, 메모리 셀의 선택 nMIS의 게이트 절연막에는 버즈 비크를 형성할 수 있다. 코어 로직용의 MIS에 버즈 비크를 형성하지 않으면, 코어 로직용의 MIS의 온 전류는 저감하지 않으므로, 코어 로직 회로의 고속 동작을 확보할 수 있다. 또한, 먼저 메모리 셀을 형성함으로써, 메모리 셀을 형성할 때의 열 부하가 주변 회로의 MIS를 형성하기 전에 걸리기 때문에, 메모리 셀의 제조 과정에 영향을 받지 않고 주변 회로의 MIS를 최적의 조건에서 형성할 수 있다. 이에 의해, 고속 동작에 알맞은 주변 회로의 MIS를 형성할 수 있다.
- <107> 본 실시 형태 5에 의한 주변 회로의 nMIS 및 스플리트 게이트형 MONOS 메모리 셀의 제조 방법을 도 31~도 34를 이용하여 설명한다. 도 31~도 34는 반도체 장치의 제조 공정 중에서의 주변 회로의 nMIS 및 메모리 셀의 주요부 단면도이다. 본 실시 형태 4인 스플리트 게이트형 MONOS 메모리 셀의 어레이 구성 및 동작 조건은, 전술한 실시 형태 1과 동일하다. 또한, 메모리 셀의 제조 방법은, 전술한 실시 형태 1의 메모리 셀 MC1의 제조 방법과 마찬가지로이기 때문에, 그 상세한 설명은 생략한다.

- <108> 우선, 도 31에 도시한 바와 같이, 전술한 실시 형태 1(상기 도 12 참조)과 마찬가지로 하여, 반도체 기판(1)의 주변에 소자 분리부 SGI를 형성하고, 메모리 셀 영역 및 주변 회로 영역에 매립 n웰 NW 및 p웰 PW(51)을 형성한다. 계속해서, 메모리 셀 영역에 선택용 nMIS(Qnc)의 채널 형성용의 반도체 영역(5)을 형성하고, 주변 회로 영역에 코어 로직용의 nMIS의 채널 형성용의 반도체 영역(52)을 형성한다.
- <109> 다음으로, 반도체 기판(1)의 주변에 게이트 절연막(4)을 형성한 후, 반도체 기판(1)의 주변 위에 다결정 실리콘막으로 이루어지는 제1 도체막(53)을 퇴적한다. 계속해서, 레지스트 패턴을 마스크로 하여 상기 제1 도체막(53)을 가공함으로써, 메모리 셀 영역에 선택 게이트 전극 CG를 형성한다. 주변 회로 영역에 코어 로직용의 nMIS의 게이트 전극도 동시에 형성할 수는 있지만, 여기에서는 주변 회로 영역의 제1 도체막(53)을 레지스트 패턴으로 덮어, 코어 로직용의 nMIS의 게이트 전극의 가공은 행하지 않는다. 그 후, 노출된 게이트 절연막(4)을, 예를 들면 불화 수소산 수용액으로 제거한다.
- <110> 다음으로, 도 32에 도시한 바와 같이, 전술한 실시 형태 1(상기 도 14~도 19 참조)과 마찬가지로 하여, 메모리 셀 영역에서는, 선택 게이트 전극 CG의 게이트 길이 방향 단부 아래의 게이트 절연막(4)에 버즈 비크를 형성하고, 전하 유지용 절연막(절연막(6b, 6t) 및 전하 축적층 CSL)을 형성하고, 메모리 게이트 전극 MG를 형성한다. 그 동안, 주변 회로 영역에서는, 제1 도체막(53)은 가공하지 않는다.
- <111> 다음으로, 도 33에 도시한 바와 같이, 레지스트 패턴을 마스크로 하여, 주변 회로 영역의 제1 도체막(53)을 드라이 에칭법에 의해 가공하여, 코어 로직용의 nMIS의 게이트 전극(54)을 형성한다. 이 때, 메모리 셀 영역은 레지스트 패턴에 의해 덮는다. 계속해서, 게이트 전극(54)를 마스크로 하여 n형 불순물을 반도체 기판(1)의 주변에 이온 주입함으로써, 반도체 기판(1)의 주변에 n⁻형의 반도체 영역(55a)을 게이트 전극(54)에 대하여 자기 정합적으로 형성한다.
- <112> 다음으로, 도 34에 도시한 바와 같이, 반도체 기판(1)의 주변 위에, 예를 들면 산화 실리콘막으로 이루어지는 절연막을 플라즈마 CVD법에 의해 퇴적한 후, 이를 이방성의 드라이 에칭법으로 에치백함으로써, 메모리 셀 영역의 선택 게이트 전극 CG의 한쪽면 및 메모리 게이트 전극 MG의 한쪽면에 각각 사이드월(11)을 형성하고, 동시에 주변 회로 영역의 코어 로직용의 nMIS의 게이트 전극(54)의 양 측면에 사이드월(56)을 형성한다. 계속해서, 메모리 셀 영역에서는, 사이드월(11)을 마스크로 하여 n형 불순물을 반도체 기판(1)의 주변에 이온 주입함으로써, 반도체 기판(1)의 주변에 n⁺형의 반도체 영역(2b)을 선택 게이트 전극 CG 및 메모리 게이트 전극 MG에 대하여 자기 정합적으로 형성한다. 이에 의해, n⁻형의 반도체 영역(2ad) 및 n⁺형의 반도체 영역(2b)으로 이루어지는 드레인 영역 Drm, n⁻형의 반도체 영역(2as) 및 n⁺형의 반도체 영역(2b)으로 이루어지는 소스 영역 Srm이 형성된다. 또한, 주변 회로 영역에서는, 사이드월(56)을 마스크로 하여 n형 불순물을 반도체 기판(1)의 주변에 이온 주입함으로써, 반도체 기판(1)의 주변에 n⁺형의 반도체 영역(55b)을 게이트 전극(54)에 대하여 자기 정합적으로 형성한다. 이에 의해, n⁻형의 반도체 영역(55a) 및 n⁺형의 반도체 영역(55b)으로 이루어지는 드레인·소스가 형성된다. 그 후는, 예를 들면 전술한 실시 형태 1(상기 도 21 참조)과 마찬가지로 하여, 배선 등을 형성한다.
- <113> 이와 같이, 본 실시 형태 5에 따르면, 메모리 셀을 형성한 후에, 주변 회로의 MIS를 형성함으로써, 게이트 절연막(4)에 버즈 비크가 형성된 메모리 셀의 선택용 nMIS(Qnc)와, 게이트 절연막에 버즈 비크가 형성되지 않은 주변 회로의 MIS를 동일 기판 위에 혼재한 반도체 장치를 제조할 수 있다.
- <114> 이상, 본 발명자에 의해 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시 형태에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러 가지 변경 가능한 것은 물론이다.
- <115> 예를 들면, 본 실시 형태에서는, 메모리 셀의 전하 유지용 절연막으로서, 질화 실리콘막으로 이루어지는 전하 축적층을 이용하였지만, 질화 실리콘막 대신에, 산질화 실리콘막, 산화 탄탈막, 산화 알루미늄막 등의 전하 트랩성 절연막을 이용하여도 된다. 또한, 전하 축적층으로서 다결정 실리콘막 등의 도전성 재료 또는 도전성 재료로 이루어지는 미립자(도트)를 이용하여도 된다.

산업이용 가능성

- <116> 본 발명은, 질화막과 같은 절연막에 전하를 축적하는 불휘발성 메모리 셀을 갖는 반도체 기억 장치에 적용할 수 있다.

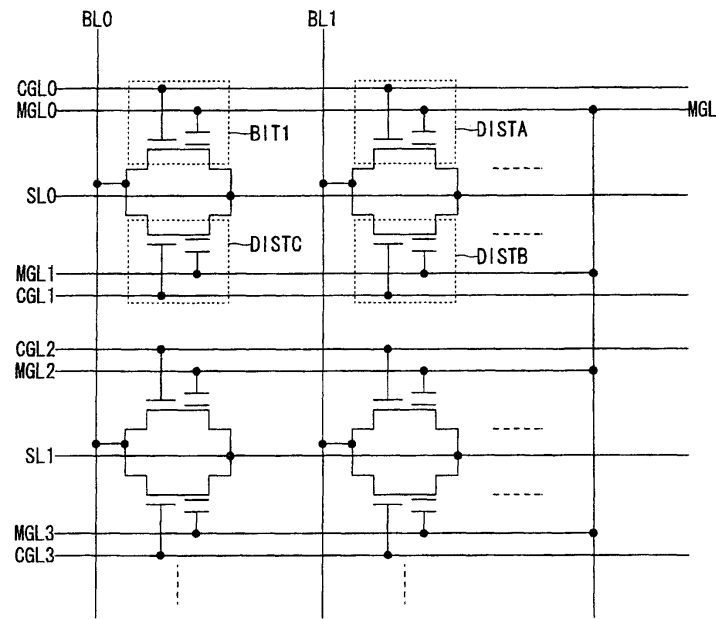
도면의 간단한 설명

- <117> 도 1은 본 발명의 실시 형태 1에 의한 채널을 메모리 게이트 전극에 대하여 교차하는 방향을 따라서 절단한 스플리트 게이트형 MONOS 메모리 셀의 주요부 단면도.
- <118> 도 2는 도 1의 a영역을 확대하여 나타낸 주요부 단면도.
- <119> 도 3은 본 발명의 실시 형태 1에 의한 메모리 셀의 어레이 구성을 도시하는 회로도.
- <120> 도 4는 본 발명의 실시 형태 1에 의한 선택 셀의 기입, 소거 및 판독 시에, 각 배선(선택 게이트선, 메모리 게이트선, 소스선 및 비트선)에 인가되는 전압 조건의 일례의 도면.
- <121> 도 5는 본 발명의 실시 형태 1에 의한 선택 셀에 정보를 기입하는 경우에, 선택 셀, 비선택 셀의 각 단자에 인가되는 전압 조건의 일례의 도면.
- <122> 도 6은 본 발명의 실시 형태 1에 의한 기입 선택 메모리 셀의 전하의 움직임을 나타내는 메모리 셀의 주요부 단면도.
- <123> 도 7은 본 발명의 실시 형태 1에 의한 메모리 셀의 기입 특성을 나타내는 그래프도.
- <124> 도 8은 본 발명의 실시 형태 1에 의한 디스터브 특성을 나타내는 그래프도.
- <125> 도 9는 본 발명의 실시 형태 1에 의한 선택 게이트 전극의 게이트 길이 방향 단부 아래의 게이트 절연막의 버즈 비크량과 임계값 전압이 -1V에 도달하는 디스터브 시간의 관계를 나타내는 그래프도.
- <126> 도 10은 본 발명의 실시 형태 1에 의한 디스터브 시의 전자 주입의 메카니즘을 설명하기 위한 메모리 셀의 주요부 단면도.
- <127> 도 11은 본 발명의 실시 형태 1에 의한 선택 게이트 전극과 전하 축적층 사이에 위치하는 하층의 절연막의 두께와 메모리용 nMIS의 최대 상호 컨덕턴스와의 관계를 나타내는 그래프도.
- <128> 도 12는 본 발명의 실시 형태 1에 의한 스플리트 게이트형 MONOS 메모리 셀의 제조 공정 중의 주요부 단면도.
- <129> 도 13은 도 12에 후속하는 메모리 셀의 제조 공정 중의 도 12와 동일한 개소의 주요부 단면도.
- <130> 도 14는 도 13에 후속하는 메모리 셀의 제조 공정 중의 도 12와 동일한 개소의 주요부 단면도.
- <131> 도 15는 도 14에 후속하는 메모리 셀의 제조 공정 중의 도 12와 동일한 개소의 주요부 단면도.
- <132> 도 16은 도 15에 후속하는 메모리 셀의 제조 공정 중의 도 12와 동일한 개소의 주요부 단면도.
- <133> 도 17은 본 발명의 실시 형태 1에 의한 다결정 실리콘막 및 단결정 실리콘막의 산화 속도와 온도의 관계를 나타내는 그래프도.
- <134> 도 18은 도 16에 후속하는 메모리 셀의 제조 공정 중의 도 12와 동일한 개소의 주요부 단면도.
- <135> 도 19는 도 18에 후속하는 메모리 셀의 제조 공정 중의 도 12와 동일한 개소의 주요부 단면도.
- <136> 도 20은 도 19에 후속하는 메모리 셀의 제조 공정 중의 도 12와 동일한 개소의 주요부 단면도.
- <137> 도 21은 도 20에 후속하는 메모리 셀의 제조 공정 중의 도 12와 동일한 개소의 주요부 단면도.
- <138> 도 22는 본 발명의 실시 형태 2에 의한 스플리트 게이트형 MONOS 메모리 셀의 제조 공정 중의 주요부 단면도.
- <139> 도 23은 도 22에 후속하는 메모리 셀의 제조 공정 중의 도 22와 동일한 개소의 주요부 단면도.
- <140> 도 24는 도 23에 후속하는 메모리 셀의 제조 공정 중의 도 22와 동일한 개소의 주요부 단면도.
- <141> 도 25는 본 발명의 실시 형태 3에 의한 스플리트 게이트형 MONOS 메모리 셀의 제조 공정 중의 주요부 단면도.
- <142> 도 26은 도 25에 후속하는 메모리 셀의 제조 공정 중의 도 25와 동일한 개소의 주요부 단면도.
- <143> 도 27는 도 26에 후속하는 메모리 셀의 제조 공정 중의 도 25와 동일한 개소의 주요부 단면도.
- <144> 도 28은 도 27에 후속하는 메모리 셀의 제조 공정 중의 도 25와 동일한 개소의 주요부 단면도.
- <145> 도 29는 본 발명의 실시 형태 4에 의한 스플리트 게이트형 MONOS 메모리 셀의 제조 공정 중의 주요부 단면도.

- <146> 도 30은 도 29에 후속하는 메모리 셀의 제조 공정 중의 도 29와 동일한 개소의 주요부 단면도.
- <147> 도 31은 본 발명의 실시 형태 5에 의한 스플리트 게이트형 MONOS 메모리 셀의 제조 공정 중의 주요부 단면도.
- <148> 도 32는 도 31에 후속하는 메모리 셀의 제조 공정 중의 도 31과 동일한 개소의 주요부 단면도.
- <149> 도 33은 도 32에 후속하는 메모리 셀의 제조 공정 중의 도 31과 동일한 개소의 주요부 단면도.
- <150> 도 34는 도 33에 후속하는 메모리 셀의 제조 공정 중의 도 31과 동일한 개소의 주요부 단면도.
- <151> 도 35는 본 발명자들이 검토한 스플리트 게이트형 메모리 셀을 나타내는 주요부 단면도.
- <152> 도 36은 본 발명자들이 검토한 스플리트 게이트형 메모리 셀을 나타내는 주요부 단면도.
- <153> <도면의 주요 부분에 대한 부호의 설명>
- <154> 1 : 반도체 기판
- <155> 2ad, 2as, 2b : 반도체 영역
- <156> 3 : 실리사이드층
- <157> 4 : 게이트 절연막
- <158> 5 : 반도체 영역
- <159> 6b, 6t : 절연막
- <160> 7 : 반도체 영역
- <161> 8 : 층간 절연막
- <162> 8a : 질화 실리콘막
- <163> 8b : 산화 실리콘막
- <164> 9 : 제1 도체막
- <165> 10 : 사이드 월
- <166> 10a : 제2 도체막
- <167> 11 : 사이드 월
- <168> 12 : 코발트 실리사이드층
- <169> 13 : 사이드 월
- <170> 14 : 질화 실리콘막
- <171> 51 : p웰
- <172> 52 : 반도체 영역
- <173> 53 : 제1 도체막
- <174> 54 : 게이트 전극
- <175> 55a, 55b : 반도체 영역
- <176> 56 : 사이드 월
- <177> BIT1 : 선택 셀
- <178> BL0, BL1 : 비트선
- <179> CG : 선택 게이트 전극
- <180> CGL0, CGL1, CGL2, CGL3 : 선택 게이트선(워드선)
- <181> CNT : 콘택트 홀

<182>	CSL : 전하 축적층
<183>	DISTA, DISTB, DISTC : 비선택 셀
<184>	Drm : 드레인 영역
<185>	DRYO : 산화 실리콘막
<186>	GAP : 측벽 산화막
<187>	HTO : 고온 산화 실리콘막
<188>	M1 : 제1층 배선
<189>	MC1 : 메모리 셀
<190>	MG : 메모리 게이트 전극
<191>	MGL, MGL0, MGL1, MGL2, MGL3 : 메모리 게이트선
<192>	NI : 질화 실리콘막
<193>	NW : 매립 n웰
<194>	OIb : 하부 산화막
<195>	OIt : 상부 산화막
<196>	OG : 게이트 절연막
<197>	PLG : 플러그
<198>	PW : p웰
<199>	Qnc : 선택용 nMIS
<200>	Qnm : 메모리용 nMIS
<201>	R1, R2 : 레지스트 패턴
<202>	SGI : 소자 분리부
<203>	SL0, SL1 : 소스선
<204>	Srm : 소스 영역
<205>	SUB : 반도체 기판
<206>	WETOa, WETOb : 산화 실리콘막

도면3



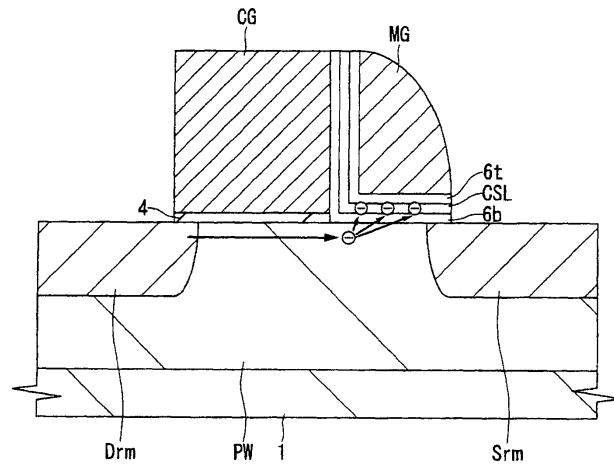
도면4

		CGLO	CGL1~3	MGL	SLO	SL1	BLO	BL1	선택 셀
기입	소스 사이드 주입	1.5	0	10	5	0	0.8	1.5	BIT1
	BTBT	0	0	-6	6	0	OPEN	OPEN	SLO, MGL 양 쪽에 접속된 셀
소거	게이트 홀 FN 터널 주입	0	0	15	0	0	0	0	ALL
	기관 홀 FN 터널 주입	0	0	-15	0	0	0	0	ALL
판독	기입 역 방향	1.5	0	1.5	0	0	1.5	0	BIT1
	기입 동일 방향	1.5	0	1.5	1.5	0	0	1.5	BIT1

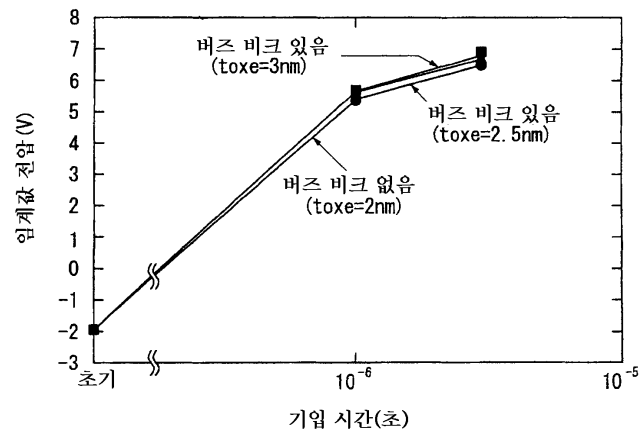
도면5

	선택 셀	Vsg	Vmg	Vs	Vd	Vwell
기입	BIT1	1.0	10	5	0.4	0
기입	DISTA	1.0	10	5	1.5	0
디스터브	DISTB DISTC	0	10	5	0.4 or 1.5	0

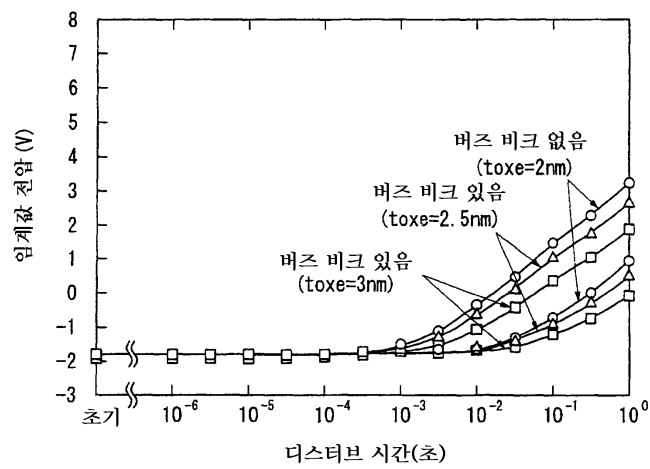
도면6



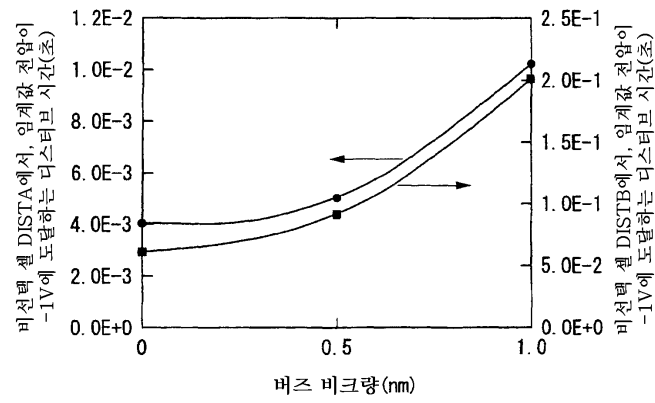
도면7



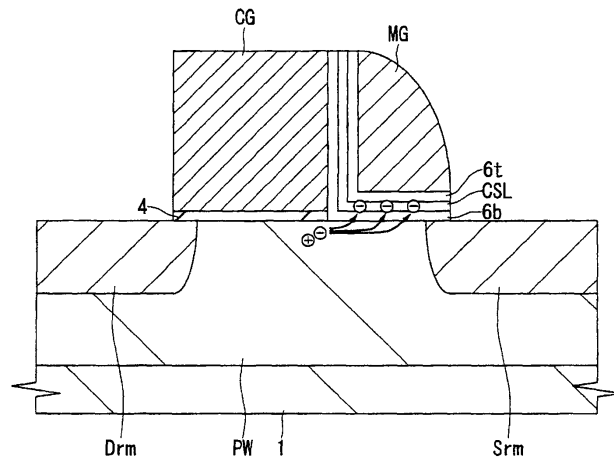
도면8



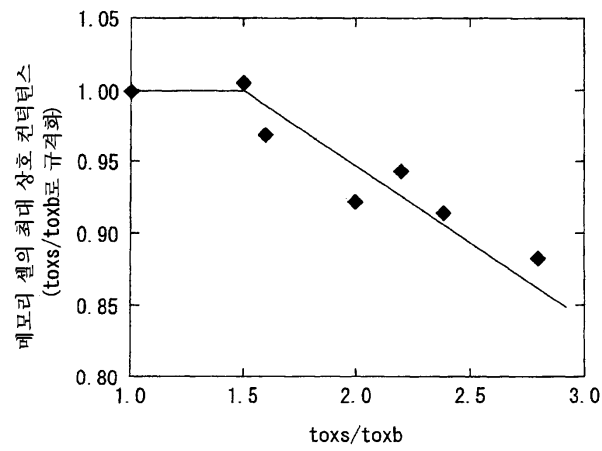
도면9



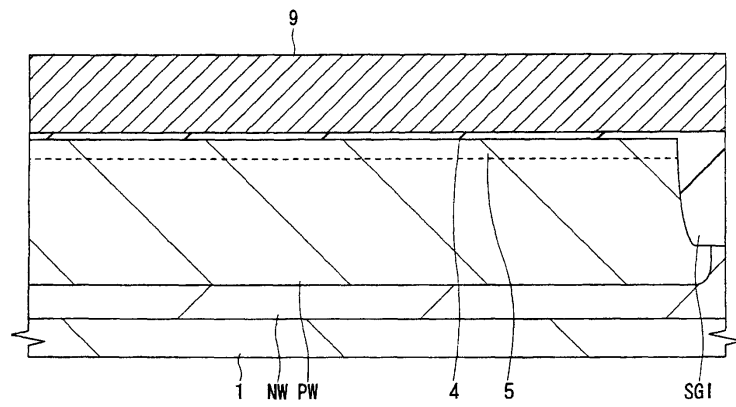
도면10



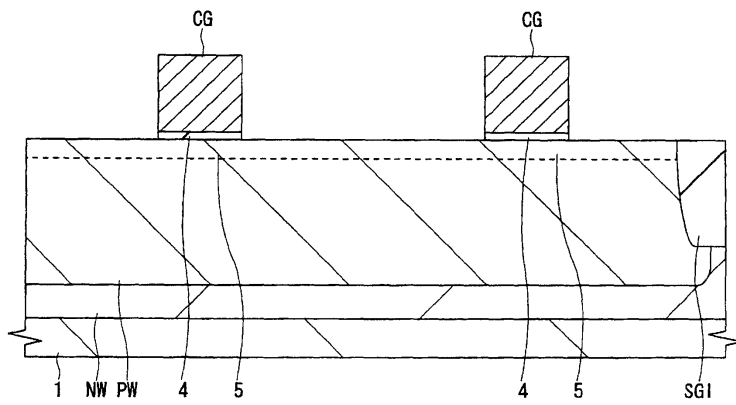
도면11



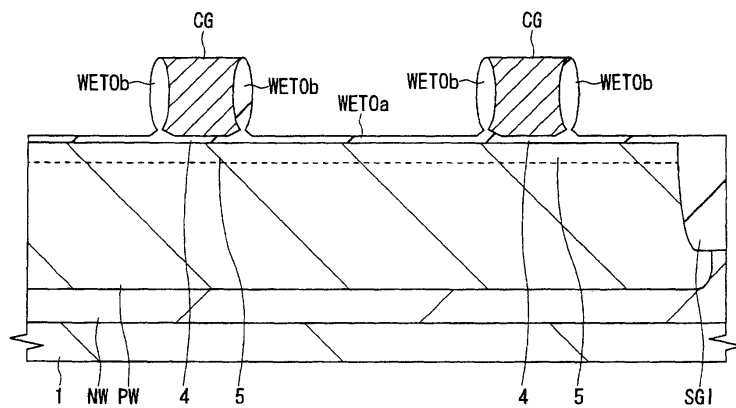
도면12



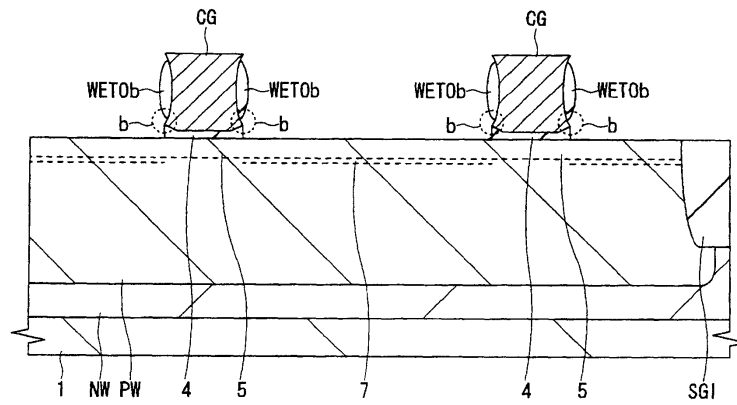
도면13



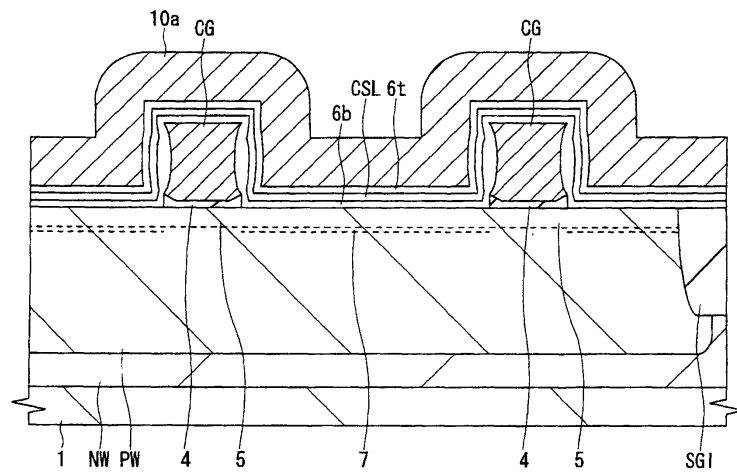
도면14



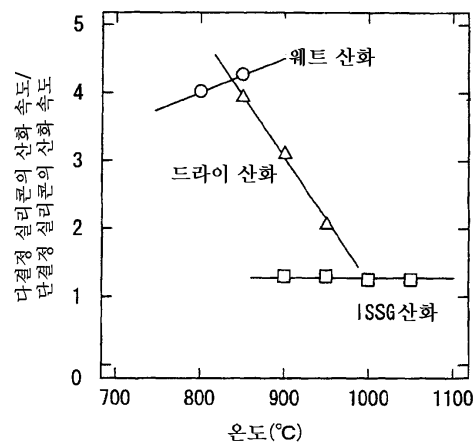
도면15



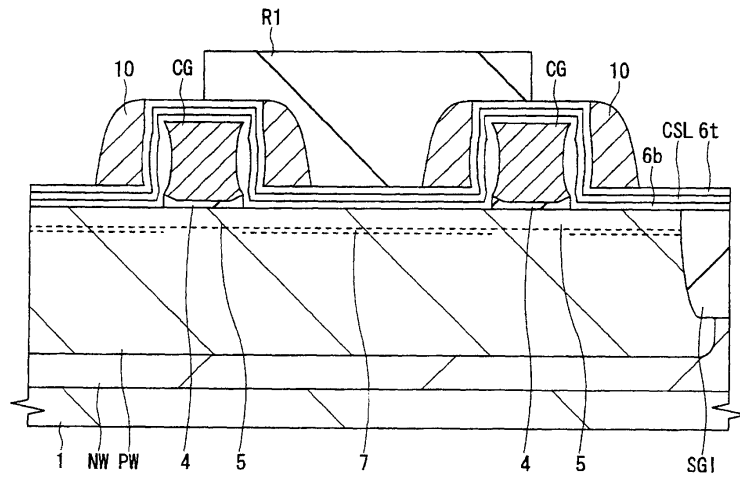
도면16



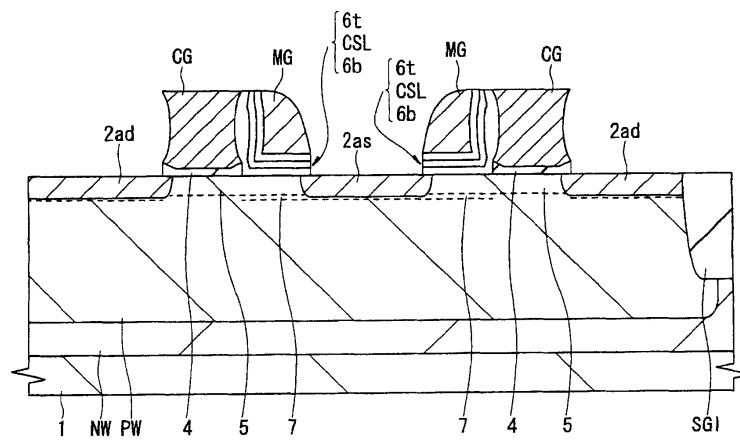
도면17



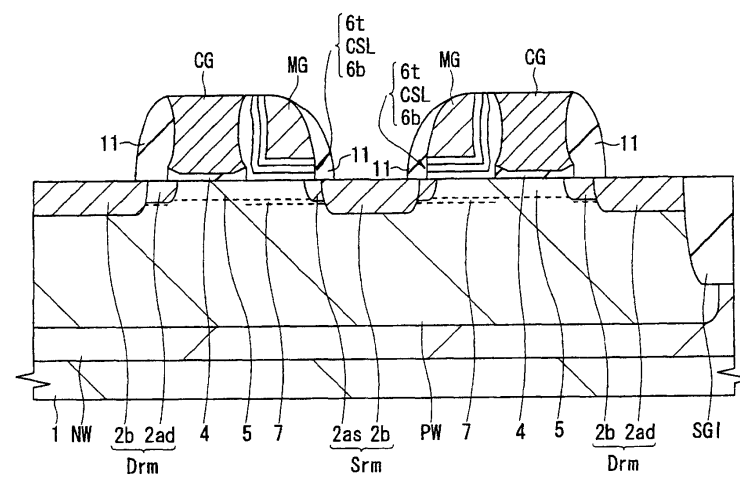
도면18



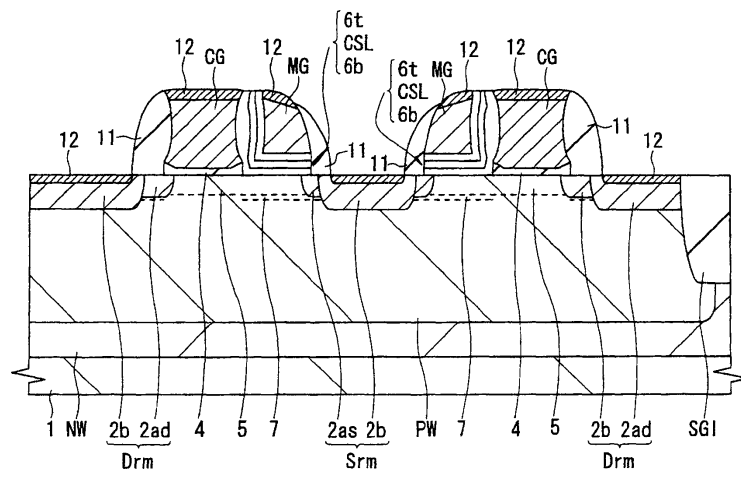
도면19



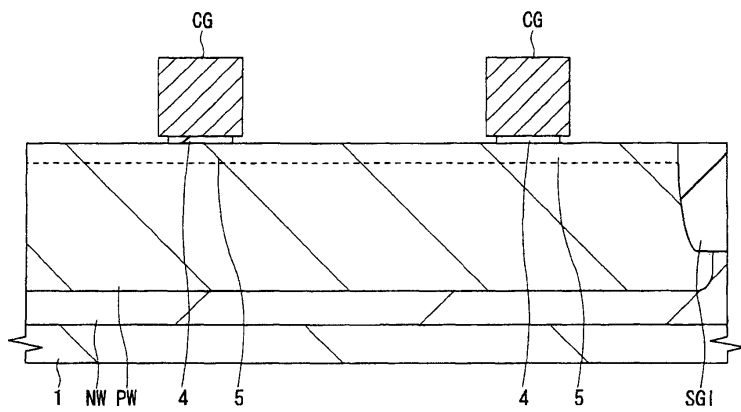
도면20



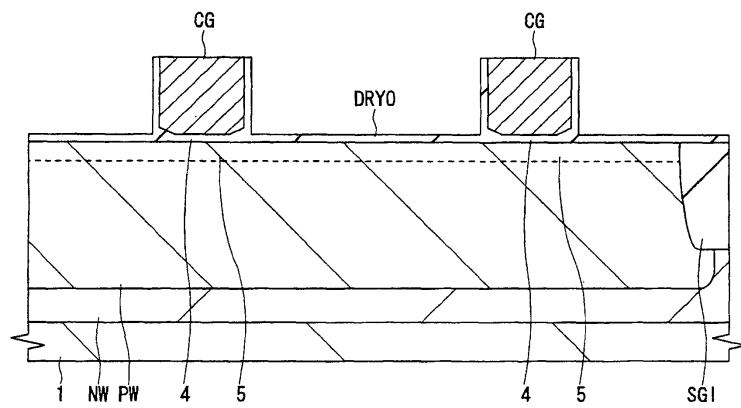
도면21



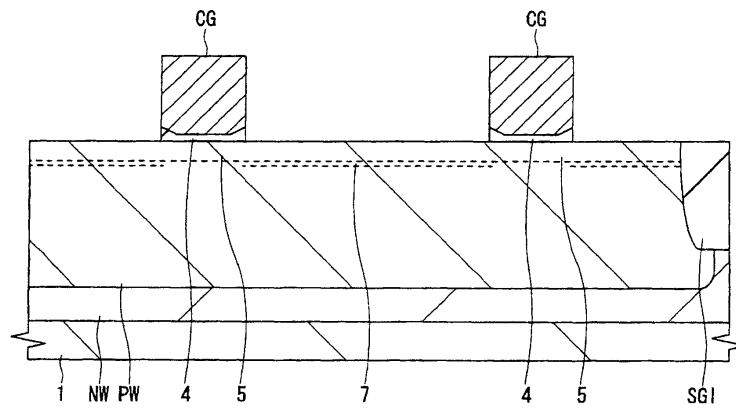
도면22



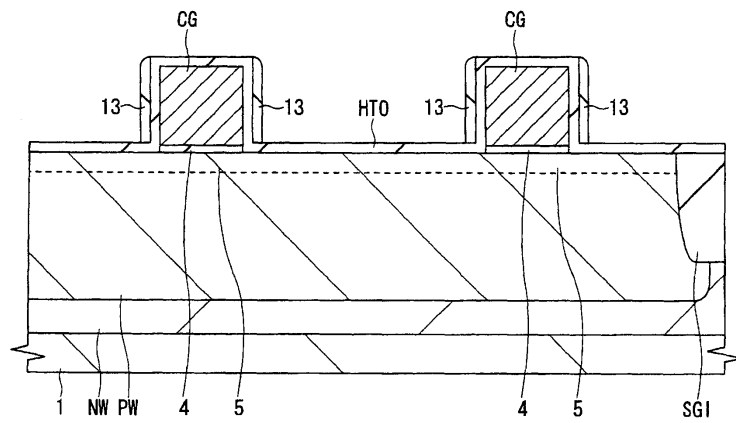
도면23



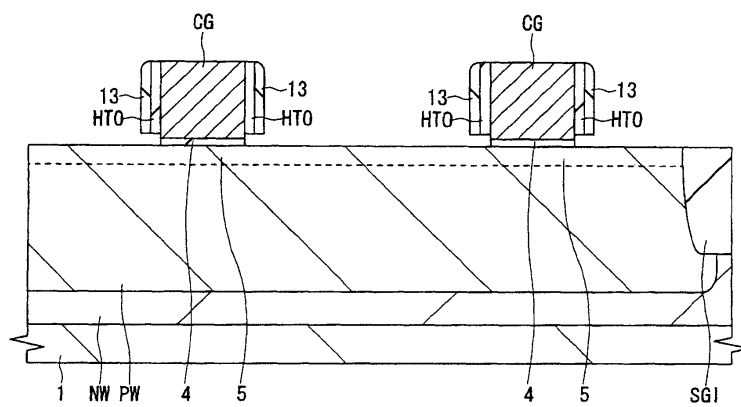
도면24



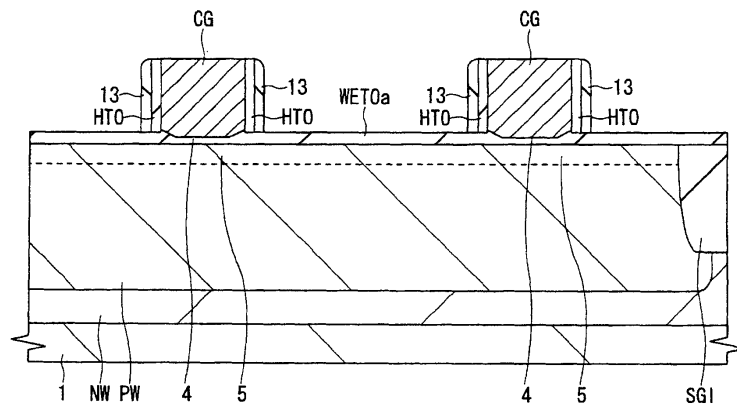
도면25



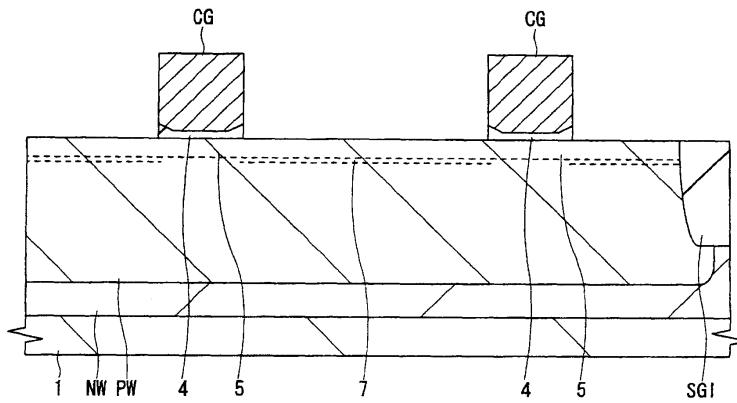
도면26



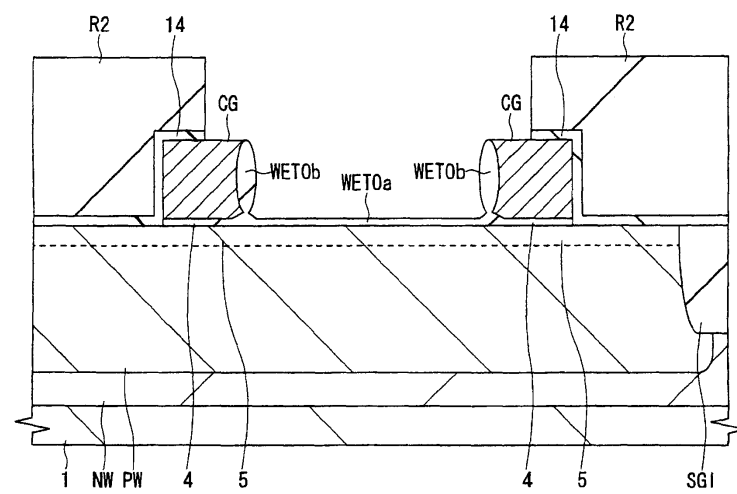
도면27



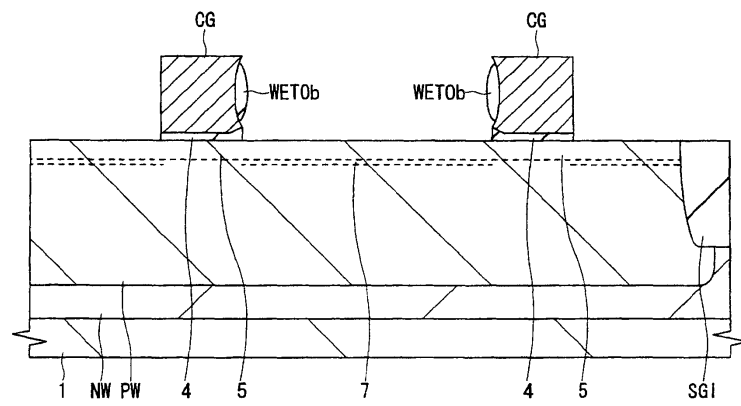
도면28



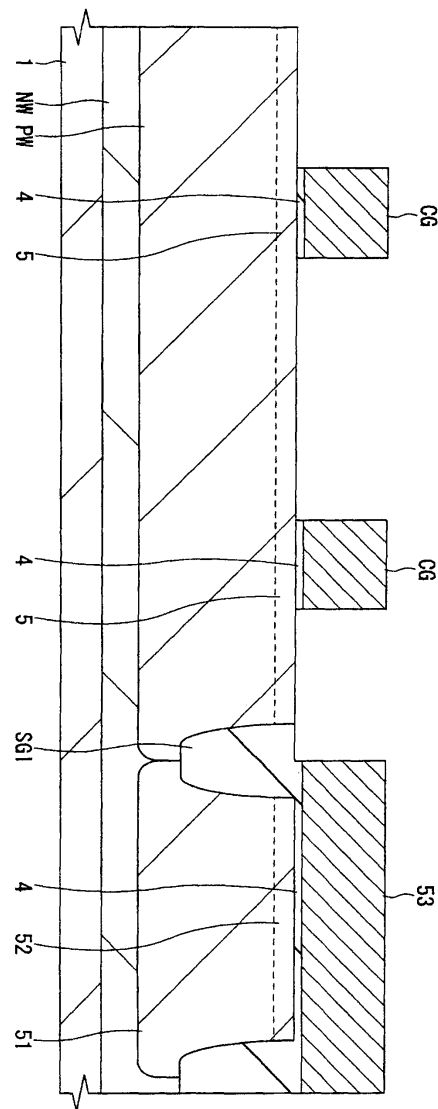
도면29



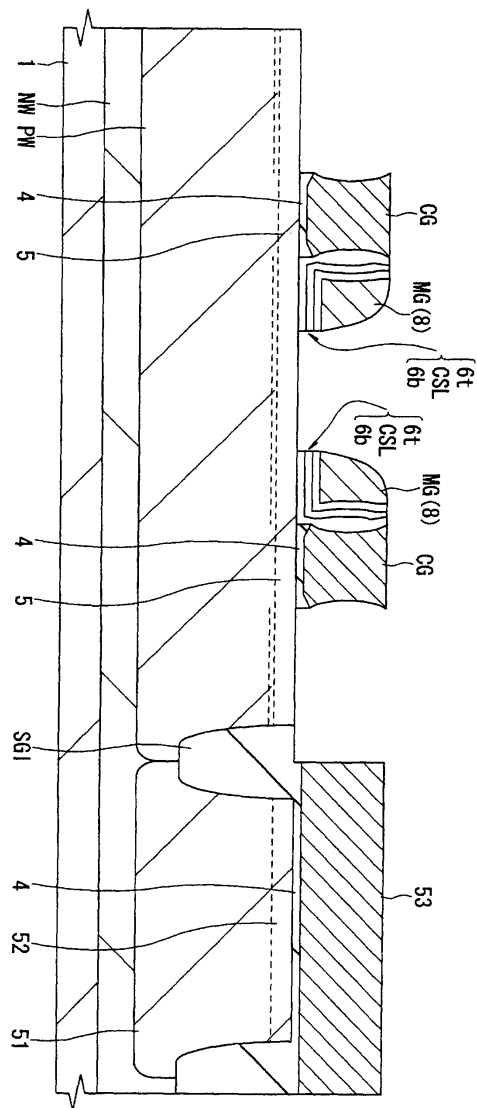
도면30



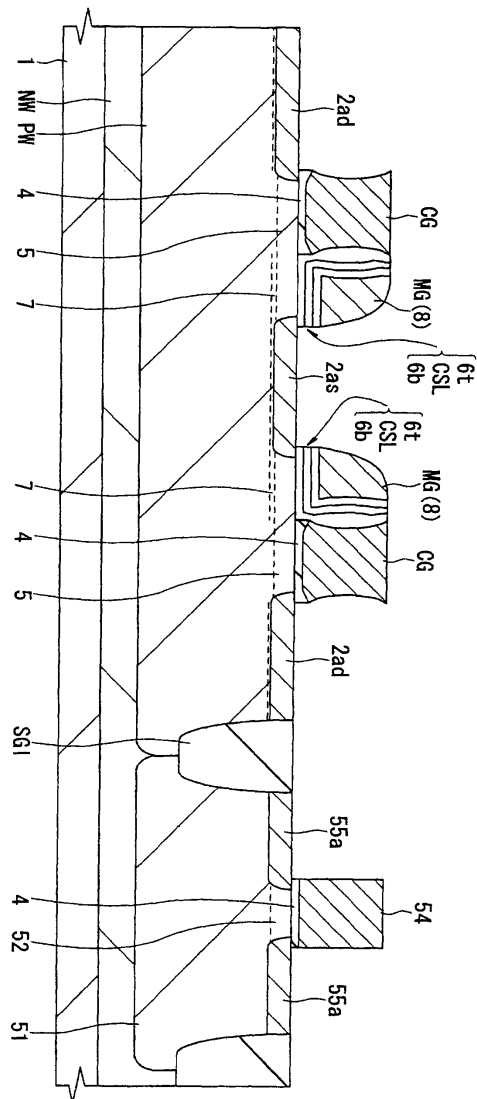
도면31



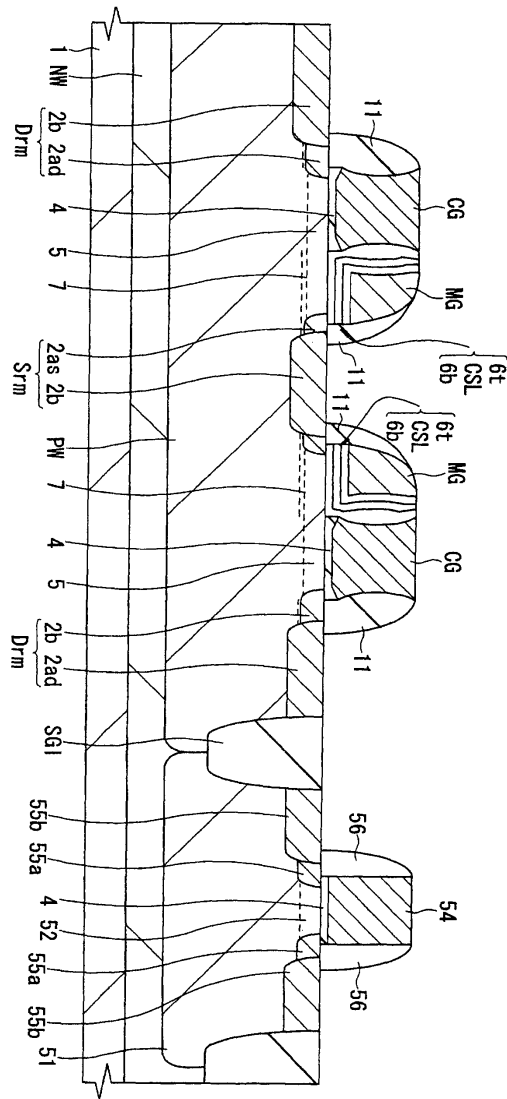
도면32



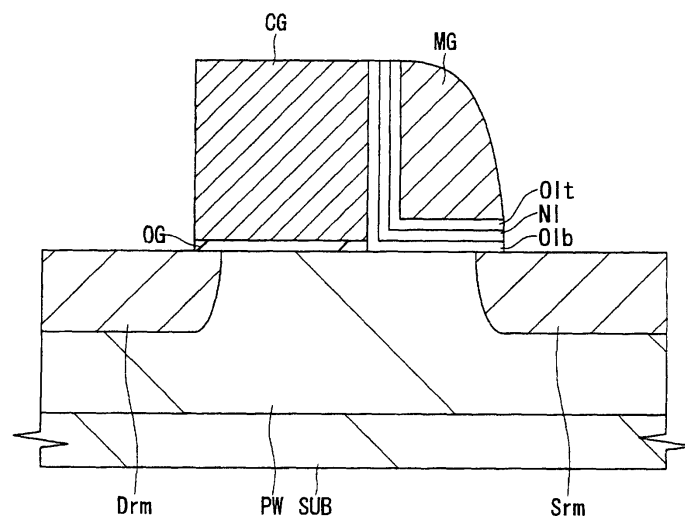
도면33



도면34



도면35



도면36

