(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 5 月 7 日(07.05.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/064256 A1

(51) 国際特許分類:
H01L 29/872 (2006.01) *H01L 21/329* (2006.01)
H01L 21/20 (2006.01) *H01L 29/06* (2006.01)
H01L 21/265 (2006.01) *H01L 29/861* (2006.01)
H01L 21/28 (2006.01) *H01L 29/868* (2006.01)
H01L 21/322 (2006.01)

(21) 国際出願番号: PCT/JP2014/075628

(22) 国際出願日: 2014 年 9 月 26 日(26.09.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-222852 2013 年 10 月 28 日(28.10.2013) JP

(71) 出願人: 富士電機株式会社(**FUJI ELECTRIC CO., LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 北村　祥司(**KITAMURA Shoji**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号　富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 松井　茂, 外(**MATSUI Shigeru** et al.); 〒1040061 東京都中央区銀座八丁目１６番５号 銀座中央ビル２階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SILICON CARBIDE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR SAME

(54) 発明の名称 : 炭化シリコン半導体装置及びその製造方法

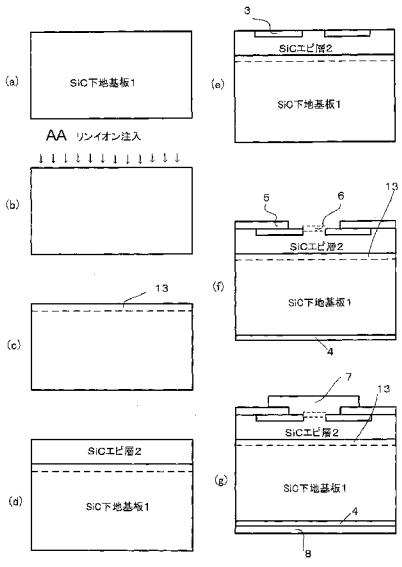


FIG. 1:
1 SiC underlying substrate
2 SiC epilayer
AA Injection of phosphorous ions

(57) **Abstract**: The purpose of the present invention is, subsequent to forming a SiC epitaxial layer on a SiC underlying substrate, to reduce density of crystal defects of the epitaxial layer surface in order to achieve improvement in the rate of nondefective devices. Provided is a silicon carbide semiconductor device comprising a first-conductivity-type silicon carbide semiconductor epitaxial layer (2) which is stacked on a main surface of a first-conductivity-type silicon carbide semiconductor substrate (1), wherein the silicon carbide semiconductor device is provided with a recrystallized layer (13) on the surface of the silicon carbide semiconductor substrate (1) on which the silicon carbide semiconductor epitaxial layer (2) is stacked, and/or the surface of the silicon carbide semiconductor epitaxial layer (2).

(57) 要約:　ＳｉＣ下地基板にＳｉＣエピタキシャル層形成後、このエピタキシャル層表面の結晶欠陥密度を低減してデバイスの良品率の向上を図る。　第一導電型の炭化シリコン半導体基板１の一方の主面に積層される第一導電型の炭化シリコン半導体エピタキシャル層２を有する炭化シリコン半導体装置において、前記炭化シリコン半導体エピタキシャル層２が積層される炭化シリコン半導体基板１表面と炭化シリコン半導体エピタキシャル層２の表面の少なくともいずれか一方の表面に再結晶層１３を備える炭化シリコン半導体装置。

WO 2015/064256 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 炭化シリコン半導体装置及びその製造方法

技術分野

[0001] 本発明は、炭化シリコンエピタキシャル層表面の結晶欠陥密度の低減に係る炭化シリコン半導体装置およびその製造方法に関する。

背景技術

[0002] 炭化シリコン半導体装置は、近年シリコンデバイスの特性限界を超えることができるデバイスとして注目されている。特に、炭化シリコン半導体装置は、シリコン半導体装置に比べてその絶縁破壊電界強度が高いこと（約１０倍高い）、熱伝導率が高いこと（約３倍高い）などの優れた物性を生かしてパワー半導体装置への応用が期待されている。

[0003] これらの優れた物性はＳｉとＣの原子間の結合エネルギーが大きいことによるものであるが、一方ではＳｉとＣの結合時の周期構造の違いにより、その結晶には２Ｈ、３Ｃ、４Ｈ、６Ｈ、１５Ｒなどのポリタイプ（結晶多形）が多く存在し、結晶成長中に不整合が発生し易いという問題がある。このため、ＳｉＣ単結晶の作製時には、異種ポリタイプの結晶混在が避けられず、ポリタイプ結晶の形成に起因する結晶不整合による転位等の結晶欠陥が発生し易いというのが実情である。そのため、ほぼ無転位に近いＳｉ半導体に比べると、現状のＳｉＣ半導体には結晶欠陥が桁違いに多く存在している。

[0004] ところで、ＳｉＣ基板の原材料であるＳｉＣ結晶インゴットは、高温での溶融液の安定性がよくないので、Ｓｉのように融液からの結晶成長させることが難しく、昇華法で作製されるのが一般的である。この昇華法で作製されたインゴットから切り出されたＳｉＣ半導体ウエハを下地基板とし、該ＳｉＣ下地基板上に気相法によりＳｉＣ層をエピタキシャル成長させ、該ＳｉＣエピタキシャル層（以降ＳｉＣエピ層）に不純物拡散層や接合構造を造り込んで、ＳｉＣデバイスを製造する。ＳｉＣエピ層へのデバイス形成には、Ｓｉデバイスとほぼ同様のプロセスを適用できるが、ＳｉＣ下地基板およびＳ

ｉＣエピ層中ではドーパント原子がほとんど熱拡散しないので、不純物拡散層の形成に熱拡散法が使用できない点において、大きく異なる。

[0005] このため、ＳｉＣデバイスにおいて、不純物拡散層の形成には、拡散層の深さに応じてイオン注入条件の異なる多段の（複数回の）高温イオン注入による拡散層の形成と、その活性化のために１６００℃以上の高温熱処理を必要とする。

[0006] ＳｉＣデバイスは、半導体基板の両主面間方向に電流が流れる縦型デバイスであるため、半導体基板の電流通路内に結晶欠陥があると、デバイスの電気特性が劣化し、製品良品率が低下する。例えば、ＳｉＣ－ＳＢＤ（ＳｉＣ－Ｓｈｏｔｔｋｙ Ｂａｒｒｉｅｒ Ｄｉｏｄｅ）やＳｉＣ－ＭＯＳＦＥＴなどのデバイスにおいては、特に、そのＳｉＣエピ層表面の結晶欠陥が特性劣化や信頼性品質に直結するため、表面欠陥密度の低減および表面欠陥密度の評価方法の確立がＳｉＣデバイスの良品率と信頼性の向上にとって重要な検討課題となっている。

[0007] ＳｉＣエピ層表面の欠陥は、ベースとなるＳｉＣ下地基板の欠陥を引き継いだ貫通螺旋転位（ＴＳＤ）や貫通刃状転位（ＴＥＤ）などが上層のエピ層に延伸した転位欠陥と、エピ成長中にエピ層内に形成される欠陥（ダウンホール等）とに大別される。

[0008] 図２（ａ）には、歪層を導入せずにＳｉＣエピ層を形成する従来製造方法によって、ＳｉＣ下地基板に形成されているＴＳＤが、ＴＳＤのままエピ層表面に伝搬した、あるいは結晶欠陥のタイプが基底面転位（Ｂａｓａｌ Ｐｌａｎｅ Ｄｉｓｌｏｃａｔｉｏｎ、以降ＢＰＤ）又はキャロット欠陥に転換されてエピ層表面に伝搬した、ＳｉＣ半導体装置の断面が模式的に示されている。

[0009] ＳｉＣ下地基板にもともとある欠陥としては、２０００年代は、マイクロパイプと呼ばれる転位欠陥が大きな問題になっていたが、現在は結晶の作製方法の改善によってマイクロパイプ欠陥は大幅に少なくなっている。しかしながら、現状でも、前記ＴＳＤ、ＴＥＤと呼ばれる転位欠陥は、おおよそ１

０００個／ｃｍ^{2}のレベルで存在するのが実情であり、これらの欠陥が起点となって、さらにエピ層中に欠陥が伝搬し延伸する問題があり、ＳｉＣ下地基板の欠陥低減が求められている。

[0010] また、エピ層形成中に発生する欠陥（ダウンホール等）については、エピ層形成装置、形成条件の改良で低減されつつある。前述のＳｉＣ下地基板に発生したＴＳＤやＴＥＤなどの転位欠陥を引き継いでエピ層に延伸し貫通する欠陥は現状ではまだ十分な制御下にはなく、特に表面に凹凸パターンを形成するキャロット型の欠陥についてはほとんど制御できないのが実情である。このキャロット欠陥とは、螺旋転位と基底面転位とに関連する欠陥と言われている。これらの欠陥は、デバイスの電気特性不良、特に漏れ電流不良に係ることが知られており、製品良品率の低下の主原因となっている。

[0011] 次に、ＳｉＣ－ＳＢＤを例にとって、従来のＳｉＣデバイス製造工程の概略を説明する。図５（１）にはＳｉＣ－ＳＢＤの完成断面、図５（２）にはその製造工程の概略が示されている。

[0012] 図５（２）の工程（ａ）において、ｎ型ＳｉＣ下地基板１（不純物濃度＞１×１０^{18}ｃｍ$^{-3}$、基板厚３５０μｍ）のＳｉ面側を化学機械研磨（Ｃｈｅｍｉｃａｌ Ｍｅｃｈａｎｉｃａｌ Ｐｏｌｉｓｉｎｇ、以降ＣＭＰ）しエピ層形成前処理を行う。

[0013] 同図の工程（ｂ）において、このＳｉ面上にｎ型ＳｉＣエピ層２（不純物濃度、約１×１０^{16}ｃｍ$^{-3}$、基板厚１０μｍ）を堆積する。原料ガスにＳｉＨ$_4$、Ｃ$_3$Ｈ$_8$、キャリアガスにＨ$_2$を用い、成長温度１７００℃でＣＶＤ成長させる。ｎ型ドーパントとして窒素（Ｎ$_2$）を用いる。

[0014] 同図の工程（ｃ）において、ＳｉＣエピ層２表面にＳＢＤ周辺耐圧構造を形成する。すなわち、ＡｌやＢ等の多段イオン注入により、所定の深さ（Ｘｊ）のｐ型イオン注入領域を形成後、１６００℃程度で熱処理を行い、注入イオン種を活性化し、周辺耐圧構造として、電界緩和機能を有するｐ型領域３を形成する。

[0015] 同図の工程（ｄ）において、ＳｉＣ下地基板１の裏面側に、Ｎｉ蒸着膜を

形成後、１０００℃程度で熱処理を行い、オーミック性のＮｉシリサイド膜４を形成する。その後、ＳｉＣ下地基板表面側のＳｉＣエピ層２表面に、酸化膜５のコンタクトホールを形成した後、Ｔｉ等のショットキーバリア電極６を形成する。ショットキーバリア電極６とＳｉＣエピ層２の接合部には、５００℃程度の熱処理により、Ｔｉシリサイド等のシリサイド層が形成される。

[0016] 同図の工程（ｅ）において、表面側にはＡｌＳｉ電極膜７、裏面にはＴｉ／Ｎｉ／Ａｕ電極８をそれぞれ形成し、ＳＢＤデバイスが完成する。

[0017] 以上説明したＳｉＣ－ＳＢＤデバイスの製造工程で、工程（ｂ）で形成されたＳｉＣエピ層２の表面に結晶欠陥が存在すると、工程（ｄ）におけるＴｉシリサイド層形成時に、良好なショットキー接合形成が阻害されるので、ＳＢＤデバイスの特性不良の原因となる。

[0018] ＳｉＣエピ層表面の欠陥は、ＳＢＤのショットキーバリアを形成する表面側シリサイド層やＭＯＳＦＥＴのゲート酸化膜品質に影響するおそれが高い。特にＳＢＤにおいては、欠陥生成によってショットキーバリア高さが変わり、漏れ電流が増大する可能性がある。また、これらの表面欠陥は、ＳｉＣ表面でステップ状の段差を有することが多いため、その段差部でシリサイド層の形成が不均一となり局所的電界集中ポイントとなる可能性もある。そのため、前述したように実際のデバイス製造工程では、エピ層表面の欠陥分布を評価した段階で特定の欠陥種が存在するチップを製造工程から除外することが一般的に行われている。これらの表面欠陥中、最も頻度が高い欠陥種としてキャロット欠陥がある。最近、特にキャロット欠陥によるデバイスの良品率への影響が検討されつつあり、特に逆方向特性劣化への関連が議論されている。以上、説明したようにＳｉＣエピ層の表面欠陥については、デバイスの良品率改善を目指して、その低減手法がいろいろ検討されており、その主たるものが基板形成方法の改善によるものである。

[0019] ＳｉＣデバイスの製造における良品率を向上させるために、結晶欠陥を低減する方法について、下記の特許文献が知られている。

[0020] 特許文献１、２には、結晶成長初期のバッファー層の最適化によって欠陥を低減する方法が開示されている。特許文献３には、エピ層の成長条件を選択することによりマイプロパイプ等の欠陥を途中で埋めて表面に到達させない方法が開示されている。さらに、特許文献４には、エピタキシャル炭化シリコン層の成長を中断してエッチングすることにより、エピ層の厚みを減少させてキャロット欠陥を終止させ、次に、エピタキシャル炭化シリコンの第２の層を再成長させる工程によってエピ層表面のキャロット欠陥を低減する方法が開示されている。

[0021] 一方、特許文献５には、陽極酸化法により、ＳｉＣ下地基板の表面の欠陥上に酸化膜を形成し、その後ショットキー電極を形成することで逆方向のリークモードを低減する方法が開示されている。

先行技術文献

特許文献

[0022] 特許文献1：特開２００９－２９５７２８号公報

特許文献2：特開２００９－８８２２３号公報

特許文献3：特開２００３－３３２５６３号公報

特許文献4：特表２００７－５２５４０２号公報

特許文献5：特開２０１１－１５９８１４号公報

発明の概要

発明が解決しようとする課題

[0023] しかしながら、エピ層表面の欠陥密度は、ＳｉＣ下地基板上へＳｉＣエピ層を堆積した時点ですでに決まってしまっている。エピ層の形成後は、いかにその欠陥を含むデバイスを確実に除くかだけであり、エピ層表面の欠陥自体を低減する方法を示す内容のものは、前記特許文献１～４には無い。一方、特許文献５に記載された陽極酸化法によれば、エピ層形成後の表面欠陥による逆方向のリークモードを低減することが可能であるが、陽極酸化法は量産性の点で問題がある。

[0024] したがって、本発明の目的は、ＳｉＣ下地基板上にＳｉＣエピタキシャル層形成後、該エピタキシャル層表面の結晶欠陥密度を低減してデバイスの良品率の向上を図る炭化シリコン半導体装置及びその製造方法を提供することにある。

課題を解決するための手段

[0025] 上記目的を達成するため、本発明の炭化シリコン半導体装置は、第一導電型の炭化シリコン半導体基板の一方の主面に積層される第一導電型の炭化シリコン半導体エピタキシャル層を有する炭化シリコン半導体装置において、前記炭化シリコン半導体エピタキシャル層が積層される炭化シリコン半導体基板表面と炭化シリコン半導体エピタキシャル層の表面の少なくともいずれか一方の表面に再結晶層を備えることを特徴とする。

[0026] 本発明の炭化シリコン半導体装置において、前記再結晶層が炭化シリコン半導体エピタキシャル層を貫通する結晶欠陥上を覆う位置に選択的に形成されていることが好ましい。

[0027] 本発明の炭化シリコン半導体装置において、前記炭化シリコン半導体装置が炭化シリコンショットキーバリアダイオードまたは炭化シリコンＭＯＳＦＥＴであることが好ましい。

[0028] 本発明の炭化シリコン半導体装置の製造方法は、第一導電型の炭化シリコン半導体基板の一方の主面に第一導電型の炭化シリコン半導体エピタキシャル層を形成する炭化シリコン半導体装置の製造方法において、前記炭化シリコン半導体エピタキシャル層が形成される炭化シリコン半導体基板の表面と前記炭化シリコン半導体エピタキシャル層の表面の少なくともいずれかの表面層に歪エネルギーを供給し、その後、前記歪エネルギーが供給された前記表面層を再結晶化させるための熱処理を加えて再結晶層を形成する工程を有することを特徴とする。

[0029] 本発明の炭化シリコン半導体装置の製造方法において、前記歪エネルギーを与える手段が、イオン注入、プラズマ処理、電子線照射、プロトン照射のいずれかであることが好ましい。

[0030] 本発明の炭化シリコン半導体装置の製造方法において、前記イオン注入に用いられるイオン種が、炭化シリコン半導体基板と同導電型のイオン種であることが好ましい。

[0031] 本発明の炭化シリコン半導体装置の製造方法において、前記イオン注入に用いられるイオン種が、４価元素のＣ、Ｓｉ、Ｇｅから選ばれるいずれかであることが好ましい。

[0032] 本発明の炭化シリコン半導体装置の製造方法において、前記イオン注入に用いられるイオン種が、希ガス元素であることが好ましい。

[0033] 本発明の炭化シリコン半導体装置の製造方法において、前記希ガス元素が、Ｈｅ、Ｎｅ、Ａｒから選ばれるいずれかの元素であることが好ましい。

[0034] 本発明の炭化シリコン半導体装置の製造方法において、前記表面層を再結晶化させるための熱処理が、高周波誘導加熱法またはレーザー照射法を用いる加熱処理であることが好ましい。

[0035] 本発明の炭化シリコン半導体装置の製造方法において、キャロット欠陥を低減するための前記表面層の再結晶化のための前記加熱処理が、温度１６００℃～２０００℃で、３０秒～１８０秒間の熱処理であることが好ましい。

発明の効果

[0036] 本発明によれば、炭化シリコン半導体の下地基板、又はエピタキシャル層に歪エネルギーを導入して歪層を形成し、該歪層を加熱処理によって再結晶化させて、表面欠陥を消失させることができるので、結晶欠陥がないデバイス形成領域を得ることができ、電気特性に優れた炭化シリコン半導体を提供することができる。

図面の簡単な説明

[0037] [図1]本発明の一実施形態に係るＳｉＣ－ＳＢＤ製造工程を示す概略図である。

[図2]ＳｉＣ半導体基板に形成されている結晶欠陥の態様を示す断面模式図である。

[図3]ＳｉＣエピ層に形成された結晶欠陥を示す透過電子顕微鏡画像である。

[図4]本発明の他の実施形態に係るＳｉＣ－ＳＢＤ製造工程を示す概略図である。

[図5]従来のＳｉＣ－ＳＢＤ製造工程を示す概略図である。

発明を実施するための形態

[0038] 以下、本発明の炭化シリコン半導体装置及びその製造方法に係る実施例について、図面を参照して詳細に説明する。本明細書および添付図面においては、ｎまたはｐを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、ｎやｐに付す＋および－は、それぞれ相対的に不純物濃度が高いまたは低いことを意味する。なお、以下の実施例の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、実施例で説明される添付図面は、見易くまたは理解し易くするために正確なスケール、寸法比で描かれていない。本発明はその要旨を超えない限り、以下に説明する実施例の記載に限定されるものではない。

[0039] 本発明の炭化シリコン半導体装置は、ＳｉＣエピ層の欠陥密度を低減するために、ＳｉＣ下地基板又はＳｉＣエピ層に歪層を形成した後、熱処理によって該歪層を再結晶化させた再結晶層を備えることができる。

[0040] 図２（ａ）には、歪層を導入せずにＳｉＣエピ層を形成する従来製造方法によって、ＳｉＣ下地基板に形成されている貫通螺旋転位（ＴＳＤ）が、ＴＳＤのままエピ層表面に伝搬した、あるいは結晶欠陥のタイプが基底面転位（ＢＰＤ）又はキャロット欠陥に転換されてエピ層表面に伝搬した、ＳｉＣ半導体装置の断面が模式的に示されている。一方、図２（ｂ）には、本発明の製造方法にしたがってＳｉＣ下地基板の表面欠陥を少なくとも覆うように部分的に再結晶化して再結晶層を形成し、該再結晶層によって下地基板の欠陥の端部を閉塞し、エピ層内への欠陥伝搬を抑制したＳｉＣ半導体装置の断面が模式的に示されている。また、図２（ｃ）には、本発明の製造方法にしたがってＳｉＣ下地基板にＳｉＣエピタキシャル層を形成し、エピタキシャル層表面を部分的に再結晶化させることによって、欠陥密度を低減したＳｉ

Ｃ半導体装置の断面が模式的に示されている。

[0041] 図２（ａ）の態様ではＳｉＣエピ層表面すなわちデバイス形成領域にも結晶欠陥が形成されているが、図２（ｂ）、図２（ｃ）の態様によれば、デバイス形成領域において欠陥密度を低減することができる。

[0042] よって、本発明の炭化シリコン半導体装置における前記再結晶層は、上記図２（ｂ）及び／又は図２（ｃ）の態様であることが好ましい。

[0043] なお、再結晶層は、ＳｉＣ下地基板に部分的に形成してもよいが、全面に形成してもよい。

[0044] 以下、本発明の炭化シリコン半導体装置に備わる再結晶層について、更に詳しく説明する。

[0045] 本発明のＳｉＣ半導体装置の製造において、例えばＳｉＣ下地基板（ｎドープ、比抵抗２０ｍΩｃｍ、オフ角度４°）のＳｉ面上に、ｎタイプのＳｉＣエピ層（ドーピング濃度１×１０^{16}ｃｍ$^{-3}$、エピ層厚１０μｍ）を形成し、該ＳｉＣエピ層表面にＡｌを３段イオン注入（第１段：５×１０^{14}ｃｍ$^{-2}$／３５０ｋｅＶ、第２段：３×１０^{14}ｃｍ$^{-2}$／２５０ｋｅＶ、第３段：２×１０^{14}ｃｍ$^{-2}$／１００ｋｅＶ、注入温度５００℃）し、イオンの弾性衝突によって結晶格子に歪エネルギーを導入し、該結晶格子に歪層を形成することができる。然る後に、例えば高周波誘導加熱（１６００℃、１８０秒）によって前記歪層を、再結晶化させ、再結晶層を形成することができる。

[0046] 上記製造方法によれば、光学式表面検査装置によって検出される、ＳｉＣエピタキシャル直後の欠陥密度５個／ｃｍ^{2}程度のものを、再結晶化処理後には２個／ｃｍ^{2}以下に低減することができる。

[0047] 図３（ａ）には、上記製造条件によって作製したＳｉＣエピ層断面の透過電子顕微鏡（ＴＥＭ）画像が示されている。ＳｉＣ下地基板内部（図中の下方向）からエピ層２表面（図中の上方向）に伸びる貫通転位欠陥１０は、イオン注入領域境界１１で消失しており、ＳｉＣエピ層２表面に達していないことが分かる。一方、同図（ｂ）には、イオン注入せずに熱処理した（歪エネルギーを与えないで熱処理した）ＳｉＣエピ層の断面ＴＥＭ画像が示され

ている。基板から伸びる貫通転位欠陥１０がＳｉＣエピ層２表面まで達し、シリサイド層の形成を阻害していることが分かる。さらに、表面に達した貫通転位欠陥１０上では、シリサイド層がうまく形成されないため、シリサイド内にクラック状の欠陥（ジグザグの線）が形成されている。

[0048] このように、ＳｉＣエピ層に歪層を形成してから、該歪層を再結晶化させ、再結晶層において、結晶欠陥を消失させることができる。

[0049] 上記炭化シリコン半導体装置の製造方法では、イオン注入と高周波誘導加熱とによって再結晶層を得たが、本発明はこれに限定されるものではない。

[0050] 以下、本発明の炭化シリコン半導体装置の再結晶層の形成方法について詳細に説明する。

[0051] ＳｉＣエピ層又はＳｉＣ下地基板に再結晶層を形成するプロセスは、歪エネルギーを与えて歪層を形成する工程と、該歪層を熱処理して再結晶化する工程からなる。表１は、本発明に係る歪導入方法と再結晶化方法の一覧表である。歪層を形成する手段としてイオン注入、プラズマ処理、電子線照射、プロトン照射を用いることができる。また、再結晶化する手段として高周波誘導加熱、レーザーアニール等の熱処理を用いることができる。

[表1]

<table>
<tr><th colspan="3">歪層の形成方法</th><th>再結晶化方法</th></tr>
<tr><td colspan="3">プラズマ処理</td><td rowspan="6">高周波誘導加熱
レーザーアニール</td></tr>
<tr><td rowspan="4">イオン注入</td><td>ｎ型</td><td>Ｎ（窒素）、Ｐ（リン）</td></tr>
<tr><td>ｐ型</td><td>Ｂ（ボロン）Ａｌ</td></tr>
<tr><td>４族</td><td>Ｃ、Ｓｉ</td></tr>
<tr><td>希ガス</td><td>Ｈｅ、Ａｒ</td></tr>
<tr><td colspan="3">電子線照射</td></tr>
<tr><td colspan="3">プロトン照射</td></tr>
</table>

[0052] ［イオン注入］

本発明の炭化シリコン半導体装置の製造工程では、ＳｉＣエピ層又はＳｉ

Ｃ下地基板に、ｎ型ドーパント（N_2，Ｐ等）、ｐ型ドーパント（Ｂ，ＡｌＩ等）、４価元素（Ｃ，Ｓｉ，Ｇｅ等）、希ガス元素（Ｈｅ，Ｎｅ，Ａｒ等）のいずれかをイオン注入して、歪層を形成することができる。質量数の大きい元素を用いると、歪エネルギーを多く導入することができる。ただし、ｎ型ドーパント又はｐ型ドーパントを使用する場合は、デバイスの電気特性に影響しないように、ドーズ量を制限する必要がある。歪層の深さ及び／又は歪の度合いは、加速電圧とドーズ量によって変えることができる。特に、加速電圧とドーズ量を変えてイオン注入を複数回行う、多段イオン注入法によれば、歪エネルギー分布も変えることができる。例えば、ＡｌのイオンＩ注入では、３段イオン注入（第１段：$５\times１０^{14}ｃｍ^{-2}$／３５０ｋｅＶ、第２段：$３\times１０^{14}ｃｍ^{-2}$／２５０ｋｅＶ、第３段：$２\times１０^{14}ｃｍ^{-2}$／１００ｋｅＶ）によって、深さ約１μｍの歪層を形成することができる。また、ＳｉＣ－ｎ型基板へのＰの注入では、２段イオン注入（第１段：$１．５\times１０^{13}ｃｍ^{-2}$／７０ｋｅＶ、第２段：$１．５\times１０^{13}ｃｍ^{-2}$／４０ｋｅＶ）によって、深さ約０．２μｍの歪層を形成することができる。ＳＢＤやＭＯＳＦＥＴ等の表面デバイスでは、歪層は１μｍ程度の深さで十分であり、更に多段イオン注入を多用して歪層を深くするとコストアップになるので好ましくない。一方、イオン注入時の基板温度は、特に制限されず、半導体プロセスで常用される５００℃でもよいが、必ずしも高温である必要はなく、室温でもよい。

[0053] ［プラズマ処理］

本発明の炭化シリコン半導体装置の製造工程では、ＳｉＣエピ層又はＳｉＣ下地基板をＨ、Ａｒ、$ＣＦ_4$等のプラズマに晒して歪層を形成することができる。プラズマ装置は、特に制限されず、誘導結合型プラズマ装置、容量結合型プラズマ装置、マイクロ波プラズマ装置等を用いることができる。例えば、容量結合型プラズマ装置によれば、３百ワット以上で６０秒間のプラズマ処理によって、ＳｉＣ半導体基板全面に歪を与えることができる。

[0054] ［電子線照射］

本発明の炭化シリコン半導体装置の製造工程では、電子線をＳｉＣエピ層又はＳｉＣ下地基板に照射して歪層を形成することができる。電子線は透過力が高いため、シリコン半導体プロセスと同様の加速電圧では数百μｍの深さまで歪が与えられてしまう。このため、本目的に対しては、低加速電子銃、又はアルミニウム板等の減速材によって透過力の弱い電子線を得て、照射回数で歪層の深さやエネルギー量を制御することが好ましい。

[0055] ［プロトン照射］

本発明の炭化シリコン半導体装置の製造工程では、タンデム型バンデグラフトによって加速したプロトンをＳｉＣエピ層又はＳｉＣ下地基板に照射して、歪層を形成することができる。例えばプロトンをドーズ量１×１０^{13}ａｔｏｍｓ／ｃｍ^{2}、加速エネルギー０．５ＭｅＶで照射して、表面から３μｍ付近の深さにピークを持つ歪領域を形成することができる。

[0056] ［熱処理方法］

熱処理方法としては、高周波誘導加熱、レーザーアニール法を用いることができる。熱処理は、１６００℃～２０００℃で、３０秒～１８０秒間行うことが好ましく、１７００℃～２０００℃で、３０秒～１５０秒間行うことがより好ましい。１６００℃未満では再結晶化が不完全で結晶欠陥が残留する可能性が高く、２０００℃以上ではドーパントが昇華して電気特性が変わるので好ましくない。レーザーアニールを用いる場合、エピ層形成後に表面欠陥評価装置により作成された欠陥マップに沿って選択的レーザー照射することによって、図２（ｂ）、（ｃ）に示すように、欠陥部分だけを覆うように、ＳｉＣ表面を選択的に再結晶化することが可能である。

[0057] 熱処理工程において注意すべき点は、ステップバンチングと呼ばれる基板表面の凹凸が激しくなる現象である。例えば、４Ｈ－ＳｉＣの（０００１）面から［１１－２０］方向に８度程度傾けた下地基板上に成長したエピタキシャル層で、各原子層が横方向に成長していくため、各原子層の端にある成長ステップが、ある条件下において統合されて、表面の凹凸が激しくなる。ステップバンチングは、熱処理前に基板表面に例えば厚さ３０ｎｍのカーボ

ン膜を形成して、予防することができる。熱処理後は、不用になったカーボン膜を剥離することができる。また、イオン注入後にＣＭＰして平滑化する方法でもよい。ただし、ＣＭＰにおける研磨深さは、前記イオン注入領域の深さよりも浅くして、再結晶層を削り過ぎないように注意する必要がある。

実施例

[0058] ［実施例１］

図１に示す製造工程にしたがって、ＳｉＣ－ＳＢＤを作製した。

[0059] 工程（ｂ）としてＳｉＣ下地基板１のＳｉ表面の全面にリンを２段イオン注入し、イオン注入領域（歪層）を形成した。ここで、第１段イオン注入はドーズ量を２×１０^{15}ｃｍ$^{-2}$、加速エネルギーを２５０ｋｅＶとし、第２段イオン注入はドーズ量を５×１０^{14}ｃｍ$^{-2}$で加速エネルギーを７０ｋｅＶとした。また、注入温度は室温とした。次に、工程（ｃ）として、高周波誘導加熱処理により、常圧Ａｒ雰囲気中、温度１６００℃で１８０秒間の熱処理を実施し、工程（ｂ）で導入したイオン注入領域（歪層）を再結晶させて、再結晶層１３を形成した（温度１６００℃で１８０秒間の熱処理は、２０００℃で３０秒間の熱処理としてもよい）。なお、図示していないが、ステップバンチングによる表面のあれを防止するために、イオン注入後、基板表面にカーボン膜（厚さ３０ｎｍ）を形成し、１６００℃で熱処理した後に剥離した。

[0060] 工程（ｄ）として、ＳｉＣエピ層２を形成した。ＳｉＣエピ層２は、まずバッファー層（ｎドープ、キャリア濃度１×１０^{18}ｃｍ$^{-3}$、厚さ約０．５μｍ）（図示せず）を形成し、然る後にｎ$^{-}$型ＳｉＣ（ｎ型ドープ、キャリア濃度１×１０^{16}ｃｍ$^{-3}$、厚さ約１０μｍ）をエピタキシャル成長させた。ＳｉＣエピ層２の形成後に表面欠陥検査を実施し、通常４個／ｃｍ^{2}、の欠陥レベルが、１．５個／ｃｍ^{2}まで低減されていることを確認した。

[0061] 工程（ｅ）として、ＳｉＣエピ層２の表面にフォトエッチングで形成した酸化膜マスク（図示せず）を用いて、ｐ型ドーパントＡｌをイオン注入してｐ型領域３を形成した。注入条件は、第１段：５×１０^{12}ｃｍ$^{-2}$／３５０ｋ

ｅＶ、第２段：３×１０^{12}ｃｍ$^{-2}$／１５０ｋｅＶ、第３段：２×１０^{12}ｃｍ$^{-2}$／１００ｋｅＶとし、順次イオン注入した。注入温度は５００℃とした。次いで、ＳｉＣエピ層２表面にカーボン膜（図示せず）を５０ｎｍ堆積し、１６００℃で１８０秒間の活性化熱処理を行った。その後、カーボン膜を除去した。次に、工程（ｆ）として、裏面側にＮｉ膜を形成後、１０００℃で熱処理してＮｉシリサイド膜４を形成した。次いで、表面側の酸化膜５に、フォトエッチングによってコンタクトホールを形成し、然る後に、ショットキーバリア電極６となるＴｉ膜を２００ｎｍ厚で形成した。フォトエッチングによりコンタクトホール周辺部のＴｉ除去後に５００℃で熱処理し、Ｔｉシリサイドを形成した。最後に、工程（ｇ）として、表面に厚さ５μｍのＡｌＳｉ電極７を形成し、フォトエッチング工程により周辺部を除去した。また裏面側は、Ｔｉ／Ｎｉ／Ａｕ電極８を全面に形成した。

[0062] 以上、実施例１では、Ｐイオン注入と１６００℃の熱処理によりＳｉＣ下地基板１の表面に再結晶層を形成して、ＳｉＣ下地基板１の表面欠陥密度を低減し、然る後にＳｉＣエピ層を形成し、ＳｉＣ下地基板１からＳｉＣエピ層への欠陥延伸を防止して、ＳｉＣ－ＳＢＤの良品率を向上させた。

[0063] ［実施例２］

図４に示す製造工程にしたがって、ＳｉＣ－ＳＢＤを作製した。

[0064] 工程（ｂ）として、ＳｉＣ下地基板１のＳｉ面側にｎ$^{-}$型のＳｉＣエピ層２（１×１０^{16}ｃｍ$^{-3}$，１０μｍ）を形成した（ここで、ｎ$^{-}$型のＳｉＣエピ層２の形成前に、バッファー層（１×１０^{18}ｃｍ$^{-3}$，０．５μｍ）を形成してもよい）。ｎ-ＳｉＣエピ層２の形成後に表面欠陥評価装置で検査し、欠陥４個／ｃｍ^{2}を検出した。

[0065] 次に、ＳｉＣエピ層２の表面にフォトエッチングで形成した酸化膜マスク（図示せず）を用いて、Ａｌを３段イオン注入し、耐圧構造部を形成した。注入条件は、第１段：５×１０^{12}ｃｍ$^{-2}$／３５０ｋｅＶ、第２段：３×１０^{12}ｃｍ$^{-2}$／１５０ｋｅＶ、第３段：２×１０^{12}ｃｍ$^{-2}$／１００ｋｅＶとし、順次イオン注入して、ｐ型領域３を形成した。注入温度は５００℃とした。

次に、工程（ｄ）として、酸化膜５を全面に形成した後、前記耐圧構造部より内周部分をフォトエッチング工程で開口し、然る後に、Ａｒを３段イオン注入した。注入条件は、第１段：ドーズ量１×１０^{13}ｃｍ$^{-2}$／３５０ｋｅＶ、第２段：６×１０^{12}ｃｍ$^{-2}$／１５０ｋｅＶ、第３段：４×１０^{12}ｃｍ$^{-2}$／１００ｋｅＶで、室温でのイオン注入とした。次に、工程（ｅ）として、表面酸化膜を除去し表面にカーボン膜（図示せず）を４０ｎｍ形成し、次いで高周波誘導加熱により１７００℃、１５０秒間の条件で熱処理した。

この後、表面欠陥検査を実施し、通常４個／ｃｍ^{2}、の欠陥レベルが、１．５個／ｃｍ^{2}まで低減されていることを確認した。

[0066] 工程（ｆ）として、ＳｉＣエピ層２の表面に酸化膜５を形成し、酸化膜を部分的にエッチング除去してショットキーバリア電極６のコンタクト部を開口した後、ショットキーバリア電極６のメタルとして厚さ２００ｎｍのＴｉ膜を形成し、５００℃、３０分間の条件で熱処理してシリサイド化し、所定のショットキーバリアハイトを有するショットキーバリア接合を形成した。

最後に、工程（ｇ）として、表面にＡｌＳｉ電極膜７、裏面にＴｉ／Ｎｉ／Ａｕ電極膜８を形成した。

[0067] 以上、実施例２では、Ａｒイオン注入と１７００℃の熱処理によってＳｉＣエピ層２の表面に再結晶層を形成し、ＳｉＣエピ層２の表面欠陥密度を低減して、ＳｉＣ－ＳＢＤの良品率を向上させた。

[0068] 実施例１、２ともに、欠陥数は従来の表面欠陥密度は、４個／ｃｍ^{2}から１．５個／ｃｍ^{2}に低減され、１２００Ｖ耐圧のＳＢＤの良品率は６５％から８０％に向上した

[0069] なお、ＳｉＣエピ層２の表面に再結晶層１３を形成するためのイオン注入は、基本的にはイオン種は問わないが、次工程のショットキー接合の形成工程の安定性を影響が少ない、Ａｒ等の希ガスイオンの注入が効果的であること、イオン注入以外にはプラズマ処理、電子線照射、プロトン照射が効果的であること、熱処理としてレーザーアニール法も効果的であることを確認している。

符号の説明

[0070]

１	ＳｉＣ下地基板
２	ＳｉＣエピ層
３	ｐ型領域
４	Ｎｉシリサイド膜
５	酸化膜
６	ショットキーバリア電極
７	ＡｌＳｉ電極
８	Ｔｉ／Ｎｉ／Ａｕ電極
１０	貫通転位欠陥
１１	再結晶層とエピ層の境界
１３	再結晶層

請求の範囲

[請求項1] 第一導電型の炭化シリコン半導体基板の一方の主面に積層される第一導電型の炭化シリコン半導体エピタキシャル層を有する炭化シリコン半導体装置において、

前記炭化シリコン半導体エピタキシャル層が積層される炭化シリコン半導体基板表面と炭化シリコン半導体エピタキシャル層の表面の少なくともいずれか一方の表面に再結晶層を備えることを特徴とする炭化シリコン半導体装置。

[請求項2] 前記再結晶層が炭化シリコン半導体エピタキシャル層を貫通する結晶欠陥上を覆う位置に選択的に形成されていることを特徴とする請求項１記載の炭化シリコン半導体装置。

[請求項3] 前記炭化シリコン半導体装置が炭化シリコンショットキーバリアダイオードまたは炭化シリコンＭＯＳＦＥＴであることを特徴とする請求項１または２記載の炭化シリコン半導体装置。

[請求項4] 第一導電型の炭化シリコン半導体基板の一方の主面に第一導電型の炭化シリコン半導体エピタキシャル層を形成する炭化シリコン半導体装置の製造方法において、前記炭化シリコン半導体エピタキシャル層が形成される炭化シリコン半導体基板の表面と前記炭化シリコン半導体エピタキシャル層の表面の少なくともいずれかの表面層に歪エネルギーを供給し、その後、前記歪エネルギーが供給された前記表面層を再結晶化させるための熱処理を加えて再結晶層を形成する工程を有することを特徴とする炭化シリコン半導体装置の製造方法。

[請求項5] 前記歪エネルギーを与える手段が、イオン注入、プラズマ処理、電子線照射、プロトン照射のいずれかであることを特徴とする請求項４記載の炭化シリコン半導体装置の製造方法。

[請求項6] 前記イオン注入に用いられるイオン種が、炭化シリコン半導体基板と同導電型のイオン種であることを特徴とする請求項５記載の炭化シリコン半導体装置の製造方法。

[請求項7] 前記イオン注入に用いられるイオン種が、４価元素のＣ、Ｓｉ、Ｇｅから選ばれるいずれかであることを特徴とする請求項５記載の炭化シリコン半導体装置の製造方法。

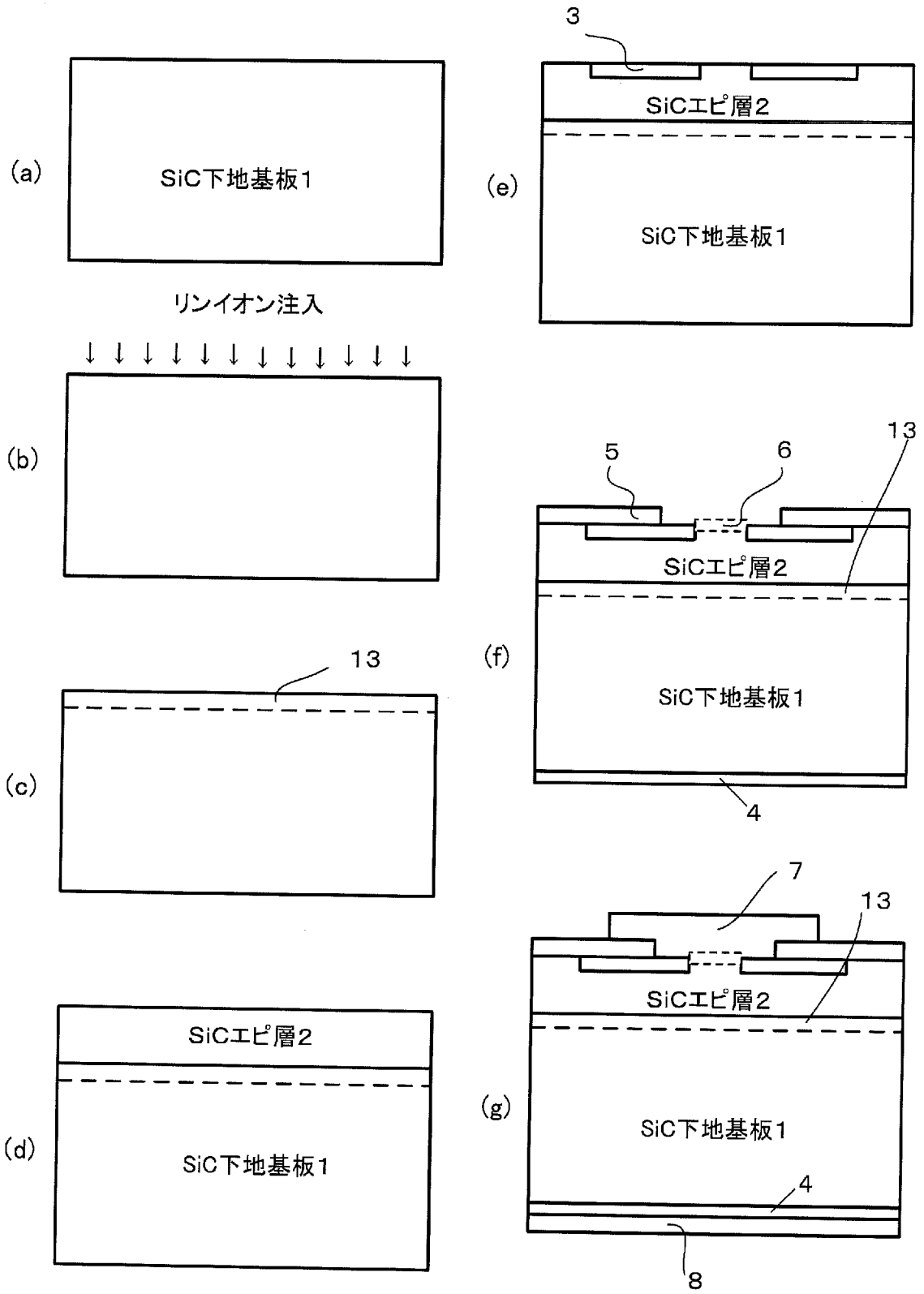
[請求項8] 前記イオン注入に用いられるイオン種が、希ガス元素であることを特徴とする請求項５記載の炭化シリコン半導体装置の製造方法。

[請求項9] 前記希ガス元素が、Ｈｅ、Ｎｅ、Ａｒから選ばれるいずれかの元素であることを特徴とする請求項８記載の炭化シリコン半導体装置の製造方法

[請求項10] 前記表面層を再結晶化させるための熱処理が、高周波誘導加熱法またはレーザー照射法を用いる加熱処理であることを特徴とする請求項４記載の炭化シリコン半導体装置の製造方法。

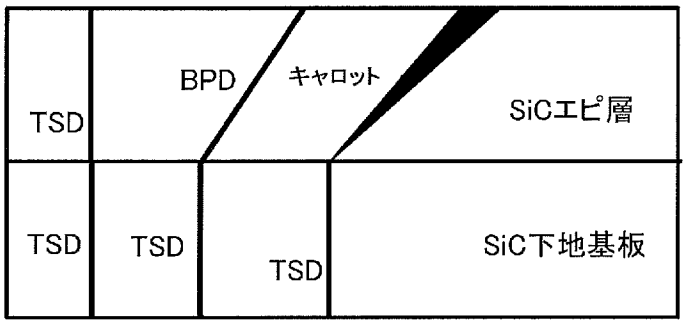
[請求項11] キャロット欠陥を低減するための前記表面層の再結晶化のための前記加熱処理が、温度１６００℃～２０００℃で、３０秒～１８０秒間の熱処理であることを特徴とする請求項１０記載の炭化シリコン半導体装置の製造方法。

[図1]

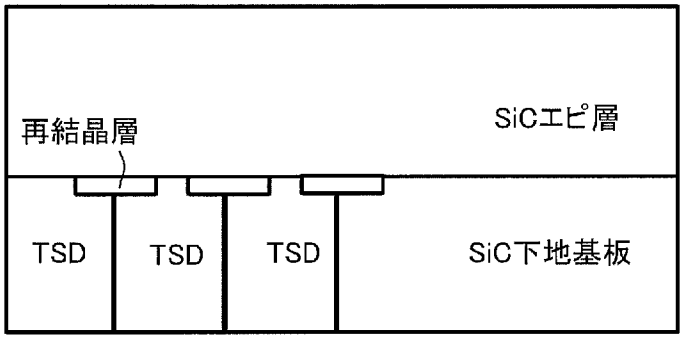

(a)
SiC下地基板1
リンイオン注入
(b)
(c)
13
(d)
SiCエピ層2
SiC下地基板1
(e)
3
SiCエピ層2
SiC下地基板1
(f)
5
6
13
SiCエピ層2
SiC下地基板1
4
(g)
7
13
SiCエピ層2
SiC下地基板1
4
8

[図2]

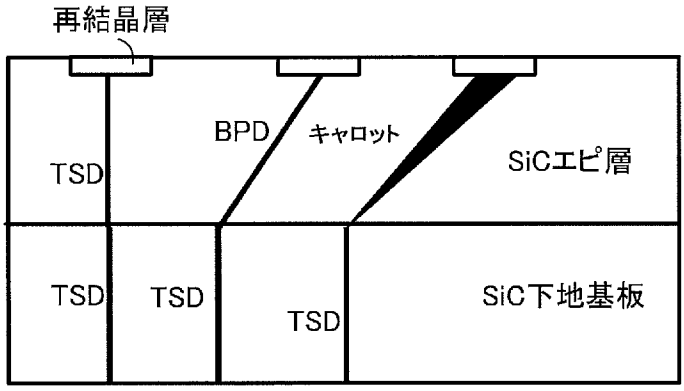
(a)


TSD
BPD
キャロット
SiCエピ層
TSD
TSD
TSD
SiC下地基板

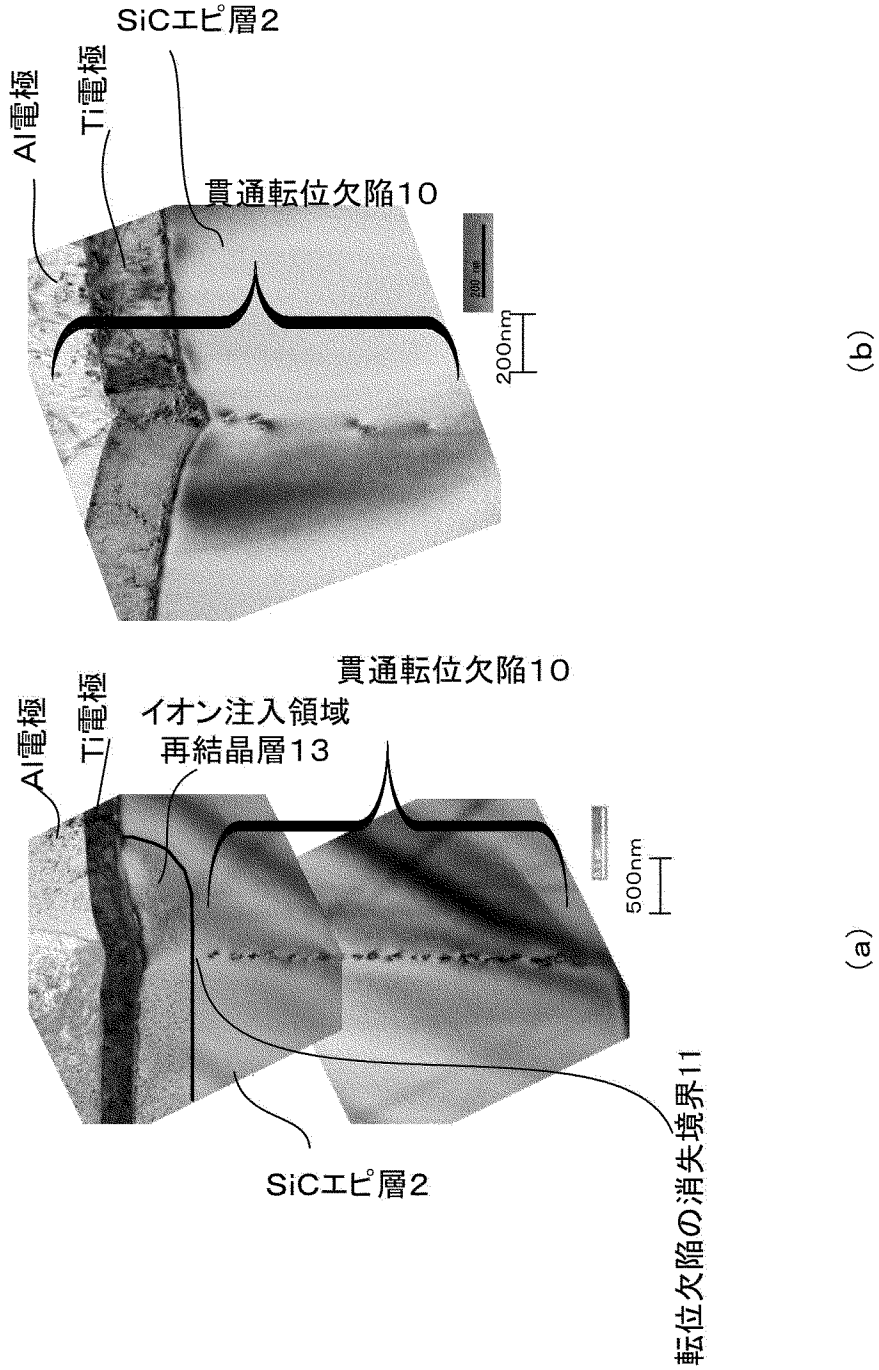
(b)


再結晶層
SiCエピ層
TSD
TSD
TSD
SiC下地基板

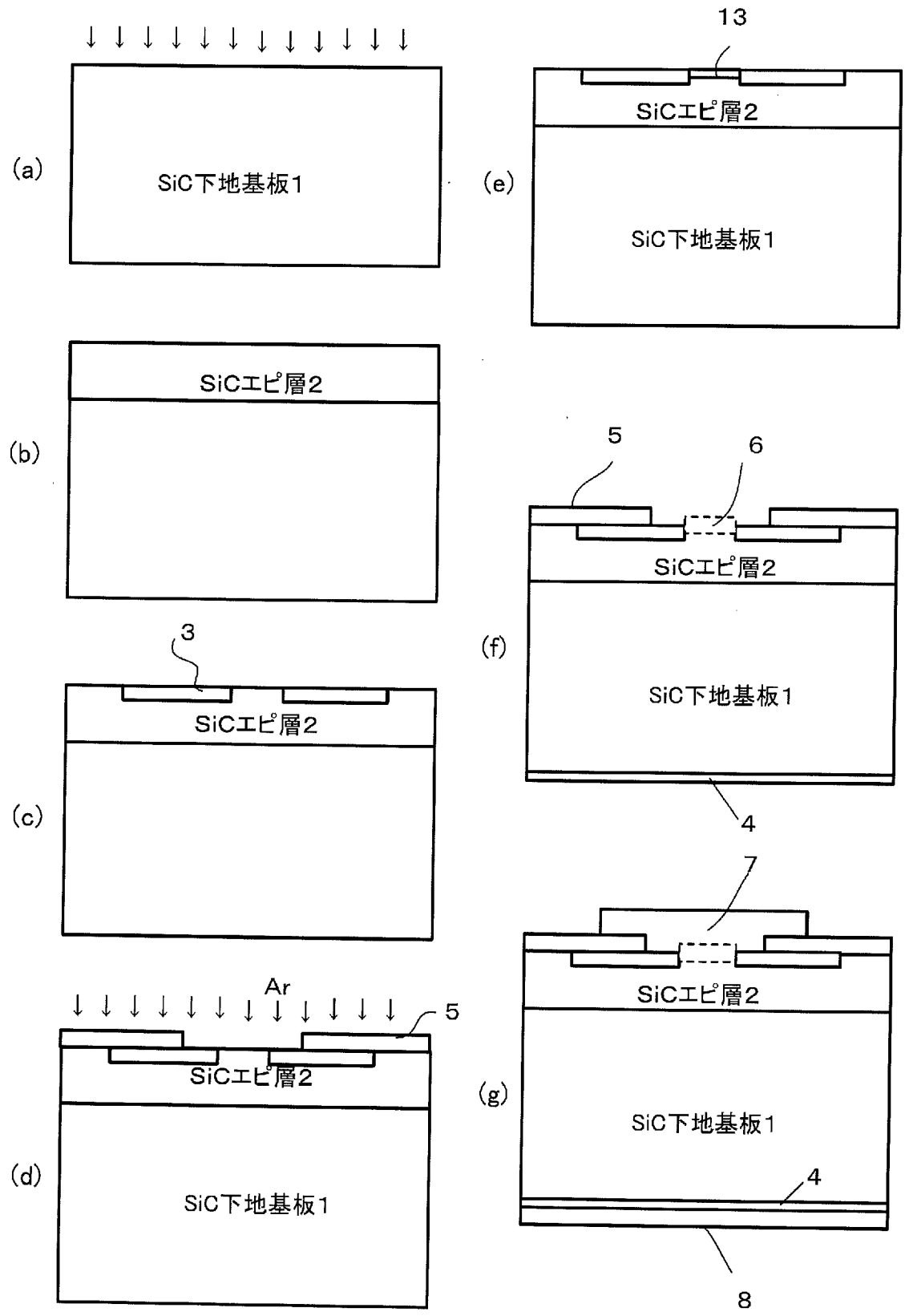
(c)


再結晶層
BPD
キャロット
TSD
SiCエピ層
TSD
TSD
TSD
SiC下地基板

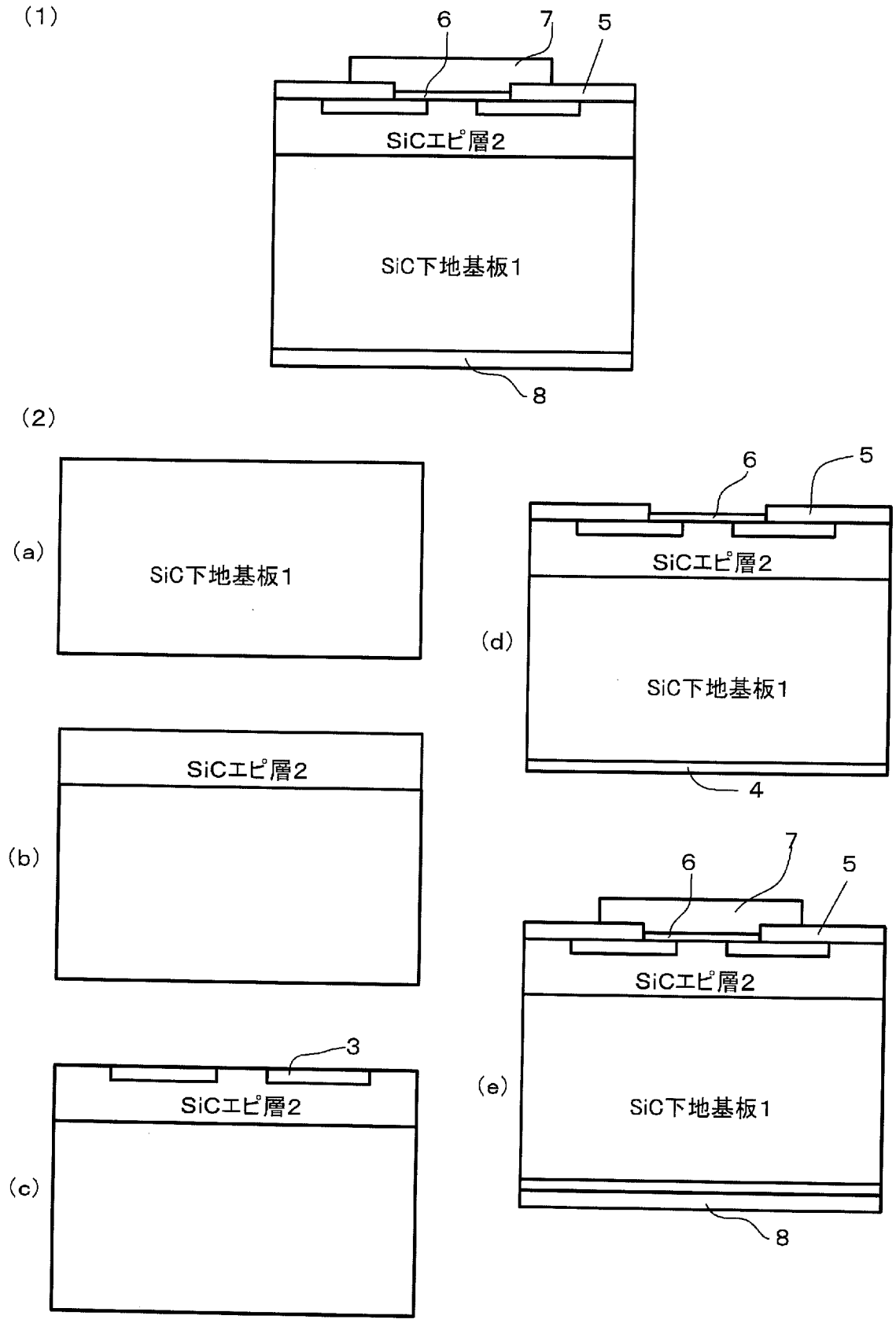
[図3]


SiCエピ層2
Al電極
Ti電極
貫通転位欠陥10
200nm
(b)
貫通転位欠陥10
Al電極
Ti電極
イオン注入領域
再結晶層13
500nm
(a)
転位欠陥の消失境界11
SiCエピ層2

[図4]


(a)
SiC下地基板1
(b)
SiCエピ層2
(c)
3
SiCエピ層2
(d)
Ar
5
SiCエピ層2
SiC下地基板1
(e)
13
SiCエピ層2
SiC下地基板1
(f)
5
6
SiCエピ層2
SiC下地基板1
4
(g)
7
SiCエピ層2
SiC下地基板1
4
8

[図5]


(1)
6
7
5
SiCエピ層2
SiC下地基板1
8
(2)
(a)
SiC下地基板1
(b)
SiCエピ層2
(c)
3
SiCエピ層2
(d)
6
5
SiCエピ層2
SiC下地基板1
4
(e)
7
6
5
SiCエピ層2
SiC下地基板1
8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/075628

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/872(2006.01)i, *H01L21/20*(2006.01)i, *H01L21/265*(2006.01)i, *H01L21/28*(2006.01)i, *H01L21/322*(2006.01)i, *H01L21/329*(2006.01)i, *H01L29/06*(2006.01)i, *H01L29/861*(2006.01)i, *H01L29/868*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/872, H01L21/20, H01L21/265, H01L21/28, H01L21/322, H01L21/329, H01L29/06, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014
Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-058601 A (Toshiba Corp.), 28 March 2013 (28.03.2013), paragraphs [0058] to [0078]; fig. 1 to 8 & US 2013/0062622 A1 & US 2014/0042462 A1	1,3-5,7-10 1-11 2
X Y	JP 2010-153464 A (Toyota Central Research and Development Laboratories, Inc.), 08 July 2010 (08.07.2010), claims; paragraphs [0012] to [0017], [0022] to [0024], [0029]; fig. 1 to 4, 7 to 8 (Family: none)	1,3 1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 December 2014 (10.12.14)	22 December 2014 (22.12.14)
Name and mailing address of the ISA/ Japan Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/075628

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-168453 A (Denso Corp.), 01 September 2011 (01.09.2011), claims; paragraphs [0011] to [0015], [0018] to [0020], [0028] to [0033], [0045] to [0047], [0054] to [0056]; fig. 3, 5 & US 2011/0203513 A1 & DE 102011004247 A & CN 102162134 A	1-11
A	JP 2000-044398 A (Toyota Central Research and Development Laboratories, Inc.), 15 February 2000 (15.02.2000), entire text; all drawings & US 6214108 B1 & EP 967304 A1 & DE 69916177 T & DE 69916177 D	1-11
A	JP 2002-261041 A (Sixon Inc.), 13 September 2002 (13.09.2002), entire text; all drawings (Family: none)	1-11
A	JP 2007-210861 A (Mitsubishi Materials Corp.), 23 August 2007 (23.08.2007), entire text; all drawings (Family: none)	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０７５６２８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/872(2006.01)i, H01L21/20(2006.01)i, H01L21/265(2006.01)i, H01L21/28(2006.01)i, H01L21/322(2006.01)i, H01L21/329(2006.01)i, H01L29/06(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/872, H01L21/20, H01L21/265, H01L21/28, H01L21/322, H01L21/329, H01L29/06, H01L29/861, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2013-058601 A (株式会社東芝) 2013.03.28, 段落【0058】-【0078】, 第1-8図 & US 2013/0062622 A1 & US 2014/0042462 A1	1,3-5,7-10 1-11 2
X Y	JP 2010-153464 A (株式会社豊田中央研究所) 2010.07.08, 特許請求の範囲,段落【0012】-【0017】,【0022】-【0024】,【0029】,第1-4,7-8図 (ファミリーなし)	1,3 1-11

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １０．１２．２０１４	国際調査報告の発送日 ２２．１２．２０１４
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｏ　９３７５ 桑原　清 電話番号　０３－３５８１－１１０１　内線　３５５９

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2011-168453 A (株式会社デンソー) 2011.09.01, 特許請求の範囲,段落【0011】-【0015】,【0018】-【0020】,【0028】-【0033】,【0045】-【0047】,【0054】-【0056】,第3,5図 &US 2011/0203513 A1 & DE 102011004247 A & CN 102162134 A	1-11
A	JP 2000-044398 A (株式会社豊田中央研究所) 2000.02.15, 全文,全図 & US 6214108 B1 & EP 967304 A1 & DE 69916177 T & DE 69916177 D	1-11
A	JP 2002-261041 A (株式会社シクスオン) 2002.09.13, 全文,全図 (ファミリーなし)	1-11
A	JP 2007-210861 A (三菱マテリアル株式会社) 2007.08.23, 全文,全図 (ファミリーなし)	1-11