

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 2 年 11 月 26 日 (2020.11.26)

【公開番号】特開 2018-73402 (P2018-73402A)

【公開日】平成 30 年 5 月 10 日 (2018.5.10)

【年通号数】公開・登録公報 2018-017

【出願番号】特願 2017-201264 (P2017-201264)

【国際特許分類】

G 0 6 F 12/00 (2006.01)

G 0 6 F 15/80 (2006.01)

G 1 1 C 11/405 (2006.01)

【 F I 】

G 0 6 F 12/00 5 6 0 F

G 0 6 F 15/80

G 1 1 C 11/405

【手続補正書】

【提出日】令和 2 年 10 月 15 日 (2020.10.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

D R A M 基盤プロセッシングユニット (D y n a m i c R a n d o m A c c e s s M e m o r y b a s e d P r o c e s s i n g U n i t、D P U) であって、

少なくとも第 1 所定数のカラム (c o l u m n) 及び第 2 所定数のロー (r o w) を有するアレイ内に配置された複数の D R A M 基盤のコンピューティングセルを含む少なくとも 1 つのコンピューティングセルアレイと、

前記少なくとも 1 つのコンピューティングセルアレイに連結され、D P U 動作を遂行するように前記少なくとも 1 つのコンピューティングセルアレイを構成するコントローラと、を含み、

前記第 1 所定数は 3 以上であり、前記第 2 所定数は 3 以上であり、

カラムの各々は、前記カラムの第 1 ロー及び第 2 ローを機能的に動作させるロジック機能からなる前記 D P U 動作を提供するように構成され、前記カラムの第 3 ロー内に前記ロジック機能の結果を格納するように構成され、

前記少なくとも 1 つのコンピューティングセルアレイは、第 3 所定数のシフトラインをさらに含み、前記第 3 所定数は前記第 1 所定数の 2 倍であり、

シフトラインの各々は、少なくとも 1 つの対応する第 1 トランジスタを介してコンピューティングセルのカラムに連結され、

前記シフトライン及び前記対応する第 1 トランジスタは、前記少なくとも 1 つのコンピューティングセルアレイにおいて、選択されたカラムのコンピューティングセルの 2 つのローのデータを少なくとも 2 カラム右方向または左方向にシフトするように構成されていることを特徴とする D P U。

【請求項 2】

少なくとも 1 つのカラムの前記 D R A M 基盤のコンピューティングセルの各々は、3 つのトランジスタ、1 つのキャパシター (3 T 1 C) を含む D R A M メモリセルを含むことを特徴とする請求項 1 に記載の D P U。

【請求項 3】

少なくとも 1 つのカラムの前記 D R A M 基盤のコンピューティングセルは、N O R ロジック機能を提供することを特徴とする請求項 2 に記載の D P U。

【請求項 4】

少なくとも 1 つのカラムの前記 D R A M 基盤のコンピューティングセルの各々は、1 つのトランジスタ、1 つのキャパシター (1 T 1 C) を含む D R A M メモリセルを含むことを特徴とする請求項 1 に記載の D P U。

【請求項 5】

D R A M 基盤のコンピューティングセルの各々は、前記 D R A M 基盤のコンピューティングセルのビットラインに連結された A L U (A r i t h m e t i c L o g i c U n i t) をさらに含み、前記 A L U は、前記ロジック機能を提供することを特徴とする請求項 4 に記載の D P U。

【請求項 6】

前記第 1 所定数のカラム内に配置された少なくとも 1 つの D R A M 基盤のメモリセルを含む少なくとも 1 つのメモリセルアレイと、

コンピューティングセルのカラムの各々に連結され、前記カラムの前記コンピューティングセルの読出しビットラインに電氣的に連結された入力 (i n p u t) を含み、前記カラムの前記コンピューティングセルの書込みビットラインに電氣的に連結された出力 (o u t p u t) を含むセンスアンプ (s e n s e a m p l i f i e r) と、をさらに含み、

少なくとも 1 つのデータセルアレイの D R A M 基盤のメモリセルのカラムの各々は、対応するコンピューティングセルアレイのカラムに対応し、

前記コントローラは、

前記少なくとも 1 つのメモリセルアレイにさらに連結され、メモリ動作を遂行するように前記少なくとも 1 つのメモリセルアレイを構成し、アドレスバスを通じて前記メモリ動作に対する命令を受信することを特徴とする請求項 1 に記載の D P U。

【請求項 7】

前記第 1 所定数のカラム及び前記第 2 所定数のローに配置された複数の D R A M 基盤の確率的 (s t o c h a s t i c) コンピューティングセルを含む少なくとも 1 つの確率的コンピューティングセルアレイをさらに含み、

少なくとも 1 つのデータセルアレイの D R A M 基盤の確率的コンピューティングセルのカラムの各々は、対応するコンピューティングセルアレイのカラムに対応し、

カラムの各々は、前記カラムの第 1 ローで受信されたデータの第 1 ストリーム及び第 2 ローで受信されたデータの第 2 ストリーム上で動作する確率的ロジック機能を提供するように構成され、前記カラムの第 3 ローに前記確率的ロジック機能の結果として得られたデータのストリームを格納するように構成され、

前記コントローラは、

前記少なくとも 1 つの確率的コンピューティングセルアレイにさらに連結され、前記確率的ロジック機能に対応する確率的ロジック動作を遂行するように前記少なくとも 1 つの確率的コンピューティングセルアレイを構成し、アドレスバスを通じて前記確率的ロジック動作に対する命令を受信することを特徴とする請求項 1 に記載の D P U。

【請求項 8】

D R A M 基盤プロセッシングユニット (D y n a m i c R a n d o m A c c e s s M e m o r y b a s e d P r o c e s s i n g U n i t 、 D P U) であって、

少なくとも第 1 所定数のカラム (c o l u m n) 及び第 2 所定数のロー (r o w) を有するアレイ内に配置された複数の D R A M 基盤のコンピューティングセルを含む少なくとも 1 つのコンピューティングセルアレイと、

前記第 1 所定数のカラム内に配置された少なくとも 1 つの D R A M 基盤のメモリセルを含む少なくとも 1 つのデータセルアレイと、

前記少なくとも 1 つのコンピューティングセルアレイに連結され、D P U 動作を遂行す

るように前記少なくとも1つのコンピューティングセルアレイを構成し、メモリ動作を遂行するために前記少なくとも1つのデータセルアレイに連結されたコントローラと、を含み、

前記第1所定数は3以上であり、前記第2所定数は3以上であり、

カラムの各々は、前記カラムの第1ロー及び第2ロー上で機能的に動作するロジック機能を提供するように構成され、前記カラムの第3ロー内に前記ロジック機能の結果を格納するように構成され、

前記少なくとも1つのコンピューティングセルアレイは、第3所定数のシフトラインをさらに含み、前記第3所定数は前記第1所定数の2倍であり、

シフトラインの各々は、少なくとも1つの対応する第1トランジスタを介してコンピューティングセルのカラムに連結され、

前記シフトライン及び前記対応する第1トランジスタは、前記少なくとも1つのコンピューティングセルアレイにおいて、選択されたカラムのコンピューティングセルの2つのローのデータを少なくとも2カラム右方向または左方向にシフトするように構成され、

少なくとも1つのデータセルアレイのDRAM基盤のメモリセルのカラムの各々は、対応するコンピューティングセルアレイのカラムに対応することを特徴とするDPU。

【請求項9】

前記コントローラは、アドレスバスを通じて前記DPU動作に対する命令を受信する請求項1又は8に記載のDPU。

【請求項10】

少なくとも1つのカラムの前記DRAM基盤のコンピューティングセルの各々は、1つのトランジスタ、1つのキャパシター(1T1C)を含むDRAMメモリセルを含み、

DRAM基盤のコンピューティングセルの各々は、前記DRAM基盤のコンピューティングセルのビットラインに連結されたALU(Arithmetic Logic Unit)をさらに含み、前記ALUは、前記ロジック機能を提供することを特徴とする請求項8に記載のDPU。

【請求項11】

前記ALUは、NORロジック機能を提供することを特徴とする請求項5又は請求項10に記載のDPU。

【請求項12】

前記第1所定数のカラム及び前記第2所定数のロー内に配置された複数のDRAM基盤の確率的コンピューティングセルを含む少なくとも1つの確率的コンピューティングセルアレイをさらに含み、

少なくとも1つのデータセルアレイのDRAM基盤の確率的コンピューティングセルのカラムの各々は、対応するコンピューティングセルアレイのカラムに対応し、

カラムの各々は、前記カラムの第1ローで受信されたデータの第1ストリーム及び第2ローで受信されたデータの第2ストリーム上で動作する確率的ロジック機能を提供するように構成され、前記カラムの第3ロー内に前記確率的ロジック機能の結果として得られたデータのストリームを格納するように構成され、

前記コントローラは、

前記少なくとも1つの確率的コンピューティングセルアレイにさらに連結され、確率的ロジック動作を遂行するように前記少なくとも1つの確率的コンピューティングセルアレイを構成し、アドレスバスを通じて前記確率的ロジック動作に対する命令を受信することを特徴とする請求項8に記載のDPU。

【請求項13】

少なくとも1つのカラムの前記DRAM基盤の確率的コンピューティングセルの各々は、

3つのトランジスタと1つのキャパシター(3T1C)を含むDRAMメモリセルを含むか、又は1つのトランジスタと1つのキャパシター(1T1C)を含むDRAMメモリセルを含むことを特徴とする請求項12に記載のDPU。

【請求項 14】

D R A M 基盤プロセッシングユニット (D y n a m i c R a n d o m A c c e s s M e m o r y b a s e d P r o c e s s i n g U n i t 、 D P U)であって、

少なくとも第 1 所定数のカラム及び第 2 所定数のロー (r o w) を有するアレイ内に配置された複数の D R A M 基盤のコンピューティングセルを含む少なくとも 1 つのコンピューティングセルアレイと、

前記第 1 所定数のカラム内に配置された複数の D R A M 基盤の確率的コンピューティングセルを含む少なくとも 1 つの確率的コンピューティングセルアレイと、

前記少なくとも 1 つのコンピューティングセルアレイに連結され、D P U 動作を遂行するように前記少なくとも 1 つのコンピューティングセルアレイを構成し、確率的ロジック機能に対応する確率的ロジック動作を遂行するために前記少なくとも 1 つの確率的コンピューティングセルアレイに連結されたコントローラと、を含み、

前記第 1 所定数は 3 以上であり、前記第 2 所定数は 3 以上であり、

カラムの各々は、前記カラムの第 1 ロー及び第 2 ロー上で機能的に動作するロジック機能を提供するように構成され、前記カラムの第 3 ロー内に前記ロジック機能の結果を格納するように構成され、

前記少なくとも 1 つのコンピューティングセルアレイは、第 3 所定数のシフトラインをさらに含み、前記第 3 所定数は前記第 1 所定数の 2 倍であり、

シフトラインの各々は、少なくとも 1 つの対応する第 1 トランジスタを介してコンピューティングセルのカラムに連結され、

前記シフトライン及び前記対応する第 1 トランジスタは、前記少なくとも 1 つのコンピューティングセルアレイにおいて、選択されたカラムのコンピューティングセルの 2 つのローのデータを少なくとも 2 カラム右方向または左方向にシフトするように構成され、

少なくとも 1 つのデータセルアレイの D R A M 基盤の確率的コンピューティングセルのカラムの各々は、対応するコンピューティングセルアレイのカラムに対応し

、カラムの各々は、前記カラムの第 1 ローで受信されたデータの第 1 ストリーム及び第 2 ローで受信されたデータの第 2 ストリーム上で動作する確率的ロジック機能を提供するように構成され、前記カラムの第 3 ロー内に前記確率的ロジック機能の結果として得られたデータのストリームを格納するように構成されることを特徴とする D P U。

【請求項 15】

前記コントローラは、アドレスバスを通じて前記 D P U 動作に対する命令を受信することを特徴とする請求項 14 に記載の D P U。

【請求項 16】

少なくとも 1 つのカラムの前記 D R A M 基盤のコンピューティングセルの各々は、3 つのトランジスタ、1 つのキャパシター (3 T 1 C) を含む D R A M メモリセルを含み、

少なくとも 1 つのカラムの前記 D R A M 基盤のコンピューティングセルは、N O R ロジック機能を提供することを特徴とする請求項 8 又は 15 に記載の D P U。

【請求項 17】

少なくとも 1 つのカラムの前記 D R A M 基盤の確率的コンピューティングセルの各々は、3 つのトランジスタ、1 つのキャパシター (3 T 1 C) を含む D R A M メモリセルを含むことを特徴とする請求項 14 に記載の D P U。