

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-538638

(P2004-538638A)

(43) 公表日 平成16年12月24日(2004.12.24)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8247	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 27/115	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/788		
HO 1 L 29/792		

審査請求 未請求 予備審査請求 未請求 (全 40 頁)

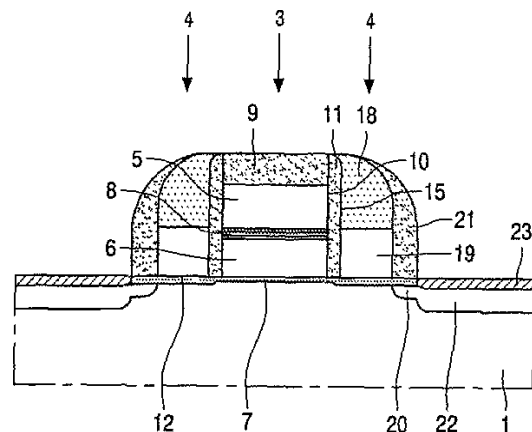
(21) 出願番号	特願2003-519985 (P2003-519985)	(71) 出願人	590000248 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ Koninklijke Philips Electronics N. V. オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
(86) (22) 出願日	平成14年6月4日 (2002.6.4)	(74) 代理人	100075812 弁理士 吉武 賢次
(85) 翻訳文提出日	平成16年2月5日 (2004.2.5)	(74) 代理人	100088889 弁理士 橘谷 英俊
(86) 国際出願番号	PCT/IB2002/002040		
(87) 国際公開番号	W02003/015152		
(87) 国際公開日	平成15年2月20日 (2003.2.20)		
(31) 優先権主張番号	01203000.3		
(32) 優先日	平成13年8月6日 (2001.8.6)		
(33) 優先権主張国	欧州特許庁 (EP)		
(31) 優先権主張番号	01203001.1		
(32) 優先日	平成13年8月6日 (2001.8.6)		
(33) 優先権主張国	欧州特許庁 (EP)		
(31) 優先権主張番号	02076743.0		
(32) 優先日	平成14年5月2日 (2002.5.2)		
(33) 優先権主張国	欧州特許庁 (EP)		

最終頁に続く

(54) 【発明の名称】 アクセスゲートと制御ゲートと電荷蓄積領域とを有するメモリセルを含む不揮発性メモリを備えた半導体装置の製造方法

(57) 【要約】

アクセスゲート(19)を有するゲート構造(4)と、制御ゲート(5)とこの制御ゲート(5)と半導体基体(1)との間に、例えばフローティングゲート(6)である電荷蓄積領域とを有するゲート構造(3)とを含むメモリセルを有する不揮発性メモリを表面(2)に備えた半導体基体(1)を有する半導体装置の製造方法。この方法においては、半導体基体(1)の表面(2)に、この表面にほぼ垂直に延びる横壁(10)を有する上記ゲート構造の一つである第1ゲート構造を形成し、第1ゲート構造上とこれに隣接して導電層(13)を堆積し、第1ゲート構造が露出するまで導電層を平坦化処理し、この平坦化導電層をパターンニングして第1ゲート構造に隣接する他の一つであるゲート構造の少なくとも一部を形成する。平坦化導電層をパターンニングするに際し、平坦化導電層(14)をエッチバックして第1ゲート構造の横壁の上部(15)を露出させ、第1ゲート構造の横壁の露出した上部(15)の上にスペーサ(18)を形成し、そしてこのスペーサをマスクとして導電層(16)を異方性エッチングする。これにより非常に小



【特許請求の範囲】

【請求項 1】

アクセスゲートを有するゲート構造と、制御ゲートと該制御ゲートと半導体基体との間に電荷蓄積領域とを有するゲート構造を含むメモリセルを有する不揮発性メモリを表面に備えた前記半導体基体を有する半導体装置の製造方法であって、前記半導体基体表面に、該表面にほぼ垂直に延びる横壁を有する、前記ゲート構造の一つである第 1 ゲート構造を形成し、前記第 1 ゲート構造上及び該第 1 ゲート構造に隣接して導電層を堆積し、前記第 1 ゲート構造が露出するまで前記導電層を平坦化处理し、該平坦化導電層をパターンニングして前記第 1 ゲート構造に隣接する他のゲート構造の少なくとも一部を形成する製造方法において、前記平坦化導電層をパターンニングするに際し、
前記平坦化導電層をエッチバックして前記第 1 ゲート構造の前記横壁の上部を露出させ、前記第 1 ゲート構造の横壁の前記露出上部の上にスペーサを形成し、そして前記スペーサをマスクとして用いて前記導電層を異方性エッチングすることを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記第 1 ゲート構造として、前記制御ゲートと該制御ゲートと前記半導体基体との間に前記電荷蓄積領域とを有するゲート構造を形成し、その後、該ゲート構造の横壁を絶縁膜で覆い、該ゲート構造に隣接する前記半導体基体表面をゲート誘電体で覆い、前記導電層を堆積し、平坦化し、エッチバックし、そして、前記ゲート構造の前記露出部上に形成されたスペーサをマスクとして用いてパターンニングして前記アクセスゲートを有するゲート構造を形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

20

【請求項 3】

前記第 1 ゲート構造として、前記アクセスゲートを有するゲート構造を形成し、その後、該ゲート構造の横壁を絶縁膜で覆い、前記導電層を堆積し、平坦化し、エッチバックし、そして、前記ゲート構造の前記露出部上に形成されたスペーサをマスクとして用いてパターンニングして前記制御ゲートと前記半導体基体との間に前記電荷蓄積領域とを有するゲート構造を形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

30

【請求項 4】

前記アクセスゲートを有するゲート構造を形成し、該ゲート構造の横壁を絶縁膜で覆った後、互いに分離されたトラップングセンタの集合体として電荷蓄積領域を該ゲート構造に隣接して形成し、その後、前記導電層を堆積し、平坦化し、エッチバックし、そして、前記アクセスゲートを有するゲート構造の前記露出部上に形成されたスペーサをマスクとして用いてパターンニングして前記電荷蓄積領域上に前記制御ゲートを形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

前記アクセスゲートを有するゲート構造を形成し、該ゲート構造の横壁を絶縁膜で覆った後、トンネル誘電体上であってゲート間誘電体で覆われ、前記アクセスゲートを有するゲート構造よりも低い上部表面を有するフローティングゲートを該ゲート構造に隣接して形成し、その後、前記導電層を堆積し、平坦化し、エッチバックし、そして、前記アクセスゲートを有するゲート構造の前記露出部上に形成されたスペーサをマスクとして用いてパターンニングして前記ゲート間誘電体上に前記制御ゲートを形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

40

【請求項 6】

前記アクセスゲートを有するゲート構造に隣接する前記トンネル誘電体上に前記フローテ

50

ィングゲートを形成する際に、
導電材料のさらなる層を堆積し、平坦化し、エッチバックして前記アクセスゲートを有するゲート構造の横壁の上部を露出し、ゲート間誘電体層で覆い、
前記導電層を堆積し、平坦化し、エッチバックし、そして前記アクセスゲートを有するゲート構造の前記露出部に形成されたスペーサをマスクとして用いてパターンニングして前記導電層内に前記制御ゲートを形成し、前記さらなる前記導電層内に前記フローティングゲートを形成することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記アクセスゲートを有するゲート構造に隣接する前記トンネル誘電体上に前記フローティングゲートを形成する際に、
導電材料のさらなる層を堆積し、平坦化し、エッチバックして前記アクセスゲートを有するゲート構造の横壁の上部を露出し、
その後、さらなるスペーサを前記露出上部の上に形成し、
前記さらなるスペーサをマスクとして前記さらなる導電層をエッチングし、
その後、前記さらなるスペーサを除去して前記形成されたフローティングゲートにゲート間誘電体層を設け
前記導電層を堆積し、平坦化し、エッチバックし、そして前記アクセスゲートを有するゲート構造の前記露出部上に形成された前記スペーサをマスクとして用いてパターンニングして前記フローティングゲート上に前記制御電極を形成することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 ゲート構造上に前記導電層を形成する前に、前記導電層の平坦化の間にストップ層として機能することができる絶縁膜を形成することを特徴とする請求項 1 乃至 7 いずれかに記載の半導体装置の製造方法。

【請求項 9】

前記導電層のパターンニングの後に、前記第 2 ゲート構造の上部の前記スペーサを除去することを特徴とする請求項 1 乃至 8 いずれかに記載の半導体装置の製造方法。

【請求項 10】

前記スペーサを形成する際に、
比較的薄い第 1 層と比較的厚い第 2 層を堆積し、
その後、異方性エッチングにより、前記第 1 ゲート構造の上部が露出するまで前記第 1 層及び前記第 2 層をエッチングし、ここで、前記比較的厚い第 2 層が前記比較的薄い第 1 層に対して選択的にエッチングされるように前記第 1 層及び前記第 2 層を選択することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記比較的厚い第 2 層は前記導電層と同じ材料の層であることを特徴とする請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、アクセスゲートを有するゲート構造と、制御ゲートとこの制御ゲートと半導体基体との間に電荷蓄積領域とを有するゲート構造とを含むメモリセルを有する不揮発性メモリを表面に備えた半導体基体を有する半導体装置の製造方法において、この半導体基体の表面に、この表面にほぼ垂直に延びる横壁を有する前記ゲート構造の一つである第 1 ゲート構造を形成し、この第 1 ゲート構造上とこれに隣接して導電層を堆積し、そして、第 1 ゲート構造が露出するまで導電層を平坦化处理して、第 1 ゲート構造に隣接する前記ゲート構造の他の一つであるゲート構造の少なくとも一部分を形成する製造方法に関する。

【背景技術】

【0002】

10

20

30

40

50

実際には、電荷蓄積領域はフローティングゲート又は互いに分離されたトラッピングセンタ (trapping center) が散乱しているゲート誘電体とすることができる。このようなゲート誘電体は、例えば、不純物、例えば金属粒子が内部に散乱しているシリコン酸化膜とすることができ、不純物がトラッピングセンタなる。しかし、さらに普及している方法は、互いに分離されたトラッピングセンタを供給する境界層を形成する2種類の異なる材料の二重層を含むゲート誘電体を用いることである。上記方法により二つのゲート構造が隣接して、小寸法のメモリセルを形成することができる。勿論、実際には不揮発性メモリは非常に多くのこれらのメモリセルを備える。

【0003】

このような方法はW001/67517に記載されている。この方法では、第1ゲート構造とこれに隣接する平坦化導電層上にフォトレジストマスクを形成してから平坦化導電層を異方性エッチングによりパターンニングする。

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

この公知の方法ではフォトレジストマスクを用いるのでコストが高む。しかし、それ以上に重大なことはフォトレジストマスクがメモリセル寸法に影響を与えることである。フォトレジストマスクは所望の位置に正確に載置することはできず、重ね合わせに誤差が生じることとも考慮すべきこととなる。これにより、比較的大きなフォトレジストマスクを用いることになり、従って比較的大きなメモリセルが形成されることになる。

20

【0005】

この発明の目的は、非常に小さなメモリセルを比較的低コストで製造することができる方法を提供するものである。

【課題を解決するための手段】

【0006】

この発明の方法は、冒頭で述べた方法において、平坦化導電層をパターンニングする際に、平坦化導電層をエッチバックして第1ゲート構造の横壁の上部を露出させ、第1ゲート構造の横壁の露出した上部にスペーサを形成し、そしてこのスペーサをマスクとして導電層を異方性エッチングするものである。

【0007】

このスペーサは、フォトレジストマスクを用いずに、自己整合的に、最小コストで第1ゲート構造の横壁の露出した上部に形成することができる。このような縦壁上のスペーサは、実際には、補助層を堆積し、縦壁にスペーサのみが残るまで補助層を異方性エッチングすることにより形成できる。スペーサの幅はほぼ補助層の厚みと等しくなる。スペーサを非常に小さな幅で形成し、且つ、重ね合わせに誤差も考慮する必要が無いので、非常に小さなメモリセルを実現することができる。

30

【0008】

この発明の方法の第1実施形態では、上記ゲート構造の最初の一つであるゲート構造として、制御ゲートと、この制御ゲートと半導体基体間に電荷蓄積領域を有するゲート構造を形成する。その後、このゲート構造の横壁を絶縁膜で覆い、このゲート構造に隣接する半導体基体表面にゲート誘電体を設け、誘電体を堆積し、平坦化し、エッチバックし、そしてゲート構造の露出部分上に形成されたスペーサを用いてパターンニングしてアクセスゲートを有するゲート構造を形成する。上述したように、電荷蓄積領域はフローティングゲート又は互いに分離されたトラッピングセンタ (trapping center) が散乱しているゲート誘電体とすることができる。この制御ゲートと電荷蓄積領域を有するゲート構造体は異方性エッチングにより半導体基体表面上に積層構造とすることができる。そして、半導体表面に垂直な横壁が自動的に形成される。これらの横壁は、層を堆積し、そして、異方性エッチングによりゲート構造体上部を露出させ又は、通常、ゲート構造体のゲートを多結晶シリコン層で形成する場合は、酸化処理により、簡単に絶縁膜で覆うことができる。これらの層の積層上部に、横壁上に絶縁膜を形成する間の保護層として、そして、平坦化処

40

50

理中のストップ層としてのさらなる層を堆積してもよい。

【0009】

この発明の方法の第2実施形態では、上記ゲート構造の最初の一つであるゲート構造として、ゲート構造にアクセスゲートを形成し、その後、このゲート構造の横壁を絶縁膜で覆い、導電層を堆積し、平坦化し、エッチバックし、そして、ゲート構造の露出部分上に形成されたスペーサをマスクとしてパターンニングして制御ゲートを形成する。このようにして、制御ゲートとこの制御ゲートと半導体基体間の電荷蓄積領域とを備えるゲート構造を形成する。この方法の実施形態では、図面を参照して後述するように、フォトレジストマスクを用いずに、制御ゲートと電荷蓄積領域を備える多くのゲート構造を実現することができる。

10

【発明を実施するための最良の形態】

【0010】

図1乃至図9は、アクセスゲート19を有するゲート構造4と、制御ゲート5とこの制御ゲート5と半導体基体1との間に電荷蓄積領域6を有するゲート構造3とを含むメモリセルを有する不揮発性メモリを備えた半導体装置の一連の製造過程を示す概略断面図である。説明を簡単にするためにそのようなセルの一つのみの製造方法しか示さないが、不揮発性メモリは非常に多くのそのようなセルを備えることは明らかである。

【0011】

図1に示すように、半導体基体1（ここではp型ドーパシリコン基体）の表面2上に、ゲート構造の最初の一つ、この例では、制御ゲート5とこの制御ゲートと半導体基体との間に電荷蓄積領域を有するゲート構造3を形成する。この例では、電荷蓄積領域はフローティングゲート6である。ここで、ゲート構造3はトンネル誘電体7、フローティングゲート6、ゲート間誘電体8そして上部層9を備える。このゲート構造は複数層の積層を異方性エッチングして形成する。トンネル誘電体7は7nm厚みのシリコン酸化膜で形成してもよい。フローティングゲート6は約220nm厚みの多結晶シリコン層で形成してもよい。ゲート間誘電体8は約18nm厚みのONO層（6nm厚みのシリコン酸化膜、6nm厚みのシリコン窒化膜、そして6nm厚みのシリコン酸化膜）で形成してもよい。制御ゲート5は約200nm厚みの多結晶シリコン層で形成してもよい。上部層9は約100nm厚みのシリコン窒化膜で形成してもよい。ゲート構造3は異方性エッチングで形成するので、半導体基体1の表面2にほぼ垂直に延びる横壁10が形成される。

20

30

【0012】

図2に示すように、横壁10を約30nm厚みの絶縁膜11（ここではシリコン酸化膜）で覆い、ゲート構造3に隣接する表面をゲート誘電体12（ここでは約10nm厚みのシリコン酸化膜）で覆う。絶縁膜11はゲート構造を熱酸化処理して形成してもよく、又は層を堆積して異方性エッチングを行い、上部層9が露出したらエッチングを停止することにより形成してもよい。

【0013】

ゲート構造3を形成し、その横壁を絶縁膜11で覆った後、比較的厚い導電層13（ここでは約500nm厚みの多結晶シリコン層）をゲート構造3上とこのゲート構造に隣接する部分に堆積する。図3に示すように、ゲート構造3の上部層9が露出するまで導電層13を平坦化処理する。平坦化した導電層14をパターンニングして第1ゲート構造3に隣接する他のゲート構造の少なくとも一部分を形成する。

40

【0014】

平坦化導電層14のパターンニングは図4、5及び6に示すように行う。第1ステップでは、図4に示すように、平坦化導電層14をエッチバックして第1ゲート構造3の横壁10の上部15を露出させる。このエッチバックは等方性エッチング又は異方性エッチングでもよく、さらに等方性エッチングと異方性エッチングを組み合わせてもよい。導電層14から、従って、部分16が残る。次に、第1ゲート構造3の横壁10の露出した上部15上にスペーサ18を形成する。スペーサ18は、通常の方法で、層17（ここではシリコン酸化膜）を堆積し、第1ゲート構造3の上部層9が露出するまで異方性エッチングし

50

て形成する。図 6 に示すように、スペーサをマスクとして導電層 16 の残部を異方性エッチングする。これにより、ゲート誘電体 12 とアクセスゲート 19 を備えた第 2 ゲート構造 4 が形成される。

【0015】

次に、図 7 に示すように、通常の方法で、イオン注入により、浅くドーブしたソース・ドレイン領域 20 を形成する。そして、図 8 に示すように、さらなるスペーサ 21 と深くドーブしたソース・ドレイン領域 22 を形成する。図 9 に示すように、ソース・ドレイン領域上にシリサイドの上部層 23 を設けてもよい。

【0016】

ゲート構造の一つである第 1 ゲート構造 3 の横壁 15 の露出した上部 15 上のスペーサ 18 は、フォトレジストマスクを用いずに、自己整合的に最小コストで形成することができる。スペーサ 18 は非常に小さい幅で形成でき、さらに重ね合わせ誤差について考慮する必要がないので、非常に小さなメモリセルを実現することができる。

【0017】

図 1 乃至 9 に示すこの方法の第 1 実施形態では、制御ゲート 8 と、この制御ゲートと半導体基体の間に電荷蓄積領域 6 を備えた、ゲート構造の最初の一つである第 1 ゲート構造 3 を形成し、その後、このゲート構造 3 の横壁を絶縁膜 11 で覆い、ゲート構造に隣接する半導体基体表面をゲート誘電体 12 で覆い、導電層 13 を堆積し、平坦化し、エッチバックし、スペーサ 18 を用いてパターンニングして、アクセスゲート 19 を有するゲート構造 4 を形成する。ゲート構造 3 は複数層の積層内に簡単に形成することができ、上部層 9 が横壁上に絶縁膜 11 を形成する間に保護層として機能し、さらに平坦化処理中にストップ層として機能する。

【0018】

以下、後述する各例においては、可能な限り、上述したメモリセルの各部分に対応する部分には同じ参照眼号を付与する。

【0019】

図 10 乃至図 15 は、前述の例と同様にアクセスゲート 19 を有するゲート構造 4 と、制御ゲート 5 とこの制御ゲートと半導体基体との間に電荷蓄積領域 6 を有するゲート構造 3 とを含むメモリセルを有する不揮発性メモリを備えた半導体装置の一連の製造過程を示す概略断面図である。

【0020】

図 10 に示すように、この例では、電荷蓄積領域はトラッピングセンタを有する複数の絶縁膜の積層 24 で形成される。ここでは、半導体基体の表面 2 上に約 6 nm 厚みのトンネル酸化膜を形成し、その上に約 6 nm 厚みのシリコン窒化膜を形成し、その上に約 6 nm 厚みのトンネル酸化膜を形成する。この積層上に制御電極 5 と上部層 9 を形成する。横壁 10 に絶縁膜 11 を設け、ゲート構造 3 に隣接する表面にゲート酸化膜を設ける。

【0021】

次に、図 11 に示すように、導電層を堆積し、平坦化し、エッチバックして部分 16 を残す。スペーサ 18 は上述の例とは異なる方法で形成する。最初に、ここでは約 10 nm 厚みのシリコン酸化膜により、補助絶縁膜 25 を堆積し、そして導電層 16 と同じ材料の、この例では多結晶シリコンのさらなる層 17 を堆積する。ゲート構造 3 上の層 25 が露出するまで層 17 を異方性エッチングし、そして上部層 9 が露出するまで層 25 を異方性エッチングする。図 13 に示すように、導電層の残部 16 をエッチングしてスペーサ 18 を除去する。絶縁膜 25 の残部が除去されると図 13 に示す構造が得られる。

【0022】

図 14 に示すように、スペーサ 21 を形成し、さらにスペーサ 26 を形成する。しかし、ここではアクセスゲート 19 の部分 27 を露出させたままにする。シリサイド領域 23 をメモリセルのソース・ドレイン領域上に形成し、同じプロセスでアクセスゲート 19 上にシリサイド領域 28 を形成する。このゲートは比較的低電気抵抗を有するものとなる。

【0023】

10

20

30

40

50

図 16 乃至図 21 は、この発明の第 3 実施形態による、アクセスゲート 19 を有するゲート構造 4 と、制御ゲート 5 とこの制御ゲートと半導体基体との間に電荷蓄積領域 6 を有するゲート構造 3 とを含むメモリセルの一連の製造過程を示す概略断面図である。この例では、ゲート構造の最初の一つとしてアクセスゲート 19 を有するゲート構造 4 を形成する。約 10 nm 厚みのゲート酸化膜 12 上に約 400 nm 厚みの多結晶シリコンのアクセスゲート 19 を形成し、シリコン窒化物の上部層 9 で覆う。

【0024】

図 17 に示すように、ここでは熱酸化により、ゲート構造 4 の横壁 10 上に約 30 nm 厚みの絶縁膜 11 を設ける。同時に同じプロセスステップで、ゲート構造 4 に隣接して約 6 nm 厚みのシリコン酸化膜 29 を形成する。数ステップ後に、図 18 に示すように、導電層 13 を堆積する。図 19 に示すように、この層 13 を平坦化してゲート構造 4 上の上部層 9 を露出させる。平坦化した層 14 をエッチバックし、ゲート構造 4 の露出部分 15 上に形成したスペーサ 18 をマスクとしてパターンニングして制御ゲート 5 を形成する。このようにして、制御ゲート 5 とこの制御ゲートと半導体基体 1 との間に電荷蓄積領域 6 を有するゲート構造 4 が形成される。

10

【0025】

この方法により、フォトリソマスクを用いずに、制御ゲート 5 とこの制御ゲートと半導体基体との間に電荷蓄積領域を有する多くのゲート構造 4 を実現できる。

【0026】

この例では、制御ゲート 5 と半導体基体 1 との間の電荷蓄積領域を、導電層 13 が堆積する前にゲート構造 4 上に堆積するシリコン窒化物とシリコン窒化膜 29 とにより形成する。制御ゲート 5 を形成した後、図 20 に示すように、浅くドーブしたソース・ドレイン領域を形成し、スペーサ 21 を形成する。そして図 21 に示すように、層 30 と、半導体基体 1 の表面 2 上に形成されたシリコン酸化膜 29 とを、スペーサ 21 をマスクとしてエッチングし、深くドーブしたソース・ドレイン領域 22 とシリサイド領域を形成する。以上記載した方法により簡単にメモリセルを形成出来る。

20

【0027】

次に、図 22、23 に示すメモリセルの製造方法の二つの実施形態では、アクセスゲート 19 を有するゲート構造 4 をゲート酸化膜 12 上に形成し、ゲート構造 4 の横壁 10 を絶縁膜 11 で覆い、ゲート構造 4 に隣接する半導体基体 1 をトンネル誘電体膜 7 で覆う。そして、トンネル誘電体 4 上でゲート間誘電体に覆われたフローティングゲートをゲート構造 4 に隣接して形成する。このフローティングゲートはアクセスゲート 19 を有するゲート構造 4 よりも低い上部層を有する。そして、導電層 13 を堆積し、平坦化し、エッチバックしアクセスゲート 19 を有するゲート構造 4 の露出部分 25 上に形成されたスペーサ 18 をマスクとしてパターンニングしてゲート間誘電体 8 上に制御ゲート 5 を形成する。この方法により多くの簡単な構造のメモリセルを実現できる。

30

【0028】

図 24 乃至 30 を参照して第 1 例について説明する。図 24 に示すように、導電材料のさらなる層 31、ここでは、約 600 nm 厚みの多結晶シリコンでゲート構造 4 を覆う。図 13 に示すように、上部層 9 が露出するまで、このさらなる導電層 31 を平坦化する。このさらなる層はゲート構造 4 より厚いので平坦化したさらなる導電層 32 に平面 34 が形成される。次に、図 26 に示すように、ゲート構造 4 の部分 35 が露出するまで、平坦化したさらなる導電層 33 をエッチバックする。このエッチバックは等方性エッチング又は異方性エッチングでもよく、さらに等方性エッチングと異方性エッチングを組み合わせてもよい。さらなる導電層の残部 36 の厚みは約 100 nm となる。

40

【0029】

図 26 に示す構造を、6 nm 厚みのシリコン酸化膜、6 nm 厚みのシリコン窒化膜、そして 6 nm 厚みのシリコン酸化膜より成るゲート間誘電体層 37 で覆う。そして、図 28 に示すように、導電層を堆積し、平坦化して平坦化導電層 14 を形成する。平坦化層 14 をエッチバックして導電層 16 を形成する。ゲート構造 4 の露出部分 15 上に形成されたス

50

ペーサ 18 をマスクとして用いて層 16 をパターンニングして、エッチバックした導電層 16 内に制御ゲート 5 を形成し、さらにエッチバックした導電層 36 内にフローティングゲート 6 を形成する。

【0030】

制御ゲート 5 を形成した後、浅くドーブしたソース・ドレイン領域 20 を形成する。スペーサ 21 を形成し、そして、図 30 に示すように、深くドーブしたソース・ドレイン領域 22 とシリサイド領域 23 を形成する。

【0031】

図 30 に見られるように、アクセスゲート 19 と制御ゲート 5 との間にゲート間誘電体 37 が存在するのでこれらゲート間の電氣的結合が比較的小さくなる。

10

【0032】

図 31 乃至 36 を参照して第二例について説明する。この方法で作られるメモリセルでは、制御ゲート 5 とアクセスゲート 19 との間の電氣的結合が小さくなるが、フローティングゲート 6 が完全に制御ゲート 5 に囲まれるので制御ゲート 5 とフローティングゲート 6 との間の電氣的結合は比較的大きくなる。

【0033】

第二例の製造方法では、図 25 に示す構造から始まり、アクセスゲート 19 を有するゲート構造 4 に隣接して約 100 nm 厚みのさらなる導電層 36 が形成されている。そして、図 31 に示すように、さらなるスペーサ 38 を形成し、導電層 36 をエッチングして、アクセスゲートを有するゲート構造 4 に隣接するトンネル誘電体層 7 上にフローティングゲート 6 を形成する。さらなるスペーサ 38 を除去してから、このように形成されたフローティングゲート 6 にゲート間誘電体層 37 を設け、導電体層を堆積し、平坦化して導電体層 14 を形成する。層 14 をエッチバックして導電体層 16 を形成する。スペーサ 18 を形成後、スペーサ 14 をマスクとして導電体層 14 をパターンニングしてフローティングゲート 6 上に制御ゲート 5 を形成する。

20

【0034】

制御ゲート 5 を形成した後、浅くドーブしたソース・ドレイン領域 20 を形成する。そしてスペーサ 21 を形成して、図 30 に示すように、深くドーブしたソース・ドレイン領域 22 とシリサイド領域 23 を形成する。

【0035】

さらなるスペーサ 38 はスペーサ 18 より幅が小さいので、フローティングゲート 6 が完全に制御ゲート 5 に囲まれる。従って、これらゲート間の電氣的結合は良好なものとなる。導電層を堆積して異方性エッチングによりゲート構造 4 の隣接部分にそのような小さなスペーサを形成することもできる。しかし、上述した方法の方が信頼性が高い。

30

【0036】

図 13 に示すように、導電層 14 をパターンニングした後、二つ目のゲート構造の上部からスペーサ 18 を除去してもよいことは明らかである。これらの上部により、図 9、15 において、アクセスゲート 19 が形成され、又は、図 21、30 そして 36 において、制御ゲート 5 が形成される。導電層 16 をパターンニングした後、図 15 に示すように、これら露出したゲートにシリサイドの上部層を設けてもよい。一つ目のゲート構造の上部に対して同様である。

40

【0037】

なお、好ましくは、図 11、12 に示すように、比較的薄い第 1 層 25 と比較的厚い第 2 層 17 中にスペーサ 18 を形成するとよい。異方性エッチングの間に、一つ目のゲート構造の上部が露出するまで両層がエッチングされる。比較的厚い第 2 層が比較的薄い第 1 層に対して選択的にエッチングされるように第 1、第 2 層を選択する。比較的厚い第 2 層 17 を導電層 13 と同じ材料とした場合、導電層 14 をパターンニングしたのと同じエッチングプロセスでスペーサ 18 の比較的厚い部分を除去する。

【図面の簡単な説明】

【0038】

50

【図26】この発明の方法の第四実施形態による不揮発性メモリセルの製造の一過程を示す概略断面図である。

【図27】この発明の方法の第四実施形態による不揮発性メモリセルの製造の一過程を示す概略断面図である。

【図28】この発明の方法の第四実施形態による不揮発性メモリセルの製造の一過程を示す概略断面図である。

【図29】この発明の方法の第四実施形態による不揮発性メモリセルの製造の一過程を示す概略断面図である。

【図30】この発明の方法の第四実施形態による不揮発性メモリセルの製造の一過程を示す概略断面図である。

10

【図31】この発明の方法の第五実施形態による不揮発性メモリセルの製造の一過程を示す概略断面図である。

【図32】この発明の方法の第五実施形態による不揮発性メモリセルの製造の一過程を示す概略断面図である。

【図33】この発明の方法の第五実施形態による不揮発性メモリセルの製造の一過程を示す概略断面図である。

【図34】この発明の方法の第五実施形態による不揮発性メモリセルの製造の一過程を示す概略断面図である。

【図35】この発明の方法の第五実施形態による不揮発性メモリセルの製造の一過程を示す概略断面図である。

20

【図36】この発明の方法の第五実施形態による不揮発性メモリセルの製造の一過程を示す概略断面図である。

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
20 February 2003 (20.02.2003)

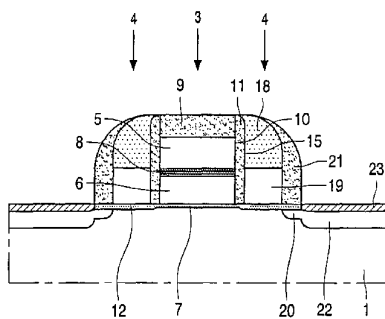
PCT

(10) International Publication Number
WO 03/015152 A2

- (51) International Patent Classification: H01L 21/336, 29/788
 (21) International Application Number: PCT/IB02/02040
 (22) International Filing Date: 4 June 2002 (04.06.2002)
 (25) Filing Language: English
 (26) Publication Language: English
 (30) Priority Data:
 01203000.3 6 August 2001 (06.08.2001) EP
 01203001.1 6 August 2001 (06.08.2001) EP
 02076743.0 2 May 2002 (02.05.2002) EP
 (71) Applicant (for all designated States except US): KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (72) Inventors; and
 (75) Inventors/Applicants (for US only): SLOTBOOM, Michiel [NL/NL]; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). WIDDERSHOVEN, Franciscus, P. [NL/NL]; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
 (74) Agent: DUIJVESTIJN, Adrianus, J.; International Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
 (81) Designated States (national): JP, KR, US.
 (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FR, GB, GR, IE, IT, LI, MC, NL, PT, SE, TR).
 Published: — without international search report and to be republished upon receipt of that report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE WITH A NON-VOLATILE MEMORY COMPRISING A MEMORY CELL WITH AN ACCESS GATE AND WITH A CONTROL GATE AND A CHARGE STORAGE REGION



(57) Abstract: Method of manufacturing a semiconductor device comprising a semiconductor body (1) which is provided at a surface (2) with a non-volatile memory comprising a memory cell with a gate structure (4) with an access gate (19) and a gate structure (3) with a control gate (5) and a charge storage region situated between the control gate (5) and the semiconductor body (1), such as a floating gate (6). In this method on the surface (2) of the semiconductor body (1) a first one of said gate structures is formed with side walls (10) extending substantially perpendicular to the surface, a conductive layer is deposited (13) on and next to said first gate-structure, the conductive layer is subjected to a planarizing treatment until the first gate structure is exposed and the so planarized conductive layer is patterned so as to form at least a part of the other gate structure adjoining the first gate structure. Said patterning of the planarized conductive

layer is performed in that the planarized conductive layer (14) is etched back so as to expose an upper portion (15) of the side walls of the first gate structure, a spacer (18) is formed on the exposed upper portion (15) of the side walls of first gate structure and the conductive layer (16) is etched anisotropically using the spacer as a mask. Thus very small memory cells can be realized.

WO 03/015152 A2

WO 03/015152

PCT/IB02/02040

1

Method of manufacturing a semiconductor device with a non-volatile memory comprising a memory cell with an access gate and with a control gate and a charge storage region

The invention relates to a method of manufacturing a semiconductor device comprising a semiconductor body which is provided at a surface with a non-volatile memory comprising a memory cell with a gate structure with an access gate and a gate structure with a control gate and a charge storage region situated between the control gate and the semiconductor body, in which method on the surface of the semiconductor body a first one of said gate structures is formed with side walls extending substantially perpendicular to the surface, a conductive layer is deposited on and next to said first gate-structure, the conductive layer is subjected to a planarizing treatment until the first gate structure is exposed and the so planarized conductive layer is patterned so as to form at least a part of the other gate structure adjoining the first gate structure.

In practice the charge storage region can be a floating gate or a gate dielectric comprising a distribution of mutually separated trapping centers. Such a gate dielectric may, for example, be a silicon oxide layer with contaminations, for example metal particles, distributed therein, the contaminations thereby providing the trapping centers. However, a more widespread way is the use of a gate dielectric comprising a double layer of two different materials, which form a border layer supplying the mutually separated trapping centers. Using the above mentioned method both gate structures adjoin each other, so that small sized memory cells can be made. In practice a non-volatile memory of course will comprise a very large number of these memory cells.

20

From WO 01/67517 A1 a method as mentioned before is known, in which method the planarized conductive layer is patterned by anisotropic etching, after a photo resist mask has been formed on the first gate structure and next to the first gate structure on the planarized conductive layer.

25

The use of the photo resist mask in the known method will lead to extra costs, but what is more important that it will influence the size of the memory cell. The photo resist mask can not be placed exactly in a desired position, but overlay errors, if any, should be

WO 03/015152

PCT/IB02/02040

2

considered. This will lead to a relatively large photo resist mask and thus to a relatively large memory cell.

5 The invention has for its object to provide a method, which offers the possibility of manufacturing very small memory cells with relatively small costs.

 According to the invention the method mentioned in the opening paragraph is therefore characterized in that to perform the patterning of the planarized conductive layer, the planarized conductive layer is etched back so as to expose an upper portion of the side walls of the first gate structure, a spacer is formed on the exposed upper portion of the side walls of first gate structure and the conductive layer is etched anisotropically using the spacer as a mask.

 The spacer on the exposed upper portions of the side walls of the first one of the gate structures can be made at minimum costs, without using a photo resist mask, in a self aligned manner. Such spacers on vertical walls are formed in practice by depositing an auxiliary layer and then etching said auxiliary layer anisotropically until only spacers are left on the vertical walls. The width of the spacers then equals about the thickness of the auxiliary layer. Because the spacer thus can be made with a very small width and because overlay errors have not to be considered, very small memory cells can be realized.

 A first preferred embodiment of the method according to the invention is characterized in that as the first one of said gate structures the gate structure with the control gate and the charge storage region situated between the control gate and the semiconductor body is formed, after which the side walls of this gate structure are covered by an insulating layer and the surface of the semiconductor body next to the gate structure with a gate dielectric, the conductive layer is deposited, planarized, etched back and patterned using the spacer formed on the exposed portions of the gate structure as a mask so as to form the gate structure with the access gate. As said before the charge storage region can be a floating gate or a gate dielectric comprising a distribution of mutually separated trapping centers. This gate structure with control gate and charge storage region can be etched anisotropically in a stack of layers formed on the surface of the semiconductor body. Then automatically said side walls perpendicular to the surface of the semiconductor are formed. These side walls can be covered easily by an insulating layer by depositing a layer followed by an anisotropic etch until the top of the gate structure is exposed or also by an oxidation treatment, when, what is usual in practice, the gates in the gate structure are formed in layers of polycrystalline silicon.

WO 03/015152

PCT/IB02/02040

3

On top of the stack of said layers an extra layer may be deposited which may act as a protection layer during forming the insulating layer on the side walls and also as a stop layer during the planarizing treatment.

5 A second preferred embodiment of the method according to the invention is characterized in that as the first one of said gate structures the gate structure with the access gate is formed, after which the side walls of this gate structure are covered by an insulating layer, the conductive layer is deposited, planarized, etched back and patterned using the spacer formed on the exposed portions of the gate structure as a mask so as to form the control gate of the gate structure with the control gate and the charge storage region situated
10 between the control gate and the semiconductor body. This embodiment of the method offers, as will be demonstrated later with reference to the drawing, the opportunity of realizing a lot of gate structures with control gate and charge storage region, without using photo resist masks.

15

These and other aspects of the invention will be apparent from and be elucidated with reference to the embodiments described hereinafter and shown in the drawing. In the drawing:

20 Figs. 1 to 9 show a diagrammatic cross-sectional views of successive stages in the manufacture of a non volatile memory cell using a first embodiment of the method according to the invention,

Figs. 10 to 15 show a diagrammatic cross-sectional views of successive stages in the manufacture of a non volatile memory cell using a second embodiment of the method according to the invention,

25 Figs. 16 to 21 show a diagrammatic cross-sectional views of successive stages in the manufacture of a non volatile memory cell using a third embodiment of the method according to the invention,

30 Figs. 22 to 30 show a diagrammatic cross-sectional views of successive stages in the manufacture of a non volatile memory cell using a forth embodiment of the method according to the invention and

Figs. 31 to 36 show a diagrammatic cross-sectional views of successive stages in the manufacture of a non volatile memory cell using a fifth embodiment of the method according to the invention.

WO 03/015152

PCT/IB02/02040

4

Figures 1 to 9 show in diagrammatic cross-sectional views successive stages of manufacturing a semiconductor device with a non-volatile memory comprising a memory cell with a gate structure 4 with an access gate 19 and a gate structure 3 with a control gate 5 and a charge storage region 6 situated between the control gate 5 and a semiconductor body 1. For the sake of clarity the manufacture of only one of such cells is described, but it will be clear, that in practice a non volatile memory comprises a lot of these memory cells.

As shown in figure 1 on a surface 2 of the semiconductor body 1, here a p-type doped silicon body, a first one of the gate structures, in this example the gate structure 3 with the control gate 5 and the charge storage region situated between the control gate and the semiconductor body are formed. In this example the charge storage region is a floating gate 6. The gate structure 3 here comprises a tunnel dielectric 7, a floating gate 6, an inter gate dielectric 8 and a top layer 9. The gate structure is formed by an anisotropic etch of a stack of layers. The tunnel dielectric 7 may be formed in a 7nm thick layer of silicon oxide, the floating gate 6 in an about 200 nm thick layer of polycrystalline silicon, the inter gate dielectric 8 in an about 18 nm thick layer of ONO (a 6 nm thick layer of silicon oxide, a 6 nm thick layer of silicon nitride and a 6 nm thick layer of silicon oxide), the control gate 5 in an about 200 nm thick layer of polycrystalline silicon and the top layer 9 in an about 100 nm thick layer of silicon nitride. Because the gate structure 3 is formed by an anisotropic etch the structure has side walls 10 extending substantially perpendicular to the surface 2 of the semiconductor body 1.

As shown in figure 2 the side walls 10 are covered by an about 30 nm thick insulating layer 11, here a layer of silicon oxide and the surface next to the gate structure 3 is covered with a gate dielectric 12, here an about 10 nm thick layer of silicon oxide. The insulating layer 11 may be formed by thermal oxidation of the gate structure or by depositing a layer followed by an anisotropic etch which is stopped as soon as the top layer 9 is exposed.

After the gate structure 3 is formed and its side walls are covered with the insulating layer 11, a relatively thick conductive layer 13, here an about 500 nm thick layer of polycrystalline silicon is deposited on and next to said first gate-structure 3. As shown in figure 3 the conductive layer 13 then is subjected to a planarizing treatment until the top layer 9 of the first gate structure 3 is exposed. The so planarized conductive layer 14 then is patterned so as to form at least a part of the other gate structure adjoining the first gate structure 3.

WO 03/015152

PCT/IB02/02040

5

The patterning of the planarized conductive layer 14 is performed as shown in the figures 4, 5 and 6. In a first step, as shown in figure 4 the planarized conductive layer 14 is etched back so as to expose an upper portion 15 of the side walls 10 of the first gate structure 3. This etching back can be carried out by means of an isotropic etch or anisotropic etch or as a combination of an isotropic etch and an anisotropic etch. From the conductive layer 14 then remains a part 16. Then a spacer 18 is formed on the exposed upper portion 15 of the side walls 10 of first gate structure 3. The spacers 18 are formed in a usual manner by depositing a layer 17 here a layer of silicon oxide, followed by an anisotropic etch until the top layer 9 of the first gate structure 3 is exposed. As shown in figure 6, then the remaining part of the conductive layer 16 is etched anisotropically using the spacer as a mask. Thus the second gate structure 4 is formed her consisting of a gate dielectric 12 and an access gate 19.

Then as shown in the figure 7 in a usual manner lightly doped source- and drain zones 20 are formed by ion implantation. Then as shown in figure 8 further spacers 21 are formed and highly doped source- and drain zones 22 are formed. As shown in figure 9 the source- and drain zones the may be provided with a top layer 23 of a silicide.

The spacer 18 on the exposed upper portions 15 of the side walls 15 of the first one of the gate structures 3 can be made at minimum costs, without using a photo resist mask, in a self aligned manner. Because the spacer 18 can be made with a very small width and because overlay errors have not to be considered, very small memory cells can be realized.

In the figures 1 to 9 a first embodiment of the method is shown whereby the first one of said gate structures 3 is the gate structure with the control gate 8 and the charge storage region 6 between the control gate and the semiconductor body is formed after which the side walls of this gate structure 3 are covered by an insulating layer 11, the surface of the semiconductor body next to the gate structure with a gate dielectric 12, the conductive layer 13 is deposited, planarized, etched back and patterned using the spacer 18 whereby the gate structure 4 with the access gate 19 is formed. The gate structure 3 can be formed easily in a stack of layers whereby the top layer 9 may act as a protection layer during forming the insulating layer 11 on the side walls and also as a stop layer during the planarizing treatment.

In the examples that follow, as far as possible, for corresponding parts of the memory cells the same reference numbers are used as in the manufacture of the memory cell described before.

Figures 10 to 15 show in diagrammatic cross-sectional views successive stages of manufacturing a semiconductor device with a non-volatile memory comprising a memory

WO 03/015152

PCT/IB02/02040

6

cell as in the preceding example with a gate structure 4 with an access gate 19 and a gate structure 3 with a control gate 5 and a charge storage region 6 situated between the control gate and the semiconductor body.

As shown in figure 10 the charge storage region here is formed by a stack 24 of insulating layers provided with trapping centers, here an about 6 nm thick layer of silicon oxide formed on an about 6 nm thick layer of silicon nitride formed on an about 6 nm thick layer of tunnel oxide formed on the surface 2 of the semiconductor body. On this stack the control gate 5 and the top layer 9 are formed. The side walls 10 are provided with the insulating layer 11 and the surface next to the gate-structure 3 with the layer gate oxide.

Then, as shown in figure 11, the conductive layer is deposited, planarized and etched back of which layer the remaining part 16 is shown. The spacer 18 here is formed in a different way as described before. First a relatively thin auxiliary insulating layer 25 is deposited, here an about 10 nm thick layer of silicon oxide, and then a further layer 17 in this example a layer of polycrystalline silicon, the same material as the conductive layer 16. Then the layer 17 is etched anisotropically until the layer 25 on top of the gate structure 3 is exposed and the layer 25 is etched anisotropically until the top layer 9 is exposed. When as shown in figure 13 the remaining part 16 of the conductive layer is etched the spacer 18 is also removed. When the remaining part of the insulating layer 25 is removed the structure as shown in figure 13 is obtained.

When as shown in figure 14 the spacer 21 is formed also a spacer 26 is formed, but a part 27 of the access gate 19 remains exposed. When the silicide regions 23 are formed on the source- and drain regions of the memory cells in the same process step silicide regions 28 are formed on the access gate 19. Said gate thus gets a relatively low electrical resistance.

Figures 16 to 21 show in diagrammatic cross-sectional views successive stages of manufacturing a memory cell with a gate structure 4 with an access gate 19 and a gate structure 3 with a control gate 5 and a charge storage region 6 situated between the control gate and the semiconductor body using a third embodiment of the method according to the invention. In this example as the first one of said gate structures the gate structure 4 with the access gate 19 is formed. Here the about 400 nm thick access gate 19 of polycrystalline silicon is formed on an about 10 nm thick layer of gate oxide 12 and covered by the top layer 9 of silicon nitride.

As shown in figure 17, the gate structure 4 is provided with an about 30 nm thick insulating layer 11 on its side walls 10, here by thermal oxidation. At the same time, in

WO 03/015152

PCT/IB02/02040

7

the same process step, next to this structure 4 an about 6 nm thick silicon oxide layer 29 is formed. Some steps later, as shown in figure 18, the conductive layer 13 is deposited. This layer 13 is, as shown in figure 19, planarized whereby the top layer 9 on the gate structure 4 is exposed. The planarized layer 14, is etched back and patterned using the spacer 18 formed on the exposed portions 15 of the gate structure 4 as a mask so as to form the control gate 5 of the gate structure 4 with the control gate 5 and the charge storage region 30 situated between the control gate 5 and the semiconductor body 1.

This method gives the opportunity of realizing a lot of gate structures 4 with control gate 5 and charge storage region between that control gate and the semiconductor body, without using photo resist masks.

In this example the charge storage region between the control gate 5 and the semiconductor body 1 is formed by a layer 30 consisting of a silicon nitride which is deposited on the gate structure 4 before the conductive layer 13 is deposited and the silicon oxide layer 29. After the control gate 5 has been formed, as shown in figure 20, the lightly doped source- and drain zones are formed, the spacer 21 is formed. Then, as shown in figure 21, the layer 30 as well as the layer of silicon oxide 29 formed on the surface 2 of the semiconductor body 1 are etched using the spacer 21 as a mask, the highly doped source- and drain zones 22 and silicide regions are formed. Using the described method this memory cell can be made easily.

In the next two preferred embodiments of the manufacturing of memory cells, as shown in figures 22 to 23, the gate structure 4 with the access gate 19 on gate oxide 12 is formed, the side walls 10 of this gate structure 4 are covered with an insulating layer 11 and the semiconductor body 1 next to the gate structure 4 with tunnel dielectric layer 7. Then a floating gate on the tunnel dielectric 4 and covered with an inter gate dielectric will be formed next to the gate structure 4, this floating gate having a top surface lower than the gate structure 4 with the access gate 19. Then the conductive layer 13 is deposited, planarized, etched back and patterned using the spacer 18 formed on the exposed portions 25 of the gate structure 4 with the access gate 19 as a mask so as to form the control gate 5 on the inter gate dielectric 8. This method offers the opportunity of realizing a number of simple memory cells.

The first example is described with reference to figures 24 to 30. As shown in figure 24 the gate structure 4 is covered with a further layer 31 of conductive material, here an about 600 nm thick layer of polycrystalline silicon. As shown in figure 13 this further conductive layer 31 is planarized until top layer 9 is exposed. Because the further layer has a

WO 03/015152

PCT/IB02/02040

8

thickness larger than that of the gate structure 4 the planarized further conductive layer 32 has a flat surface 34. Then, as shown in figure 26 the planarized further conductive layer 33 is etched back until portions 35 of the gate structure 4 are exposed. This etching back can be carried out by means of an isotropic etch or anisotropic etch or as a combination of an isotropic etch and an anisotropic etch. The remaining part 36 of the further conductive layer has a thickness of about 100 nm.

The structure as shown in figure 26 the is covered with a layer 37 of an inter gate dielectric her a layer composed made up of a 6 nm thick layer of silicon oxide, a 6 nm thick layer of silicon nitride and a 6 nm thick layer of silicon oxide. Then, as shown in figure 28, the conductive layer is deposited, planarized so as to form the planarized conductive layer 14. The planarized layer 14 then is etched back to form the conductive layer 16. The layer 16 then is patterned using the spacer 18 formed on the exposed portions 15 of the gate structure 4 as a mask so as to form the control gate 5 in the etched back conductive layer 16 as well as the floating gate 6 in the further etched back conductive layer 36.

After the control gate 5 has been is formed, the lightly doped source- and drain zones 20 are formed. Then the spacer 21 is formed and, as shown in figure 30, the highly doped source- and drain zones 22 and silicide regions 23 are formed.

As can be seen in the figure 30 the inter gate dielectric 37 is present between the access gate 19 and the control gate 5 so that the electric coupling between these gates is relatively small.

The second example is described with reference to figures 31 to 36. In the memory cell made using this method the electric coupling between the control gate 5 and access gate 19 as also small and further the floating gate 6 is fully surrounded by the control gate 5 so that the electric coupling between the control gate 5 and the floating gate 6 is relatively large.

This manufacture of the second example starts with the structure as shown in figure 25, where next to the gate structure 4 comprising the access gate 19 the about 100nm thick further conductive layer 36 had been formed. Then, as shown in figure 31, a further spacer 38 is formed and the conductive layer 36 is etched so as to form the floating gate 6 on the tunnel dielectric layer 7 next to the gate structure 4 with the access gate. After removal of the further spacer 38, the so formed floating gate 6 is provided with a layer of an inter gate dielectric 37, the conductive layer is deposited, planarized, whereby the conductive layer 14 is formed. The layer 14 then is etched back to form conductive layer 16. After this the spacer

WO 03/015152

PCT/IB02/02040

9

18 is formed and the conductive layer 14 is patterned using the spacer 14 as a mask so as to form the control gate 5 on the floating gate 6.

After the control gate 5 has been formed, the lightly doped source- and drain zones 20 are formed. Then the spacer 21 is formed and, as shown in figure 30, the highly doped source- and drain zones 22 and silicide regions 23 are formed.

The further spacer 38 has a width smaller than the width of the spacer 18 so that the floating gate 6 is fully surrounded by the control gate 5. The electrical coupling between both gates then is optimal. Such a small spacer could also be made by depositing a conductive layer followed by an anisotropic etch whereby a small conductive spacer would be left next to the gate structure 4. The method described before however is more reliable.

It will be clear that the spacer 18 as shown in figure 13 after patterning the conductive layer 14 may be removed from the upper portions of the second one of the gate structures. These upper portions form the access gate 19 in figures 9 and 15 or the control gate 5 in the figures 21, 30 and 36. The gates thus exposed after patterning the conductive layer 16 then can be provided with a silicide top layer as shown in figure 15. The same of course is applicable for the top layer 9 formed on the first one of the gate structures.

Preferably the spacer 18 then is formed as shown in figures 11 and 12 in a relatively thin first 25 and a relatively thick second layer 17. During an anisotropic etch both layers are etched until the top of the first one of the gate structures is exposed. The first and second layers are chosen in such a way that the second relatively thick layer can be etched selectively with respect to the relatively thin first layer. When the second relatively thick layer 17 is a layer of the same material as the material of the conductive layer 13 the relatively thick part of the spacer 18 is removed in the same etching process in which the conductive layer 14 is patterned. The thin layer part 25 under the spacer 18 then is used as the mask.

WO 03/015152

PCT/IB02/02040

10

CLAIMS:

1. Method of manufacturing a semiconductor device comprising a semiconductor body which is provided at a surface with a non-volatile memory comprising a memory cell with a gate structure with an access gate and a gate structure with a control gate and a charge storage region situated between the control gate and the semiconductor body, in which
5 method on the surface of the semiconductor body a first one of said gate structures is formed with side walls extending substantially perpendicular to the surface, a conductive layer is deposited on and next to said first gate-structure, the conductive layer is subjected to a planarizing treatment until the first gate structure is exposed and the so planarized conductive layer is patterned so as to form at least a part of the other gate structure adjoining the first
10 gate structure, characterized in that, to perform said patterning of the planarized conductive layer, the planarized conductive layer is etched back so as to expose an upper portion of the side walls of the first gate structure, a spacer is formed on the exposed upper portion of the side walls of first gate structure and the conductive layer is etched anisotropically using the spacer as a mask.
15
2. Method as claimed in claim 1, characterized in that, as the first one of said gate structures the gate structure with the control gate and the charge storage region situated between the control gate and the semiconductor body is formed, after which the side walls of this gate structure are covered by an insulating layer and the surface of the semiconductor
20 body next to the gate structure with a gate dielectric, the conductive layer is deposited, planarized, etched back and patterned using the spacer formed on the exposed portions of the gate structure as a mask so as to form the gate structure with the access gate.
3. Method as claimed in claim 1, characterized in that, as the first one of said
25 gate structures the gate structure with the access gate is formed, after which the side walls of this gate structure are covered by an insulating layer, the conductive layer is deposited, planarized, etched back and patterned using the spacer formed on the exposed portions of the gate structure as a mask so as to form the control gate of the gate structure with the control

WO 03/015152

PCT/IB02/02040

11

gate and the charge storage region situated between the control gate and the semiconductor body.

4. Method as claimed in claim 3, characterized in that, after the gate structure
5 with the access gate is formed and the side walls of this gate structure are covered with an
insulating layer, a charge storage region is formed next to the gate structure in the form of a
collection of mutually separated trapping centers, after which the conductive layer is
deposited, planarized, etched back and patterned using the spacer formed on the exposed
portions of the gate structure with the access gate as a mask so as to form the control gate on
10 the charge storage region.

5. Method as claimed in claim 3, characterized in that, after the gate structure
with the access gate is formed and the side walls of this gate structure are covered with an
insulating layer, a floating gate on a tunnel dielectric and covered with an inter gate dielectric
15 is formed next to the gate structure, this floating gate having a top surface lower than the gate
structure with the access gate, after which the conductive layer is deposited, planarized,
etched back and patterned using the spacer formed on the exposed portions of the gate
structure with the access gate as a mask so as to form the control gate on the inter gate
dielectric.

20

6. Method as claimed in claim 5, characterized in that, for forming the floating
gate on the tunnel dielectric next to the gate structure with the access gate, a further layer of
conductive material is deposited, planarized, etched back to expose upper portions of side
walls of the gate structure with the access gate and covered with a layer of an inter gate
25 dielectric, the conductive layer is deposited, planarized, etched back and patterned using the
spacer formed on the exposed portions of the gate structure with the access gate as a mask so
as to form the control gate in the conductive layer as well as the floating gate in the further
conductive layer.

7. Method as claimed in claim 5, characterized in that, for forming the floating
gate on the tunnel dielectric next to the gate structure with the access gate, a further layer of
conductive material is deposited, planarized, etched back to expose upper portions of side
walls of the gate structure with the access gate, after which a further spacer is formed on the
30 exposed upper portions and the further conductive layer is etched using the further spacer as

WO 03/015152

PCT/IB02/02040

12

a mask, after which the further spacer is removed and the so formed floating gate is provided with a layer of an inter gate dielectric, the conductive layer is deposited, planarized, etched back and patterned using the spacer formed on the exposed portions of the gate structure with the access gate as a mask so as to form the control gate on the floating gate.

5

8. Method as claimed in one of the preceding claims, characterized in that, before the deposition of the conductive layer on top of the first one of said gate structures an insulating layer is formed which may act as a stop layer during the planarization of the conductive layer.

10

9. Method as claimed in one of the preceding claims, characterized in that, after patterning the conductive layer the spacer on the upper portions of the second one of the gate structures is removed.

15

10. Method as claimed in claim 9, characterized in that for forming the spacer a relatively thin first and a relatively thick second layer are deposited, after which an anisotropic etch is performed whereby both layer are etched until the top of the first one of the gate structures is exposed, whereby the first and second layer are chosen so the second relatively thick layer can be etched selectively with respect to the relatively thin first layer.

20

11. Method as claimed in claim 10, characterized in that the second relatively thick layer is a layer of the same material as the material of the conductive layer.

1/13

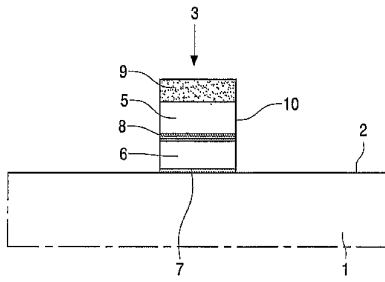


FIG. 1

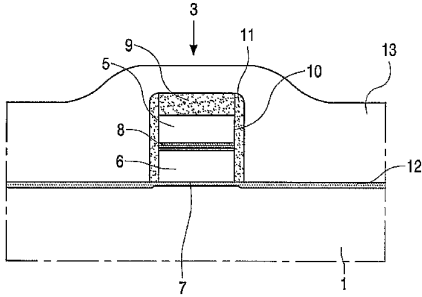


FIG. 2

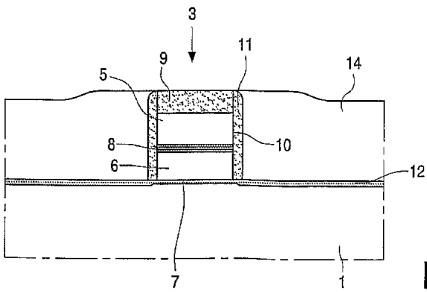


FIG. 3

WO 03/015152

PCT/IB02/02040

2/13

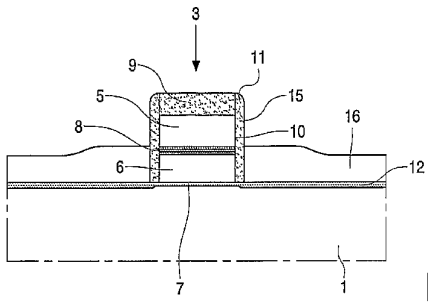


FIG. 4

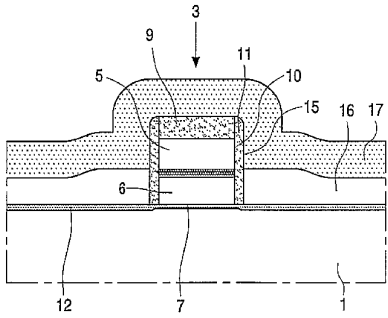


FIG. 5

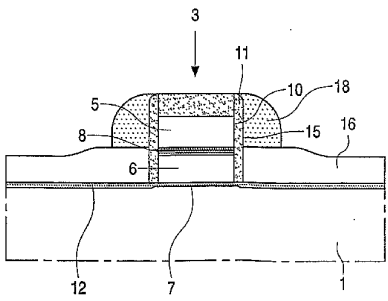


FIG. 6

3/13

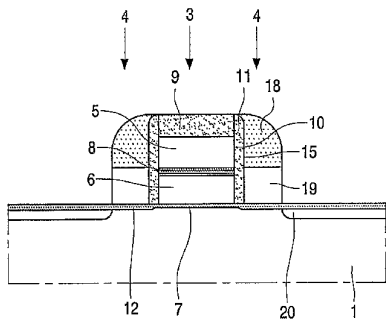


FIG. 7

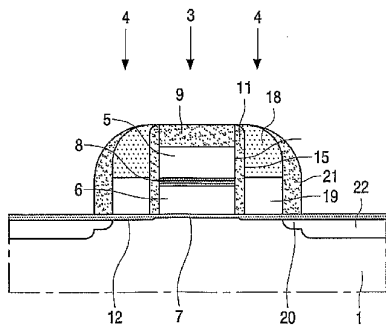


FIG. 8

WO 03/015152

PCT/IB02/02040

4/13

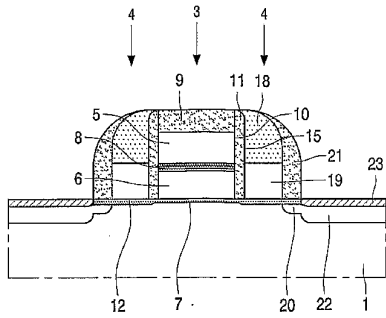


FIG. 9.

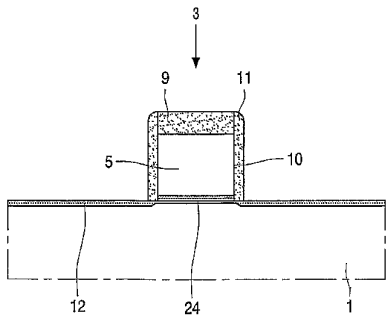


FIG. 10

WO 03/015152

PCT/IB02/02040

5/13

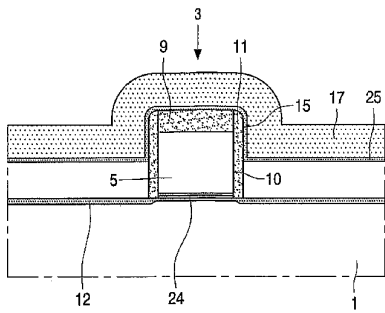


FIG. 11

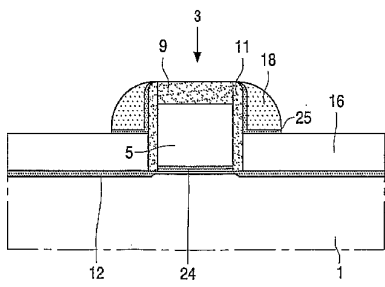


FIG. 12

WO 03/015152

PCT/IB02/02040

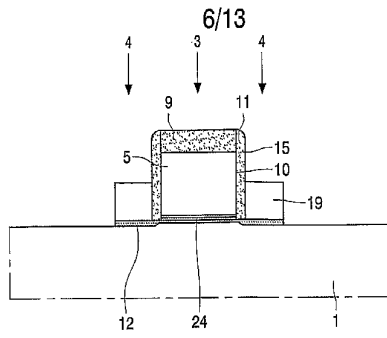


FIG. 13

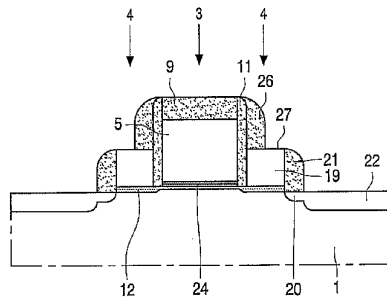


FIG. 14

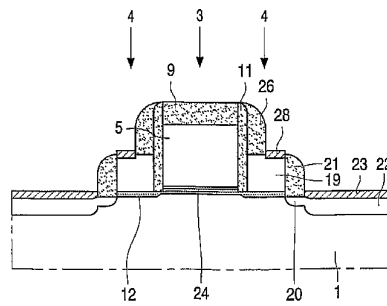


FIG. 15

WO 03/015152

PCT/IB02/02040

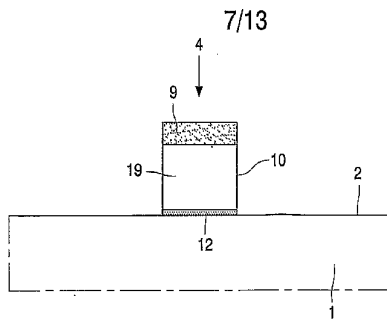


FIG. 16

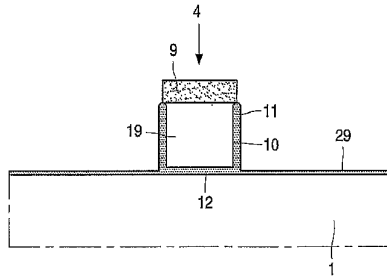


FIG. 17

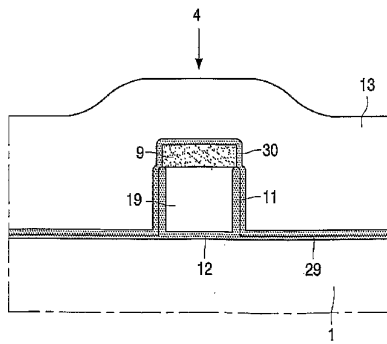


FIG. 18

WO 03/015152

PCT/IB02/02040

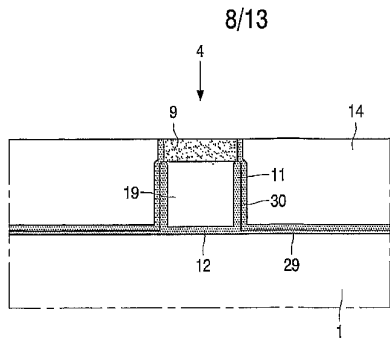


FIG. 19

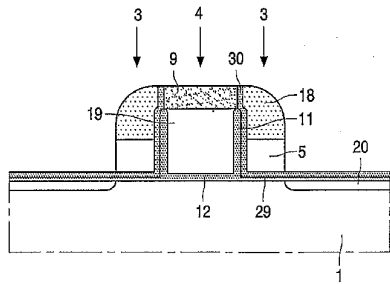


FIG. 20

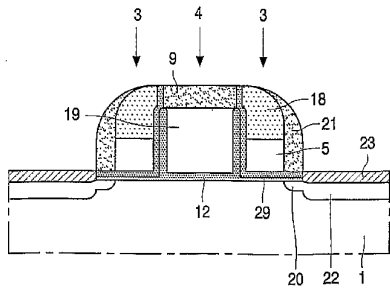


FIG. 21

WO 03/015152

PCT/IB02/02040

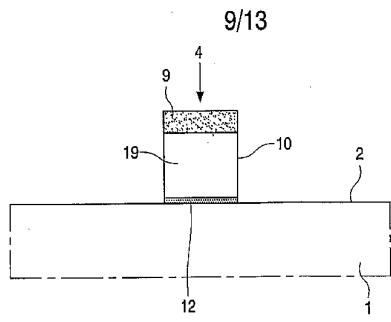


FIG. 22

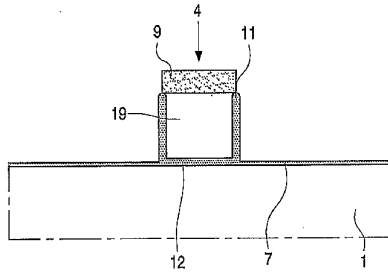


FIG. 23

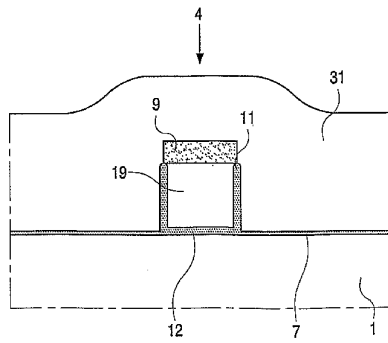


FIG. 24

WO 03/015152

PCT/IB02/02040

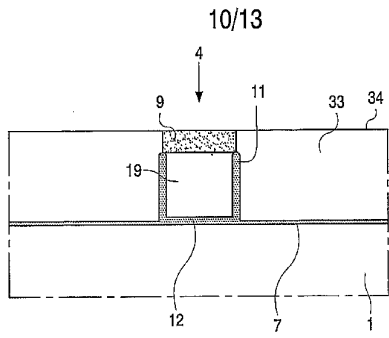


FIG. 25

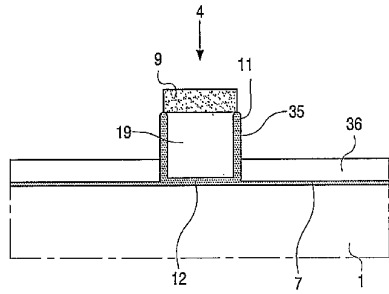


FIG. 26

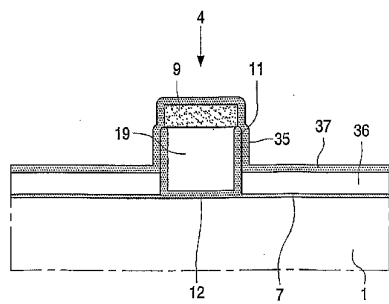


FIG. 27

WO 03/015152

PCT/IB02/02040

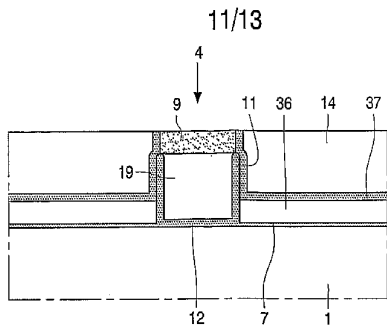


FIG. 28

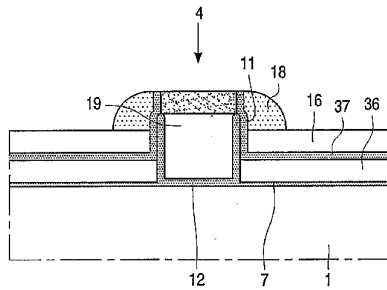


FIG. 29

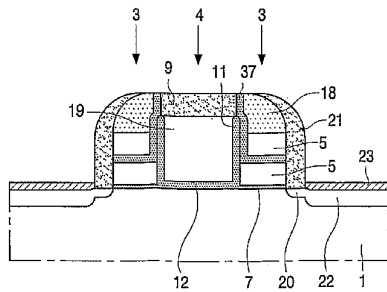


FIG. 30

WO 03/015152

PCT/IB02/02040

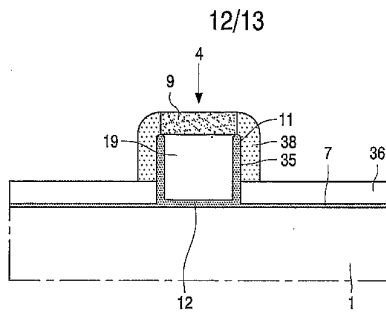


FIG. 31

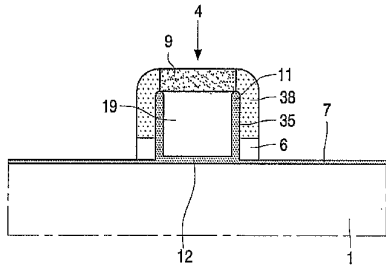


FIG. 32

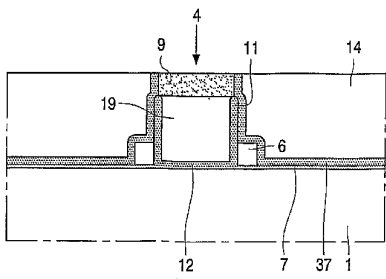


FIG. 33

WO 03/015152

PCT/IB02/02040

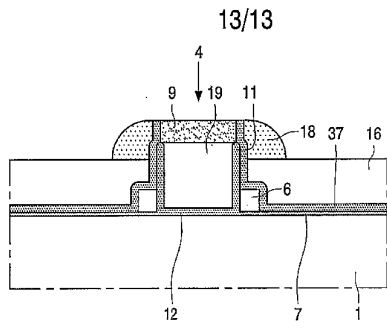


FIG. 34

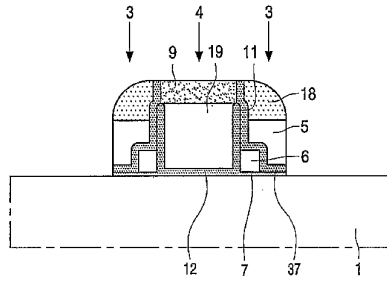


FIG. 35

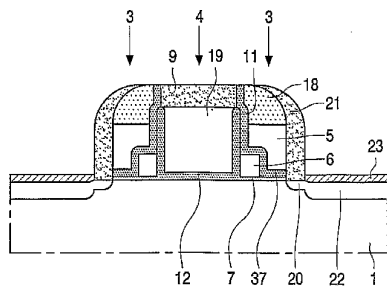


FIG. 36

【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization International Bureau



(43) International Publication Date 20 February 2003 (20.02.2003)

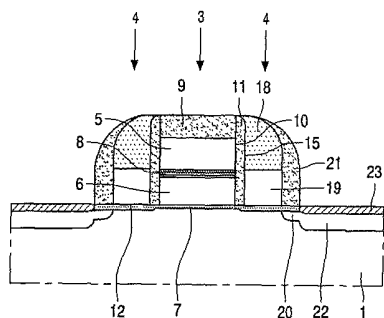
PCT

(10) International Publication Number WO 2003/015152 A3

- (51) International Patent Classification: H01L 21/336, 29/788, 21/28
- (21) International Application Number: PCT/IB2002/002040
- (22) International Filing Date: 4 June 2002 (04.06.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 01203000.3 (6 August 2001 (06.08.2001) EP), 01203001.1 (6 August 2001 (06.08.2001) EP), 02076743.0 (2 May 2002 (02.05.2002) EP)
- (71) Applicant (for all designated States except US): KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (72) Inventors; and
- (75) Inventors/Applicants (for US only): SLOTBOOM,
- (74) Agent: DUJVESTIJN, Adrianus, J.; Philips Intellectual Property & Standards, Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (81) Designated States (national): JP, KR, US.
- (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- Published: with international search report
- (88) Date of publication of the international search report: 27 May 2004

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: METHOD OF MANUFACTURING A SEMICONDUCTOR NON-VOLATILE MEMORY



(57) Abstract: Method of manufacturing a semiconductor device comprising a semiconductor body (1) which is provided at a surface (2) with a non-volatile memory comprising a memory cell with a gate structure (4) with an access gate (19) and a gate structure (3) with a control gate (5) and a charge storage region situated between the control gate (5) and the semiconductor body (1), such as a floating gate (6). In this method on the surface (2) of the semiconductor body (1) a first one of said gate structures is formed with side walls (10) extending substantially perpendicular to the surface, a conductive layer is deposited (13) on and next to said first gate-structure, the conductive layer is subjected to a planarizing treatment until the first gate structure is exposed and the so

planarized conductive layer is patterned so as to form at least a part of the other gate structure adjoining the first gate structure. Said patterning of the planarized conductive layer is performed in that the planarized conductive layer (14) is etched back so as to expose an upper portion (15) of the side walls of the first gate structure, a spacer (18) is formed on the exposed upper portion (15) of the side walls of first gate structure and the conductive layer (16) is etched anisotropically using the spacer as a mask. Thus very small memory cells can be realized.

WO 2003/015152 A3

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		Internal Application No PCT/JP 02/02040
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/336 H01L29/788 H01L21/28		
According to International Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 541 130 A (OGURA SEIKI ET AL) 30 July 1996 (1996-07-30) the whole document	1-11
A	EP 0 413 573 A (TOKYO SHIBAURA ELECTRIC CO) 6 February 1991 (1991-02-06) the whole document	1-11
A	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 20, 10 July 2001 (2001-07-10) - & JP 2001 085541 A (HITACHI LTD; HITACHI DEVICE ENG CO LTD), 30 March 2001 (2001-03-30) abstract	1
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claims) or which is cited to establish the submission date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone **Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual composition of the international search 5 February 2003		Date of mailing of the international search report 12/02/2003
Name and mailing address of the ISA European Patent Office, P.O. 5018 Patentkan 2 TL - 2382 J.V. Rijswijk Tel: (+31-70) 940-2040, Tx: 31 851 apo.nl, Fax: (+31-70) 940-3016		Authorized officer Albrecht, C

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT				International application No. PCT/IB 02/02040	
Patent document cited in search report	Publication date	Patent family member(s)	Publication date	Publication date	Publication date
US 5541130	A	30-07-1996	JP	3245054 B2	07-01-2002
			JP	8340095 A	24-12-1996
			US	5654917 A	05-08-1997
			US	5681770 A	28-10-1997
			US	5672892 A	30-09-1997
EP 0411573	A	06-02-1991	JP	2597719 B2	09-04-1997
			JP	3062574 A	18-03-1991
			EP	0411573 A2	06-02-1991
			US	5091882 A	25-02-1992
JP 2001085541	A	30-03-2001	WO	0120667 A1	22-03-2001

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), JP, KR, US

(74)代理人 100082991

弁理士 佐藤 泰和

(74)代理人 100096921

弁理士 吉元 弘

(74)代理人 100103263

弁理士 川崎 康

(72)発明者 ミキエル、スロットブーム

オランダ国5656、アーアー、アインドーフエン、プロフ・ホルストラーン、6

(72)発明者 フランシスカス、ピー・ビデルショーベン

オランダ国5656、アーアー、アインドーフエン、プロフ・ホルストラーン、6

Fターム(参考) 5F083 EP02 EP18 EP23 EP33 EP34 EP35 EP36 EP48 EP55 EP63

EP68 ER21 GA09 JA04 JA35 JA53 PR09 PR39

5F101 BA01 BA29 BA36 BA45 BB05 BD07 BD22 BE07 BH13

【要約の続き】

さなメモリセルを実現できる。