



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월25일
(11) 등록번호 10-1024632
(24) 등록일자 2011년03월17일

(51) Int. Cl.

G11C 5/14 (2006.01)

(21) 출원번호 10-2009-0109194
(22) 출원일자 2009년11월12일
심사청구일자 2009년11월12일
(56) 선행기술조사문헌
KR1020080112518 A

(73) 특허권자

매그나칩 반도체 유한회사

충북 청주시 흥덕구 향정동 1

(72) 발명자

정규영

서울특별시 송파구 송파동 43-15호 301호

(74) 대리인

김종선, 이현수, 김태현, 정홍식

전체 청구항 수 : 총 17 항

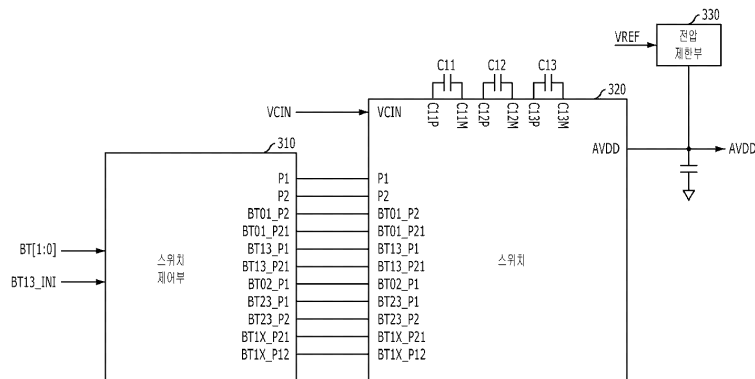
심사관 : 윤진훈

(54) 차지펌프 회로 및 이의 차지펌핑 방법

(57) 요약

승압동작 중 승압배율의 변경이 가능한 차지펌프 회로 및 차지펌프 회로의 동작방법이 개시된다. 차지펌프 회로의 동작방법은, xA의 승압배율로 입력전압을 승압하여 제1승압전압을 생성하는 제1단계; 승압배율 변경에 대비하여 차지펌프 회로차지펌프 회로구비되는 적어도 하나 이상의 캐패시터에 충전된 전압레벨을 변경하는 제2단계; 및 xB의 승압배율로 입력전압을 승압하여 제2승압전압을 생성하는 제3단계를 포함한다.

대표도



특허청구의 범위

청구항 1

xA의 승압배율로 입력전압을 승압하여 제1승압전압을 생성하는 제1단계;

승압배율의 변경에 대비하여 차지펌프 회로 내부에 구비되는 적어도 하나 이상의 캐패시터에 충전된 전압레벨을 변경하는 제2단계; 및

xB의 승압배율로 입력전압을 승압하여 제2승압전압을 생성하는 제3단계를 포함하는 차지펌핑 방법.

청구항 2

제1항에 있어서,

상기 제1단계는,

상기 캐패시터에 X전압을 충전하는 단계; 및

상기 캐패시터에 충전된 상기 X전압과 상기 입력전압을 더하여 상기 제1승압전압을 생성하는 단계를 포함하는 것을 특징으로 하는 차지펌핑 방법.

청구항 3

제2항에 있어서,

상기 제2단계는,

상기 캐패시터에 충전된 전압을 상기 X전압에서 Y전압으로 변경하는 방법으로 이루어지는 것을 특징으로 하는 차지펌핑 방법.

청구항 4

제3항에 있어서,

상기 제3단계는,

상기 캐패시터에 상기 Y전압을 충전하는 단계; 및

상기 캐패시터에 충전된 상기 Y전압과 상기 입력전압을 더하여 상기 제2승압전압을 생성하는 단계를 포함하는 것을 특징으로 하는 차지펌핑 방법.

청구항 5

제4항에 있어서,

상기 제1단계와 상기 제3단계의 세부 단계들은,

반복하여 수행되는 것을 특징으로 하는 차지펌핑 방법.

청구항 6

제1캐패시터와 제2캐패시터에 X전압이 충전되는 제1단계;

상기 제1캐패시터와 상기 제2캐패시터에 충전된 X전압과 입력전압을 더하여 제1승압전압이 생성되는 제2단계;

승압배율의 변경에 대비하여 상기 제1캐패시터와 상기 제2캐패시터에 충전된 전압이 Y전압으로 변경되는 제3단계;

상기 제1캐패시터에 상기 Y전압이 충전되고, 상기 제2캐패시터에 충전된 Y전압과 상기 입력전압을 더하여 제2승압전압을 생성하는 제4단계; 및

상기 제2캐패시터에 상기 Y전압이 충전되고, 상기 제1캐패시터에 충전된 Y전압과 상기 입력전압을 더하여 상기 제2승압전압을 생성하는 제5단계

를 포함하는 차지펌핑 방법.

청구항 7

제6항에 있어서,

상기 제1단계와 상기 제2단계는 서로 번갈아가며 반복 수행되며,

상기 제4단계와 상기 제5단계는 서로 번갈아가며 반복 수행되는 것을 특징으로 하는 차지펌핑 방법.

청구항 8

제6항에 있어서,

상기 X전압은 입력전압*1/2의 레벨이고,

상기 Y전압은 입력전압의 레벨인 것을 특징으로 하는 차지펌핑 방법.

청구항 9

제1캐패시터와 제2캐패시터에 충전된 X전압과 입력전압을 더한 전압을 제3캐패시터에 충전하는 제1단계;

상기 제1캐패시터와 상기 제2캐패시터에 상기 X전압을 충전하고, 상기 제3캐패시터에 충전된 전압과 상기 입력전압을 더해 제1승압전압을 생성하는 제2단계;

승압배율의 변경에 대비하여 상기 제1캐패시터와 상기 제2캐패시터에 충전된 X전압이 Y전압으로 변경되는 제3단계;

상기 제1캐패시터와 상기 제2캐패시터에 충전된 Y전압과 상기 입력전압을 더한 전압을 상기 제3캐패시터에 충전하는 제4단계; 및

상기 제1캐패시터와 상기 제2캐패시터에 상기 Y전압을 충전하고, 상기 제3캐패시터에 충전된 전압과 상기 입력전압을 더해 제2승압전압을 생성하는 제5단계

를 포함하는 차지펌핑 방법.

청구항 10

제9항에 있어서,

상기 제1단계와 상기 제2단계는 서로 번갈아가며 반복 수행되며,

상기 제4단계와 상기 제5단계는 서로 번갈아가며 반복 수행되는 것을 특징으로 하는 차지펌핑 방법.

청구항 11

제9항에 있어서,

상기 X전압은 상기 입력전압*1/2의 레벨이고,

상기 Y전압은 상기 입력전압의 레벨인 것을 특징으로 하는 차지펌핑 방법.

청구항 12

제1캐패시터와 제2캐패시터에 충전된 X전압과 입력전압을 더한 전압을 제3캐패시터에 충전하는 제1단계;

상기 제1캐패시터와 상기 제2캐패시터에 상기 X전압을 충전하고, 상기 제3캐패시터에 충전된 전압과 상기 입력 전압을 더해 제1승압전압을 생성하는 제2단계;

승압배율의 변경에 대비하여 상기 제1캐패시터와 상기 제2캐패시터에 충전된 X전압이 Y전압으로 변경되는 제3단계;

상기 제1캐패시터에 상기 Y전압이 충전되고, 상기 제2캐패시터에 충전된 Y전압과 상기 입력전압을 더하여 제2승압전압을 생성하는 제4단계; 및

상기 제2캐패시터에 상기 Y전압이 충전되고, 상기 제1캐패시터에 충전된 Y전압과 상기 입력전압을 더하여 상기 제2승압전압을 생성하는 제5단계

를 포함하는 차지펌핑 방법.

청구항 13

제12항에 있어서,

상기 제1단계와 상기 제2단계는 서로 번갈아가며 수행되고,

상기 제4단계와 상기 제5단계는 서로 번갈아가며 수행되는 것을 특징으로 하는 차지펌핑 방법.

청구항 14

제12항에 있어서,

상기 X전압은 입력전압*1/2의 레벨이고,

상기 Y전압은 입력전압의 레벨인 것을 특징으로 하는 차지펌핑 방법.

청구항 15

제1항, 제6항, 제9항 또는 제12항 중 어느 한 항에 있어서,

상기 차지펌핑 방법은,

상기 제1승압전압 또는 상기 제2승압전압이 타겟 레벨보다 높으면 상기 제1승압전압 또는 상기 제2승압전압을 방전시키는 단계

를 더 포함하는 것을 특징으로 하는 차지펌핑 방법.

청구항 16

입력전압을 승압하여 승압전압을 생성하는 차지펌프 회로에 있어서,
 승압 동작을 위한 다수의 캐패시터;
 승압배율 정보에 응답하여 다수의 스위치 제어신호를 생성하는 스위치 제어부; 및
 상기 다수의 스위치 제어신호에 응답하여 상기 다수의 캐패시터를 제어하는 다수의 스위치를 포함하고,
 상기 차지펌프 회로의 동작 중에 상기 승압배율 정보가 변경되면, 상기 스위치 제어부는 상기 다수의 캐패시터
 중 적어도 하나 이상에 충전된 전압을 변경시키는 변경구간을 변경된 승압배율에 따른 승압동작 이전에 갖도록
 상기 다수의 스위치 제어신호를 제어하는
 것을 특징으로 하는 차지펌프 회로.

청구항 17

제 16항에 있어서,
 상기 차지펌프 회로는,
 상기 승압전압이 목표 전압보다 높은 경우에 상기 승압전압을 방전시키기 위한 전압 제한부를 더 포함하는 것을
 특징으로 하는 차지펌프 회로.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 입력전압을 승압하여 승압전압을 생성하는 차지펌프 회로 및 차지펌핑 방법에 관한 것이다.

배경기술

[0002] 각종 반도체 장치는 외부에서 공급된 전압을 이용하여 내부의 회로를 동작시킨다. 그런데, 반도체 장치 내부에
 서 사용되는 전압의 종류는 매우 다양하기 때문에, 반도체 장치 내부에서 사용할 모든 전압을 외부에서 공급해
 주기는 힘들다. 따라서, 반도체 장치는 내부적으로 새로운 레벨의 전압을 생성해주기 위한 내부전압 생성회로를
 구비한다.

[0003] 특히, 배터리(battery) 전원을 사용하는 디바이스(device)는, 배터리로부터 공급되는 전원전압의 레벨은 낮고
 내부에서 사용해야하는 구동 전압들은 이보다 높은 레벨인 경우에, 내부적으로 외부에서 입력된 전원전압보다
 높은 전압을 생성해야 한다. 입력된 전압보다 높은 전압을 생성해주는 DC-DC 컨버터(converter)는 크게 인덕터
 (inductor)를 사용하는 SMPS(Switching Mode Power Supply) 타입과 캐패시터를 사용하는 차지펌프(charge
 pump) 타입이 있는데, 모바일 디바이스의 경우에 전류 소비가 높지 않으므로, 주로 차지펌프 타입을 사용하고
 있다.

[0004] 도 1a와 도 1b는 차지펌프 회로가 입력전압을 1.5배로 승압하여 출력하는 경우의 동작을 나타내는 도면이고, 도
 2a와 도 2b는 차지펌프 회로가 입력전압을 2배로 승압하여 출력하는 경우의 동작을 나타낸 도면이다.

[0005] 도 1a와 도 1b를 참조하여 입력전압이 1.5배로 승압되는 경우를 살펴본다. 도 1a는 페이즈1(phase1)의 동작을
 나타내는데, 페이즈1에서는 입력전압이 전압분배되어 캐패시터(101)와 캐패시터(102)에 각각 1/2*VCIN 만큼의
 전압이 충전된다. 도 1b는 페이즈2(phase2)의 동작을 나타내는데, 페이즈2에서는 입력전압(VCIN)과 캐패시터
 (101, 102)에 충전된 전압(1/2*VCIN)이 더해져 1.5*VCIN에 해당하는 전압이 승압전압(AVDD)으로 출력된다.

[0006] 이제, 도 2a와 도 2b를 참조하여 입력전압(VCIN)이 2배로 승압되는 경우를 살펴본다. 도 2a는 페이즈1의 동작을 나타내는데, 페이즈1에서는 입력전압(VCIN)이 캐패시터(101)에 충전되고 입력전압(VCIN)과 캐패시터의 전압(102)이 더해져 승압전압(AVDD=2*VCIN)으로 출력된다. 도 2b는 페이즈2의 동작을 나타내는데, 페이즈2에서는 입력전압(VCIN)이 캐패시터(102)에 충전되고 입력전압(VCIN)과 캐패시터의 전압(VCIN)이 더해져 승압전압(AVDD=2*VCIN)으로 출력된다. 따라서 도 2a와 도 2b의 동작이 반복되면, 입력전압*2의 전압이 승압전압(AVDD)으로 출력된다.

[0007] 도 1a,b와 도 2a,b를 비교하여 보면, 도 1a,b에서는 캐패시터(101, 102)에 1/2*VCIN이 충전되지만, 도 2a,b에서는 캐패시터(101, 102)에 VCIN이 충전된다. 즉, 승압배율에 따라서 캐패시터(101, 102)에 충전되는 전압의 레벨이 서로 달라진다. 따라서 종래의 차지펌프 회로는 동작 중에 승압배율의 변경이 이루어지지 않도록 설계되는 경우가 대부분이며, 설사 차지펌프 회로의 동작 중에 승압배율이 변경되더라도 순간적으로 발생한 막대한 노이즈로 인하여 안정적인 동작을 보장하지 못한다는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0008] 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로, 동작 중에도 승압배율의 변경이 가능하고, 승압배율이 변경되더라도 승압전압단에 노이즈가 발생하지 않는 차지펌프 회로 및 그 차지펌핑 방법을 제공하고자 하는데 그 목적이 있다.

과제 해결수단

[0009] 상기한 목적을 달성하기 위한 본 발명에 따른 차지펌핑 방법은, xA의 승압배율로 입력전압을 승압하여 제1승압전압을 생성하는 제1단계; 승압배율의 변경에 대비하여 차지펌프 회로 내부에 구비되는 적어도 하나 이상의 캐패시터에 충전된 전압레벨을 변경하는 제2단계; 및 xB의 승압배율로 입력전압을 승압하여 제2승압전압을 생성하는 제3단계를 포함할 수 있다.

[0010] 또한, 본 발명에 따른 차지펌핑 방법은, 제1캐패시터와 제2캐패시터에 X의 전압이 충전되는 제1단계; 상기 제1캐패시터와 상기 제2캐패시터에 충전된 X전압과 입력전압을 더하여 제1승압전압이 생성되는 제2단계; 승압배율의 변경에 대비하여 상기 제1캐패시터와 상기 제2캐패시터에 충전된 전압이 Y전압으로 변경되는 제3단계; 상기 제1캐패시터에 상기 Y전압이 충전되고, 상기 제2캐패시터에 충전된 Y전압과 상기 입력전압을 더하여 제2승압전압을 생성하는 제4단계; 및 상기 제2캐패시터에 상기 Y전압이 충전되고, 상기 제1캐패시터에 충전된 Y전압과 상기 입력전압을 더하여 상기 제2승압전압을 생성하는 제5단계를 포함할 수 있다.

[0011] 또한, 본 발명에 따른 차지펌핑 방법은, 제1캐패시터와 제2캐패시터에 충전된 X전압과 입력전압을 더한 전압을 제3캐패시터에 충전하는 제1단계; 상기 제1캐패시터와 상기 제2캐패시터에 상기 X전압을 충전하고, 상기 제3캐패시터에 충전된 전압과 상기 입력전압을 더해 제1승압전압을 생성하는 제2단계; 승압배율의 변경에 대비하여 상기 제1캐패시터와 상기 제2캐패시터에 충전된 X전압이 Y전압으로 변경되는 제3단계; 상기 제1캐패시터와 상기 제2캐패시터에 충전된 Y전압과 상기 입력전압을 더한 전압을 상기 제3캐패시터에 충전하는 제4단계; 및 상기 제1캐패시터와 상기 제2캐패시터에 상기 Y전압을 충전하고, 상기 제3캐패시터에 충전된 전압과 상기 입력전압을 더해 제2승압전압을 생성하는 제5단계를 포함할 수 있다.

[0012] 또한, 본 발명에 따른 차지펌핑 방법은, 제1캐패시터와 제2캐패시터에 충전된 X전압과 입력전압을 더한 전압을 제3캐패시터에 충전하는 제1단계; 상기 제1캐패시터와 상기 제2캐패시터에 상기 X전압을 충전하고, 상기 제3캐패시터에 충전된 전압과 상기 입력전압을 더해 제1승압전압을 생성하는 제2단계; 승압배율의 변경에 대비하여 상기 제1캐패시터와 상기 제2캐패시터에 충전된 X전압이 Y전압으로 변경되는 제3단계; 상기 제1캐패시터에 상기 Y전압이 충전되고, 상기 제2캐패시터에 충전된 Y전압과 상기 입력전압을 더하여 제2승압전압을 생성하는 제4단계; 및 상기 제2캐패시터에 상기 Y전압이 충전되고, 상기 제1캐패시터에 충전된 Y전압과 상기 입력전압을 더하여 상기 제2승압전압을 생성하는 제5단계를 포함할 수 있다.

[0013] 또한, 본 발명에 따른 차지펌프 회로는, 입력전압을 승압하여 승압전압을 생성하는 차지펌프 회로에 있어서, 승압 동작을 위한 다수의 캐패시터; 승압배율 정보에 응답하여 다수의 스위치 제어신호를 생성하는 스위치

제어부; 및 상기 다수의 스위치 제어신호에 응답하여 상기 다수의 캐패시터를 제어하는 다수의 스위치를 포함하고, 상기 차지펌프 회로의 동작 중에 상기 승압배율 정보가 변경되면, 상기 스위치 제어부는 상기 다수의 캐패시터 중 적어도 하나 이상에 충전된 전압을 변경시키는 변경구간을 변경된 승압배율에 따른 승압동작 이전에 갖도록 상기 다수의 스위치 제어신호를 제어하는 것을 특징으로 할 수 있다.

[0014] 상기 차지펌프 회로는, 상기 승압전압이 목표 전압보다 높은 경우에 상기 승압전압을 방전시키기 위한 전압 제한부를 더 포함하는 것을 특징으로 할 수 있다.

효 과

[0015] 본 발명에 따른 차지펌핑 방법은 승압배율의 변경에 대비하여 캐패시터 내에 충전된 전압의 레벨을 미리 변경해주는 구간을 가진다. 따라서 차지펌핑 동작 중 승압배율이 변경되더라도 안정적인 레벨의 승압전압을 생성할 수 있다는 장점이 있다.

[0016] 또한, 승압전압의 레벨이 타겟전압의 레벨보다 높은 경우에는 승압전압을 방전시키기 때문에, 승압전압의 레벨이 지나치게 높아지는 것을 막을 수 있다는 장점이 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0018] 도 3는 본 발명에 따른 차지펌프 회로의 구성도이다.

[0019] 도 3에 도시된 바와 같이, 차지펌프 회로는, 스위치 제어부(310), 다수의 스위치(320), 다수의 캐패시터(C11, C12, C13), 및 전압 제한부(330)를 포함하여 구성된다.

[0020] 다수의 캐패시터(C11, C12, C13)는 차지펌핑 동작을 위해 구비된다. 다수의 캐패시터(C11, C12, C13)에 어떠한 전압이 충전되는지, 그리고 캐패시터(C11, C12, C13)가 어떻게 연결되는지에 따라서 승압배율 등이 달라진다.

[0021] 다수의 스위치(320)는 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)에 응답하여, 다수의 캐패시터(C11, C12, C13)를 제어한다. 다수의 스위치(320) 중 어느 스위치가 온/오프되었는지에 따라서 다수의 캐패시터(C11, C12, C13)를 포함하는 회로의 구성이 달라진다. 도면에서는 다수의 스위치(320)를 블록으로 도시하였는데, 블록 내부에 대해서는 도 4에서 알아보기로 한다.

[0022] 스위치 제어부(310)는 승압배율 정보(BT<1:0>)에 응답하여 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)를 생성한다. 승압배율 정보(BT<1:0>)는 차지펌프 회로가 입력전압(V_{CIN})을 몇배로 승압하여 승압전압(AVDD)을 생성할 것인지에 대한 정보를 가진다. 스위치 제어부(310)는 승압배율 정보(BT<1:0>)에 따라 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)를 생성하여, 다수의 스위치(320)와 다수의 캐패시터(C11, C12, C13)가 입력전압(V_{CIN})을 승압배율 정보(BT<1:0>)에 따라 정해지는 승압배율만큼 승압하여 승압전압(AVDD)으로 출력하도록 제어한다. 스위치 제어부(310)로 입력되는 초기화 신호(BT13_INI)는 승압배율 정보(BT<1:0>)가 변경될 때 일정기간 동안 활성화되는 신호이다. 초기화 신호(BT13_INI)가 활성화된 구간 동안에, 스위치 제어부(310)는 새로 변경될 승압배율에 맞게 캐패시터(C11, C12, C13)에 충전되는 전압이 변경될 수 있도록 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)를 생성한다. 이에 대한 보다 자세한 내용은 후술하기로 한다.

[0023] 전압 제한부(330)는 승압전압(AVDD)의 레벨이 타겟 레벨보다 높아질 경우에, 승압전압(AVDD)의 레벨을 낮추기 위해 구비된다. 전압 제한부(330)에 대한 보다 자세한 내용은 후술하기로 한다.

[0024] 하기의 표 1은 승압배율 정보에 따른 승압배율을 나타낸다.

표 1

BT<1:0>	승압배율
00	x1.5
01	x2
10	x2.5
11	x3

[0025]

[0026]

[0027]

[0028]

[0029]

[0030]

[0031]

[0032]

[0033]

[0034]

[0035]

[0036]

[0037]

도 4은 도 3의 다수의 스위치(320) 블록의 내부 구성을 나타낸 도면이다.

도 4에 도시된 바와 같이, 다수의 스위치 블록(320)은 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12) 각각에 응답하여 온/오프되는 스위치들을 포함하여 구성된다. 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)가 '하이'레벨이면 이를 입력받는 스위치는 턴온되고, 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)가 '로우'레벨이면 이를 입력받는 스위치는 턴오프된다. 스위치들이 어떻게 온/오프되느냐에 따라서 회로 구성이 변경되며, 이에 따라 차지 펌핑 동작이 이루어진다.

4 3에 도시된 C11M, C11P 단자에는 캐패시터(C11)가 연결되고, C12M, C12P에는 캐패시터(C12)가 연결되고, C13M, C13P 단자에는 캐패시터(C13)가 연결된다.

스위치들의 온/오프에 의한 자세한 동작에 대해서는 타이밍도와 함께 후술하기로 한다.

도 5는 도 3의 전압 제한부(330)의 내부 구성을 나타낸 도면이다.

도 5에 도시된 바와 같이, 전압 제한부(330)는 비교기(501), 트랜지스터(502), 저항(R1, R2)을 포함하여 구성된다.

그 동작을 살펴보면, 승압전압(AVDD)이 저항(R1, R2)에 의해 전압분배되어 비교기(501)로 피드백된다. 비교기(501)는 전압분배된 승압전압(AVDD_DIV)과 기준전압(VREF)의 레벨을 비교하고, 전압분배된 승압전압(AVDD_DIV)의 레벨이 기준전압(VREF)의 레벨보다 높으면 자신의 출력신호를 '하이'로 출력한다, 그러면 이에 응답하여 트랜지스터(502)가 턴온되고, 턴온된 트랜지스터(502)에 의해 승압전압(AVDD)의 레벨이 낮아진다.

전압분배된 승압전압(AVDD_DIV)의 레벨을 식으로 나타내면 $AVDD_DIV = \{R1/(R1+R2)\} * AVDD$ 가 된다. 그리고 $AVDD_DIV > VREF$ 이면 트랜지스터(502)가 턴온된다. 즉, $AVDD > VREF * (1+R2/R1)$ 이면 트랜지스터(502)가 턴온되고, 승압전압(AVDD)이 방전되는 동작이 이루어진다.

여기서 기준전압(VREF)을 적절히 설정해주면, 승압전압(AVDD)이 지나치게 높아지는 것을 막아줄 수 있게 된다. 승압배율 정보(BT<1:0>)가 변하면 승압배율이 변하므로, 승압전압(AVDD)의 타겟 레벨이 변하게 된다. 따라서 승압배율 정보(BT<1:0>)에 따라 기준전압(VREF)의 레벨을 변경시켜 준다면, 승압전압(AVDD)이 타겟 레벨보다 높아지는 것을 더욱 정확히 막아줄 수 있다.

도 6는 본 발명에 따른 차지펌핑 방법을 나타낸 순서도이다.

도 6를 참조하면, 차지펌핑 방법은, xA의 승압배율로 입력전압(VCIN)을 승압하여 제1승압전압(AVDD=A*VCIN)을 생성하는 단계(S610), 승압배율의 변경에 대비하여 차지펌프 회로 내부에 구비되는 적어도 하나 이상의 캐패시터(C11, C12)에 충전된 전압레벨을 변경하는 단계(S620), 및 xB의 승압배율로 입력전압(VCIN)을 승압하여 제2승압전압(AVDD=B*VCIN)을 생성하는 단계(S630)를 포함한다.

먼저 xA로 설정된 승압배율에 따라 입력전압(VCIN)이 승압되어 제1승압전압(AVDD=A*VCIN)이 생성된다(S610). 이후에 승압배율이 xA에서 xB로 변경되면, 차지펌프 회로는 xB의 승압배율에 따른 제2승압전압을 바로 생성하지 않고, 먼저 차지펌프 회로 내부의 캐패시터(C11, C12)에 충전된 전압 레벨을 변경하는 단계(S620)를 거친다. 승압배율이 변경되면 이에 따라 캐패시터(C11, C12) 내부에 충전되는 전압 레벨도 변경되어야 한다. 따라서 승압

배율이 xA로 설정된 경우와 xB로 설정된 경우에 캐패시터(C11, C12)에 충전되는 전압이 서로 다르다. 따라서 본 발명은 먼저 새로운 승압배율에 따른 제2승압전압(AVDD=B*VCIN)의 생성에 앞서서 캐패시터(C11, C12)에 충전되는 전압 레벨을 변경시켜 준다. 단계(S620)를 거친 후에야, 입력전압(VCIN)이 xB의 비율로 승압된 제2승압전압(AVDD=B*VCIN)이 생성된다. 따라서 제2승압전압(AVDD=B*VCIN)은 안정적으로 생성될 수 있다.

[0038] 이와 같이, 본 발명에 따른 차지펌핑 방법은, 승압배율이 변경되면, 새로운 레벨의 승압전압(AVDD=B*VCIN)을 생성하기에 앞서서, 차지펌프 내부의 캐패시터(C11, C12)에 충전된 전압 레벨을 변경시켜주는 구간을 갖는다. 그러므로, 차지펌프의 동작 중에 승압배율이 변경되더라도 안정적인 동작을 보장해 줄 수 있다.

[0039] 도 7은 승압배율이 x1.5(x1.5 boosting mode)에서 x2(x2 boosting mode)로 변경되는 경우의 신호들의 변화를 나타내는 타이밍도이다. 도 8a,b는 x1.5 boosting mode에서 페이즈1(phase1)과 페이즈2(phase2)시에 스위치(320)와 캐패시터(C11, C12)의 연결상태를 나타내는 도면이다. 도 8c는 승압배율이 변경되기 직전의 구간 동안의 스위치(320)와 캐패시터(C11, C12)의 연결상태를 나타낸 도면이다. 도 8d,e는 x2 boosting mode에서 페이즈1(phase1)과 페이즈2(phase2)시에 스위치(220)와 캐패시터(C11, C12)의 연결상태를 나타내는 도면이다.

[0040] 도 7을 참조하면, 승압배율이 x1.5로 설정된 구간(x1.5 boosting mode) 동안에 페이즈1(phase1)과 페이즈2(phase2)가 반복되며 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)가 제어된다. 그리고, 승압배율의 변경을 준비하는 구간(initialization period), 즉 초기화 신호(BT13_INI)가 활성화되는 구간에서는 도 7과 같이 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)가 제어되어 캐패시터(C11, C12) 내에 충전된 전압이 변경된다. 승압배율의 변경을 준비하는 구간(initialization period) 이후의 구간(x2.0 boosting mode) 동안에는 변경된 승압배율(x2)에 따른 페이즈1(phase1)과 페이즈2(phase2)가 반복되며, 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)가 제어된다.

[0041] 도 8a와 도 8b를 참조하여, 승압배율이 x1.5로 설정된 구간(x1.5 boosting mode)의 동작을 살펴본다. 도 8a를 참조하면, 페이즈1(phase1)에서 캐패시터(C11)와 캐패시터(C12)는 입력전압(VCIN)과 접지단 사이에서 직렬로 연결된다. 따라서 캐패시터(C11)와 캐패시터(C12)에는 $1/2*VCIN$ 의 전압이 충전된다. 도 8b를 참조하면, 페이즈2(phase2)에서 캐패시터(C11)와 캐패시터(C12)는 병렬로 연결된다. 그리고 캐패시터(C11, C12)의 M단자 측에 입력전압(VCIN)이 인가된다. 따라서 캐패시터(C11, C12)의 P단자 측의 전압은 $VCIN+1/2*VCIN$ 이 되고, 이 전압은 승압전압(AVDD= $1.5*VCIN$)으로 출력된다. 즉, 페이즈2에서는 캐패시터(C11, C12)에 충전된 전압($1/2*VCIN$)과 입력전압(VCIN)이 더해져 승압전압(AVDD= $1.5*VCIN$)이 출력된다.

[0042] 도 8c를 참조하여, 승압배율의 변경을 준비하는 구간(initialization period)의 동작을 살펴본다. 이 구간 동안에는 캐패시터(C11)의 한단에는 입력전압(VCIN)이 다른단에는 접지단이 인가된다. 따라서 캐패시터(C11)는 입력전압(VCIN)이 충전된다. 또한, 캐패시터(C12)의 한단에는 입력전압(VCIN)이 다른 단에는 접지단이 인가된다. 따라서 캐패시터(C12)에는 입력전압이 충전된다. 즉, 이 구간 동안에 캐패시터(C11, C12)에 충전된 전압이 $1/2*VCIN$ 에서 VCIN으로 변경된다. 이와 같이, 본 발명은 승압배율의 변경을 준비하는 구간(initialization period) 동안에 캐패시터(C11, C12)에 충전된 전압을 미리 변경해 줌으로써, 다음 구간(x2 boosting mode)의 동작에서 승압전압(AVDD= $2*VCIN$)의 레벨이 불안정해지거나, 노이즈가 발생하는 것을 막아줄 수 있게 된다.

[0043] 도 8d,e를 참조하여, 승압배율이 x2로 설정된 구간(2x boosting mode)의 동작을 살펴본다. 도 8d를 참조하면, 페이즈1(phase1)에서 캐패시터(C11)의 P단자에는 입력전압(VCIN)이 인가되고 M단자에는 접지단이 인가된다. 따라서 캐패시터(C11)는 입력전압의 레벨로 충전된다. 그리고 캐패시터(C12)의 M단자에는 입력전압(VCIN)이 인가되고 P단자로는 승압전압(AVDD)이 출력된다. 캐패시터(C12)는 이미 입력전압(VCIN)의 레벨로 충전되어 있으므로 캐패시터(C12)의 P단자로는 승압전압(AVDD)이 $2*VCIN$ 의 레벨로 출력된다. 도 8e를 참조하면, 페이즈2(phase2)에서 캐패시터(C12)의 P단자에는 입력전압(VCIN)이 인가되고 M단자에는 접지단이 인가된다. 따라서 캐패시터(C12)는 입력전압(VCIN)의 레벨로 충전된다. 그리고 캐패시터(C11)의 M단자에는 입력전압(VCIN)이 인가되고 P단자로는 승압전압(AVDD)이 출력된다. 캐패시터(C11)는 이미 입력전압(VCIN)의 레벨로 충전되어 있으므로 캐패시터(C11)의 P단자로는 승압전압(AVDD)이 $2*VCIN$ 의 레벨로 출력된다.

[0044] 도 9는 승압배율이 x2.5(x2.5 boosting mode)에서 x3(x3 boosting mode)로 변경되는 경우의 신호들의 변화를

나타내는 타이밍도이다. 도 10a,b는 x2.5 boosting mode에서 페이즈1(phase1)과 페이즈2(phase2)시에 스위치 (220)와 캐패시터(C11, C12, C13)의 연결상태를 나타내는 도면이다. 도 10c는 승압배율이 변경되기 직전의 구간 (initialization period) 동안의 스위치(320)와 캐패시터(C11, C12)의 연결상태를 나타낸 도면이다. 도 9d,e는 x3 boosting mode에서 페이즈1(phase1)과 페이즈2(phase2)시에 스위치(320)와 캐패시터(C11, C12, C13)의 연결 상태를 나타내는 도면이다.

[0045] 도 9을 참조하면, 승압배율이 x2.5로 설정된 구간(x2.5 boosting mode) 동안에 페이즈1(phase1)과 페이즈 2(phase2)가 반복되며 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)가 제어된다. 그리고, 승압배율의 변경을 준비하는 구간(initialization period), 즉 초기화 신호(BT13_INI)가 활성화되는 구간에서는 도 8과 같이 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)가 제어되어 캐패시터(C11, C12) 내에 충전된 전압이 변경된다. 승압배율의 변경을 준비하는 구간(initialization period) 이후의 구간(x3 boosting mode) 동안에는 변경된 승압배율(x3)에 따른 페이즈1(phase1)과 페이즈2(phase2)가 반복되며, 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)가 제어된다.

[0046] 도 10a와 도 10b를 참조하여, 승압배율이 x2.5로 설정된 구간의 동작을 살펴본다. 도 10a를 참조하면, 페이즈 1(phase1)에서 캐패시터(C11)와 캐패시터(C12)는 병렬로 연결되고, 병렬로 연결된 캐패시터(C11, C12)에 저장된 전압(1/2*VCIN)과 입력전압(VCIN)이 더해져 캐패시터(C13)에 저장된다. 따라서 캐패시터(C13)에는 1.5*VCIN의 전압이 충전된다. 도 10b를 참조하면, 페이즈2(phase2)에서 캐패시터(C11)와 캐패시터(C12)는 입력전압(VCIN)과 접지단 사이에서 직렬로 연결된다 따라서 캐패시터(C11)와 캐패시터(C12)에는 1/2*VCIN의 전압이 충전된다. 그리고 캐패시터(C13)에 충전된 전압(1.5*VCIN)과 입력전압(VCIN)이 더해져서 승압전압(AVDD=2.5*VCIN)이 출력된다. 이러한 페이즈1(phase)과 페이즈2(phase)의 반복적인 동작에 의해 결국에는 2.5*VCIN의 전압이 승압전압 (AVDD)으로 출력된다.

[0047] 도 10c를 참조하여, 승압배율의 변경을 준비하는 구간(initialization period)의 동작을 살펴본다. 이 구간 동안에는 캐패시터(C11)의 한단에는 입력전압(VCIN)이 다른단에는 접지단이 인가된다. 따라서 캐패시터(C11)에는 입력전압(VCIN)이 충전된다. 또한, 캐패시터(C12)의 한단에는 입력전압(VCIN)이 다른 단에는 접지단이 인가된다. 따라서 캐패시터(C12)에는 입력전압(VCIN)이 인가된다. 즉, 이 구간 동안에 캐패시터(C11, C12)에 충전된 전압이 1/2*VCIN에서 VCIN으로 변경된다. 이와 같이, 본 발명은 승압배율의 변경을 준비하는 구간 (initialization period) 동안에 캐패시터(C11, C12)에 충전된 전압을 미리 변경해 줌으로써, 다음 구간(x3 boosting mode)의 동작에서 승압전압(AVDD=3*VCIN)의 레벨이 불안정해지거나, 노이즈가 발생하는 것을 막아줄 수 있게 된다.

[0048] 도 10d,e를 참조하여, 승압배율이 x3으로 설정된 구간(x3 boosting mode)의 동작을 살펴본다. 도 10d를 참조하면, 페이즈1(phase1)에서 캐패시터(C11)와 캐패시터(C12)는 병렬로 연결되고, 캐패시터(C11, C12)에 충전된 전압(VCIN)과 입력전압(VCIN)이 더해져서 캐패시터(C13)에 충전된다. 따라서 캐패시터(C13)에는 2*VCIN의 전압이 충전된다. 도 10e를 참조하면, 페이즈2(phase2)에서 캐패시터(C11)의 한단에는 입력전압(VCIN)이 다른 단에는 접지단이 인가되어, 캐패시터(C11)는 입력전압(VCIN)이 충전된다. 또한, 캐패시터(C12)의 한단에는 입력전압 (VCIN)이 다른 단에는 접지단이 인가되어, 캐패시터(C12)에는 입력전압(VCIN)이 충전된다. 그리고, 입력전압 (VCIN)과 캐패시터(C13)에 충전된 전압(2*VCIN)이 더해져서 승압전압(AVDD)이 3*VCIN으로 출력된다.

[0049] 도 11은 승압배율이 x2.5(x2.5 boosting mode)에서 x2(x2 boosting mode)로 변경되는 경우의 신호들의 변화를 나타내는 타이밍도이다. 도 12a,b는 x2.5 boosting mode에서 페이즈1(phase1)과 페이즈2(phase2)시에 스위치 (320)와 캐패시터(C11, C12, C13)의 연결상태를 나타내는 도면이다. 도 12c는 승압배율이 변경되기 직전의 구간 (initialization period) 동안의 스위치(320)와 캐패시터(C11, C12)의 연결상태를 나타낸 도면이다. 도 12d,e 는 x2 boosting mode에서 페이즈1(phase1)과 페이즈2(phase2)시에 스위치(320)와 캐패시터(C11, C12, C13)의 연결상태를 나타낸 도면이다.

[0050] 도 11을 참조하면, 승압배율이 x2.5로 설정된 구간(x2.5 boosting mode) 동안에 페이즈1(phase1)과 페이즈 2(phase2)가 반복되며 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)가 제어된다. 그리고, 승압배율의 변경을 준비하는 구간(initialization period), 즉 초기화 신호(BT13_INI)가 활성화되는 구간에서는 도 10과 같이 스위치 제어신호(P1, P2, BT01_P2,

BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)가 제어되어 캐패시터(C11, C12) 내에 충전된 전압이 변경된다. 승압배율의 변경을 준비하는 구간(initialization period) 이후의 구간(x2 boosting mode) 동안에는 변경된 승압배율(x2)에 따른 페이즈1(phase1)과 페이즈2(phase2)가 반복되며, 스위치 제어신호(P1, P2, BT01_P2, BT01_P21, BT13_P1, BT13_P21, BT02_P1, BT23_P1, BT23_P2, BT1X_P21, BT1X_P12)가 제어된다.

[0051] 도 12a와 도 12b를 참조하여, 승압배율이 x2.5로 설정된 구간의 동작을 살펴본다. 도 12a를 참조하면, 페이즈1(phase1)에서 캐패시터(C11)와 캐패시터(C12)는 병렬로 연결되고, 병렬로 연결된 캐패시터(C11, C12)에 저장된 전압(1/2*VCIN)과 입력전압(VCIN)이 더해져 캐패시터(C13)에 저장된다. 따라서 캐패시터(C13)에는 1.5*VCIN의 전압이 충전된다. 도 12b를 참조하면, 페이즈2(phase2)에서 캐패시터(C11)와 캐패시터(C12)는 입력전압(VCIN)과 접지단 사이에서 직렬로 연결된다 따라서 캐패시터(C11)와 캐패시터(C12)에는 1/2*VCIN의 전압이 충전된다. 그리고 캐패시터(C13)에 충전된 전압(1.5*VCIN)과 입력전압(VCIN)이 더해져서 승압전압(AVDD=2.5*VCIN)이 출력된다. 이러한 페이즈1(phase)과 페이즈2(phase)의 반복적인 동작에 의해 결국에는 2.5*VCIN의 전압이 승압전압(AVDD)으로 출력된다.

[0052] 도 12c를 참조하여, 승압배율의 변경을 준비하는 구간(initialization period)의 동작을 살펴본다. 이 구간 동안에는 캐패시터(C11)의 한단에는 입력전압(VCIN)이 다른단에는 접지단이 인가된다. 따라서 캐패시터(C11)에는 입력전압(VCIN)이 충전된다. 또한, 캐패시터(C12)의 한단에는 입력전압(VCIN)이 다른 단에는 접지단이 인가된다. 따라서 캐패시터(C12)에는 입력전압(VCIN)이 인가된다. 즉, 이 구간 동안에 캐패시터(C11, C12)에 충전된 전압이 1/2*VCIN에서 VCIN으로 변경된다. 이와 같이, 본 발명은 승압배율의 변경을 준비하는 구간(initialization)에 캐패시터(C11, C12)에 충전된 전압을 미리 변경해 줌으로써, 다음 구간(x2 boosting mode)의 동작에서 승압전압(AVDD=2*VCIN)의 레벨이 불안정해지거나, 노이즈가 발생하는 것을 막아줄 수 있게 된다.

[0053] 도 12d,e를 참조하여, 승압배율이 x2로 설정된 구간(2x boosting mode)의 동작을 살펴본다. 도 12d를 참조하면, 페이즈1(phase1)에서 캐패시터(C11)의 P단자에는 입력전압(VCIN)이 인가되고 M단자에는 접지단이 인가된다. 따라서 캐패시터(C11)는 입력전압(VCIN)의 레벨로 충전된다. 그리고 캐패시터(C12)의 M단자에는 입력전압(VCIN)이 인가되고 P단자로는 승압전압(AVDD)이 출력된다. 캐패시터(C12)는 이미 입력전압(VCIN)의 레벨로 충전되어 있으므로 캐패시터(C12)의 P단자로는 승압전압(AVDD)이 2*VCIN의 레벨로 출력된다. 도 12e를 참조하면, 페이즈2(phase2)에서 캐패시터(C12)의 P단자에는 입력전압(VCIN)이 인가되고 M단자에는 접지단이 인가된다. 따라서 캐패시터(C12)는 입력전압(VCIN)의 레벨로 충전된다. 그리고 캐패시터(C11)의 M단자에는 입력전압(VCIN)이 인가되고 P단자로는 승압전압(AVDD)이 출력된다. 캐패시터(C11)는 이미 입력전압(VCIN)의 레벨로 충전되어 있으므로 캐패시터(C11)의 P단자로는 승압전압(AVDD)이 2*VCIN의 레벨로 출력된다.

[0054] 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이고 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

[0055] 특히, 상기한 실시예에서는 특정배율로 승압배율이 변경되는 예를 설명하였지만, 예시된 배율 이외의 배율간의 승압배율의 변경에도 본 발명의 원리가 이용될 수 있음은 당연하다.

도면의 간단한 설명

[0056] 도 1a와 도 1b는 차지펌프 회로가 입력전압을 1.5배로 승압하여 출력하는 경우의 동작을 나타내는 도면.

[0057] 도 2a와 도 2b는 차지펌프 회로가 입력전압을 2배로 승압하여 출력하는 경우의 동작을 나타낸 도면.

[0058] 도 3는 본 발명에 따른 차지펌프 회로의 구성도.

[0059] 도 4은 도 3의 다수의 스위치(320) 블록의 내부 구성을 나타낸 도면.

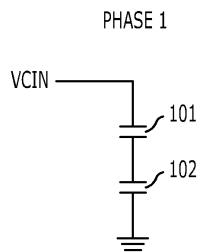
[0060] 도 5는 도 3의 전압 제한부(330)의 내부 구성을 나타낸 도면.

[0061] 도 6는 본 발명에 따른 차지펌핑 방법을 나타낸 순서도.

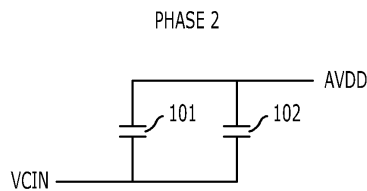
- [0062] 도 7은 승압배율이 x1.5(x1.5 boosting mode)에서 x2(x2 boosting mode)로 변경되는 경우의 신호들의 변화를 나타내는 타이밍도.
- [0063] 도 8a,b,c,d,e는 도 7의 각 구간마다 스위치와 캐패시터의 연결상태를 나타낸 도면.
- [0064] 도 9는 승압배율이 x2.5(x2.5 boosting mode)에서 x3(x3 boosting mode)로 변경되는 경우의 신호들의 변화를 나타내는 타이밍도.
- [0065] 도 10a,b,c,d,e는 도 9의 각 구간마다 스위치와 캐패시터의 연결상태를 나타낸 도면.
- [0066] 도 11은 승압배율이 x2.5(x2.5 boosting mode)에서 x2(x2 boosting mode)로 변경되는 경우의 신호들의 변화를 나타내는 타이밍도.
- [0067] 도 12a,b,c,d,e는 도 11의 각 구간마다 스위치와 캐패시터의 연결상태를 나타낸 도면.

도면

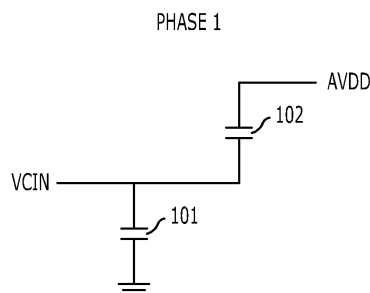
도면1a



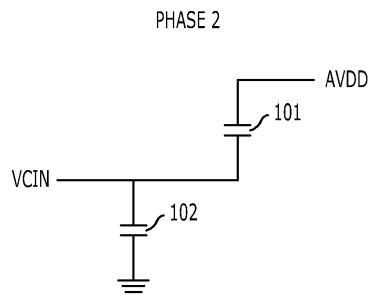
도면1b



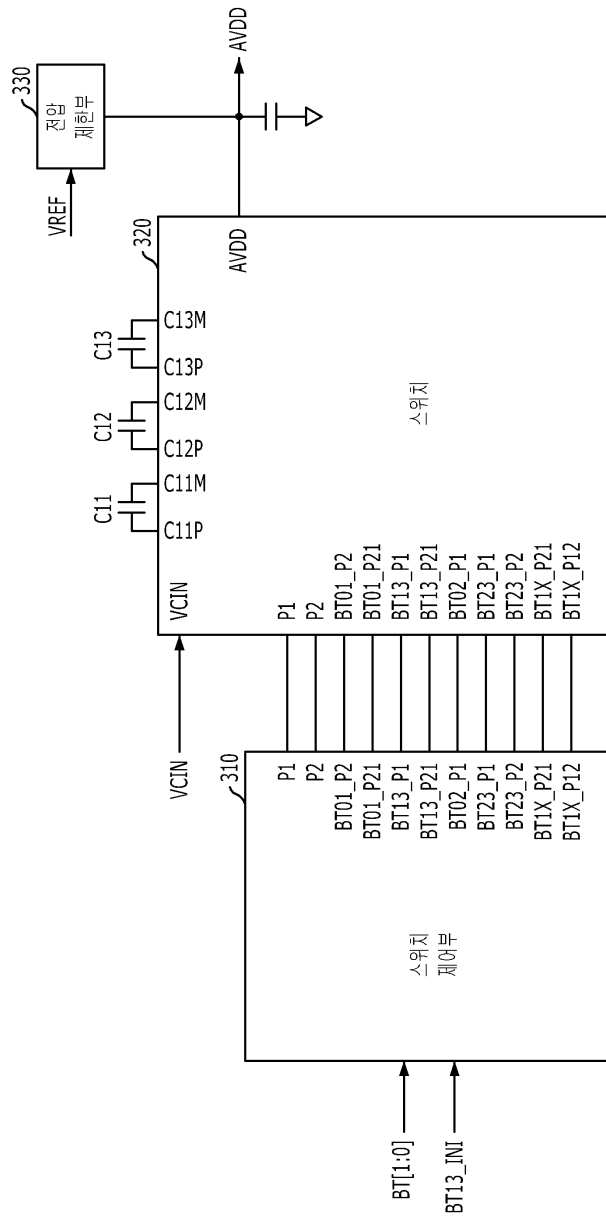
도면2a



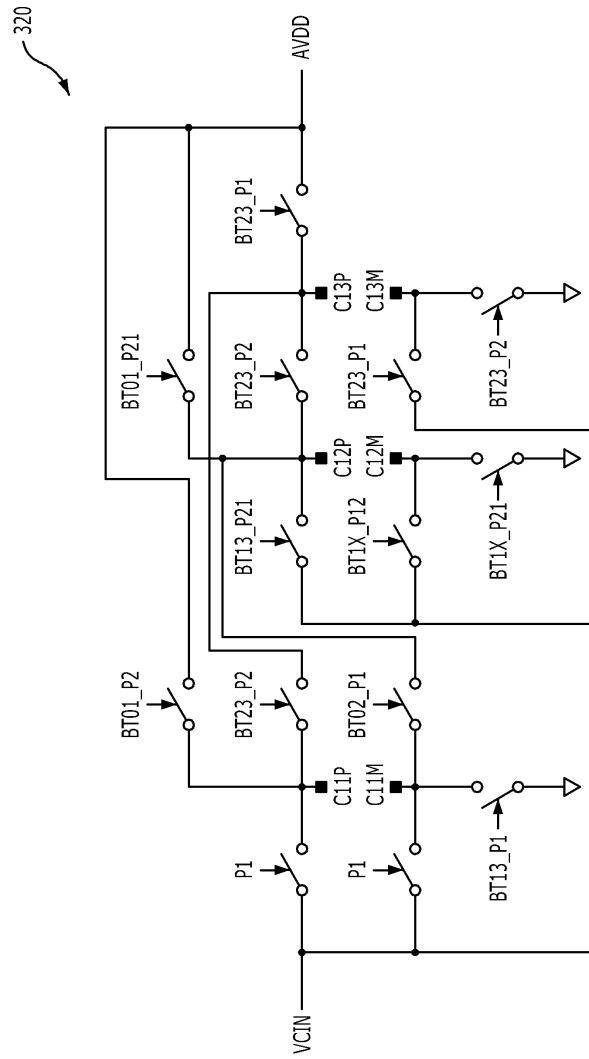
도면2b



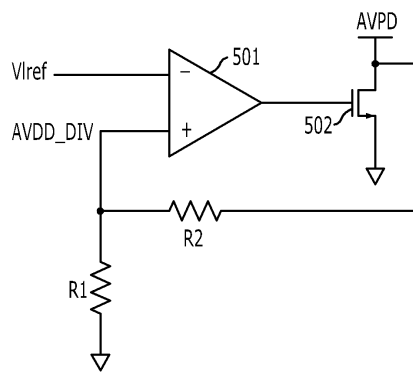
도면3



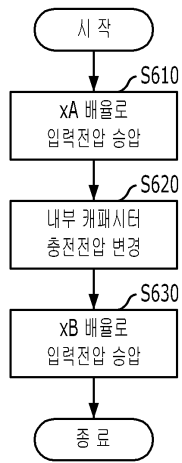
도면4



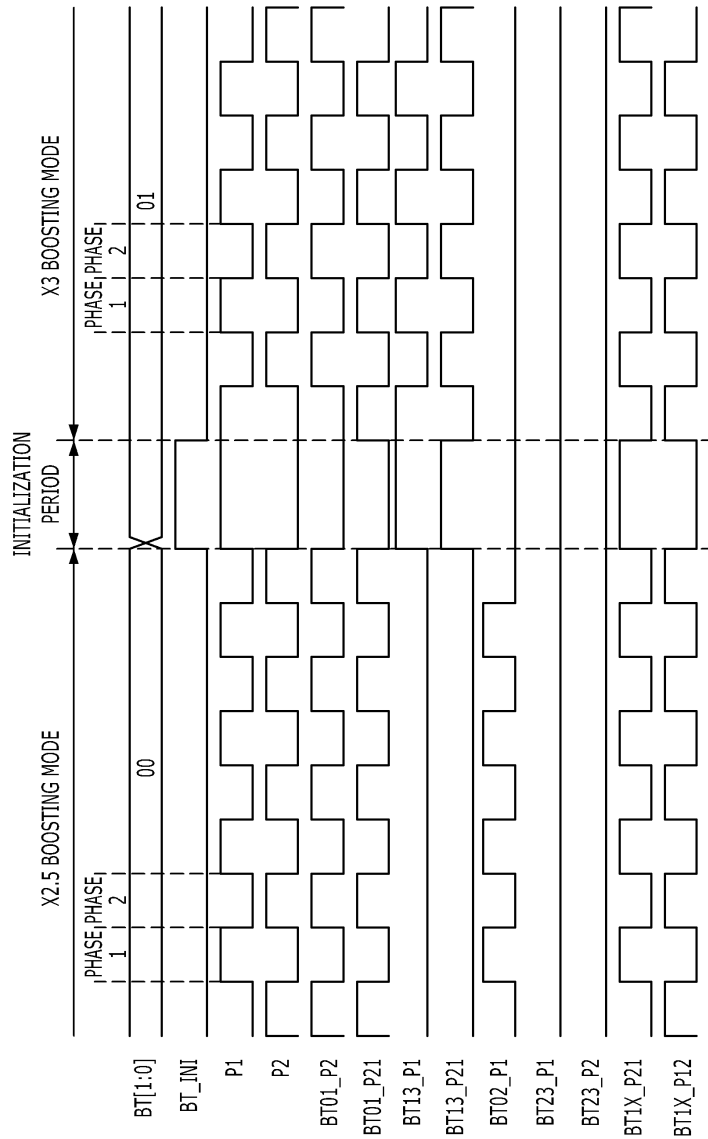
도면5



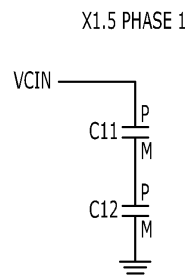
도면6



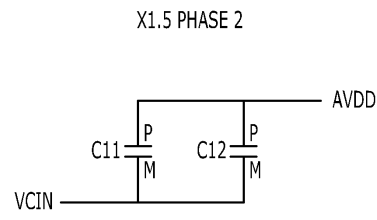
도면7



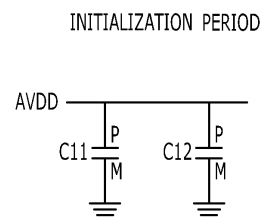
도면8a



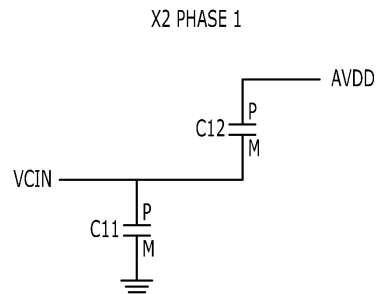
도면8b



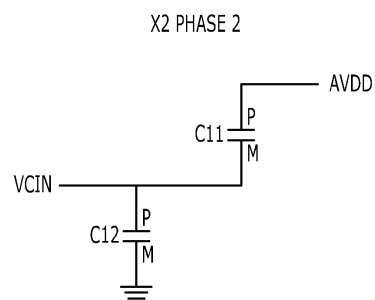
도면8c



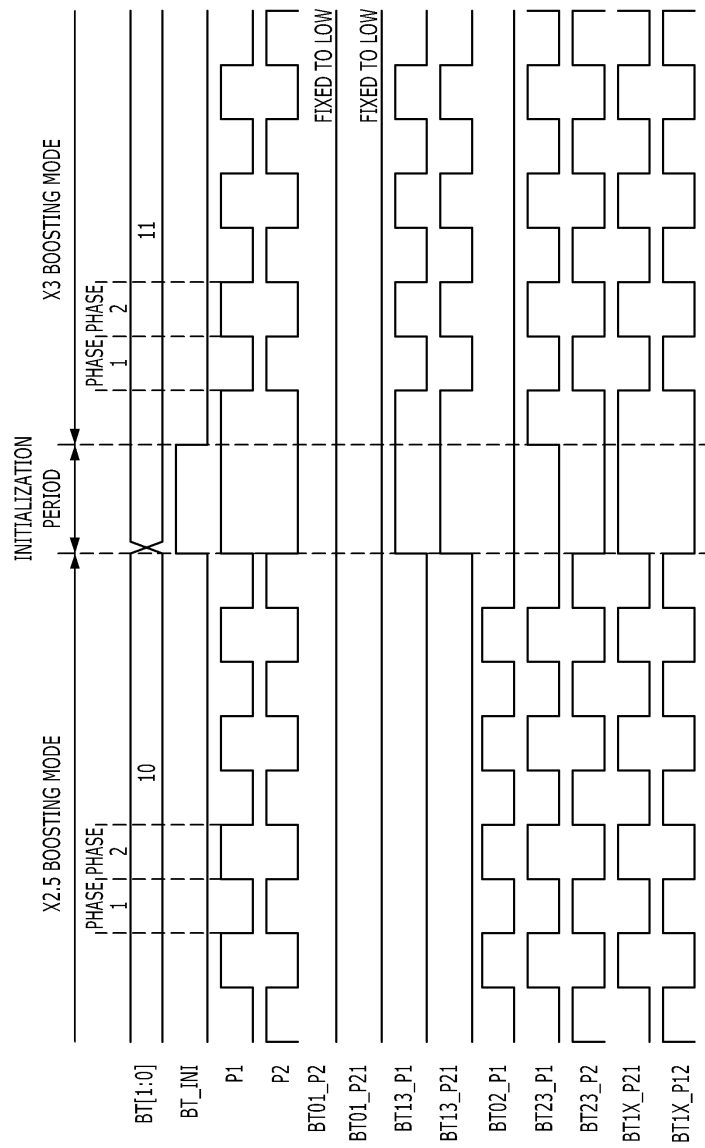
도면8d



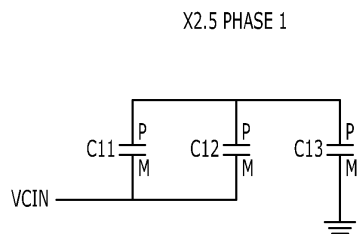
도면8e



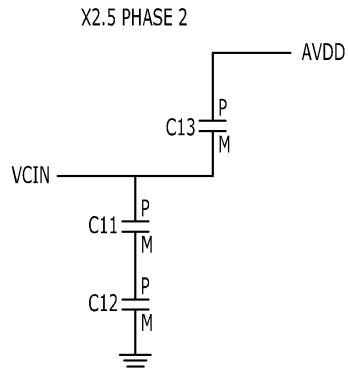
도면9



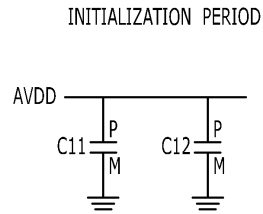
도면10a



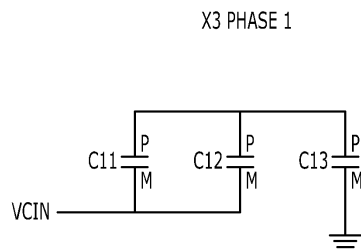
도면10b



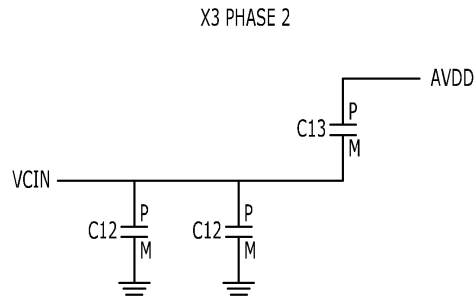
도면10c



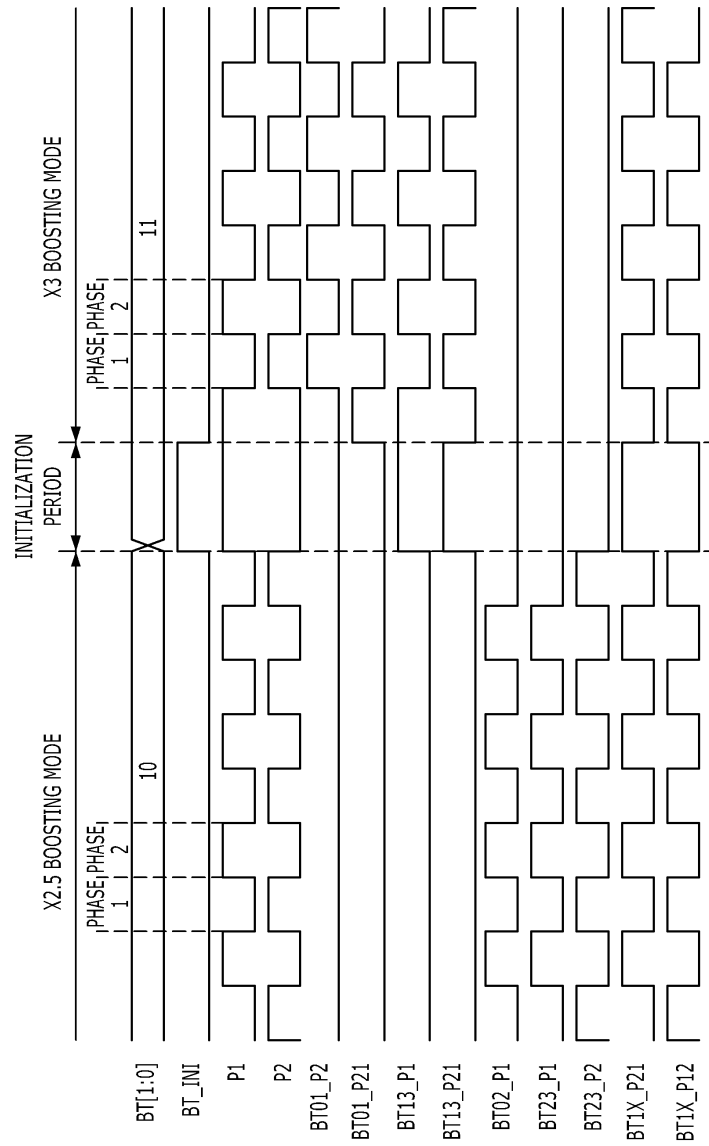
도면10d



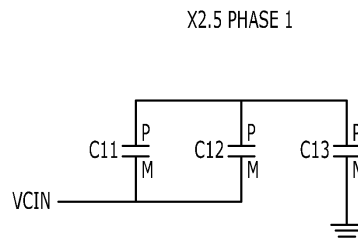
도면10e



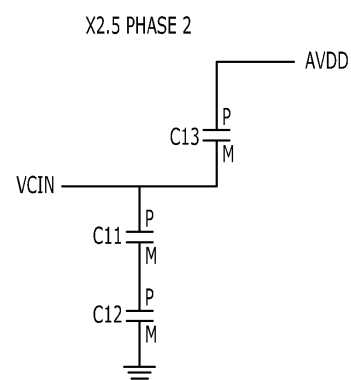
도면11



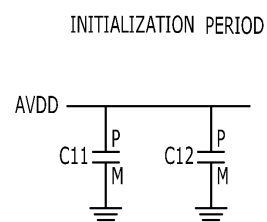
도면12a



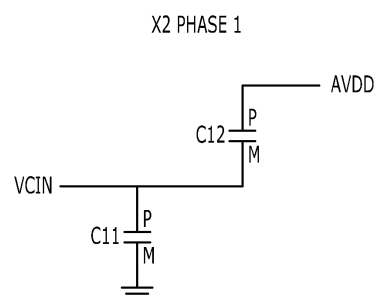
도면12b



도면12c



도면12d



도면12e

