

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年12月2日(02.12.2021)



(10) 国際公開番号

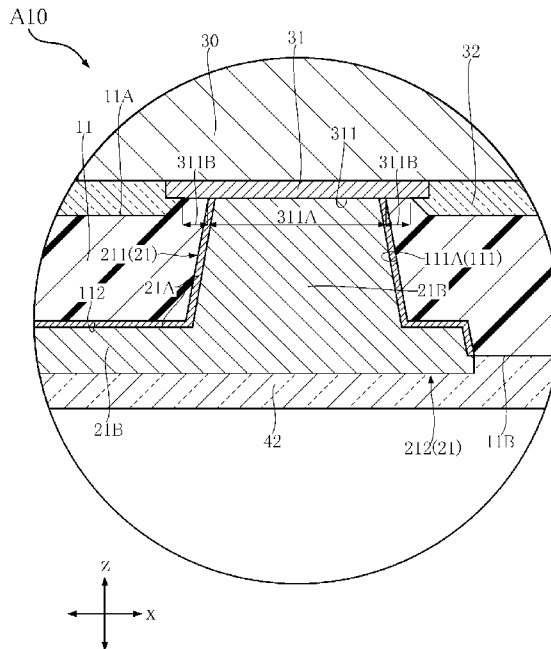
WO 2021/241447 A1

- (51) 国際特許分類: *H01L 23/12* (2006.01) *H01L 21/56* (2006.01)
- (21) 国際出願番号: PCT/JP2021/019392
- (22) 国際出願日: 2021年5月21日(21.05.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2020-091169 2020年5月26日(26.05.2020) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 富士 和則 (FUJI Kazunori); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 吳 小鹏 (WU Xiaopeng); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.); 〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および半導体装置の製造方法

[図7]



(57) Abstract: A semiconductor device is provided with an insulation layer, a semiconductor element, a wiring layer, and a sealing resin. The insulation layer has a main surface and a reverse surface set away from each other in the thickness direction, and has formed therein a penetration part extending in the thickness direction. The semiconductor element has an electrode corresponding to the penetration part and is in contact with the main surface. The wiring part includes a linking part that is housed in the penetration part and is in contact with the electrode, and a main part that is continuous



WO 2021/241447 A1

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

from the linking part and that is positioned on the reverse surface. The sealing resin is in contact with the main surface and covers the semiconductor element. The electrode has a connection surface facing the linking part. The connection surface includes a first region that is exposed from the insulation layer by the penetration part, and a second region in contact with the insulation layer. The surface roughness of the first region is higher than the surface roughness of the second region.

(57) 要約：半導体装置は、絶縁層と、半導体素子と、配線層と、封止樹脂とを備える。前記絶縁層は、厚さ方向において互いに離間する主面および裏面を有しており、前記厚さ方向に延びる貫通部が形成されている。前記半導体素子は、前記貫通部に対応する電極を有しており、前記主面に接している。前記配線部は、前記貫通部に收容され且つ前記電極に接する連絡部と、前記連絡部につながり且つ前記裏面に配置された主部とを含む。前記封止樹脂は、前記主面に接し且つ前記半導体素子を覆う。前記電極は、前記連絡部に対向する接続面を有する。前記接続面は、前記貫通部により前記絶縁層から露出する第1領域と、前記絶縁層に接する第2領域とを含む。前記第1領域の表面粗さは、前記第2領域の表面粗さよりも大である。

明 細 書

発明の名称：半導体装置、および半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置と、当該半導体装置の製造方法とに関する。

背景技術

[0002] 近年における電子機器の小型化に伴い、当該電子機器に用いられる半導体装置の小型化が進められている。こうした動向を受け、封止樹脂と、当該封止樹脂に積層された絶縁層と、当該絶縁層から露出する電極を有するとともに、当該封止樹脂および当該絶縁層に覆われた半導体素子と、当該電極につながり、かつ当該絶縁層に配置された配線層とを備える半導体装置が知られている。当該半導体装置がこのような構成をとることにより、当該装置の小型化を図ることができる。さらに、当該半導体装置の配線層は自在に設けることが可能であるため、当該装置は、実装対象となる配線基板の配線パターンに対して柔軟に対応できるという利点を有する。

[0003] 特許文献1には、このような半導体装置の製造方法の一例が開示されている。当該製造方法は、電極を有する半導体素子を封止樹脂（特許文献1では硬化体）に埋め込む工程と、当該半導体素子および当該封止樹脂に接する絶縁層（特許文献1ではバッファコート膜）を形成する工程と、当該電極につながる配線層を形成する工程とを含む。半導体素子を封止樹脂に埋め込む工程では、電極が封止樹脂から露出するようにする。絶縁層を形成する工程では、フォトリソグラフィパターンニングによって当該絶縁層に開口を形成する。絶縁層に形成された開口から電極が露出する。配線層を形成する工程では、電極につながり、かつ開口に収容される部分を含むめっき層を形成する。めっき層は、配線層を構成する一要素である。

[0004] 配線層を形成する工程では、半導体素子の電極と、当該電極につながる配線層との間に空隙が発生することがある。空隙の発生規模が比較的大きくなると、半導体素子と配線層との導通が阻害されるおそれがある。したがって

、電極に対する配線層の密着性をより向上させることによって、空隙の発生規模を抑制することが望まれる。

先行技術文献

特許文献

[0005] 特許文献1：特開2016-89081号公報

発明の概要

発明が解決しようとする課題

[0006] 本開示は上述の事情に鑑み、半導体素子の電極に対する配線層の密着性をより向上させることが可能な半導体装置およびその製造方法を提供することをその課題とする。

課題を解決するための手段

[0007] 本開示の第1の側面によれば、半導体装置が提供される。当該半導体装置は、厚さ方向において互いに離間する第1主面および第1裏面を有し、前記厚さ方向に延びる第1貫通部が形成された第1絶縁層と；前記第1貫通部に対応する電極を有し、前記第1主面に接する半導体素子と；前記第1貫通部に收容され且つ前記電極に接する第1連絡部と、前記第1連絡部につながり且つ前記第1裏面に配置された第1主部と、を含む第1配線層と；前記第1主面に接し且つ前記半導体素子を覆う封止樹脂と、を備える。前記電極は、前記第1連絡部に対向する接続面を有し、前記接続面は、前記第1貫通部により前記第1絶縁層から露出する第1領域と、前記第1絶縁層に接する第2領域と、を含む。前記第1領域の表面粗さは、前記第2領域の表面粗さよりも大である。

[0008] 好ましくは、前記第1配線層は、前記第1絶縁層に接する第1下地層と、前記第1下地層を覆う第1めっき層と、を有し、前記第1めっき層が前記第1領域に接している。

[0009] 好ましくは、前記第1絶縁層は、熱硬化性の合成樹脂と、前記第1下地層を組成する金属元素が含有された添加剤と、を含む材料からなる。

- [0010] 好ましくは、前記第1絶縁層は、前記第1裏面から凹み且つ前記第1貫通部につながる溝部を有し、前記第1主部は前記溝部に配置されている。
- [0011] 好ましくは、前記第1主部は、前記厚さ方向に向けて凹む凹部を有し、前記凹部は、前記溝部が延びる方向に沿って延びている。
- [0012] 好ましくは、前記第1絶縁層は、前記第1貫通部を規定する第1内周面を有し、前記第1内周面は、前記第1下地層に覆われ且つ前記第1主面に対して傾斜している。
- [0013] 好ましくは、前記第1貫通部は、前記厚さ方向に直交する第1断面を有し、前記第1断面の面積は、前記第1主面から前記第1裏面に向かうほど大きくなる。
- [0014] 好ましくは、前記半導体装置は、前記第1裏面および前記第1主部を覆う保護層をさらに備える。前記保護層は、前記厚さ方向に貫通する開口を有し、前記第1主部の一部が、前記開口で前記保護層から露出している。
- [0015] 好ましくは、前記半導体装置は、端子をさらに備え、前記端子は、前記開口で前記保護層から露出する前記第1主部の一部に接合される。また前記端子は、前記保護層から前記厚さ方向に向けて突出している。
- [0016] 好ましくは、前記端子は、錫を含む材料からなる。
- [0017] 好ましくは、前記半導体装置は、前記厚さ方向において互いに離間する第2主面および第2裏面を有し、前記厚さ方向に延びる第2貫通部が形成され、前記第2主面が前記第1裏面に接する第2絶縁層と；前記第2貫通部に収容され且つ前記第1主部につながる第2連絡部と、前記第2連絡部につながり且つ前記第2裏面に配置された第2主部と、を含む第2配線層と；をさらに備える。前記第1主部は、前記第2絶縁層に覆われている。前記厚さ方向に沿って視て、前記第2貫通部の少なくとも一部が、前記第1主部に重なっている。
- [0018] 好ましくは、前記厚さ方向に沿って視て、前記第2主部は、前記第1主部に重なる部分を含むとともに、前記第1主部が延びる方向とは異なる方向に沿って延びている。

- [0019] 好ましくは、前記第2配線層は、前記第2絶縁層に接する第2下地層と、前記第2下地層を覆う第2めっき層と、を有する。前記第2連絡部において、前記第2めっき層が前記第1主部に接している。
- [0020] 好ましくは、前記第2絶縁層は、熱硬化性の合成樹脂と、前記第2下地層を組成する金属元素が含有された添加剤と、を含む材料からなる。
- [0021] 好ましくは、前記第2絶縁層は、前記第2貫通部を規定する第2内周面を有し、前記第2内周面は、前記第2下地層に覆われ且つ前記第2主面に対して傾斜している。
- [0022] 好ましくは、前記第2貫通部は、前記厚さ方向に直交する第2断面を有し、前記第2断面の面積は、前記第2主面から前記第2裏面に向かうほど大きくなる。
- [0023] 本開示の第2の側面によれば、半導体装置の製造方法が提供される。当該製造方法は、電極を有する半導体素子を、前記電極が露出するように封止樹脂に埋め込む工程と；前記封止樹脂の上に積層され且つ前記電極を覆う絶縁層を形成する工程と；前記絶縁層に埋め込まれ且つ前記電極につながる連絡部と、前記連絡部につながる主部と、を有する配線層を形成する工程と；を備える。前記絶縁層は、熱硬化性の合成樹脂と、前記配線層の一部を組成する金属元素が含有された添加剤と、を含む材料からなる。前記配線層を形成する工程は、(a) 前記電極の表面の一部を前記絶縁層から露出させる貫通部と、前記絶縁層の表面から凹み且つ前記貫通部につながる溝部と、をレーザー照射により前記絶縁層に形成する工程と、(b) 前記貫通部を規定する前記絶縁層の内周面と前記溝部とを覆い、かつ前記金属元素を含む下地層を前記絶縁層に析出させる工程と、(c) 前記下地層を覆うめっき層を形成する工程と、を含む。前記下地層を析出させる工程は、前記レーザー照射により、前記貫通部で前記絶縁層から露出する前記電極の表面の一部に凹凸を形成することを含む。
- [0024] 好ましくは、前記めっき層を形成する工程は、無電解めっきまたは電解めっきの少なくとも一方によって前記めっき層を形成することを含む。

発明の効果

[0025] 本開示にかかる半導体装置およびその製造方法によれば、半導体素子の電極に対する配線層の密着性をより向上させることが可能となる。

[0026] 本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなろう。

図面の簡単な説明

[0027] [図1]第1実施形態にかかる半導体装置の平面図であり、封止樹脂を透過している。

[図2]図1に対応する平面図であり、半導体素子をさらに透過している。

[図3]図1に示す半導体装置の底面図である。

[図4]図3に対応する底面図であり、保護層、および複数の端子を透過している。

[図5]図1のV-V線に沿う断面図である。

[図6]図1のVⅠ-VⅠ線に沿う断面図である。

[図7]図5の部分拡大図である。

[図8]図5の部分拡大図である。

[図9]図1のⅠX-ⅠX線に沿う部分拡大断面図である。

[図10]図7の部分拡大図である。

[図11]図1に示す半導体装置の製造工程を説明する断面図である。

[図12]図1に示す半導体装置の製造工程を説明する断面図である。

[図13]図1に示す半導体装置の製造工程を説明する断面図である。

[図14]図13の部分拡大図である。

[図15]図14の部分拡大図である。

[図16]図1に示す半導体装置の製造工程を説明する断面図である。

[図17]図16の部分拡大図である。

[図18]図1に示す半導体装置の製造工程を説明する断面図である。

[図19]図1に示す半導体装置の製造工程を説明する断面図である。

[図20]図1に示す半導体装置の製造工程を説明する断面図である。

[図21]第2実施形態にかかる半導体装置の平面図であり、封止樹脂を透過している。

[図22]図21に対応する平面図であり、第1絶縁層および半導体素子をさらに透過している。

[図23]図21に示す半導体装置の底面図である。

[図24]図23に対応する底面図であり、保護層、および複数の端子を透過している。

[図25]図22のXXV-XXV線に沿う断面図である。

[図26]図22のXXVⅠ-XXVⅠ線に沿う断面図である。

[図27]図26の部分拡大図である。

[図28]図22のXXVⅠⅠⅠ-XXVⅠⅠⅠ線に沿う部分拡大断面図である。

発明を実施するための形態

[0028] 本開示にかかる実施の形態について、添付図面に基づいて説明する。

[0029] 図1～図10に基づき、第1実施形態にかかる半導体装置A10について説明する。半導体装置A10は、第1絶縁層11、複数の第1配線層21、半導体素子30、封止樹脂41、保護層42、および複数の端子50を備える。半導体装置A10は、配線基板に表面実装される。半導体装置A10は、単一の半導体素子30を備える。これに代えて、半導体装置A10は、複数の半導体素子30を備えていてもよい。一例として、複数の半導体素子30は、レーザーダイオードと、MOSFETなどのスイッチング素子とを含む。この構成においては、スイッチング素子が駆動することにより、レーザーダイオードが数nsの間隔でパルス状に発光する。このような半導体装置A10を用いることにより、レーダと同じく、比較的遠距離に位置する対象の探査が可能となる。このような探査技術は、LIDAR (Laser Imaging Detection and Ranging) と称される。理解の便宜上、図1では、封止樹脂41を透過しており、図2では、図1に対して半導体素子30をさらに透過している。図4では、保護層42、および複数の端子50を透過している。図2においては、半導体素子30の外形を想像線（二点鎖線）で示している。

[0030] 半導体装置A10に関する説明の便宜上、互いに直交する3つの方向を適宜参照する。図示の例では、これらは、第1方向x、第2方向y、および厚さ方向zであるが、本開示がこれに限定されるわけではない。図5等に示すように、厚さ方向zは、たとえば第1絶縁層11の厚みを貫通する方向に相当する。図1に示すように、半導体装置A10の外形は、厚さ方向zに沿って視て矩形状である。第1方向xは、半導体装置A10の一边（第1辺）に平行であり、第2方向yは、半導体装置A10の別の辺（第1辺に直交する第2辺）に平行である。図示の例では、第1辺の方が第2辺より長いが、本開示がこれに限定されるわけではない。

[0031] 図5および図6に示すように、第1絶縁層11は、厚さ方向zにおいて半導体素子30に対向している。第1絶縁層11は、熱硬化性の合成樹脂と、複数の第1配線層21の各々の一部（後述する第1下地層21A）を組成する金属元素が含有された添加剤とを含む材料からなる。当該合成樹脂は、たとえば、エポキシ樹脂、またはポリイミドである。第1絶縁層11は、第1主面11A、第1裏面11B、および複数の端面11Cを有する。第1主面11Aおよび第1裏面11Bは、厚さ方向zにおいて互いに反対側を向く。これらのうち第1主面11Aは、半導体素子30に対向している。複数の端面11Cは、第1主面11Aおよび第1裏面11Bにつながっている。複数の端面11Cの各々は、第1方向xおよび第2方向yのいずれかを向く。

[0032] 図2、図4および図7に示すように、第1絶縁層11は、複数の第1貫通部111を有する。複数の第1貫通部111の各々は、厚さ方向zにおいて第1主面11Aが位置する側から第1裏面11Bが位置する側に至るとともに、第1絶縁層11を厚さ方向zに貫通している。複数の第1貫通部111の各々は、第1絶縁層11の複数の第1内周面111Aのいずれかにより規定されている。複数の第1内周面111Aの各々は、第1主面11Aに対して傾斜している。複数の第1内周面111Aの各々は、厚さ方向zにおいて第1裏面11Bが位置する側から第1主面11Aが位置する側にかけて当該第1内周面111Aが規定する複数の第1貫通部111のいずれかに向けて

倒れる姿勢をとる。したがって、複数の第1貫通部111の各々の厚さ方向zに対する横断面積は、第1主面11Aが位置する側から第1裏面11Bが位置する側に向かうほど、徐々に大きくなる。

[0033] 図7～図9に示すように、第1絶縁層11は、複数の第1溝部112を有する。複数の第1溝部112の各々は、第1裏面11Bから厚さ方向zに向けて凹んでいる。複数の第1溝部112の各々は、複数の第1貫通部111のいずれかにつながっている。図4に示すように、複数の第1溝部112の各々は、厚さ方向zに対して直交する方向に沿って延びている。図9に示すように、複数の第1溝部112の各々の一对の側面は、第1裏面11Bに対して傾斜している。複数の第1溝部112の各々において、当該一对の側面と、当該第1溝部112の底面との境界における当該第1溝部112の幅b1は、当該一对の側面と、第1裏面11Bとの境界における当該第1溝部112の幅b2よりも小である。

[0034] 複数の第1配線層21は、図5および図6に示すように、第1絶縁層11に配置されている。複数の第1配線層21は、半導体装置A10が実装される配線基板と、半導体素子30との導電経路の一部をなしている。複数の第1配線層21の各々は、第1連絡部211および第1主部212を含む。図2、図4および図7に示すように、第1連絡部211は、第1絶縁層11の複数の第1貫通部111のいずれかに収容されている。第1連絡部211は、当該第1貫通部111を規定する複数の第1内周面111Aのいずれかに接している。第1連絡部211は、半導体素子30の複数の電極31（詳細は後述）のいずれかにつながっている。図4～図6に示すように、第1主部212は、複数の第1配線層21のいずれかの第1連絡部211につながり、かつ第1絶縁層11において第1裏面11Bが位置する側に配置されている。より具体的には、第1主部212は、第1絶縁層11の複数の第1溝部112のいずれかに配置されている。第1主部212は、当該第1溝部112に接している。図7～図9に示すように、半導体装置A10においては、複数の第1配線層21の各々の第1主部212の一部が、複数の第1溝部1

12のいずれかからはみ出している。

[0035] 図7～図9に示すように、複数の第1配線層21の各々の第1連絡部211および第1主部212は、第1下地層21Aおよび第1めっき層21Bを有する。第1下地層21Aは、第1絶縁層11に含まれる添加剤に含有された金属元素により組成される。第1下地層21Aは、第1絶縁層11に接している。第1絶縁層11の複数の第1内周面111Aの各々は、複数の第1配線層21のいずれかの第1連絡部211をなす第1下地層21Aに覆われている。第1めっき層21Bは、複数の第1配線層21のいずれかの第1下地層21Aを覆っている。第1めっき層21Bは、たとえば銅(Cu)を含む材料からなる。図9に示すように、複数の第1配線層21の各々の第1主部212の第1めっき層21Bは、厚さ方向zに向けて凹む凹部212Aを有する。凹部212Aは、第1絶縁層11の複数の第1溝部112のいずれかが延びる方向に沿って延びている。

[0036] 半導体素子30は、図5および図6に示すように、第1絶縁層11の第1主面11Aに接して配置されている。半導体装置A10においては、半導体素子30は、フリップチップ実装型である。半導体素子30は、複数の電極31を有する。複数の電極31は、半導体素子30において厚さ方向zのいずれかの側に設けられている。複数の電極31は、厚さ方向zにおいて第1主面11Aから近い側に設けられている。複数の電極31の各々は、半導体素子30に構成された回路に導通している。複数の電極31の各々は、単数の金属層、あるいは厚さ方向zに積層された複数の金属層からなる。図7に示すように、複数の電極31の各々は、接続面311を有する。接続面311は、厚さ方向zにおいて第1絶縁層11の第1裏面11Bと同じ側を向く。複数の第1配線層21の各々の第1連絡部211は、複数の電極31のいずれかの接続面311につながっている。これにより、半導体素子30は、複数の第1配線層21に導通している。図7に示すように、半導体素子30は、パッシベーション膜32を有する。パッシベーション膜32は、半導体素子30において第1主面11Aに接している。パッシベーション膜32は

、複数の電極31の各々に接している。パッシベーション膜32は、たとえばポリイミドを含む材料からなる。

[0037] 図7に示すように、複数の電極31の各々の接続面311は、第1領域311Aおよび第2領域311Bを有する。第1領域311Aは、第1絶縁層11の複数の第1貫通部111のいずれかで当該第1絶縁層11から露出している。複数の第1配線層21の各々の第1連絡部211において、当該第1連絡部211の第1めっき層21Bが、複数の電極31のいずれかの第1領域311Aに接している。第2領域311Bは、第1絶縁層11に覆われている。図10に示すように、複数の電極31の各々の接続面311において、第1領域311Aの表面粗さ s_{r1} は、第2領域311Bの表面粗さ s_{r2} よりも大である。ここでの表面粗さ s_{r1} 、 s_{r2} とは、複数の電極31の各々の接続面311において、厚さ方向 z において最も当該電極31の内方に位置する最底部と、当該最底部から厚さ方向 z において最も離れて位置する最頂部との厚さ方向 z の距離である。

[0038] 封止樹脂41は、図5および図6に示すように、第1絶縁層11の第1主面11Aに接して配置され、かつ半導体素子30の一部を覆っている。封止樹脂41は、たとえば黒色のエポキシ樹脂を含む材料からなる。封止樹脂41は、複数の側面41Aを有する。複数の側面41Aの各々は、第1方向 x および第2方向 y のいずれかを向く。複数の側面41Aの各々は、第1絶縁層11の複数の端面11Cのいずれかと面一である。

[0039] 保護層42は、図5および図6に示すように、第1絶縁層11の第1裏面11Bと、複数の第1配線層21の第1主部212とを覆っている。半導体装置A10を配線基板に実装した際、保護層42は、当該配線基板に対向する。保護層42は、電気絶縁性を有する。保護層42は、たとえばポリイミドを含む材料からなる。図3および図8に示すように、保護層42は、複数の開口421を有する。複数の開口421は、保護層42を厚さ方向 z に貫通している。複数の第1配線層21の各々の第1主部212の一部は、複数の開口421のいずれかで保護層42から露出している。

- [0040] 複数の端子50は、図3および図8に示すように、保護層42の複数の開口421から露出する複数の第1配線層21の第1主部212の一部に対して個別に接合されている。複数の端子50は、半導体装置A10を配線基板に実装するために利用される。複数の端子50は、保護層42から厚さ方向zに向けて突出している。図8に示すように、半導体装置A10が示す例においては、複数の端子50の各々は、基部51およびバンプ部52を有する。基部51は、複数の第1配線層21の第1主部212のいずれかの一部に接している。基部51は、第1絶縁層11の第1裏面11Bから厚さ方向zに離れる向きにおいて、ニッケル(Ni)層、パラジウム層(Pd)、金(Au)層の順に積層された複数の金属層からなる。ここで、これらの金属層のうち、パラジウム層は設けなくてもよい。バンプ部52は、基部51および保護層42の双方に接している。バンプ部52は、保護層42から厚さ方向zに向けて突出する部分を含む。バンプ部52は、錫(Sn)を含む材料からなる。バンプ部52は、たとえば鉛フリーハンダからなる。
- [0041] 図11～図20に基づき、半導体装置A10の製造方法の一例について説明する。図11～図20(図14、図15および図17を除く。)の断面位置は、図5の断面位置と同一である。
- [0042] 最初に、図11に示すように、半導体素子30を封止樹脂81に埋め込む。封止樹脂81は、黒色のエポキシ樹脂を含む材料からなる。本工程においては、金型内に封止樹脂81の材料と、半導体素子30とを配置した後、コンプレッション成形を行う。これにより、半導体素子30が封止樹脂81に埋め込まれる。この際、複数の電極31が封止樹脂81から露出するようにする。
- [0043] 次いで、図12に示すように、封止樹脂81の上に積層され、かつ半導体素子30の複数の電極31を覆う絶縁層82を形成する。絶縁層82は、熱硬化性の合成樹脂と、複数の配線層83(詳細は後述)の一部を組成する金属元素が含有された添加剤とを含む材料からなる。当該合成樹脂は、エポキシ樹脂、またはポリイミドである。絶縁層82は、コンプレッション成形に

より形成される。

[0044] 次いで、図13～図17に示すように、半導体素子30の複数の電極31につながる複数の配線層83を形成する。複数の配線層83が、半導体装置A10の複数の第1配線層21に相当する。したがって、複数の配線層83の各々は、第1連絡部211および第1主部212を含む。複数の配線層83を形成する工程では、絶縁層82に下地層83Aを析出させる工程と、下地層83Aを覆うめっき層83Bを形成する工程とを含む。

[0045] まず、図14に示すように、絶縁層82に下地層83Aを析出させる。下地層83Aは、絶縁層82に含まれる添加剤に含有された金属元素により組成される。本工程では、図13に示すように、複数の貫通部821、および複数の溝部822を絶縁層82に形成する。複数の貫通部821は、絶縁層82を厚さ方向zに貫通している。複数の貫通部821の各々は、半導体素子30の複数の電極31のいずれかの表面（接続面311）の一部を絶縁層82から露出させる。複数の溝部822の各々は、絶縁層82の表面82Aから凹み、かつ複数の貫通部821のいずれかにつながっている。表面82Aは、第1絶縁層11の第1裏面11Bに相当する。複数の貫通部821、および複数の溝部822は、複数の電極31の位置を赤外線カメラにより画像認識しつつ、絶縁層82にレーザ照射を行うことにより形成される。絶縁層82におけるレーザの照射位置は、画像認識により得られた複数の電極31の位置情報に基づき、逐一補正される。当該レーザは、波長が355nm、かつビームの直径が17 μ mの紫外線レーザである。図15に示すように、複数の貫通部821の形成にあたっては、当該複数の貫通部821の各々で絶縁層82から露出する複数の電極31のいずれかの表面の一部（接続面311の第1領域311A）に凹凸31Aをレーザ照射により形成する。絶縁層82にレーザ照射を行うことにより、絶縁層82に含まれる添加剤に含有された金属元素が励起される。これにより、複数の貫通部821を個別に規定する絶縁層82の内周面821Aと、複数の溝部822とを覆う下地層83Aが形成される。

- [0046] 次いで、図17に示すように、下地層83Aを覆うめっき層83Bを形成する。めっき層83Bは、銅を含む材料からなる。めっき層83Bは、無電解めっき、もしくは電解めっき、またはこれらの併用により形成される。これにより、図16に示すように、複数の貫通部821の各々には、複数の配線層83のいずれかの第1連絡部211が形成される。あわせて、複数の溝部822の各々には、複数の配線層83のいずれかの第1主部212が形成される。以上により、複数の配線層83が形成される。
- [0047] 次いで、図18に示すように、絶縁層82の上に積層され、かつ複数の配線層83の第1主部212を覆う保護層84を形成する。保護層84は、厚さ方向zに貫通する複数の開口841を有する。まず、スピコートを用いて絶縁層82の表面と、複数の配線層83の表面とに感光性ポリイミドを塗布する。次いで、フォトリソグラフィパターニングにより、複数の開口841を当該感光性ポリイミドに形成する。これにより、複数の配線層83の各々の第1主部212の一部が、複数の開口841のいずれかで保護層84から露出する。
- [0048] 次いで、図19に示すように、保護層84の複数の開口841で露出する複数の配線層83の第1主部212の一部に対して個別に接合された複数の端子50を形成する。まず、図8に示す複数の端子50の基部51を形成する。基部51は、無電解めっきにより形成される。次いで、図8に示す複数の端子50のバンプ部52を形成する。バンプ部52は、鉛フリーハンダなど錫を含む導電材料をリフローにより溶融させた後、冷却により固化させることにより形成される。以上により、複数の端子50が形成される。
- [0049] 最後に、図20に示すように、封止樹脂81、絶縁層82および保護層84を切断線CLに沿ってダイシングブレードなどで切断することにより、複数の個片に分割する。当該個片は、1つの半導体素子30と、これにつながる複数の配線層83とが含まれるようにする。本工程により個片となった封止樹脂81、絶縁層82および保護層84が、半導体装置A10の封止樹脂41、第1絶縁層11および保護層42に相当する。以上の工程を経ること

により、半導体装置A10が製造される。

[0050] 次に、半導体装置A10の作用効果について説明する。

[0051] 半導体装置A10の第1配線層21の第1連絡部211は、第1絶縁層11の第1貫通部111に收容され、かつ半導体素子30の電極31につながっている。電極31は、第1領域311Aおよび第2領域311Bを含む接続面311を有する。第1領域311Aは、第1貫通部111で第1絶縁層11から露出している。第2領域311Bは、第1絶縁層11に覆われている。第1連絡部211は、第1領域311Aに接している。図10に示すように、第1領域311Aの表面粗さ s_{r1} は、第2領域311Bの表面粗さ s_{r2} よりも大である。これにより、第1領域311Aの単位面積当たりの表面積が、第2領域311Bの単位面積当たりの表面積よりも大となる。このため、第1領域311Aに対する第1連絡部211の接触面積が増加する。さらに、第1領域311Aに対する第1連絡部211の投錨効果（アンカー効果）が発現する。したがって、半導体装置A10によれば、半導体素子30の電極31に対する配線層（第1配線層21）の密着性をより向上させることが可能となる。

[0052] 半導体装置A10の製造方法にかかる配線層83を形成する工程では、下地層83Aを絶縁層82に析出させる工程を含む。本工程では、半導体素子30の電極31の表面（接続面311）の一部を絶縁層82から露出させる貫通部821をレーザ照射により形成することにより、貫通部821を規定する絶縁層82の内周面821Aを覆う下地層83Aが析出される。この際、図15に示すように、当該レーザにより、貫通部821で絶縁層82から露出する電極31の表面の一部に凹凸31Aが形成される。これにより、電極31の表面、すなわち電極31の接続面311は、第1領域311Aおよび第2領域311Bを含む構成とすることができる。

[0053] さらに、貫通部821を絶縁層82に形成する際、電極31の位置を画像認識しつつ、絶縁層82にレーザが照射される。これにより、第1領域311Aおよび第2領域311Bは、電極31の表面（接続面311）において

精度よく区分された構成となる。

[0054] 半導体装置A10の製造方法においては、下地層83Aを絶縁層82に析出させる工程を含むことにより、第1絶縁層11の第1貫通部111を規定する第1内周面111Aは、第1下地層21Aに覆われたものとなる。第1内周面111Aは、第1絶縁層11の第1主面11Aに対して傾斜している。さらに、第1貫通部111の厚さ方向zに対する横断面積は、第1主面11Aが位置する側から第1裏面11Bが位置する側に向かうほど、徐々に大きくなる。これは、絶縁層82に貫通部821を形成する際、絶縁層82の表面82Aから電極31の表面（接続面311）に向けてレーザ照射が行われることによって得られる構成である。

[0055] 下地層83Aを絶縁層82に析出させる工程では、絶縁層82には、貫通部821に加えて、絶縁層82の表面82Aから凹み、かつ当該貫通部821につながる溝部822がレーザ照射により形成される。これにより、溝部822を覆う下地層83Aが析出される。したがって、レーザ照射により配線層83のパターニングを自在に行うことができる。

[0056] 半導体装置A10の製造方法にかかる配線層83を形成する工程では、下地層83Aを覆うめっき層83Bを形成する工程を含む。本工程では、めっき層83Bは、無電解めっき、もしくは電解めっき、またはこれらの併用により形成される。めっき層83Bにかかるこれらの形成手法のうち、無電解めっきによる形成手法は、電解めっきによる形成手法と比較して、当該電解めっきを行うために必要な導電経路を絶縁層82の表面82Aに設けることが不要となる。したがって、配線層83を、より効率よく形成することができる。

[0057] 半導体装置A10においては、保護層42および端子50を備える。保護層42は、第1絶縁層11の第1裏面11Bと、第1配線層21の第1主部212とを覆っている。保護層42は、第1主部212の一部が当該保護層42から露出する開口421を有する。端子50は、開口421で保護層42から露出する第1主部212の一部に接合され、かつ保護層42から厚さ

方向に突出している。これにより、半導体装置 A 1 0 を配線基板に実装する際、当該配線基板に対する半導体装置 A 1 0 の位置決めの精度の向上を図ることができる。

[0058] さらに、錫を含む材料からなる端子 5 0 を採用することによって、半導体装置 A 1 0 を配線基板に実装する際、リフローにより端子 5 0 の少なくとも一部が熔融する。これにより、当該配線基板に対する半導体装置 A 1 0 の位置ずれが自己修復される効果（セルフアライメント効果）を得ることができる。

[0059] 図 2 1 ~ 図 2 8 に基づき、第 2 実施形態にかかる半導体装置 A 2 0 について説明する。これらの図において、先述した半導体装置 A 1 0 と同一または類似の要素には同一の符号を付して、重複する説明を省略する。

[0060] 半導体装置 A 2 0 においては、第 2 絶縁層 1 2、および複数の第 2 配線層 2 2 をさらに備えることと、保護層 4 2、および複数の端子 5 0 の構成とが、半導体装置 A 1 0 に対して異なる。理解の便宜上、図 2 1 では、封止樹脂 4 1 を透過しており、図 2 2 では、図 2 1 に対して第 1 絶縁層 1 1 および半導体素子 3 0 をさらに透過している。図 2 4 では、保護層 4 2、および複数の端子 5 0 を透過している。図 2 4 においては、透過した半導体素子 3 0 の外形を想像線で示している。

[0061] 第 2 絶縁層 1 2 は、図 2 5 および図 2 6 に示すように、第 1 絶縁層 1 1 の第 1 裏面 1 1 B に接して配置されている。第 1 絶縁層 1 1 は、厚さ方向 z において第 2 絶縁層 1 2 と封止樹脂 4 1 とに挟まれた構成となっている。第 2 絶縁層 1 2 は、熱硬化性の合成樹脂と、複数の第 2 配線層 2 2 の各々の一部（後述する第 2 下地層 2 2 A）を組成する金属元素が含有された添加剤とを含む材料からなる。当該合成樹脂は、たとえば、エポキシ樹脂、またはポリイミドである。第 2 絶縁層 1 2 は、第 2 主面 1 2 A、第 2 裏面 1 2 B、および複数の端面 1 2 C を有する。第 2 主面 1 2 A および第 2 裏面 1 2 B は、厚さ方向 z において互いに反対側を向く。これらのうち第 2 主面 1 2 A は、第 1 裏面 1 1 B に接している。複数の端面 1 2 C は、第 2 主面 1 2 A および第

2裏面12Bにつながっている。複数の端面12Cの各々は、第1方向xおよび第2方向yのいずれかを向く。複数の端面12Cの各々は、第1絶縁層11の複数の端面11Cのいずれかと、封止樹脂41の複数の側面41Aのいずれかとの双方と面一である。

[0062] 図22、図24および図27に示すように、第2絶縁層12は、複数の第2貫通部121を有する。複数の第2貫通部121の各々は、厚さ方向zにおいて第2主面12Aが位置する側から第2裏面12Bが位置する側に至るとともに、第2絶縁層12を厚さ方向zに貫通している。複数の第2貫通部121の各々は、第2絶縁層12の複数の第2内周面121Aのいずれかにより規定されている。複数の第2内周面121Aの各々は、第2主面12Aに対して傾斜している。複数の第2内周面121Aの各々は、厚さ方向zにおいて第2裏面12Bが位置する側から第2主面12Aが位置する側にかけて当該第2内周面121Aが規定する複数の第2貫通部121のいずれかに向けて倒れる姿勢をとる。したがって、複数の第2貫通部121の各々の厚さ方向zに対する横断面積は、第2主面12Aが位置する側から第2裏面12Bが位置する側に向かうほど、徐々に大きくなる。

[0063] 図27および図28に示すように、第2絶縁層12は、複数の第2溝部122を有する。複数の第2溝部122の各々は、第2裏面12Bから厚さ方向zに向けて凹んでいる。複数の第2溝部122の各々は、複数の第2貫通部121のいずれかにつながっている。図24に示すように、複数の第2溝部122の各々は、厚さ方向zに対して直交する方向に沿って延びている。図28に示すように、複数の第2溝部122の各々の一对の側面は、第2裏面12Bに対して傾斜している。複数の第2溝部122の各々において、当該一对の側面と、当該第2溝部122の底面との境界における当該第2溝部122の幅b3は、当該一对の側面と、第2裏面12Bとの境界における当該第2溝部122の幅b4よりも小である。

[0064] 複数の第2配線層22は、図25および図26に示すように、第2絶縁層12に配置されている。複数の第2配線層22は、複数の第1配線層21と

ともに、半導体装置 A 1 0 が実装される配線基板と、半導体素子 3 0 との導電経路の一部をなしている。複数の第 2 配線層 2 2 の各々は、第 2 連絡部 2 2 1 および第 2 主部 2 2 2 を含む。図 2 2、図 2 4 および図 2 7 に示すように、第 2 連絡部 2 2 1 は、第 2 絶縁層 1 2 の複数の第 2 貫通部 1 2 1 のいずれかに收容されている。第 2 連絡部 2 2 1 は、当該第 2 貫通部 1 2 1 を規定する複数の第 2 内周面 1 2 1 A のいずれかに接している。第 2 連絡部 2 2 1 は、複数の第 1 配線層 2 1 のいずれかの第 1 主部 2 1 2 につながっている。図 2 4 ~ 図 2 6 に示すように、第 2 主部 2 2 2 は、複数の第 2 配線層 2 2 のいずれかの第 2 連絡部 2 2 1 につながり、かつ第 2 絶縁層 1 2 において第 2 裏面 1 2 B が位置する側に配置されている。より具体的には、第 2 主部 2 2 2 は、第 2 絶縁層 1 2 の複数の第 2 溝部 1 2 2 のいずれかに配置されている。第 2 主部 2 2 2 は、当該第 2 溝部 1 2 2 に接している。図 2 7 および図 2 8 に示すように、半導体装置 A 2 0 においては、複数の第 2 配線層 2 2 の各々の第 2 主部 2 2 2 の一部が、複数の第 2 溝部 1 2 2 のいずれかからはみ出している。

[0065] 図 2 2 および図 2 4 に示すように、厚さ方向 z に沿って視て、第 2 絶縁層 1 2 の複数の第 2 貫通部 1 2 1 の各々の少なくとも一部が、複数の第 1 配線層 2 1 のいずれかの第 1 主部 2 1 2 に重なっている。図 2 4 に示すように、厚さ方向 z に沿って視て、複数の第 2 配線層 2 2 の各々の第 2 主部 2 2 2 は、複数の第 1 配線層 2 1 のいずれかの第 1 主部 2 1 2 に重なる部分を含むとともに、当該第 1 主部 2 1 2 が延びる方向とは異なる方向に沿って延びている。

[0066] 図 2 7 に示すように、複数の第 2 配線層 2 2 の各々の第 2 連絡部 2 2 1 および第 2 主部 2 2 2 は、第 2 下地層 2 2 A および第 2 めっき層 2 2 B を有する。第 2 下地層 2 2 A は、第 2 絶縁層 1 2 に含まれる添加剤に含有された金属元素により組成される。第 2 下地層 2 2 A は、第 2 絶縁層 1 2 に接している。第 2 絶縁層 1 2 の複数の第 2 内周面 1 2 1 A の各々は、複数の第 2 配線層 2 2 のいずれかの第 2 連絡部 2 2 1 をなす第 2 下地層 2 2 A に覆われてい

る。第2めっき層22Bは、複数の第2配線層22のいずれかの第2下地層22Aを覆っている。第2めっき層22Bは、たとえば銅を含む材料からなる。複数の第2配線層22の各々の第2連絡部221において、第2めっき層22Bが、複数の第1配線層21のいずれかの第1主部212に接している。図28に示すように、複数の第2配線層22の各々の第2主部222の第2めっき層22Bは、厚さ方向zに向けて凹む凹部222Aを有する。凹部222Aは、第2絶縁層12の複数の第2溝部122のいずれかが延びる方向に沿って延びている。

[0067] 図25および図26に示すように、保護層42は、第2絶縁層12の第2裏面12Bと、複数の第2配線層22の第2主部222とを覆っている。半導体装置A20を配線基板に実装した際、保護層42は、当該配線基板に対向する。複数の第2配線層22の各々の第2主部222の一部は、複数の開口421のいずれかで保護層42から露出している。図23に示すように、複数の端子50は、複数の開口421から露出する複数の第2配線層22の第2主部222の一部に対して個別に接合されている。

[0068] 次に、半導体装置A20の作用効果について説明する。

[0069] 半導体装置A20の第1配線層21の第1連絡部211は、第1絶縁層11の第1貫通部111に收容され、かつ半導体素子30の電極31につながっている。電極31は、第1領域311Aおよび第2領域311Bを含む接続面311を有する。第1領域311Aは、第1貫通部111で第1絶縁層11から露出している。第2領域311Bは、第1絶縁層11に覆われている。第1連絡部211は、第1領域311Aに接している。図10に示すように、第1領域311Aの表面粗さ s_{r1} は、第2領域311Bの表面粗さ s_{r2} よりも大である。したがって、半導体装置A20によっても、半導体素子30の電極31に対する配線層（第1配線層21）の密着性をより向上させることが可能となる。

[0070] 半導体装置A20は、第2主面12A、第2裏面12Bおよび第2貫通部121を有する第2絶縁層12と、第2連絡部221および第2主部222

を有する第2配線層22とをさらに備える。第2主面12Aは、第1絶縁層11の第1裏面11Bに接している。第2連絡部221は、第2貫通部121に收容され、かつ第1配線層21の第1主部212につながっている。第2主部222は、第2連絡部221につながり、かつ第2絶縁層12において第2裏面12Bが位置する側に配置されている。第1主部212は、第2絶縁層12に覆われている。厚さ方向zに沿って視て、第2貫通部121の少なくとも一部が、第1主部212に重なっている。これにより、半導体装置A20において、第1配線層21と第2配線層22との導通経路の短絡が生じることなく、厚さ方向zに沿って視て、第2主部222が、第1主部212に重なる配置形態をとることができる。したがって、半導体装置A20によれば、半導体装置A10よりも複雑な導通経路を構成することができる。

[0071] 本開示は、先述した実施形態に限定されるものではなく、半導体装置における各部の具体的な構成は、種々に設計変更自在である。。たとえば、各実施形態において、複数の半導体素子30を備える構成としてもよい。各半導体素子30の種類は、要求される用途や機能に応じて選定できる。また、先述した実施形態において、厚さ方向zに沿って視た外形が矩形状であるコンポーネントが種々用いられているが、本開示はこれに限定されず、外形が、たとえば円形状や六角形状等であってもよい。

符号の説明

[0072] A10, A20 : 半導体装置 11 : 第1絶縁層
 11A : 第1主面 11B : 第1裏面
 11C : 端面 111 : 第1貫通部
 111A : 第1内周面 112 : 第1溝部
 12 : 第2絶縁層 12A : 第2主面
 12B : 第2裏面 12C : 端面
 121 : 第2貫通部 121A : 第2内周面
 122 : 第2溝部 21 : 第1配線層

2 1 A : 第 1 下地層 2 1 B : 第 1 めっき層
2 1 1 : 第 1 連絡部 2 1 2 : 第 1 主部
2 1 2 A : 凹部 2 2 : 第 2 配線層
2 2 A : 第 2 下地層 2 2 B : 第 2 めっき層
2 2 1 : 第 2 連絡部 2 2 2 : 第 2 主部
2 2 2 A : 凹部 3 0 : 半導体素子
3 1 : 電極 3 1 1 : 接続面
3 1 1 A : 第 1 領域 3 1 1 B : 第 2 領域
3 2 : パッシベーション膜 4 1 : 封止樹脂
4 1 A : 側面 4 2 : 保護層
4 2 1 : 開口 5 0 : 端子
5 1 : 基部 5 2 : バンプ部
8 1 : 封止樹脂 8 2 : 絶縁層
8 2 A : 表面 8 2 1 : 貫通部
8 2 1 A : 内周面 8 2 2 : 溝部
8 3 : 配線層 8 3 A : 下地層
8 3 B : めっき層 8 4 : 保護層
8 4 1 : 開口 b 1 , b 2 , b 3 , b 4 : 幅
z : 厚さ方向 x : 第 1 方向 y : 第 2 方向

請求の範囲

- [請求項1] 厚さ方向において互いに離間する第1主面および第1裏面を有し、前記厚さ方向に延びる第1貫通部が形成された第1絶縁層と、
前記第1貫通部に対応する電極を有し、前記第1主面に接する半導体素子と、
前記第1貫通部に收容され且つ前記電極に接する第1連絡部と、前記第1連絡部につながり且つ前記第1裏面に配置された第1主部と、を含む第1配線層と、
前記第1主面に接し且つ前記半導体素子を覆う封止樹脂と、を備え、
前記電極は、前記第1連絡部に対向する接続面を有し、
前記接続面は、前記第1貫通部により前記第1絶縁層から露出する第1領域と、前記第1絶縁層に接する第2領域と、を含み、
前記第1領域の表面粗さは、前記第2領域の表面粗さよりも大である、半導体装置。
- [請求項2] 前記第1配線層は、前記第1絶縁層に接する第1下地層と、前記第1下地層を覆う第1めっき層と、を有し、
前記第1めっき層が前記第1領域に接している、請求項1に記載の半導体装置。
- [請求項3] 前記第1絶縁層は、熱硬化性の合成樹脂と、前記第1下地層を組成する金属元素が含有された添加剤と、を含む材料からなる、請求項2に記載の半導体装置。
- [請求項4] 前記第1絶縁層は、前記第1裏面から凹み且つ前記第1貫通部につながる溝部を有し、
前記第1主部は前記溝部に配置されている、請求項2または3に記載の半導体装置。
- [請求項5] 前記第1主部は、前記厚さ方向に向けて凹む凹部を有し、
前記凹部は、前記溝部が延びる方向に沿って延びている、請求項4

に記載の半導体装置。

[請求項6] 前記第1絶縁層は、前記第1貫通部を規定する第1内周面を有し、前記第1内周面は、前記第1下地層に覆われ且つ前記第1主面に対して傾斜している、請求項2ないし5のいずれかに記載の半導体装置。

[請求項7] 前記第1貫通部は、前記厚さ方向に直交する第1断面を有し、前記第1断面の面積は、前記第1主面から前記第1裏面に向かうほど大きくなる、請求項6に記載の半導体装置。

[請求項8] 前記第1裏面および前記第1主部を覆う保護層をさらに備え、前記保護層は、前記厚さ方向に貫通する開口を有し、前記第1主部の一部が、前記開口で前記保護層から露出している、請求項2ないし7のいずれかに記載の半導体装置。

[請求項9] 端子をさらに備え、前記端子は、前記開口で前記保護層から露出する前記第1主部の一部に接合され、前記端子は、前記保護層から前記厚さ方向に向けて突出している、請求項8に記載の半導体装置。

[請求項10] 前記端子は、錫を含む材料からなる、請求項9に記載の半導体装置。

[請求項11] 前記厚さ方向において互いに離間する第2主面および第2裏面を有し、前記厚さ方向に延びる第2貫通部が形成され、前記第2主面が前記第1裏面に接する第2絶縁層と、前記第2貫通部に収容され且つ前記第1主部につながる第2連絡部と、前記第2連絡部につながり且つ前記第2裏面に配置された第2主部と、を含む第2配線層と、をさらに備え、

前記第1主部は、前記第2絶縁層に覆われ、前記厚さ方向に沿って視て、前記第2貫通部の少なくとも一部が、

前記第1主部に重なっている、請求項2ないし7のいずれかに記載の半導体装置。

[請求項12] 前記厚さ方向に沿って視て、前記第2主部は、前記第1主部に重なる部分を含むとともに、前記第1主部が延びる方向とは異なる方向に沿って延びている、請求項11に記載の半導体装置。

[請求項13] 前記第2配線層は、前記第2絶縁層に接する第2下地層と、前記第2下地層を覆う第2めっき層と、を有し、
前記第2連絡部において、前記第2めっき層が前記第1主部に接している、請求項12に記載の半導体装置。

[請求項14] 前記第2絶縁層は、熱硬化性の合成樹脂と、前記第2下地層を組成する金属元素が含有された添加剤と、を含む材料からなる、請求項13に記載の半導体装置。

[請求項15] 前記第2絶縁層は、前記第2貫通部を規定する第2内周面を有し、
前記第2内周面は、前記第2下地層に覆われ且つ前記第2主面に対して傾斜している、請求項13または14に記載の半導体装置。

[請求項16] 前記第2貫通部は、前記厚さ方向に直交する第2断面を有し、前記第2断面の面積は、前記第2主面から前記第2裏面に向かうほど大きくなる、請求項15に記載の半導体装置。

[請求項17] 電極を有する半導体素子を、前記電極が露出するように封止樹脂に埋め込む工程と、

前記封止樹脂の上に積層され且つ前記電極を覆う絶縁層を形成する工程と、

前記絶縁層に埋め込まれ且つ前記電極につながる連絡部と、前記連絡部につながる主部と、を有する配線層を形成する工程と、を備え、

前記絶縁層は、熱硬化性の合成樹脂と、前記配線層の一部を組成する金属元素が含有された添加剤と、を含む材料からなり、

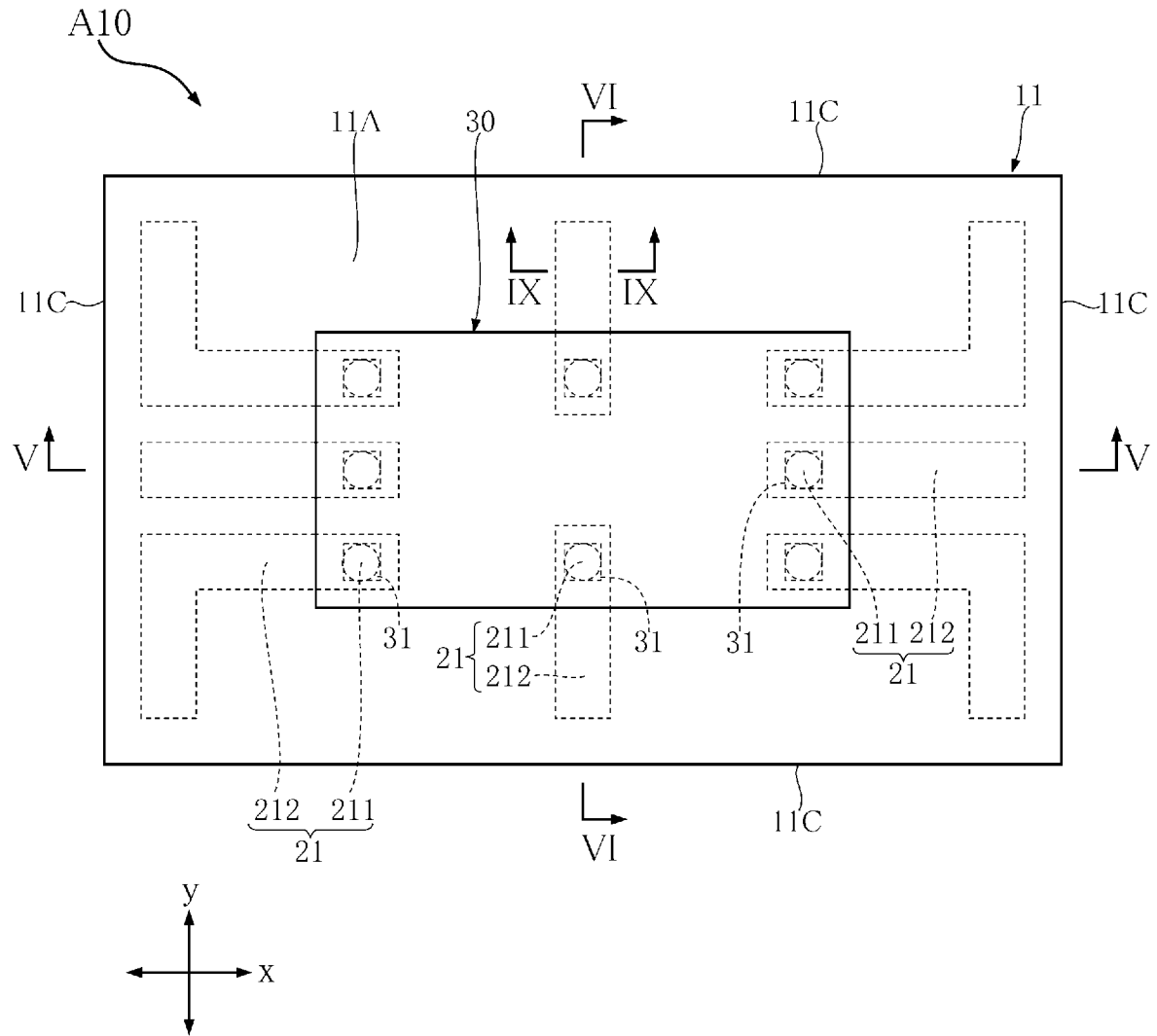
前記配線層を形成する工程は、(a)前記電極の表面の一部を前記絶縁層から露出させる貫通部と、前記絶縁層の表面から凹み且つ前記

貫通部につながる溝部と、をレーザー照射により前記絶縁層に形成する工程と、(b) 前記貫通部を規定する前記絶縁層の内周面と前記溝部とを覆い、かつ前記金属元素を含む下地層を前記絶縁層に析出させる工程と、(c) 前記下地層を覆うめっき層を形成する工程と、を含み、

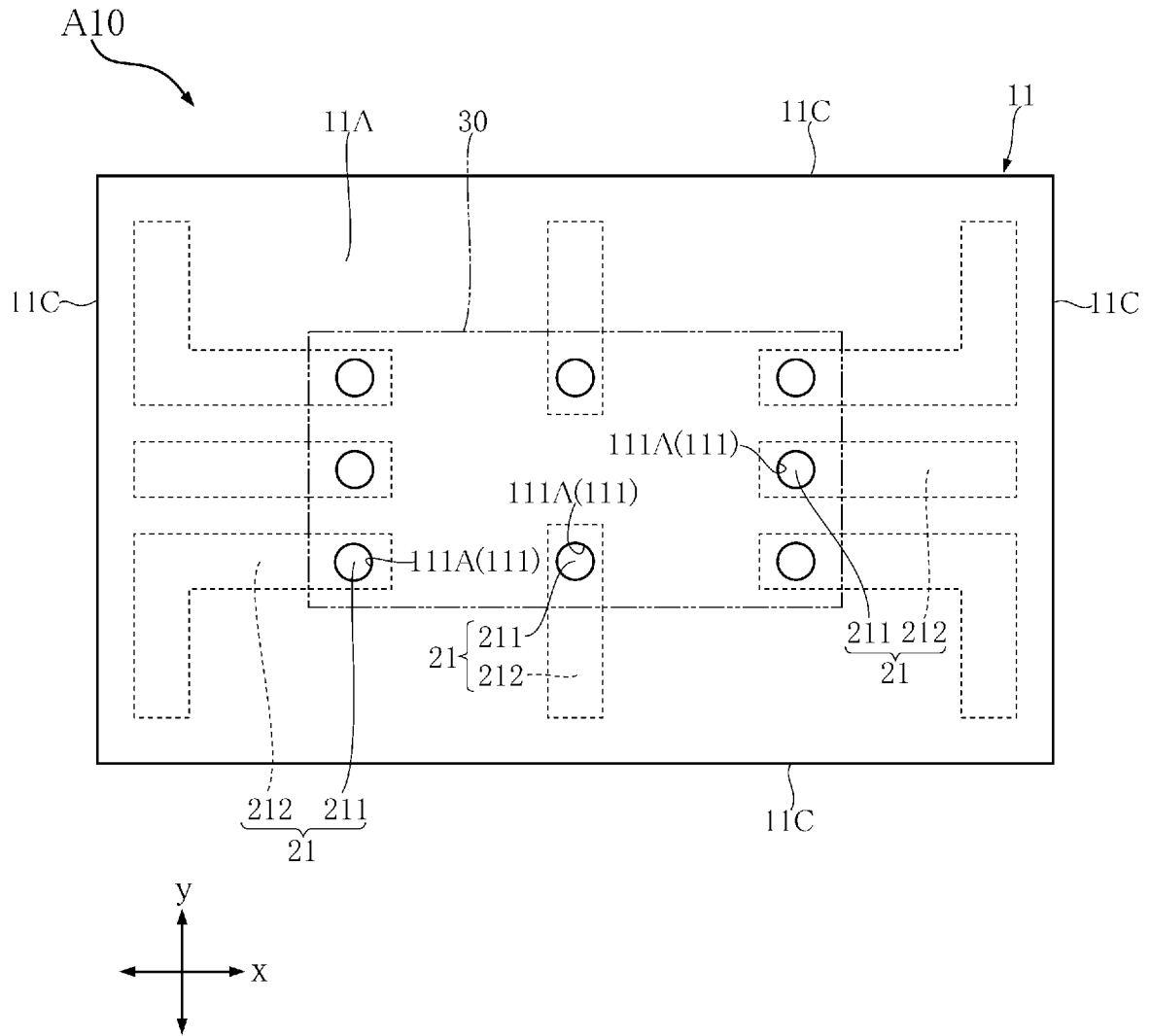
前記下地層を析出させる工程は、前記レーザー照射により、前記貫通部で前記絶縁層から露出する前記電極の表面の一部に凹凸を形成することを含み、半導体装置の製造方法。

[請求項18] 前記めっき層を形成する工程は、無電解めっきまたは電解めっきの少なくとも一方によって前記めっき層を形成することを含み、請求項17に記載の半導体装置の製造方法。

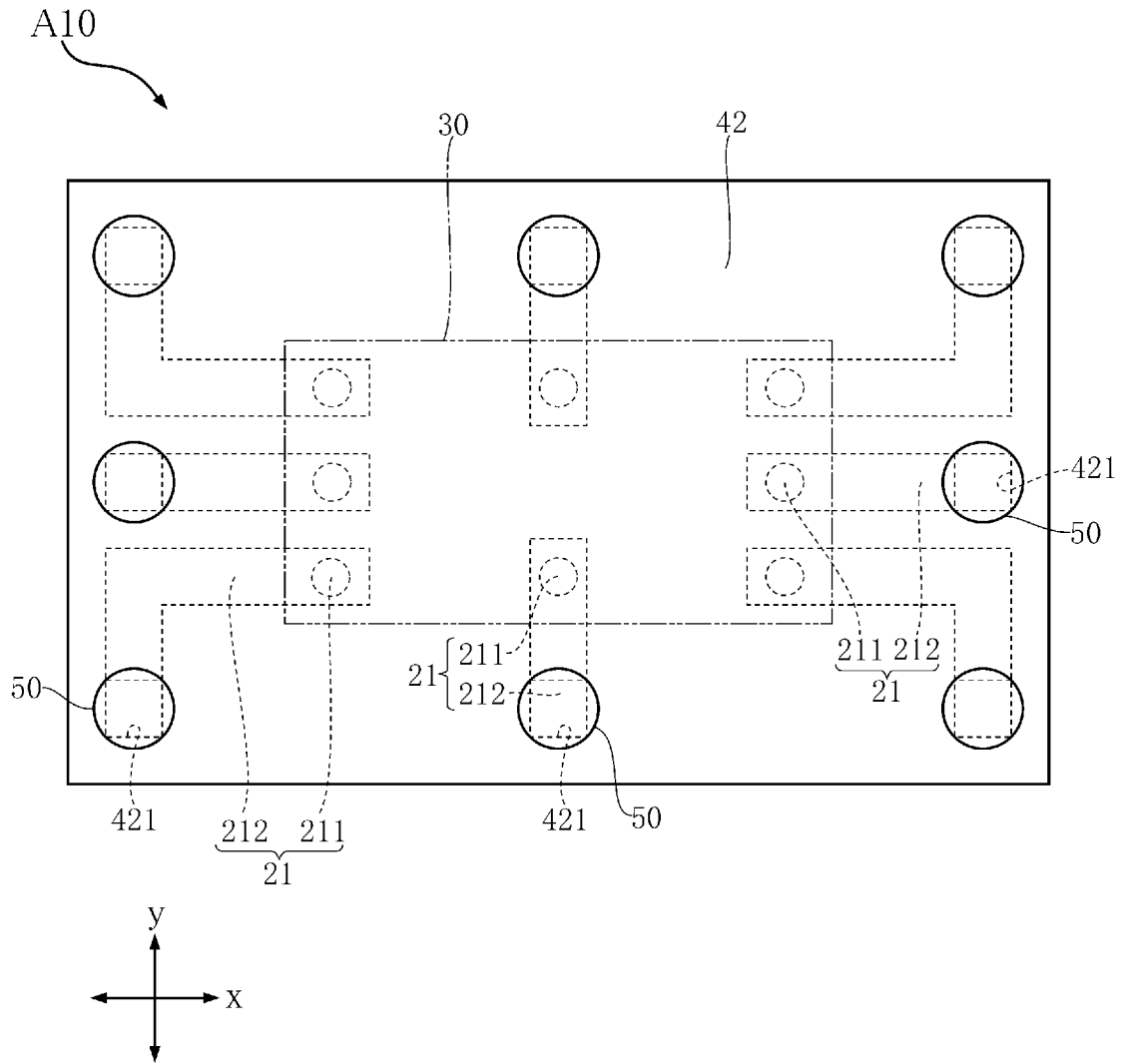
[図1]
FIG.1



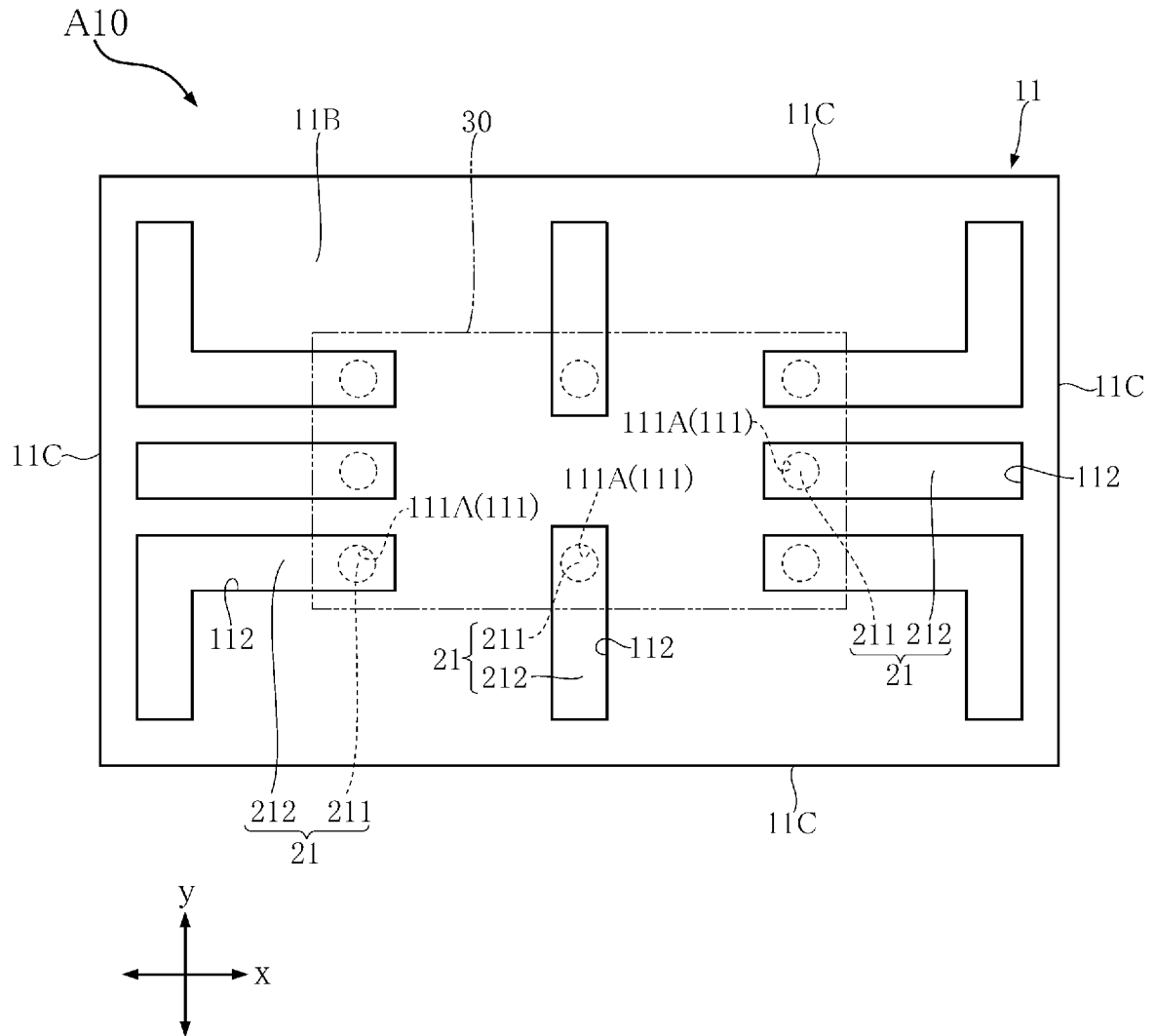
[図2]
FIG.2



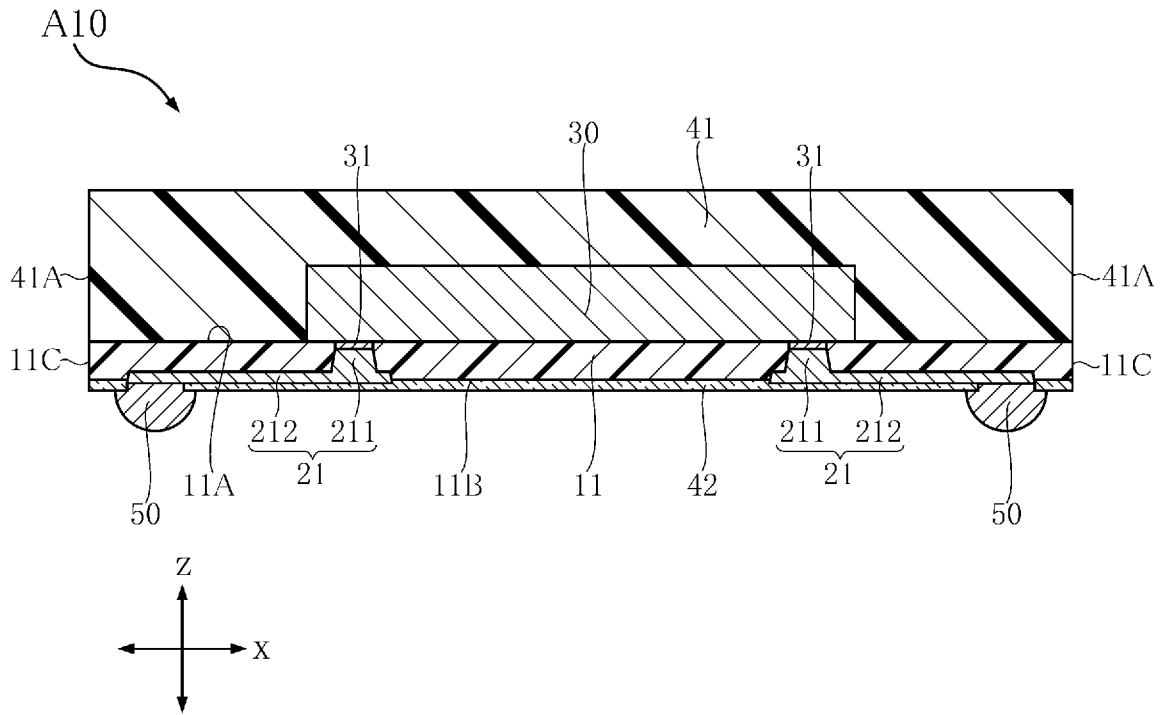
[図3]
FIG.3



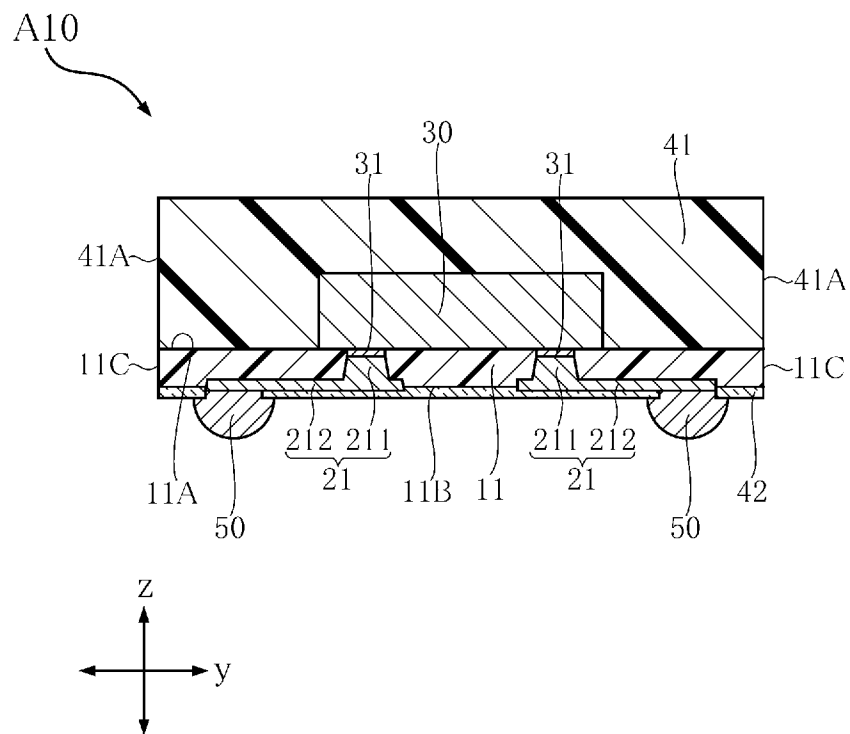
[図4]
FIG.4



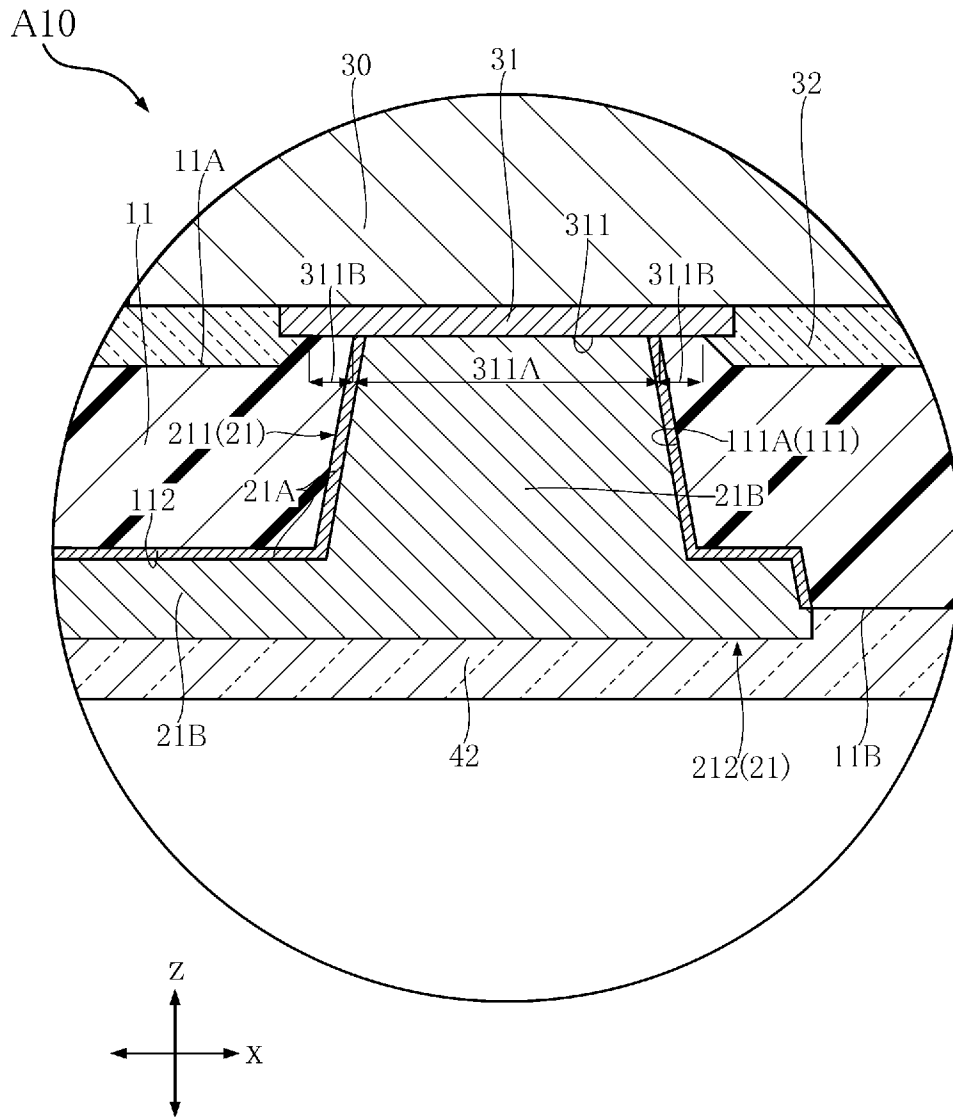
[図5]
FIG.5

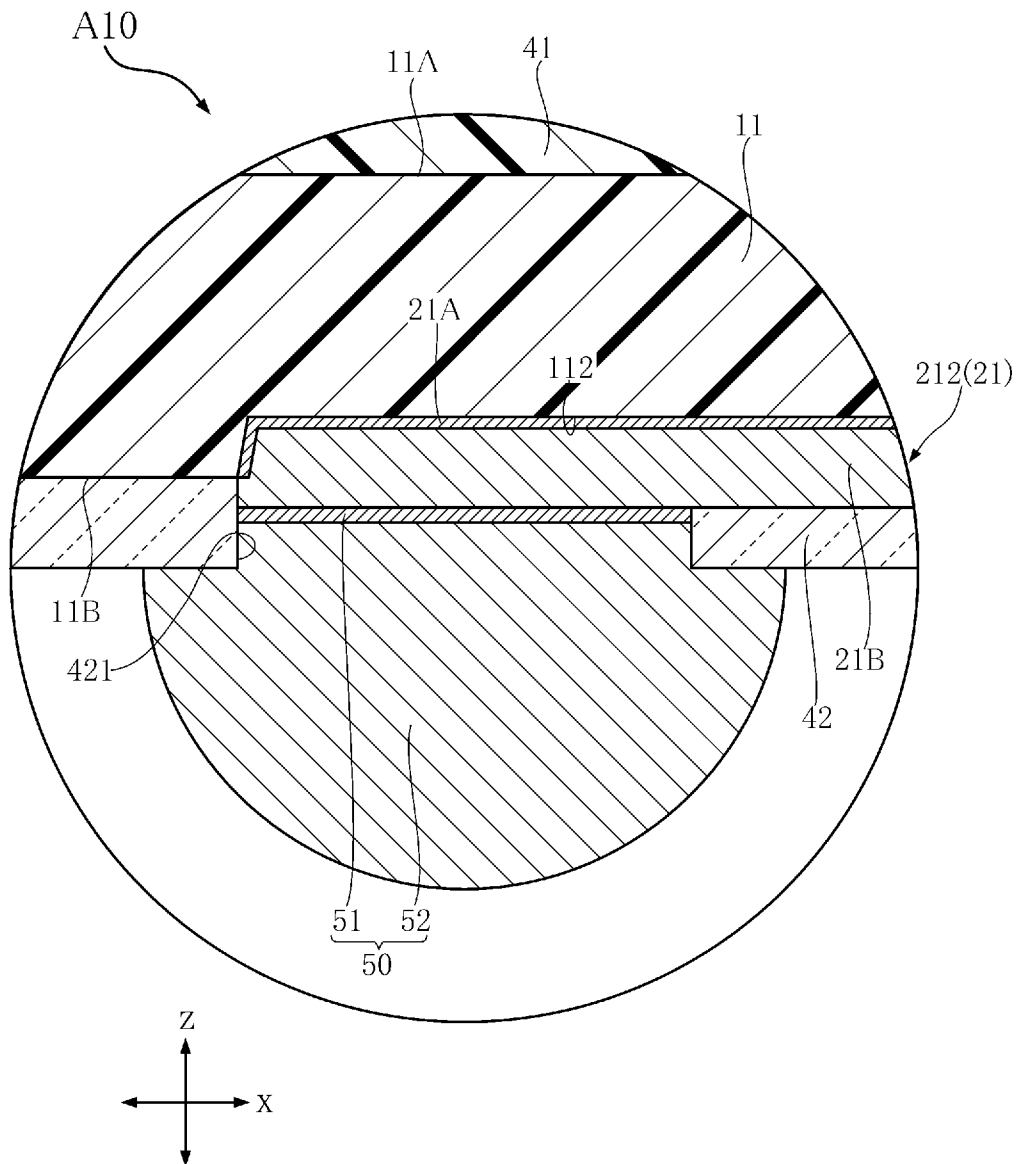


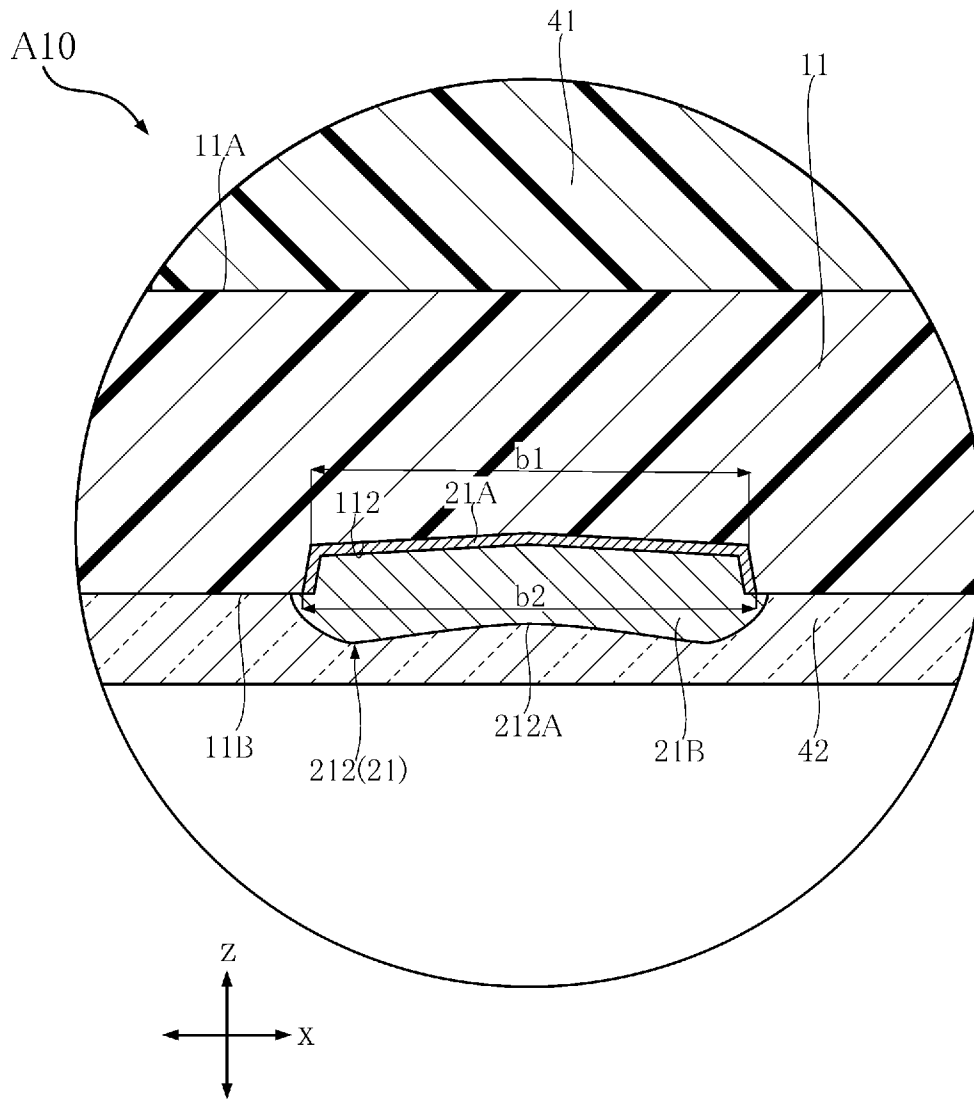
[図6]
FIG.6



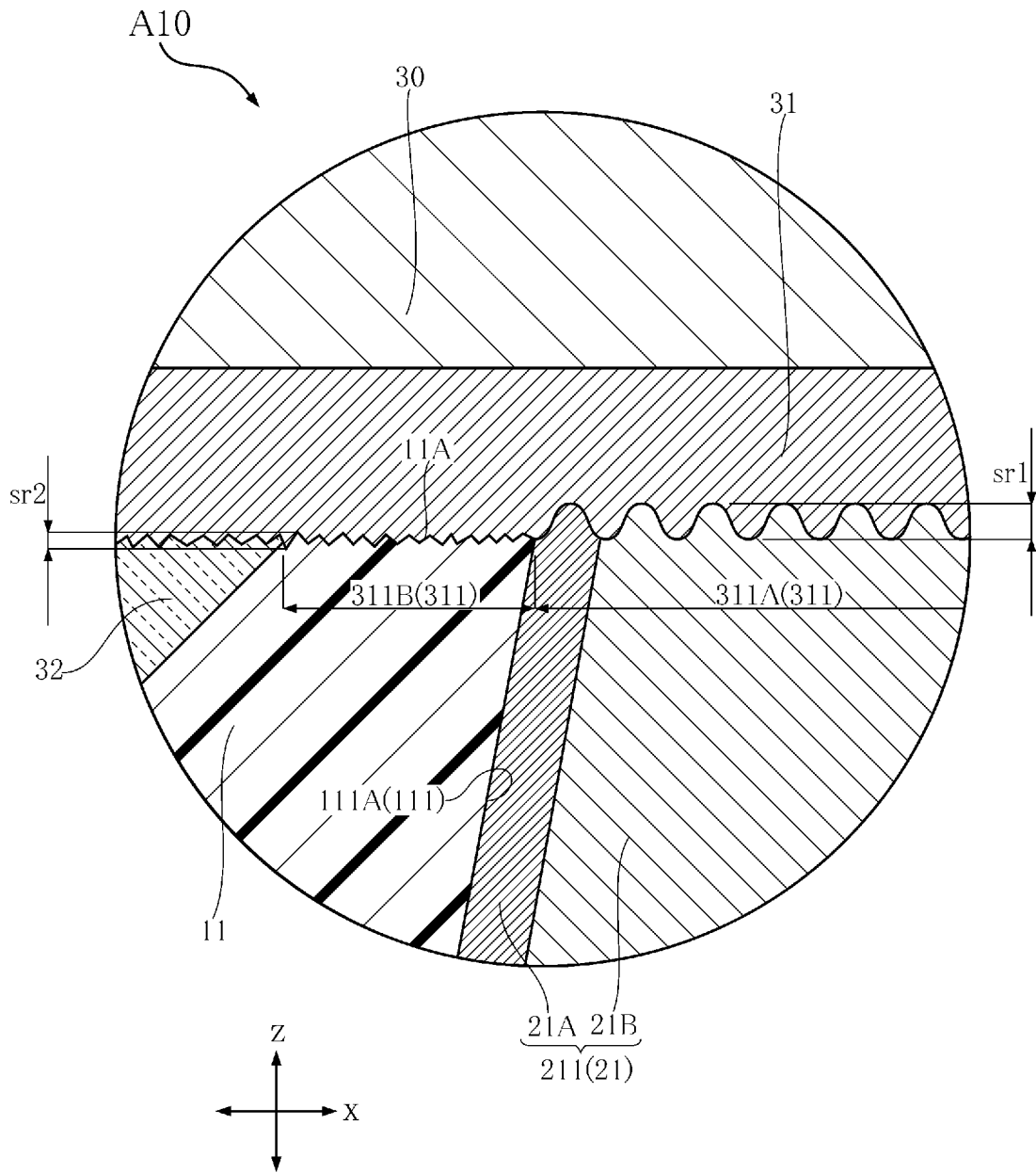
[図7]
FIG.7



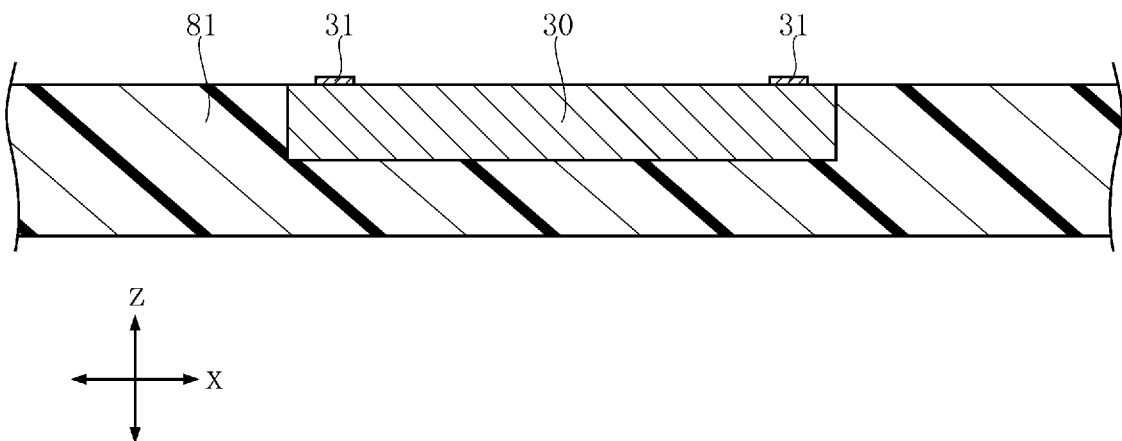
[図8]
FIG.8

[図9]
FIG.9

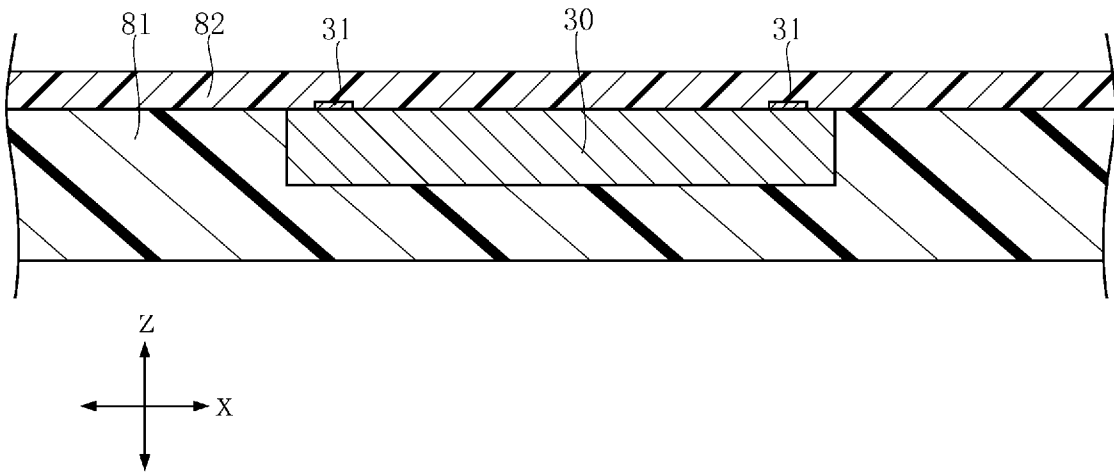
【図10】
FIG.10



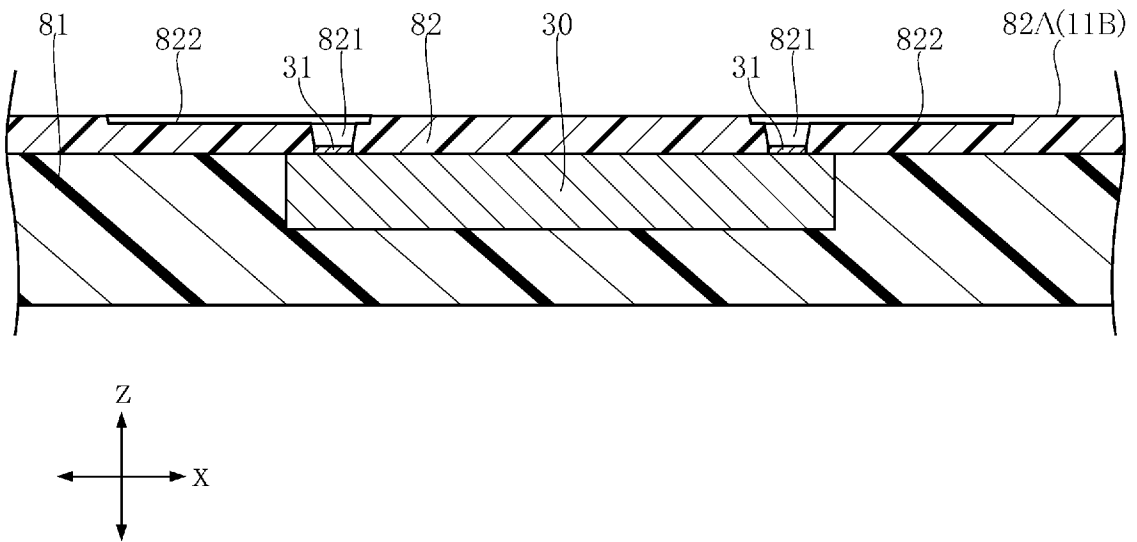
【図11】
FIG.11




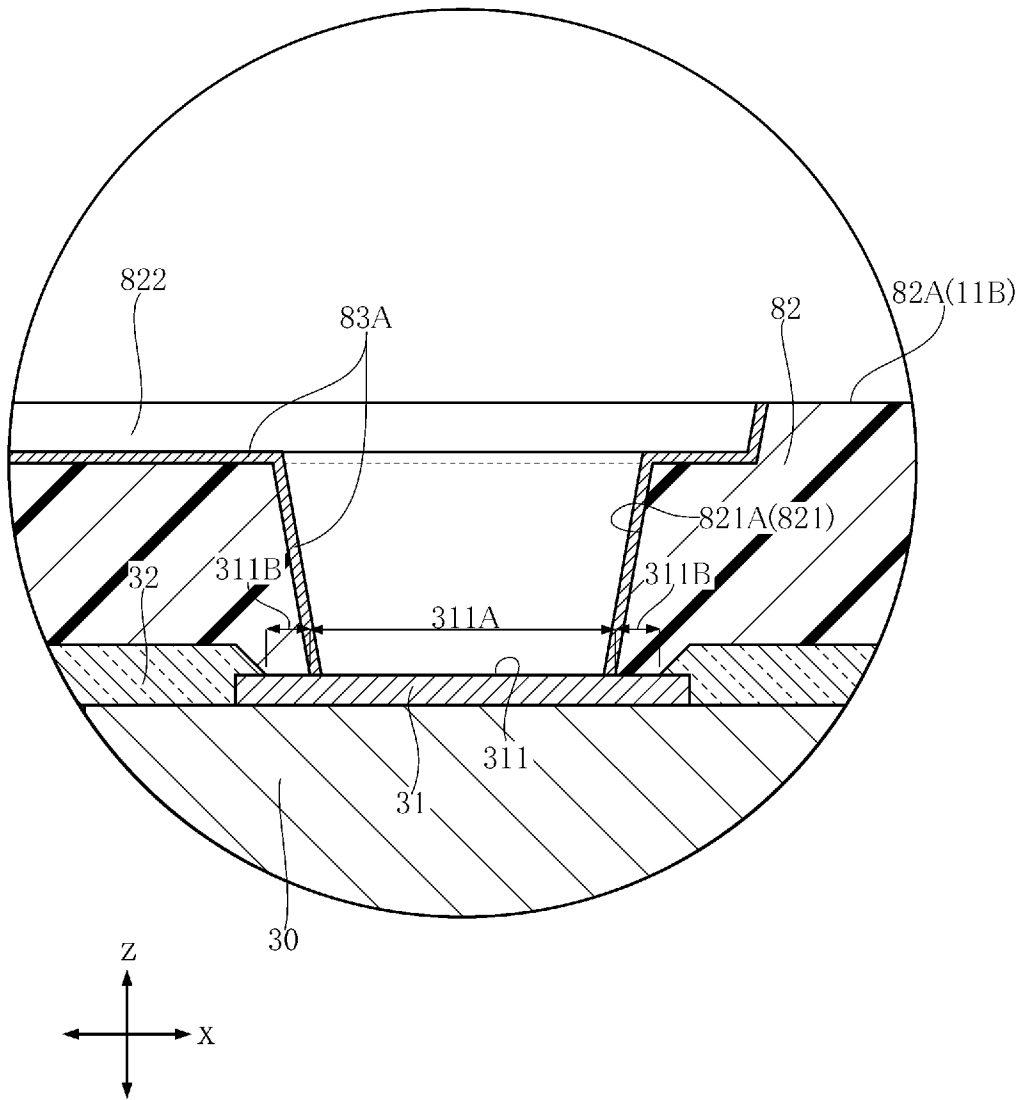
[12]
FIG.12

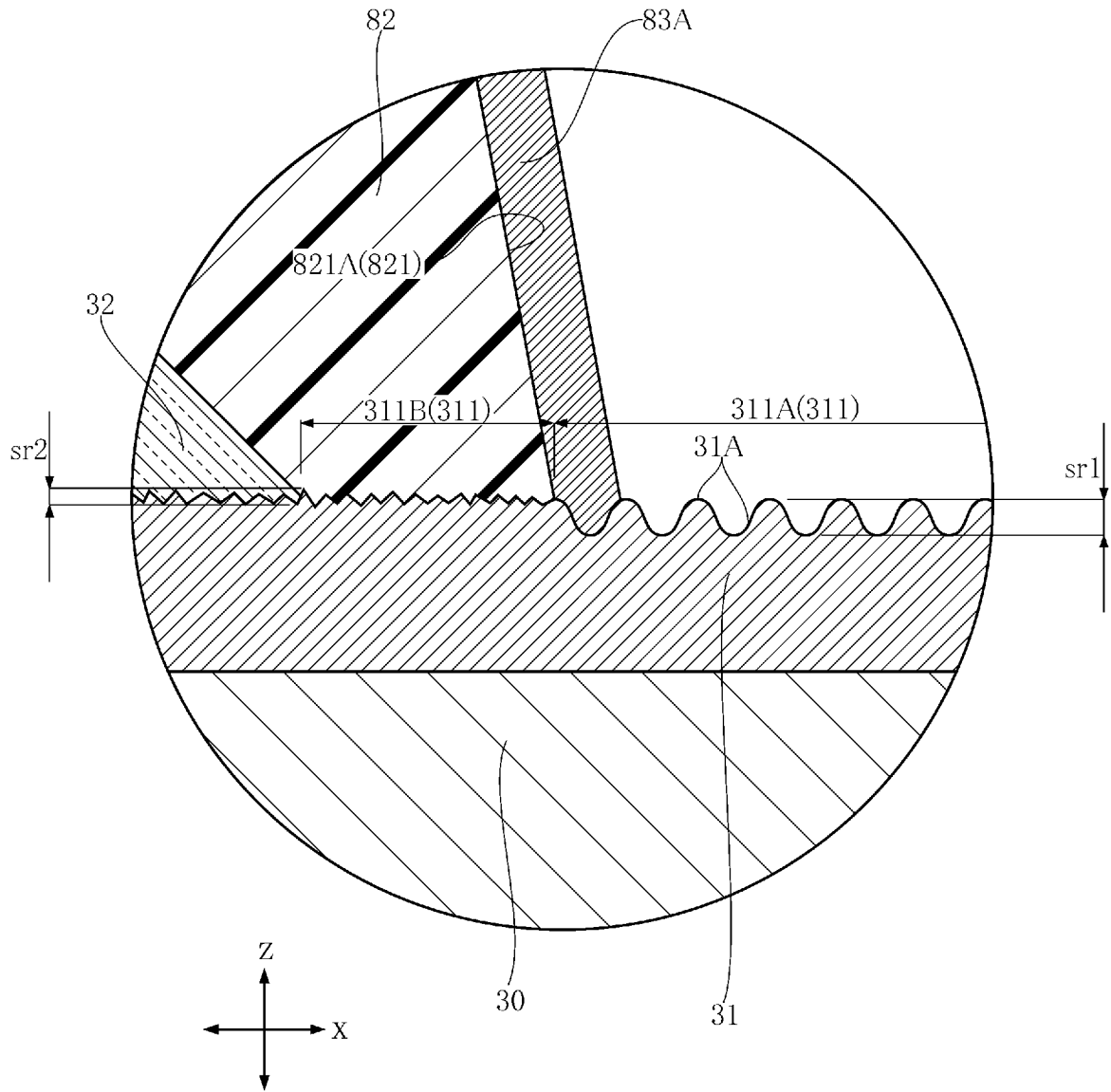


[13]
FIG.13

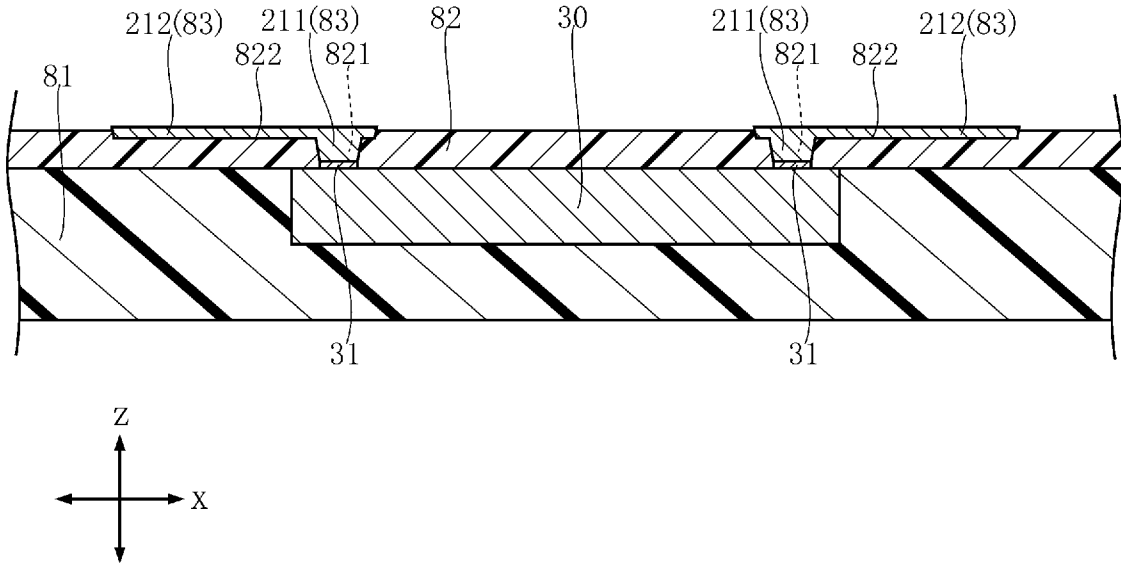


[14]
FIG.14

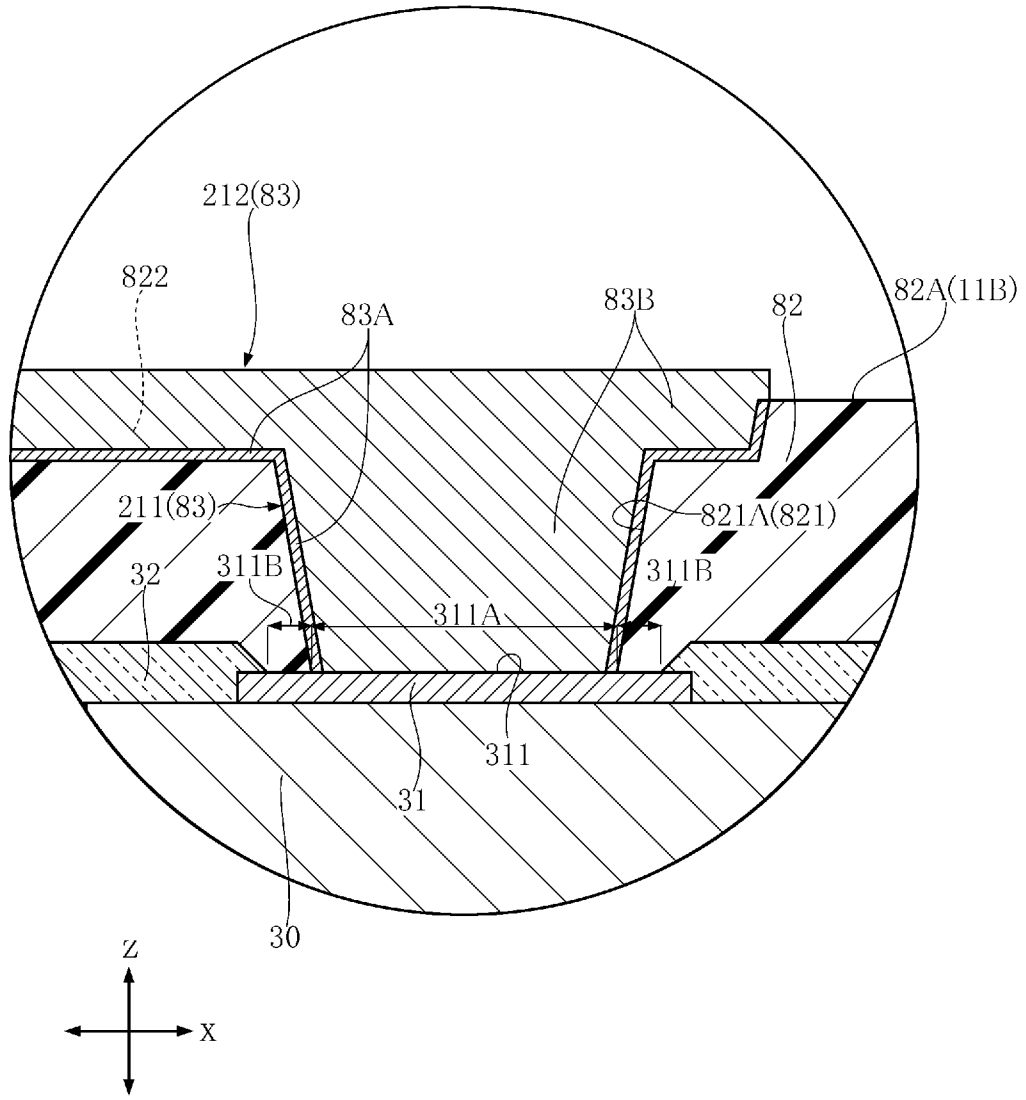


[図15]
FIG.15

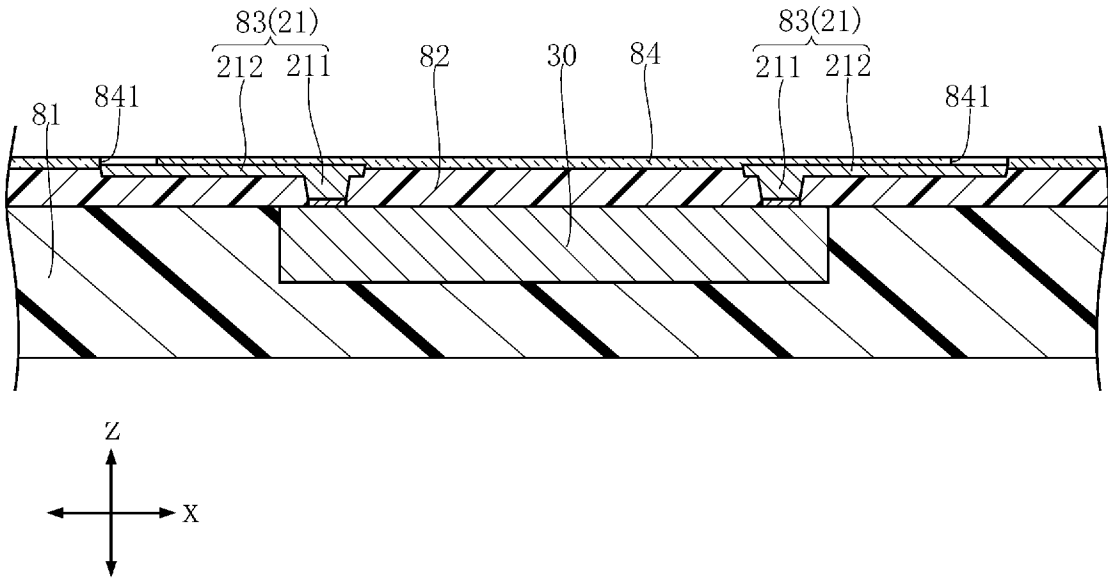
[図16]
FIG.16



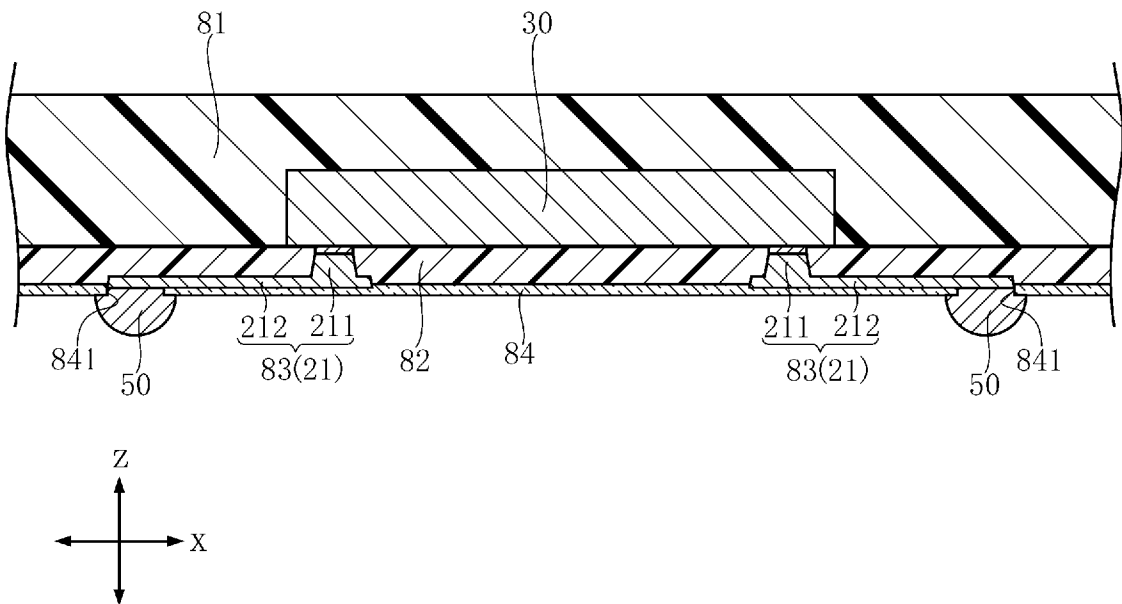
[図17]
FIG.17

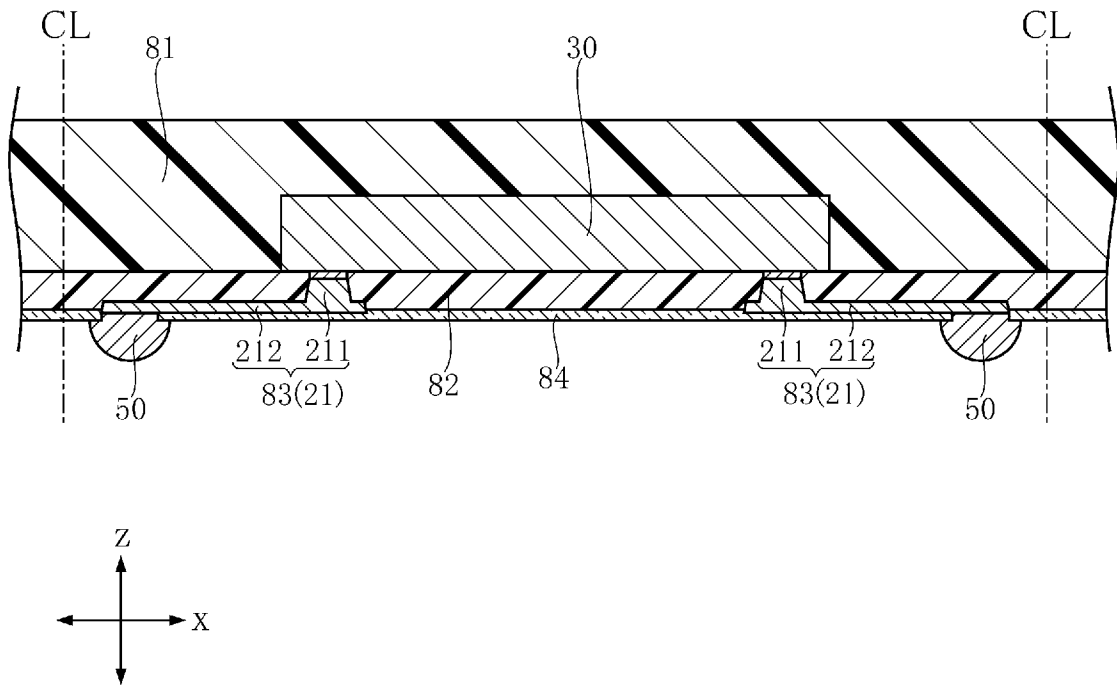


[図18]
FIG.18

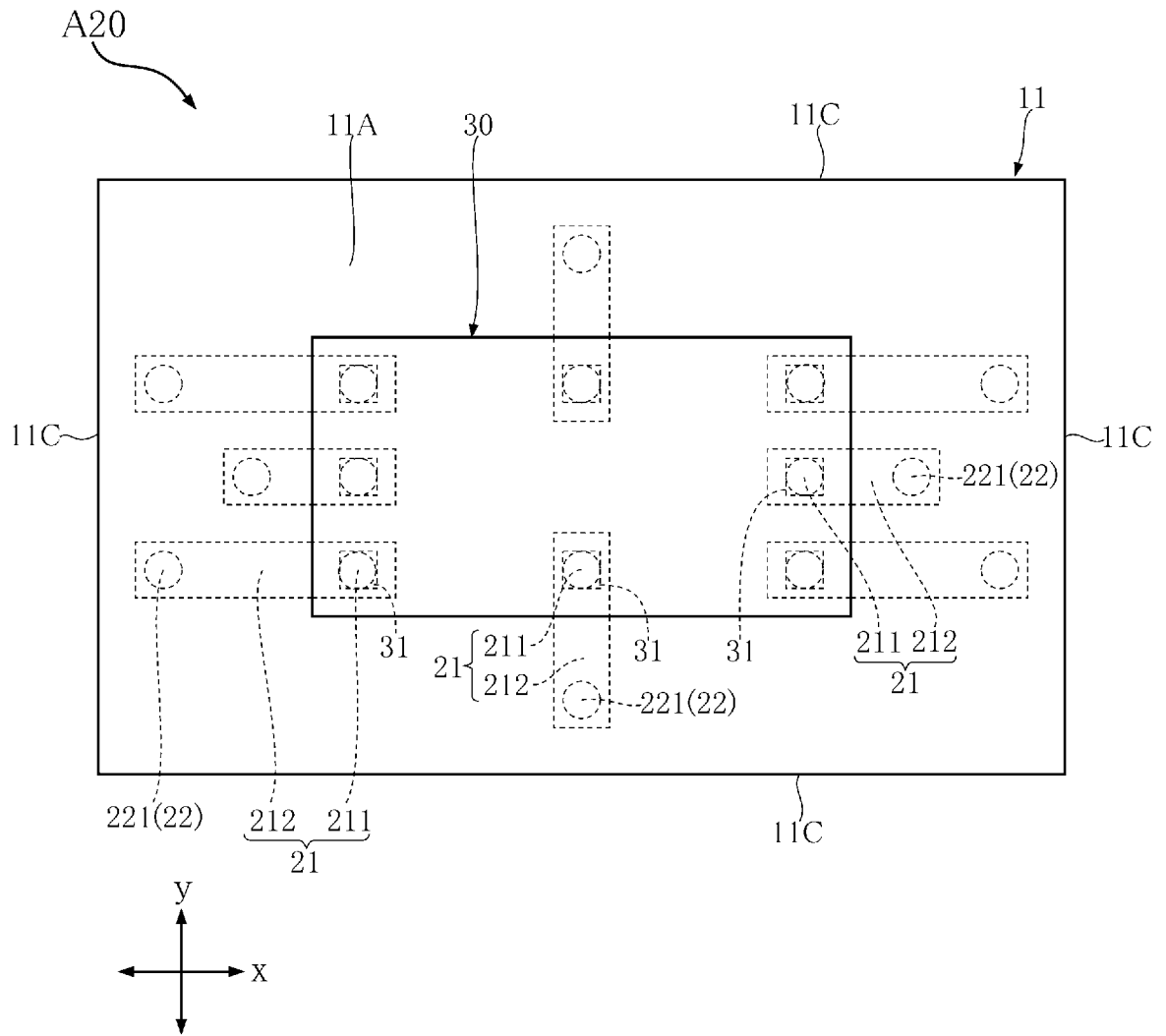


[図19]
FIG.19

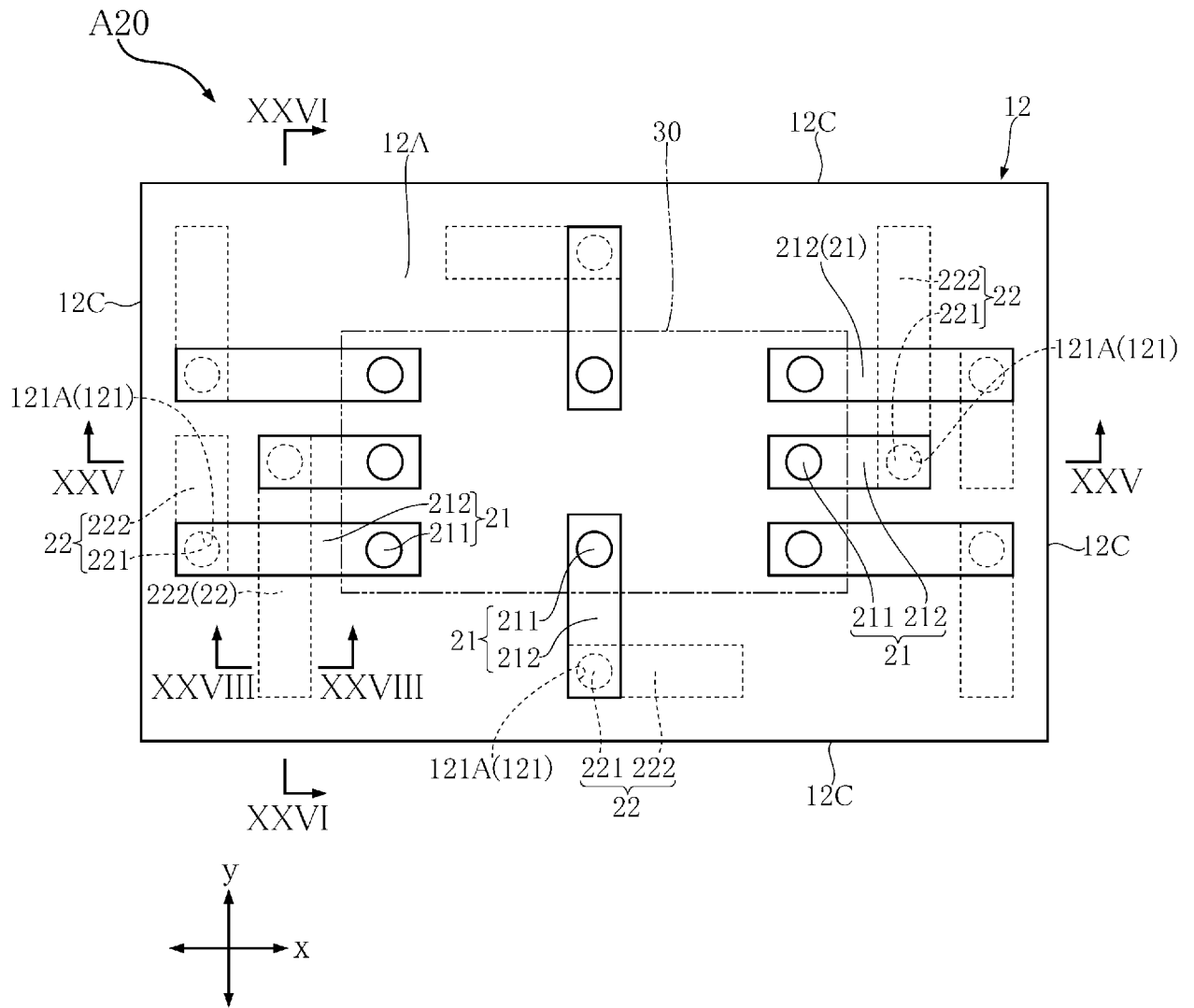


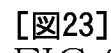
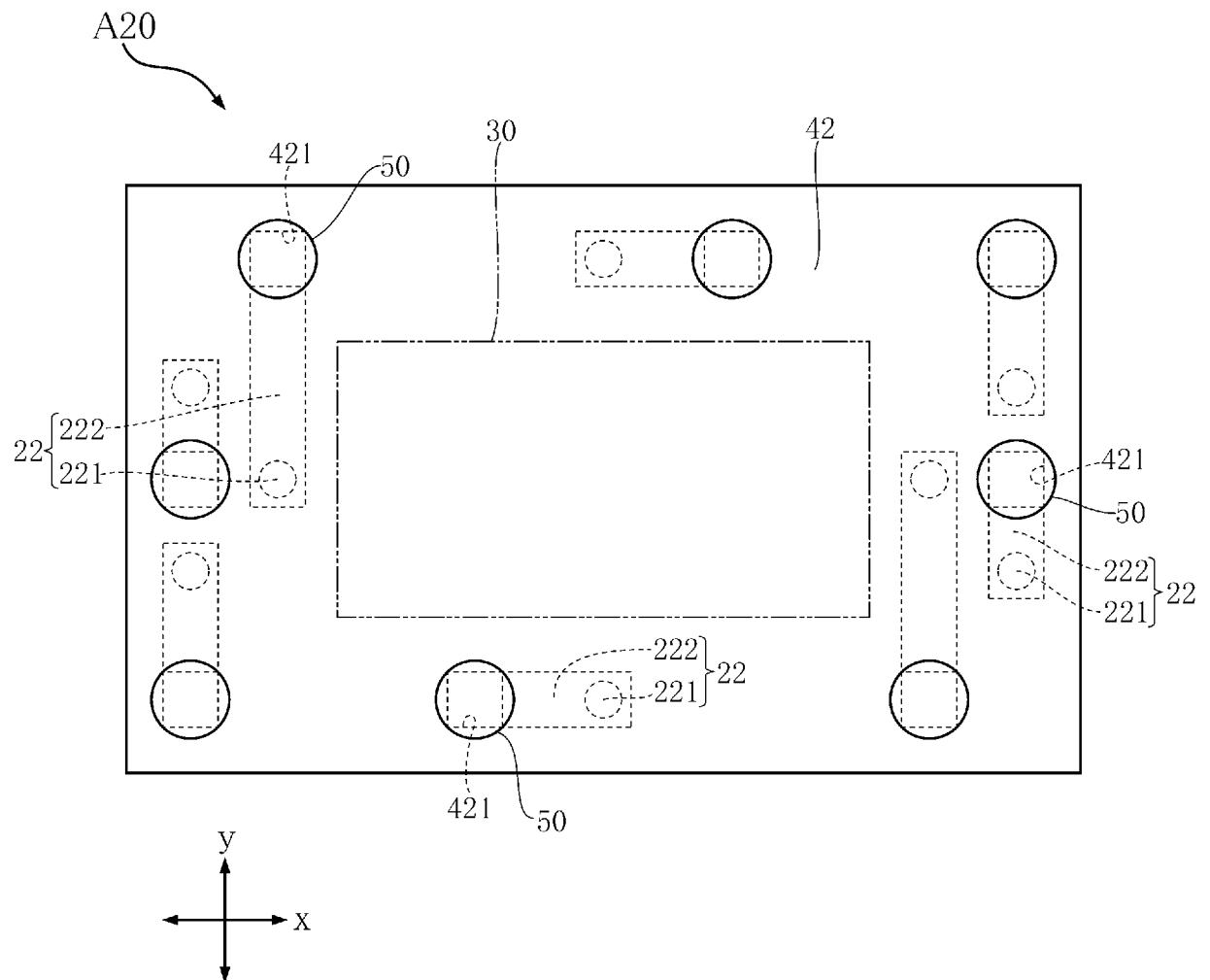
[図20]
FIG.20

[図21]
FIG.21

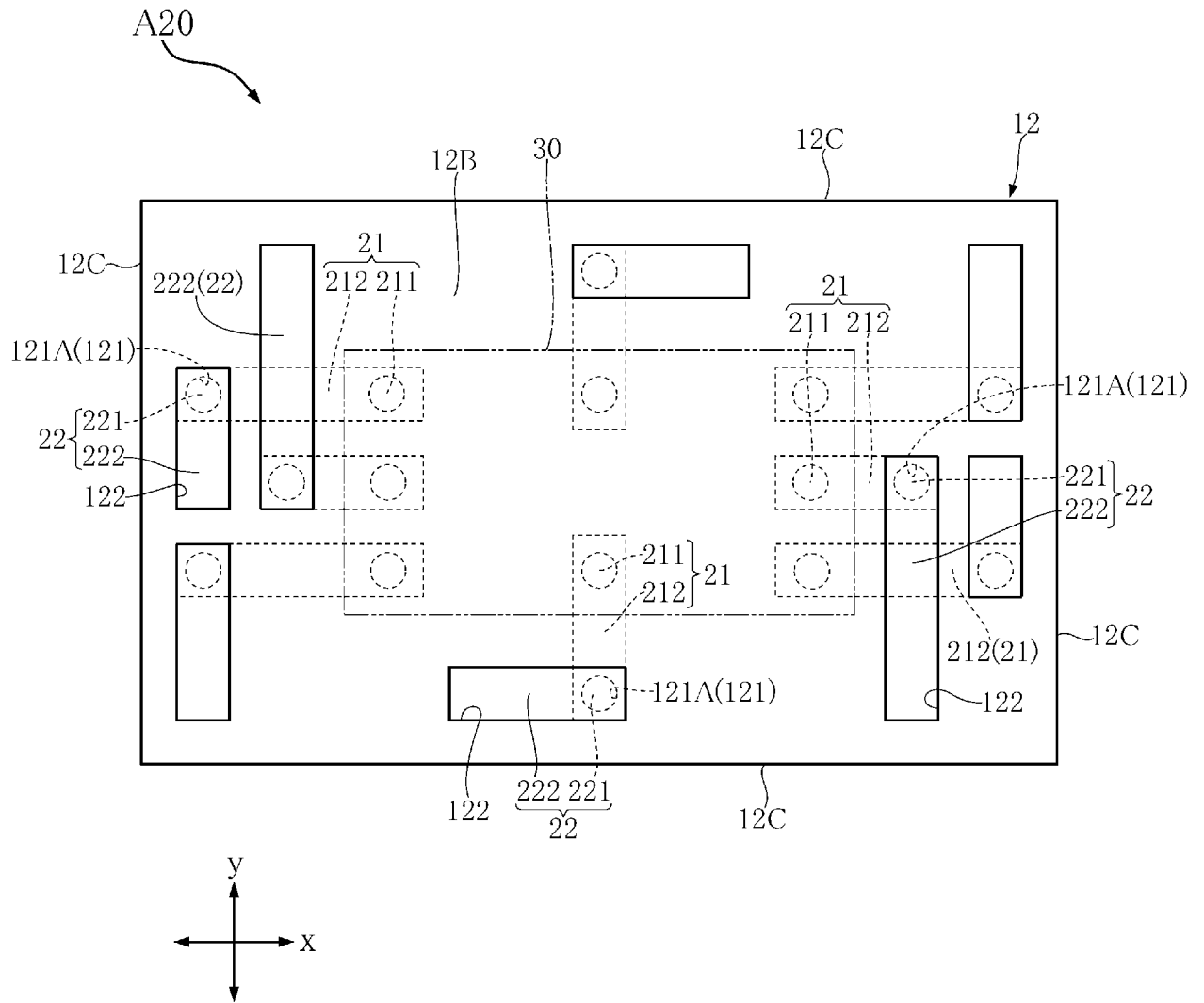


[図22]
FIG.22

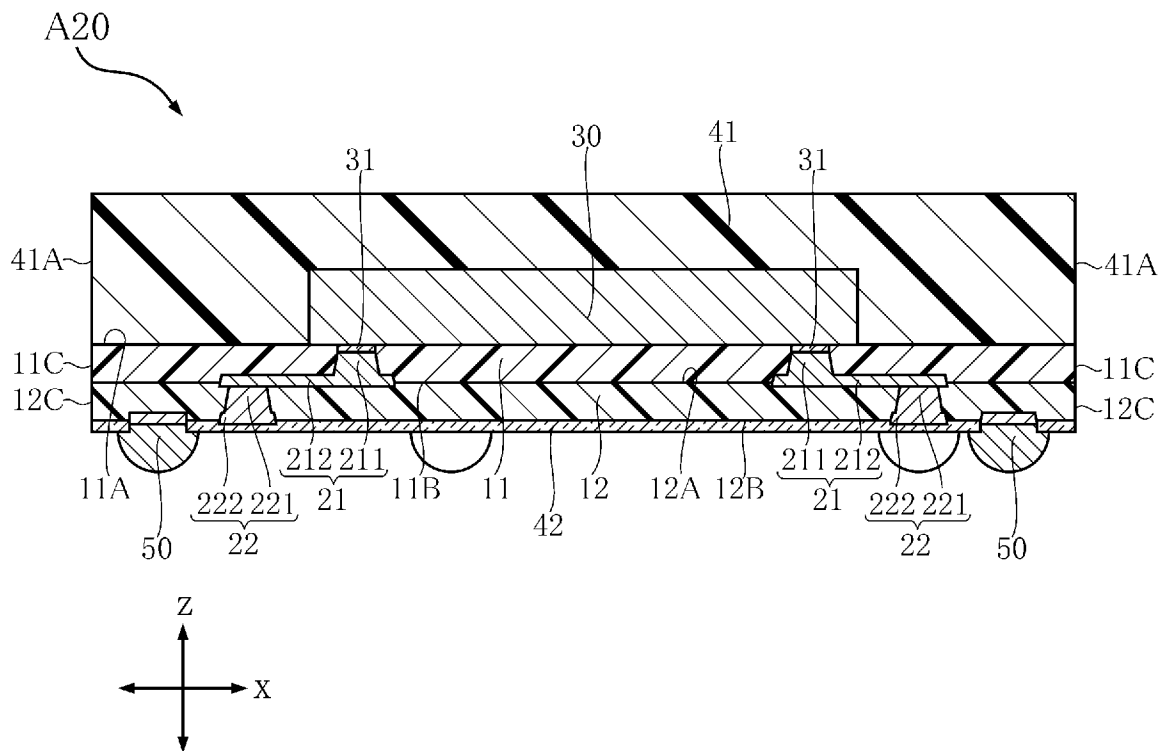


[
FIG. 23

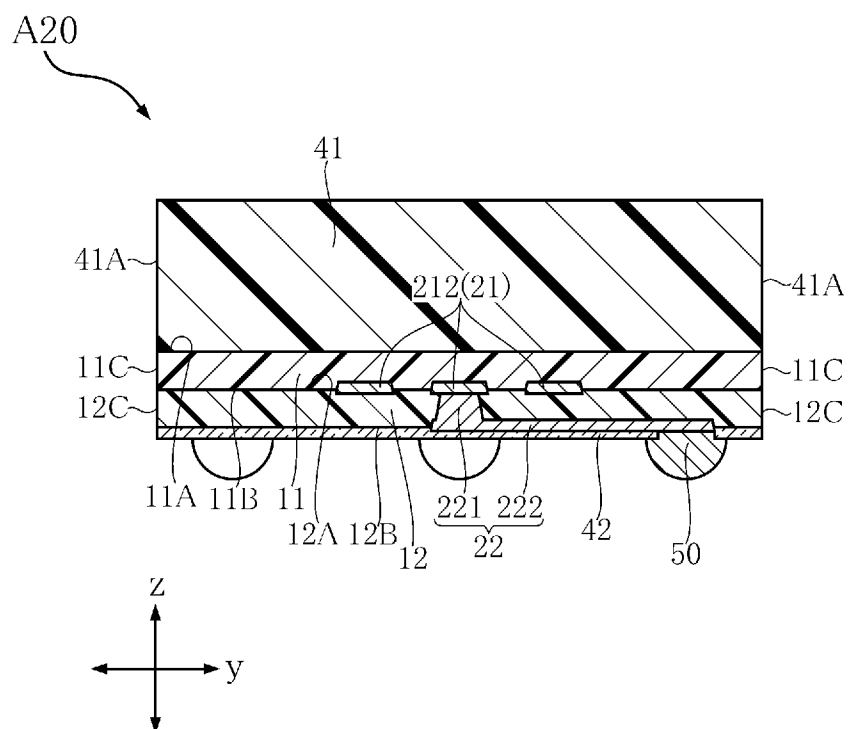
[図24]
FIG.24



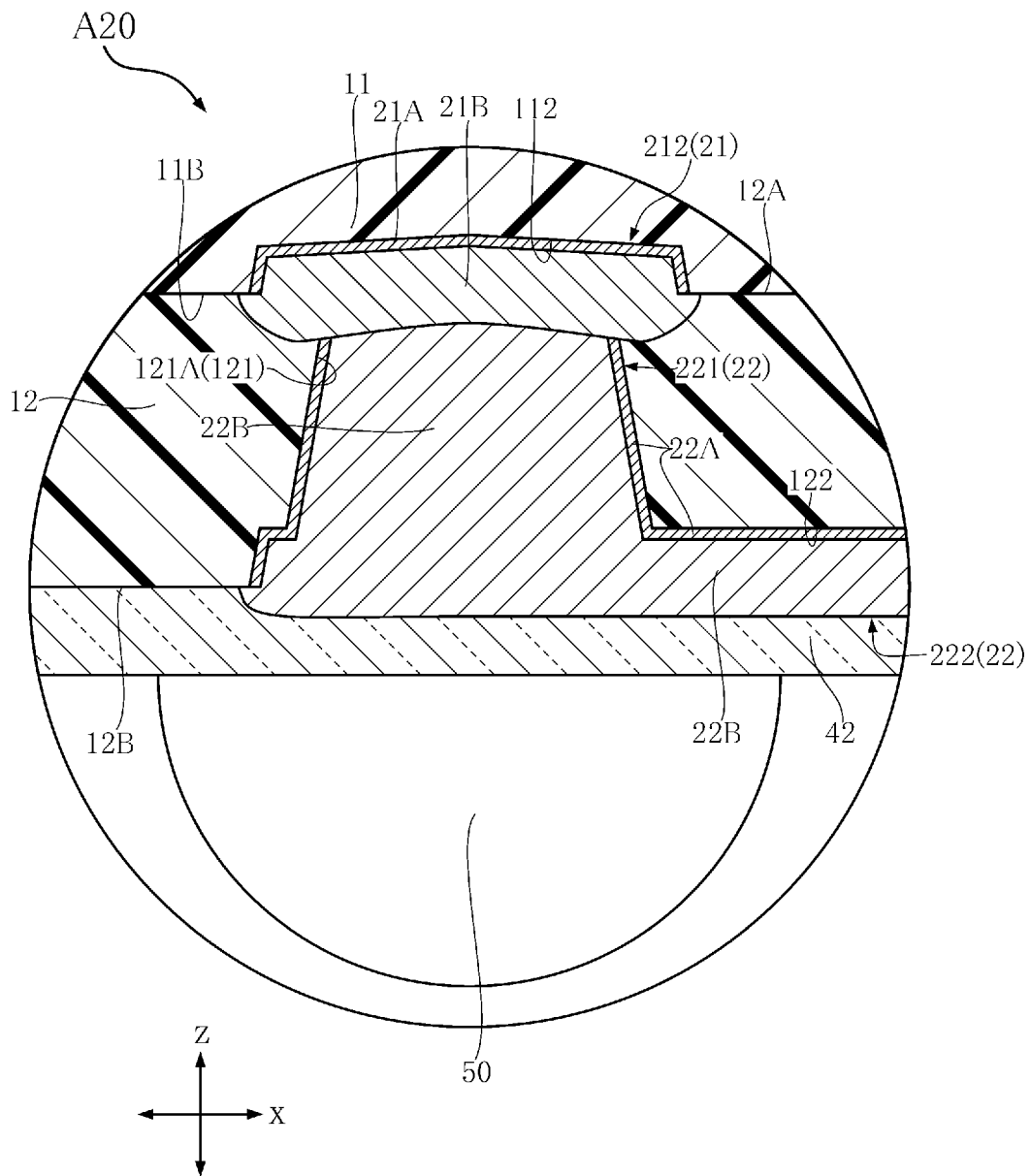
[**図25**]
FIG.25

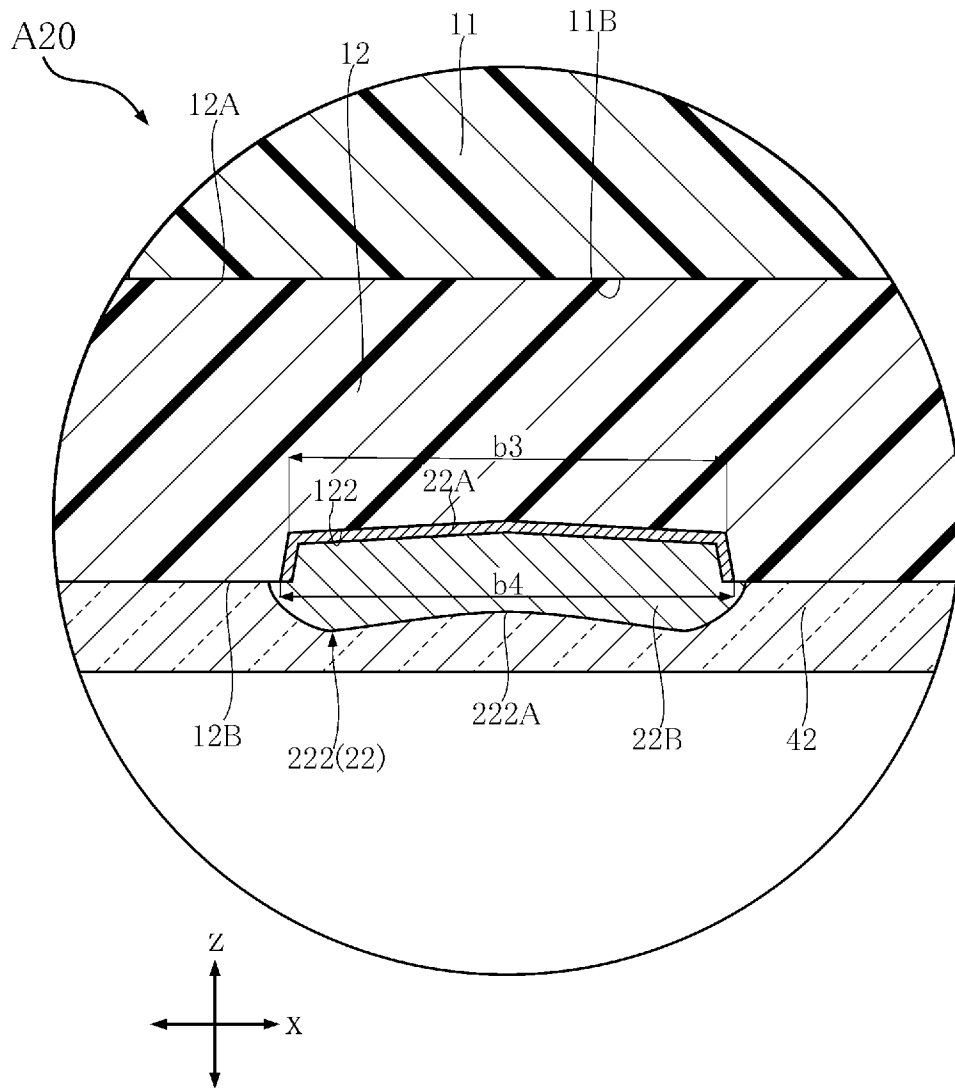


[**図26**]
FIG.26



[図27]
FIG.27



[28]
FIG.28

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/019392

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L23/12 (2006.01) i, H01L21/56 (2006.01) i
 FI: H01L23/12501P, H01L21/56R

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L23/12, H01L21/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2018/047770 A1 (SUMITOMO BAKELITE CO., LTD.) 15	1
A	March 2018 (2018-03-15), paragraphs [0012]-[0030], fig. 1-3	2-18
A	JP 2008-294415 A (SANYO ELECTRIC CO., LTD.) 04 December 2008 (2008-12-04), entire text, all drawings	1-18
A	JP 2009-177072 A (FUJIKURA LTD.) 06 August 2009 (2009-08-06), entire text, all drawings	1-18
A	JP 2018-19071 A (SUMITOMO BAKELITE CO., LTD.) 01 February 2018 (2018-02-01), entire text, all drawings	1-18
A	JP 2017-69257 A (HITACHI CHEMICAL COMPANY, LTD.) 06 April 2017 (2017-04-06), entire text, all drawings	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 July 2021

Date of mailing of the international search report

03 August 2021

Name and mailing address of the ISA/

Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/019392

WO 2018/047770 A1	15 March 2018	KR 10-2019-0039613 A paragraphs [0020]-[0047], fig. 1-3 CN 109690759 A TW 201826023 A
JP 2008-294415 A	04 December 2008	US 2008/0272502 A1 entire text, all drawings
JP 2009-177072 A	06 August 2009	(Family: none)
JP 2018-19071 A	01 February 2018	KR 10-2018-0008308 A entire text, all drawings CN 107622951 A TW 201812939 A
JP 2017-69257 A	06 April 2017	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i; H01L 21/56(2006.01)i FI: H01L23/12 501P; H01L21/56 R		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/12; H01L21/56 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2021年 日本国実用新案登録公報 1996 - 2021年 日本国登録実用新案公報 1994 - 2021年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2018/047770 A1 (住友ベークライト株式会社) 15.03.2018 (2018 - 03 - 15) 段落[0012]-[0030], 図1-3	1
A		2-18
A	JP 2008-294415 A (三洋電機株式会社) 04.12.2008 (2008 - 12 - 04) 全文, 全図	1-18
A	JP 2009-177072 A (株式会社フジクラ) 06.08.2009 (2009 - 08 - 06) 全文, 全図	1-18
A	JP 2018-19071 A (住友ベークライト株式会社) 01.02.2018 (2018 - 02 - 01) 全文, 全図	1-18
A	JP 2017-69257 A (日立化成株式会社) 06.04.2017 (2017 - 04 - 06) 全文, 全図	1-18
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの		
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）		
“O” 口頭による開示、使用、展示等に言及する文献		
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		
国際調査を完了した日	国際調査報告の発送日	
27.07.2021	03.08.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 佐藤 靖史 5F 5895 電話番号 03-3581-1101 内線 3559	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2021/019392

引用文献			公表日	パテントファミリー文献		公表日
WO	2018/047770	A1	15.03.2018	KR 10-2019-0039613	A	
				段落[0020]-[0047] , 図1-3		
				CN 109690759	A	
				TW 201826023	A	
JP	2008-294415	A	04.12.2008	US 2008/0272502	A1	
				全文, 全図		
JP	2009-177072	A	06.08.2009	(ファミリーなし)		
JP	2018-19071	A	01.02.2018	KR 10-2018-0008308	A	
				全文, 全図		
				CN 107622951	A	
				TW 201812939	A	
JP	2017-69257	A	06.04.2017	(ファミリーなし)		