

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 9 月 30 日(30.09.2010)

PCT

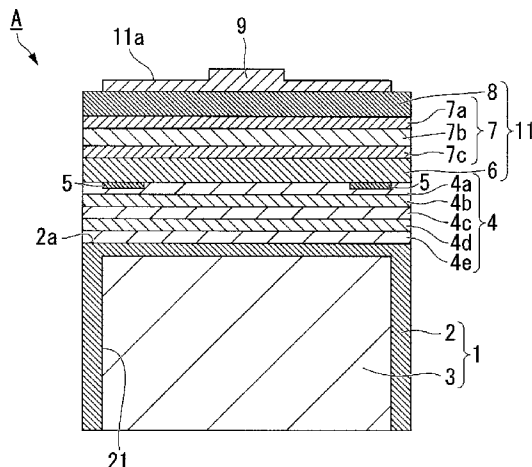
(10) 国際公開番号
WO 2010/109801 A1

- (51) 国際特許分類:
H01L 33/12 (2010.01) H01L 23/36 (2006.01)
- (21) 国際出願番号: PCT/JP2010/001811
- (22) 国際出願日: 2010 年 3 月 15 日(15.03.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-075773 2009 年 3 月 26 日(26.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 昭和電工株式会社(SHOWA DENKO K.K.) [JP/JP]; 〒1058518 東京都港区芝大門一丁目 1 3 番 9 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 竹内良一(TAKEUCHI, Ryouichi) [JP/JP]; 〒3691893 埼玉県秩父市下影森 1 5 0 5 番地 昭和電工株式会社内 Saitama (JP). 村木典孝(MURAKI, Noritaka) [JP/JP]; 〒3691893 埼玉県秩父市下影森 1 5 0 5 番地 昭和電工株式会社内 Saitama (JP).
- (74) 代理人: 志賀正武, 外(SHIGA, Masatake et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: LIGHT EMITTING DIODE, METHOD FOR MANUFACTURING SAME, AND LAMP

(54) 発明の名称: 発光ダイオード及びその製造方法、並びにランプ

[図1A]



(57) Abstract: Provided is a light emitting diode having the chip structure wherein compound semiconductor layers, including at least a light emitting layer, are laminated on a heat sink board (substrate) and the upper surface side of the compound semiconductor layers is permitted to be the light emitting surface. The heat sink board is composed of a base material portion and the embedded portion surrounded by the base material portion, and the base material portion is composed of a material having a thermal expansion coefficient smaller than that of the embedded portion. The light emitting diode has the substrate having excellent heat dissipating characteristics and workability, eliminates generation of damages, such as cracks, in the semiconductor layers in the manufacture steps, permits a high current to be applied and has a high light emitting efficiency and a high yield. A method for manufacturing such light emitting diode, and a lamp are also provided.

(57) 要約:

[続葉有]

WO 2010/109801 A1



本発明は、ヒートシンク基板（基板）上に少なくとも発光層を含む化合物半導体層が積層され、前記化合物半導体層の上面側が発光面とされたチップ構造を有する発光ダイオードであり、前記ヒートシンク基板は、基材部と、前記基材部に囲まれた埋設部とからなり、前記基材部が、前記埋設部よりも熱膨張係数が小さな材料からなる前記発光ダイオード等に関する。本発明によれば、基板の放熱性及び加工性に優れるとともに、製造工程において半導体層にクラック等の損傷が生じるのを防止でき、高電流の印加が可能で高い発光効率を有し、歩留まりに優れる発光ダイオード及びその製造方法、並びにランプを提供することができる。

明 細 書

発明の名称：発光ダイオード及びその製造方法、並びにランプ 技術分野

[0001] 本発明は、発光ダイオード及びその製造方法、並びにランプに関するものである。

本願は、２００９年３月２６日に、日本に出願された特願２００９－０７５７７３号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来から、赤色、橙色、黄色あるいは黄緑色の可視光を発する発光ダイオード（ＬＥＤ）として、例えば、燐化アルミニウム・ガリウム・インジウム（組成式 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ； $0 \leq x \leq 1$ ， $0 < y \leq 1$ ）からなる発光層を備えた化合物半導体ＬＥＤが知られている。このようなＬＥＤにおいて、例えば $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ （ $0 \leq x \leq 1$ ， $0 < y \leq 1$ ）の組成を有する発光層を備えた化合物半導体層は、一般に発光層から出射される光に対して光学的に不透明であり、また機械的にもそれ程強度のない砒化ガリウム（GaAs）等の材料からなる基板上に形成されている。

[0003] このため、最近では、より高輝度の可視ＬＥＤを得ること、及び素子の機械的強度の向上を目的として、発光光に対して不透明な基板材料を除去した後、発光光を透過又は反射し、なお且つ機械強度的に優れる材料からなる支持体（基板）を、化合物半導体層に改めて接合させ、接合型ＬＥＤを構成する技術が開示されている（例えば、特許文献１～７を参照）。ここで、引用文献４においては、基板としてSi、及びGaPからなる基板を用いることが開示されており、また、引用文献６においては、金属材料からなる基板を用いることが開示されている。

[0004] 近年、上述のような発光ダイオードのパッケージの技術分野においては、放熱性を重視した、高電流に耐えられるパッケージが普及している。

先行技術文献

特許文献

[0005] 特許文献1：日本国特許第3230638号公報

特許文献2：特開平6-302857号公報

特許文献3：特開2002-246640号公報

特許文献4：特開2001-339100号公報

特許文献5：特開2001-57441号公報

特許文献6：特開2007-81010号公報

特許文献7：特開2006-32952号公報

発明の概要

発明が解決しようとする課題

[0006] 上記各特許文献に記載のような発光ダイオードにおいては、基板の接合技術の開発によって基板の設計自由度が増したことにより、高電流の印加が可能な、放熱性の高い金属基板、セラミック基板、又は複合基板等が提案されている。しかしながら、上述したような放熱性の高い基板は、発光層を含む半導体層との間の熱膨張係数の差が大きいため、基板の接合時や熱処理工程において半導体層の割れが発生し、収率が低下するという問題がある。

また、上述のような発光ダイオードにおいては、基板が銅、アルミニウム、金、又は銀等の放熱性の高い金属材料等からなる構成の場合、これらの材料は柔らかく、粘りを有する材料であることから、ウェーハをチップ単位に切断する工程においてバリが発生したり、切断に用いるブレードの寿命が短くなったりする等、収率良く正確に切断するのが困難である等の問題がある。

[0007] 本発明は上記問題に鑑みてなされたものであり、基板の放熱性及び加工性に優れるとともに、製造工程において半導体層にクラック等の損傷が生じるのを防止でき、高電流の印加が可能で高い発光効率を有し、歩留まりに優れた発光ダイオードを提供することを目的とする。

また、本発明は、上述のように高い発光効率を備える発光ダイオードを、歩留まり高く且つ低コストで得られる発光ダイオードの製造方法を提供する

ことを目的とする。

また、本発明は、上記本発明の発光ダイオードが用いられてなるランプを提供することを目的とする。

課題を解決するための手段

[0008] 本発明者等が上記問題を解決するために鋭意検討したところ、発光層を含む化合物半導体層と熱膨張係数がほぼ等しく、加工性に優れた基板を化合物半導体層に接合することで、化合物半導体層に割れ等が生じるのが防止できることを見出した。また、基板を基材部と埋設部とからなる3次元構造とし、放熱性に優れた材料から構成することにより、発光ダイオードにより大きな電流を印加することが可能になるとともに、発光効率がより向上することを見出し、本発明を完成させた。

即ち、本発明は以下に関する。

[0009] [1] 基板上に少なくとも発光層を含む化合物半導体層が積層され、前記化合物半導体層の上面側が発光面とされたチップ構造を有する発光ダイオードであって、前記基板は、基材部と、前記基材部に囲まれた埋設部とからなり、前記基材部が、前記埋設部よりも熱膨張係数が小さな材料からなることを特徴とする発光ダイオード。

[2] 前記基板は、前記基材部と前記埋設部とが、それぞれ異なる金属材料からなることを特徴とする上記[1]に記載の発光ダイオード。

[3] 前記基材部と前記化合物半導体層との間の熱膨張係数の差が、 $\pm 1.5 \text{ ppm/K}$ 以内であることを特徴とする上記[1]又は[2]に記載の発光ダイオード。

[4] 前記基板は、熱伝導率が $200 \text{ W/m} \cdot \text{K}$ 以上であることを特徴とする上記[1]～[3]の何れか1項に記載の発光ダイオード。

[5] 前記基材部は、モリブデン又はタングステン、あるいはこれらの合金材料からなることを特徴とする上記[1]～[4]の何れか1項に記載の発光ダイオード。

[0010] [6] 前記埋設部は、金、銀、銅、又はアルミニウムから選択される少

なくとも何れか１種以上の元素を含む材料からなることを特徴とする上記〔１〕～〔５〕の何れか１項に記載の発光ダイオード。

〔７〕 前記埋設部が、金、銀、銅、又はアルミニウムから選択される少なくとも何れか１種以上の元素を含むメッキ層であることを特徴とする上記〔６〕に記載の発光ダイオード。

〔８〕 前記基材部に凹部が形成され、前記凹部に前記埋設部が設けられていることを特徴とする上記〔１〕～〔７〕の何れか１項に記載の発光ダイオード。

〔９〕 前記埋設部の厚さが、前記基材部の厚さの７０％以上であることを特徴とする上記〔１〕～〔８〕の何れか１項に記載の発光ダイオード。

〔１０〕 前記基材部に貫通部が形成され、前記貫通部に前記埋設部が設けられていることを特徴とする上記〔１〕～〔７〕の何れか１項に記載の発光ダイオード。

[0011] 〔１１〕 前記化合物半導体層に含まれる前記発光層は、 AlGaInP 又は AlGaAs を含む材料からなることを特徴とする上記〔１〕～〔１０〕の何れか１項に記載の発光ダイオード。

〔１２〕 前記基板が、１辺あたりの長さが $500\mu\text{m}$ 以上の平面視略四角形とされていることを特徴とする上記〔１〕～〔１１〕の何れか１項に記載の発光ダイオード。

〔１３〕 前記化合物半導体層は、前記基板上において、少なくとも、 p 型半導体層、発光層及び n 型半導体層の各層が積層されてなることを特徴とする上記〔１〕～〔１２〕の何れか１項に記載の発光ダイオード。

〔１４〕 さらに、前記化合物半導体層の前記 n 型半導体層上に、負極である n 型電極層が設けられているとともに、前記基板が正極とされ、各電極間に $0.5\text{W}/\text{mm}^2$ 以上の密度を有する電力が印加されるものであることを特徴とする上記〔１３〕に記載の発光ダイオード。

〔１５〕 前記基板と化合物半導体層とが、金属接合層によって接合されてなることを特徴とする上記〔１〕～〔１４〕の何れか１項に記載の発光ダ

イオード。

[16] 前記基板と化合物半導体層とが直に接合されてなることを特徴とする上記[1]～[14]の何れか1項に記載の発光ダイオード。

[0012] [17] 積層用基板上に、少なくとも発光層を含む化合物半導体層を形成し、前記化合物半導体層に備えられる第2の半導体層の上にオーミック特性を有する第2の電極を形成した後、前記第2の電極を覆うように接合層を積層して積層体を形成する工程と、基材部の少なくとも一部にエッチング法によって凹部又は貫通部を形成し、前記凹部又は貫通部の内部に埋設部を形成することで基板を形成した後、前記積層体の接合層と前記基板の一面側とを接合することで前記積層体と前記基板とを接合する工程と、前記積層用基板を前記化合物半導体層から剥離して、前記化合物半導体層に備えられる第1の半導体層の光取出面を露出させた後、前記光取出面の上に第1の電極を形成する工程と、前記化合物半導体層及び前記接合層を複数に分割した後、前記複数の化合物半導体層の各々の間に形成される分断溝に沿って、前記基板における基材部の位置を切断することで素子単位に分割する工程と、を具備しており、前記基材部が、前記埋設部よりも熱膨張係数が小さな材料からなることを特徴とする発光ダイオードの製造方法。

[0013] [18] 積層用基板上に、少なくともn型半導体層、発光層及びp型半導体層を順次積層して化合物半導体層を形成する半導体層形成工程と、前記化合物半導体層に備えられる前記p型半導体層の上にp型オーミック電極を形成した後、前記p型オーミック電極を覆うように接合層を積層して積層体を形成する積層体形成工程と、基材部の少なくとも一部にエッチング法によって凹部又は貫通部を形成した後、前記凹部又は貫通部の内部に埋設部を形成することで基板を形成する基板形成工程と、前記積層体の接合層と前記基板の一面側とを接合することにより、前記化合物半導体層と前記基板とを接合する接合工程と、前記積層用基板を前記化合物半導体層から剥離して、前記化合物半導体層に備えられる前記n型半導体層の光取出面を露出させる除去工程と、前記n型半導体層の光取出面の上にn型電極層を形成する電極形

成工程と、前記化合物半導体層及び前記接合層を複数に分割した後、前記複数の化合物半導体層の各々の間に形成される分断溝に沿って、前記基板における基材部の位置を切断する分割工程と、を具備しており、前記基材部が、前記埋設部よりも熱膨張係数が小さな材料からなることを特徴とする発光ダイオードの製造方法。

[0014] [19] 前記基板形成工程は、前記基材部の凹部の内部にメッキ法を用いて前記埋設部を形成することを特徴とする上記[18]に記載の発光ダイオードの製造方法。

[20] 前記基板形成工程は、前記基材部を、モリブデン又はタングステン、あるいはこれらの合金材料から形成することを特徴とする上記[18]又は[19]に記載の発光ダイオードの製造方法。

[21] 前記基板形成工程は、前記埋設部を、金、銀、銅、又はアルミニウムから選択される少なくとも何れか1種以上の元素を含む材料から形成することを特徴とする上記[18]～[20]の何れか1項に記載の発光ダイオードの製造方法。

[22] 前記電極形成工程と前記分割工程との間において、前記n型半導体層の前記光取出面を粗面化する粗面化工程を設けることを特徴とする上記[18]～[21]に記載の発光ダイオードの製造方法。

[0015] [23] 上記[17]～[22]の何れか1項に記載の製造方法で得られる発光ダイオード。

[24] 上記[1]～[16]、又は[23]の何れか1項に記載の発光ダイオードが用いられてなるランプ。

発明の効果

[0016] 本発明の発光ダイオードによれば、基板上に少なくとも発光層を含む化合物半導体層が積層され、基板が基材部と前記基材部に囲まれた埋設部とからなるとともに、基材部が埋設部よりも熱膨張係数が小さな材料から構成されることにより、基板の加工性と放熱性とを両立することができる。これにより、製造工程において化合物半導体層にクラック等の損傷が生じるのを防止

でき、歩留まりが向上するとともに、高電流の印加が可能で高い発光効率を有する発光ダイオードを製造することができる。

[0017] また、本発明の発光ダイオードの製造方法によれば、積層用基板上に化合物半導体層及び接合層が積層されてなる積層体と、基材部と前記基材部に形成された凹部又は貫通部の内部に設けられた埋設部とからなる基板とを接合することで、化合物半導体層と基板とを接合する工程と、積層用基板を化合物半導体層から剥離して第1の半導体層の光取出面を露出させる工程と、複数の化合物半導体層の各々の間に形成される分断溝に沿って基板における基材部の位置を切断する工程とを具備した方法であり、基材部が埋設部よりも熱膨張係数が小さな材料からなるので、化合物半導体層にクラック等の損傷が生じるのを防止でき、歩留まりが向上するとともに、基板の放熱性に優れた発光ダイオードを製造することが可能となる。これにより、高電流の印加が可能で発光効率に優れた発光ダイオードを、高い製造効率で製造することができる。

[0018] また、本発明のランプは、上記本発明の発光ダイオードが用いられてなるものである。

図面の簡単な説明

[0019] [図1A]本発明に係る発光ダイオードの一例を示す断面模式図である。

[図1B]図1Aに示す発光ダイオードの平面図である。

[図2]本発明に係る発光ダイオードの製造方法の一例を説明する工程図である。

[図3A]本発明に係る発光ダイオードの製造方法の一例を説明する工程図である。

[図3B]本発明に係る発光ダイオードの製造方法の一例を説明する工程図である。

[図4A]本発明に係る発光ダイオードの製造方法の一例を説明する工程図である。

[図4B]本発明に係る発光ダイオードの製造方法の一例を説明する工程図であ

る。

[図5]本発明に係る発光ダイオードの製造方法の一例を説明する工程図である。

。

[図6A]本発明に係る発光ダイオードの製造方法の一例を説明する工程図である。

[図6B]本発明に係る発光ダイオードの製造方法の一例を説明する工程図である。

[図7]本発明に係る発光ダイオードの製造方法の一例を説明する工程図である。

。

[図8]本発明に係る発光ダイオードの製造方法の一例を説明する工程図である。

。

[図9]本発明に係る発光ダイオードの製造方法の一例を説明する工程図である。

。

[図10]本発明に係る発光ダイオードの製造方法の一例を説明する工程図である。

[図11]本発明に係る発光ダイオードを用いて構成したランプの一例を示す断面模式図である。

発明を実施するための形態

[0020] 以下に、本発明の実施形態である発光ダイオード及びその製造方法、並びにランプについて、図面を適宜参照しながら説明する。図1Aは本実施形態の発光ダイオードの断面模式図、図1Bは図1Aの平面図であり、図2～図10は発光ダイオードの製造方法を説明する工程図、図11は、本発明の実施形態のダイオードが用いられてなる発光ダイオードランプの模式断面図である。なお、以下の説明において参照する図面は、発光ダイオード及びその製造方法等を説明する図面であって、図示される各部の大きさや厚さや寸法等は、実際の発光ダイオード等の寸法関係とは異なっている。

[0021] [発光ダイオード]

図1A及び図1Bに示す例の発光ダイオードAは、基材部2と、前記基材

部 2 に囲まれた埋設部 3 とからなり、発光ダイオード A の基体となるヒートシンク基板（基板） 1 と、このヒートシンク基板 1 の上面 2 a に配置された接合層 4 と、この接合層 4 の上側に配置された化合物半導体層 1 1 と、この化合物半導体層 1 1 の上下に配置された n 型電極層 9 及び p 型オーミック電極 5 と、から概略構成されている。また、発光ダイオード A は、ヒートシンク基板 1 をなす基材部 2 が、埋設部 3 よりも熱膨張係数が小さな材料からなる構成とされている。

[0022] ここで、化合物半導体層 1 1 は、p 型半導体層 6、発光層 7 及び n 型半導体層 8 が積層されて構成されている。化合物半導体層 1 1 の上面は、発光層 7 からの光を外部に取り出す光取出面 1 1 a とされており、この光取出面 1 1 a 上には n 型電極層 9 が形成されている。また、詳細な図示を省略するが、光取出面 1 1 a はエッチング等の手段によって粗面化されており、これにより発光ダイオード A の光取出効率がより高められている。

[0023] n 型電極層 9 は、化合物半導体層 1 1 の n 型半導体層 8 とオーミック接触することによって、化合物半導体層 1 1 の負極となっている。一般に、発光ダイオード等の半導体素子において電極を設ける場合、n 型の化合物半導体に設けられる n 型のオーミック電極としては、例えば、AuGe や AuSi 等を用いることができる。また、p 型の化合物半導体に設けられる p 型のオーミック電極（図 1 A 及び図 1 B の p 型オーミック電極 5 を参照）としては、AuBe、又は AuZn 等を用いることができる。図 1 A 及び図 1 B に示す n 型電極層 9 の層構造や材質は特に限定されないが、ワイヤーボンディングによる接続を考慮して Au を含有する金属材料から構成することが好ましく、上述のような AuGe や AuSi 等を用いることが好ましい。

[0024] また、n 型電極層 9 としては、例えば、上述のようなオーミック特性を有する電極材料の上に、Ti、又はPt等の所謂バリアメタルを形成し、さらに、その上にAuが形成された構成とすることがより好適である。この際の形成方法としては、従来公知の蒸着法やスパッタ法等を何ら制限無く採用することができる。また、各層の膜厚は、特に制限されないが、オーミック電

極材料（AuGe、又はAuSi）は0.1～0.5 μm 、バリアメタルは0.1～0.5 μm 、Au層は1～3 μm の範囲とすることが、膜厚の制御性や生産性（コスト）等の観点から好ましい。

[0025] n型電極層9は、発光層7を含む化合物半導体層11に電流を均一に拡散させるため、化合物半導体層11に対する配置や形状を適性化することが好ましいが、n型電極層9の配置形態や形状は特に限定されず、従来公知の技術を適用することが可能である。

また、n型電極層9と発光層7との間には、オーミック接触する際の抵抗を下げるためのコンタクト層であるn型半導体層8が設けられる。また、n型電極層9と化合物半導体層11（n型半導体層8）との間には、n型電極層9から供給される駆動電流を化合物半導体層11全体に平面的に拡散させるための電流拡散層や、逆に、駆動電流の流通する領域を制限するための電流阻止層あるいは電流狭窄層等を設けることも可能である。

[0026] なお、図1A及び図1Bに示す例のn型電極層9は、平面視で略円形状の中心部から、4本の枝部が十字状に延在する形状を有しているが、このような形状には限定されず、化合物半導体層11への電流拡散を考慮しながら、適宜、その形状を採用することができる。

[0027] 図1A及び図1Bに示すように、化合物半導体層11の下側、即ち、p型半導体層6の下側に接するようにp型オーミック電極5が形成されている。また、詳細な図示を省略するが、p型オーミック電極5は平面視円形状に形成され、p型半導体層6の下側に接して、所定の間隔で複数設けられ、図示例においては発光ダイオードAの四隅近傍で、計4箇所設けられている。このようなp型オーミック電極5の材料としては、例えば、AuBe合金膜及びAu膜からなる積層膜等、各種構成が周知であり、この技術分野でよく知られた慣用の手段で設けることができる。

[0028] なお、p型オーミック電極5は、発光層7を含む化合物半導体層11に電流を均一に拡散させるため、化合物半導体層11に対する配置や形状を適性化することが好ましいが、p型電極層5の配置形態や形状は特に限定されず

、従来公知の技術を適用することが可能である。

また、一般に、p型オーミック電極5とn型電極層9の配置や形状は、光を取り出しやすい発光層7の領域に、電流が均一に流れるような組み合わせとすることが好ましい。ここで、例えば、n型電極層9の直下にp型オーミック電極5を配置するのは、電流が集中し易いので好ましくない。

[0029] 次に、図1Aに示すように、化合物半導体層11の下側、即ち、p型半導体層6の下側においては、上述したp型オーミック電極5を覆うように接合層4が配置されている。この接合層4は、図1Aに示す例においては、化合物半導体層11側から、透光性薄膜層4a、反射層4b、バリア層4c、Au層4d及び金属接合層4eの各層がこの順で配された積層膜として構成されており、金属接合層4eがヒートシンク基板1と接合される。また、図1Aに示す例では、上述したp型オーミック電極5の先端が、接合層4を構成する透光性薄膜層4aに覆われて接するように構成されている。本実施形態の発光ダイオードAは、接合層4が設けられることにより、化合物半導体層11とヒートシンク基板1とが低い接触抵抗で確実に接合されるとともに、発光層7で発生した光を光取出面11a側に反射させることができる。

[0030] また、接合層4は、透光性薄膜層4a及び金属接合層4eによって化合物半導体層11及びヒートシンク基板1と電氣的に接続されており、これにより、ヒートシンク基板1が正極側の取出電極となっている。また、接合層4及びヒートシンク基板1とn型電極層9とは、化合物半導体層11の厚み方向において反対側に配置された関係になっている。これにより本実施形態の発光ダイオードAは、所謂、上下電極構造の発光ダイオードとされている。

[0031] 発光ダイオードAに用いられる接合層4は、正極側となるヒートシンク基板1と化合物半導体層11とを接合することから、電気抵抗が低い材料で構成されることが好ましい。

また、接合層4は、化合物半導体層11に与えるストレスを考慮し、ヒートシンク基板1との接合を低温で行うことが可能な材料からなる金属接合層4eを設けることが好ましい。

また、本実施形態の発光ダイオードAにおいては、高輝度化を図る観点から、接合層4を、反射率の高い構造とすることが好ましい。このため、接合層4には、反射性材料からなる反射層4bを設けることが好ましく、また、従来公知の方法を用いて透光性導電材料からなる透光性薄膜層4aを組み合わせることも可能である。

- [0032] 透光性薄膜層4aは、化合物半導体層11と反射層4bとの間の反応及び拡散を防止するための層である。このような透光性薄膜層4aとしては、例えば、ITO（酸化インジウム錫）、SiO₂（酸化ケイ素）、TiO₂（酸化チタン）、又はSiN（窒化シリコン）等、透光性導電材料の屈折率差を利用した、所謂コールドミラー作用を有する酸化膜や窒化膜等から構成することができる。また、透光性薄膜層4aは、上記材料の多層膜とすることができる。またさらに、透光性薄膜層4aは、白色のAl₂O₃（アルミナ）、又はAlN（窒化アルミニウム）等の材料も、高い反射率が得られる点から好適に用いることができ、各種材料を組み合わせることも可能である。

透光性薄膜層4aの厚さは、例えば、10～500nm程度であることが好ましく、30～200nm程度であることがより好ましい。

- [0033] 反射層4bは、例えば、Ag、Au、Pt、Al、又はCu等の、化合物半導体層11から発光される光に対して高い反射特性を有する金属材料から構成される反射膜であり、化合物半導体層11から出射されて透光性薄膜層4aを透過し、ヒートシンク基板1側に向かう光を化合物半導体層11側に向けて反射する。また、反射層4bの材料は、化合物半導体層11（発光層7）の発光波長を勘案しながら、上記材料を単独か、あるいは、合金材料として使用することが可能である。

反射層4bの厚さとしては、例えば、100～800nm程度であることが好ましく、200～500nm程度であることがより好ましい。

- [0034] 本実施形態においては、発光層7を含む化合物半導体層11とヒートシンク基板1との間に、上記構成の反射層4b並びに透光性薄膜層4aを備える

接合層 4 を設けることにより、発光ダイオード A の輝度が向上するという優れた効果が得られる。このような反射構造を有する接合層 4 の反射率としては、例えば、90%以上であることが好ましい。

[0035] バリア層 4 c は、反射層 4 b の構成元素と、後述の Au 層 4 d 並びに金属接合層 4 e の構成元素との相互拡散を防止するために形成される。バリア層 4 c としては、例えば、Mo（モリブデン）、W（タングステン）、チタン（Ti）、クロム（Cr）、又はPt（白金）等、従来公知のバリア金属を用いることができる。また、バリア層 4 c の厚さとしては、例えば、50～500 nm 程度であることが好ましく、100～300 nm 程度であることがより好ましい。

[0036] Au 層 4 d は、詳細を後述する金属接合層 4 e によってヒートシンク基板 1 が接合された際の接触層となる層であり、接触抵抗の低いAuから構成される。また、例えば、このAu層 4 d に置き換えて、低い接触抵抗を有する他の金属材料からなる層を設けることも可能である。

Au 層 4 d の厚さとしては、例えば、100～1000 nm 程度であることが好ましく、200～500 nm 程度であることがより好ましい。

[0037] 金属接合層 4 e は、ヒートシンク基板 1 と接合する層であり、上述したように、低温で接合処理を行うことが可能な材料から構成される。このため、金属接合層 4 e は、化学的に安定であり、且つ、融点の低いAu系の共晶金属材料やはんだ材料等から構成することが好ましい。このような金属接合層 4 e をなす材料としては、例えば、AuSnの他、AuIn、AuGe、AuSiや、一般的なはんだ材料等の合金で融点の低い共晶組成の金属材料を用いることが好適である。金属接合層 4 e の厚さとしては、例えば、300～2000 nm 程度であることが好ましく、500～1500 nm 程度であることがより好ましい。

[0038] 上記構成である接合層 4 の全体の厚さとしては、特に限定されず、例えば、組み合わせる層の数や材質等に応じて適宜設定すれば良い。

[0039] また、接合層 4（金属接合層 4 e）とヒートシンク基板 1 とを接合する方

法としては特に限定されず、例えば、拡散接合や接着剤を用いた接合、常温接合方法等の従来公知の技術を採用することができ、素子構造を勘案しながら適宜選択することが可能である。

[0040] また、本発明に係る発光ダイオードAにおいては、上述のような接合層4を設けず、ヒートシンク基板1の基材部2と化合物半導体層11のp型半導体層6とが直に接合されてなる構成とすることも可能である。但し、このような構成とする場合には、p側の電極となるヒートシンク基板1とp型半導体層6との間のオーミック接触性を高めるため、上述のようなp型オーミック電極5を設けることが好ましい。

[0041] 次に、ヒートシンク基板（基板）1は、上述したように、基材部2と、前記基材部2に囲まれた埋設部3とからなり、本実施形態の発光ダイオードAの基体である。また、本発明に係る発光ダイオードAにおいては、基材部2が埋設部3よりも熱膨張係数が小さな材料から構成される。

[0042] 本発明者等は、優れた放熱性及び加工性が両立可能であり、歩留まり良く発光ダイオードが得られる基板を実現するために鋭意検討を行なった。そして、発光層7を含む化合物半導体層11と熱膨張係数がほぼ等しく、加工性に優れたヒートシンク基板1を化合物半導体層11に接合した構成とすることで、化合物半導体層11に割れ等が生じるのが防止できることを見出した。また、ヒートシンク基板1を基材部2と埋設部3とからなる3次元構造とし、放熱性に優れた材料から構成することにより、発光ダイオードAにより大きな電流を印加することが可能になるとともに、発光効率がより向上することを見出した。

[0043] ヒートシンク基板1は、基材部2と埋設部3とが、それぞれ異なる金属材料からなることが好ましい。また、ヒートシンク基板1に備えられる基材部2と、詳細を後述する化合物半導体層11との間の熱膨張係数の差が $\pm 1.5 \text{ ppm/K}$ 以内であることがより好ましい。また、ヒートシンク基板1は、熱伝導率が $200 \text{ W/m} \cdot \text{K}$ 以上である構成とされていることがさらに好ましい。

熱伝導率は高い方が望ましく、金属材料を用いて $400\text{ W/m}\cdot\text{K}$ までの範囲で高くすることが好ましい。

[0044] 本発明者等が上記各特性を満たすことが可能な基板の構成について鋭意研究したところ、これらの全ての条件に対して、単独材料で適合するものは存在しなかったものの、一部の金属材料を用いた複合構造とすることにより、上記条件に適合することを見出した。

本発明に係る発光ダイオードAでは、まず、熱膨張係数が化合物半導体層11をなすIII-V族化合物半導体に近い金属を基材部2の材料として選択し、さらに、基材部2よりも熱伝導率が大きな金属を埋設部3の材料として選択して組み合わせた。ヒートシンク基板1を上記構成とすることにより、上述した条件に適合可能な、発光ダイオードに最適な基板が得られる。好適な例としては、例えば、 AlGaInP 系の組成からなる化合物半導体の熱膨張係数は、約 5.3 ppm/K であるので、ヒートシンク基板1を構成する基材部2の金属材料としては、モリブデン (Mo : 熱膨張係数 $= 5.1\text{ ppm/K}$)、タングステン (W : 熱膨張係数 $= 4.3\text{ ppm/K}$)、又はこれらの合金が挙げられる。

[0045] また、ヒートシンク基板1を構成する基材部2と半導体材料との熱膨張係数の差は、 $\pm 1.5\text{ ppm}$ の範囲であることが好ましく、 $\pm 1\text{ ppm}$ の範囲であることがより好ましい。また、埋設部3の熱伝導率は、 $200\text{ W/m}\cdot\text{K}$ 以上であることが好ましく、 $230\text{ W/m}\cdot\text{K}$ 以上であることがより好ましい。

[0046] 基材部2は、上記材料からなる金属板に対し、エッチング等の方法によって凹部21が形成されてなる。凹部21の平面視形状としては、特に限定されず、四角形、六角形等、何れも適用可能であるが、均一な放熱性を確保するためには全方位で対象形状であることが好ましいことから円形が最も好ましい。また、凹部21の断面形状としても、例えば、略すり鉢状等、特に限定されるものではない。

[0047] また、図1A及び図1Bに示す例のように、凹部21は、発光ダイオード

Aのチップ1個当たりで1つとしても良いが、複数設けても構わない。また、凹部の深さについても特に限定されず、例えば、基材部を厚さ方向で貫くように貫通部として形成され、基材部が略筒状に構成されていても良いが、底部を薄く残した凹部21とすることにより、埋設部3をメッキ処理で形成する工程が簡便になることから好ましい。この場合、基材部2の厚さ方向で底部を残す位置としては、例えば、上面2a側、下面2b側、あるいは中央付近の何れでも良いが、化合物半導体層11と接合する上面2a側に底部を残すことが、熱膨張によるストレスが最小になる点から好ましい。

[0048] 埋設部3は、基材部2に囲まれて配置され、図1A及び図1Bに示す例では、基材部2の凹部21の全体を埋め込むように形成されている。

また、埋設部3は、熱伝導率が $230\text{ W/m}\cdot\text{K}$ 以上と大きな金属、例えば、銀（Ag：熱伝導率 $=420\text{ W/m}\cdot\text{K}$ ）、銅（Cu：熱伝導率 $=398\text{ W/m}\cdot\text{K}$ ）、金（Au：熱伝導率 $=320\text{ W/m}\cdot\text{K}$ ）、又はアルミニウム（Al：熱伝導率 $=236\text{ W/m}\cdot\text{K}$ ）から選択される少なくとも1種以上の元素を含む材料から構成することができる。また、埋設部3は、上記元素から選択される複数の元素からなる合金材料を用いることも可能であり、また、上記元素から選択される少なくとも1種以上の元素を含むメッキ層として構成することが可能である。

[0049] ヒートシンク基板1は、基材部2の厚さに対する埋設部3の厚さの割合が、70%以上であることが好ましい。基材部2の厚さ全体に対する埋設部3の厚さを上記割合とすることにより、良好な放熱性を有するとともに、素子単位に分割する際の加工性に優れる発光ダイオードAを実現できる。ここで、埋設部3が、基材部2を厚さ方向で貫くように貫通部として形成されるときは、前記の基材部2の厚さに対する埋設部3の厚さの割合は100%であることを意味する。

ヒートシンク基板の埋設部がメッキ処理法で形成される場合には、基材部の底部を残し、基材部2の厚さに対する埋設部3の厚さの割合を99%以下とすることが好ましい。

[0050] ヒートシンク基板 1 は、チップ単位とされた発光ダイオード A の側面領域の少なくとも一部が、基材部 2 をなす上記金属で構成され、また、ヒートシンク基板 1 の内部領域及び下面 1 b の中心領域が、埋設部 3 をなす上記金属で構成されている。基材部 2 をなす上記金属材料は硬い金属であるが、切断加工による分割処理が容易な金属であることから、発光ダイオード A のチップ側面に配置される。また、基材部 2 が埋設部 3 を囲む構成のため、発光ダイオード A 全体の熱膨張特性が、ほぼ、基材部 2 をなす金属材料の物性によって決定される。また、熱伝導特性については、ヒートシンク基板 1 の内部に設けられる埋設部 3 をなす金属材料により、良好な特性を得ることが可能となる。

[0051] また、ヒートシンク基板 1 の厚さとしては、 $30 \sim 300 \mu\text{m}$ の範囲であることが好ましく、 $50 \sim 150 \mu\text{m}$ の範囲であることがより好ましい。また、本実施形態では、基材部 2 の厚さを、ヒートシンク基板 1 全体の厚さと同様の上記範囲とすることが好ましい。

ヒートシンク基板 1 全体の厚さ、並びに基材部 2 の厚さを上記範囲とすることにより、ウェーハとしての強度並びに埋設部 3 を設けた際の放熱特性を確保できるとともに、後述の製造方法に備えられる分割工程において、容易に素子分割することが可能となる。ヒートシンク基板 1 全体の厚さ、並びに基材部 2 の厚さが $30 \mu\text{m}$ 未満だと強度が不足する虞があり、また、 $300 \mu\text{m}$ を超えると、分割工程における分割性が低下し、チップ化が困難になる虞がある。

なお、基材部 2 に埋め込まれる埋設部 3 は、図 1 A に示す例のように、その露出面が基材部 2 の表面と同一面である構成とすることができる。

[0052] また、ヒートシンク基板 1 は、1 辺あたりの長さが $500 \mu\text{m}$ 以上の平面視略四角形として形成することが、その上に相似形状で化合物半導体層 1 1 を設けて発光ダイオード A を構成した場合に良好な放熱性や発光特性が得られる点や、製造工程における分割処理の容易さ等の点から好ましい。

ヒートシンク基板は、発光ダイオードのサイズに合わせて大きな物を用い

ることができ、一辺あたりの長さが10mmの大型発光ダイオードにまで用いることができる。

[0053] 次に、化合物半導体層11は、発光層7を含み、pn接合構造を有する化合物半導体積層構造体であり、図1Aに例示される模式断面図のように、p型半導体層6、発光層7及びn型半導体層8が順次積層された構成とされている。

[0054] 本実施形態で説明する化合物半導体層11は、後述の製造方法において詳細を説明するが、エピタキシャル成長用基板30（図2～図3Bを参照）上において予め形成された層である。発光ダイオードAは、ヒートシンク基板1（基材部2）の上面2a上に、予め形成された化合物半導体層11に備えられるp型半導体層6が、接合層4を介して接合されてなるものである。

[0055] 化合物半導体層11は、n形又はp形の何れの伝導形の化合物半導体からも構成できるが、本発明においては、特に、発光層の発光効率に優れ、また、基板接合技術が確立されている、一般式 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ （ここで、X及びYは、それぞれ $0 \leq X \leq 1$ 、及び $0 < Y \leq 1$ を満たす数値である）で表されるIII-V族化合物半導体を好適に用いることができる。一方、赤色及び赤外発光が得られる組成式 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ （ここで、Xは $0 \leq X \leq 1$ を満たす数値である）の発光層を備える化合物半導体層に対しても、本実施形態の素子構造を適用することが可能である。

化合物半導体層11は、具体的には、以下に説明するような構造である。

[0056] p型半導体層6は、Mg、又はZn等が所定量でドーピングされたp型特性を有し、例えば、GaPからなるp型のコンタクト層である。Mgをドーピングするための原料としては、例えば、公知のビスシクロペンタジエニルマグネシウム（bis-(C₅H₅)₂Mg）等が用いられる。また、本発明においては、輝度をより向上させるため、p型半導体層6には上記GaPを用いることが好ましいが、その他、例えば、AlGaAs、又はAlGaInP等のIII-V族化合物半導体結晶についても、何ら制限無く採用することが可能である。

[0057] また、p型半導体層6の厚さは、 $0.5 \sim 20 \mu\text{m}$ の範囲であることが好ましく、 $1 \sim 10 \mu\text{m}$ の範囲であることがより好ましい。p型半導体層6の厚さがこの範囲であれば、良好な結晶性を有する薄膜となり、後述の発光層7の発光効率が向上し、ひいては発光ダイオードAの発光特性が良好なものとなる。

[0058] 発光層7は、上記p型半導体層6上に備えられており、前記p型半導体層6側から順に、例えば、Mg、又はZn等をドーピングしたp形特性を有し、 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ 及び $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ の薄膜からなるp型クラッド層7cと、アンドープの $(\text{Al}_{0.2}\text{Ga}_{0.8})_{0.5}\text{In}_{0.5}\text{P}$ からなる井戸層と、 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ からなる障壁層が交互に10対で積層されてなる多重井戸層7bと、Si、又はTe等をドーピングしたn形特性を有する $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ からなるn型クラッド層7aと、が積層された構成とされている。ここで、多重井戸層等の構造を有する公知の発光層7（多重井戸層7b）をなし、 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ （ここで、X及びYは、それぞれ $0 \leq X \leq 1$ 、及び $0 < Y \leq 1$ を満たす数値である）なる組成の障壁（barrier）層及び井戸（well）層の構成は、所望の発光波長が得られるように適宜決定することができる。また、p型クラッド層7c、n型クラッド層7a、多重井戸層7bをなす障壁層の組成や厚さ、キャリア濃度等は、発光効率が高くなるように適宜調整すれば良い。また、本実施形態の発光ダイオードにおいては、上記n型及びp型の極性を入れ替えた層構造とすることも可能である。

[0059] 本実施形態の発光ダイオードAに備えられる発光層7は、上記構成により、p型クラッド層7c、多重井戸層7b及びn型クラッド層7aからなる、所謂pn接合型ダブルヘテロ接合構造を有する。発光層7は、放射再結合を担うキャリアを閉じ込めるため、ダブルヘテロ（DH: Double Hetero）構造、又は多重量子井戸構造等の公知の構造を適用できる。

[0060] 上述した多重井戸層7bは、n形又はp形の何れの伝導形の化合物半導体からも構成することが可能である。

また、本実施形態の発光層 7 は、上記構造の多重井戸構造を有する、多重井戸層 7 b が備えられた構成であるが、発光構造については、これに限定されない。例えば、上記多重井戸構造の他、単一（Single）量子井戸（SQW）構造を採用することも可能であるが、優れた発光を得るためには多重量子井戸構造であることがより好ましい。

[0061] また、発光層 7 の材質としては、上述した一例のみならず、GaInN系、又はAlGaAs系等、従来公知の他の材料を用いることも可能であるが、後述の製造方法において用いる積層用基板の材質を勘案し、この積層用基板上に直接成長可能な材料を選択することが好ましい。上述のような材料からなる発光層 7 は、例えば、格子整合したGaAs等のIII-V族化合物半導体等の単結晶基板の表面上に形成することができる。また、上記発光層の構造に付加して、従来公知の技術である機能的な層、例えば、コンタクト層、電流拡散層、電流阻止層、及び反射層等を設けた構成とすることができる。

[0062] 発光層 7 を、上述のような多重井戸層 7 b を備える多重井戸構造として構成した場合には、障壁層の膜厚を、10～100 nmの範囲とするとともに、井戸層の膜厚を10～100 nmの範囲とすることが好ましい。また、多重井戸層 7 b 全体の膜厚としては、100～2000 nmの範囲とすることが好ましい。

[0063] また、p型クラッド層 7 c の膜厚は、200～2000 nmの範囲とすることが好ましく、n型クラッド層 7 a の膜厚は、200～2000 nmの範囲とすることが好ましい。

また、発光層 7 全体の膜厚としては、500～1500 nmの範囲とすることが好ましい。発光層 7 及び前記発光層 7 を構成する各層の厚さを上記範囲とすることにより、結晶性に優れ、優れた発光効率を備える発光層 7 が得られる。

[0064] n型半導体層 8 は、上記発光層 7 上に備えられており、Si、Te、又はSnが所定量でドーピングされたn型特性を有し、例えば、Siドーピングの（Al。

$\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ からなるn型のコンタクト層である。 Si をドーピングするための原料としては、例えば、ジシラン(Si_2H_6)等が用いられる。

[0065] n型半導体層8の厚さは、100～8000nmの範囲であることが好ましく、500～3000nmの範囲であることがより好ましい。n型半導体層8の厚さがこの範囲であれば、良好な結晶性を有する薄膜となり、発光層7の発光効率が向上し、ひいては発光ダイオードAの発光特性が良好なものとなる。

[0066] 以上説明したような、本実施形態の発光ダイオードAによれば、ヒートシンク基板1の上面2a上に少なくとも発光層7を含む化合物半導体層11が積層され、ヒートシンク基板1が基材部2と前記基材部2に囲まれた埋設部3とからなるとともに、基材部2が埋設部3よりも熱膨張係数が小さな材料から構成されることにより、ヒートシンク基板1の加工性と放熱性とを両立することができる。これにより、製造工程において化合物半導体層11にクラック等の損傷が生じるのを防止でき、歩留まりが向上するとともに、高電流の印加が可能で高い発光効率を有する発光ダイオードAを提供することができる。

[0067] 本実施形態の発光ダイオードAは、上記構成により、正極となるヒートシンク基板1と、負極となるn型電極層9との間の各電極間に $0.5\text{W}/\text{mm}^2$ 以上の高密度の電力を印加した場合でも、ヒートシンク基板1によって放熱作用が効果的に得られる。したがって、発光ダイオードAの発光輝度が飛躍的に向上するという効果が得られる。

[0068] [発光ダイオードの製造方法]

次に、図2～図10を参照して、発光ダイオードAの製造方法の一例について説明する。

本発明に係る発光ダイオードAの製造方法は、積層用基板（図2等の符号30参照）上に、少なくとも発光層7を含む化合物半導体層11を形成し、前記化合物半導体層11に備えられるp型半導体層（第2の半導体層）6の

上にp型オーミック電極（第2の電極）5を形成した後、このp型オーミック電極5を覆うように接合層4を積層して積層体40を形成する工程と、基材部2の少なくとも一部にエッチング法によって凹部（図1A等の符号21を参照）又は貫通部を形成し、この凹部又は貫通部の内部に埋設部3を形成することでヒートシンク基板（基板：図4B等の符号1参照）を形成した後、積層体40の接合層4とヒートシンク基板1の上面2a側（一面側）とを接合することで積層体40とヒートシンク基板1とを接合する工程と、積層用基板30を化合物半導体層11から剥離して、前記化合物半導体層11に備えられるn型半導体層（第1の半導体層）8の光取出面11aを露出させた後、前記光取出面11aの上にn型電極層（第1の電極）9を形成する工程と、化合物半導体層11及び接合層4を複数に分割した後、前記複数の化合物半導体層11の各々の間に形成される分断溝11bに沿って、ヒートシンク基板1における基材部2の位置を切断することで素子単位に分割する工程と、を具備しており、基材部2が、埋設部3よりも熱膨張係数が小さな材料からなる方法である。

[0069] また、本実施形態において説明する例の発光ダイオードAの製造方法は、積層用基板30上に、少なくともn型半導体層8、発光層7及びp型半導体層6を順次積層して化合物半導体層11を形成する半導体層形成工程と、化合物半導体層11のp型半導体層6の上にp型オーミック電極5を形成した後、前記p型オーミック電極5を覆うように接合層4を積層して積層体40を形成する積層体形成工程と、基材部2の少なくとも一部にエッチング法によって凹部21を形成した後、凹部21の内部にメッキ法によって埋設部3を形成することでヒートシンク基板1を形成する基板形成工程と、積層体40の接合層4とヒートシンク基板1の上面2a側とを接合することにより、化合物半導体層11とヒートシンク基板1とを接合する接合工程と、積層用基板30を化合物半導体層11から剥離してn型半導体層8の光取出面11aを露出させる除去工程と、化合物半導体層11に備えられるn型半導体層8上にn型電極層9を形成する電極形成工程と、化合物半導体層11及び接

合層 4 を複数に分割した後、複数の化合物半導体層 11 の各々の間に形成される分断溝 11 b に沿って、ヒートシンク基板 1 における基材部 2 の位置を切断する分割工程と、を具備した方法であり、基材部 2 が埋設部 3 よりも熱膨張係数が小さな材料からなる方法である。

[0070] また、本実施形態で説明する例では、前記電極形成工程と前記分割工程との間において、n 型半導体層 8 の光取出面 11 a を粗面化する粗面化工程が設けられている。

以下、本実施形態の発光ダイオードの製造方法の一例について、図面を参照しつつ各工程を説明する。

[0071] 「半導体層形成工程」

半導体層形成工程では、図 2 に示すように、半導体結晶のエピタキシャル成長が可能な積層用基板 30 の上に、n 型半導体層 8、発光層 7 及び p 型半導体層 6 を順次積層して化合物半導体層 11 を形成する。

[0072] 具体的には、まず、Si をドープした n 形特性とされ、(100) 面から 15° 傾けた面を有する GaAs 単結晶からなる積層用基板 30 を用意する。そして、図 2 に示すように、積層用基板 30 上に、n 型半導体層 8、発光層 7 及び p 型半導体層 6 を、この順で積層して化合物半導体層 11 を形成する。

[0073] ここで、半導体結晶を成長させるための積層用基板 30 の材料としては、上述した GaAs 単結晶の他、例えば、サファイア ($\alpha\text{-Al}_2\text{O}_3$ 単結晶)、炭化シリコン (SiC)、ガリウムリン (GaP) 及び GaN 等、III-V 族半導体結晶を表面にエピタキシャル成長させることが可能な基板材料を適宜選択することができる。また、積層用基板 30 の大きさは、通常は直径 2 インチ又は 3 インチ程度のものが用いられ、この上に複数の化合物半導体層が形成されるが、これには限定されず、例えば、直径 4~6 インチの円形又は矩形基板等、さらに大型の基板を使用することも可能である。

[0074] 本実施形態では、半導体層形成工程として、まず、積層用基板 30 上に、Si をドープした n 形特性の GaAs からなる図示略の緩衝層を形成し、こ

の上に、Siドープの $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ からなるn型半導体層8、Siドープのn形特性を有する $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ からなるn型クラッド層7aと、アンドープの $(\text{Al}_{0.2}\text{Ga}_{0.8})_{0.5}\text{In}_{0.5}\text{P}$ からなる井戸層と $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ からなる障壁層が交互に10対で積層されてなる多重井戸層7bと、Mgドープのp形特性を有し、 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ からなる第2クラッド層及び $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ の薄膜からなるp型クラッド層7cとが積層されてなる発光層7、及び、Mgドープでp型特性を有するGaPからなるp型半導体層6を順次積層する例を説明する(図1Aも参照)。

[0075] 化合物半導体層11を構成するn型半導体層8、発光層7及びp型半導体層6の成長方法は特に限定されず、スパッタリング法、MOCVD(有機金属化学気相成長法)、HVPE(ハイドライド気相成長法)、MBE(分子線エピタキシー法)、又はLPE(液相エピタキシャル法)等、GaN系半導体を成長させることが知られている全ての方法を適用できる。好ましい成長方法としては、膜厚制御性や量産性の観点からMOCVD法が挙げられる。

本実施形態では、上記組成からなる緩衝層、n型半導体層8、発光層7及びp型半導体層6の各層を形成する際、トリメチルアルミニウム($(\text{CH}_3)_3\text{Al}$)、トリメチルガリウム($(\text{CH}_3)_3\text{Ga}$)及びトリメチルインジウム($(\text{CH}_3)_3\text{In}$)等のIII族構成元素を原料に用いた減圧有機金属化学気相堆積法(MOCVD法)により、積層用基板30上に各層を形成することができる。

[0076] p型クラッド層7c及びp型半導体層6を形成する際にドーピングするMgの原料としては、上述したように、ビスシクロペンタジエニルマグネシウム($\text{bis}-(\text{C}_5\text{H}_5)_2\text{Mg}$)等を用いることができる。また、n型半導体層8及びn型クラッド層7aを形成する際にドーピングするSiの原料としては、ジシラン(Si_2H_6)等を用いることができる。

また、V族構成元素の原料としては、ホスフィン(PH_3)又はアルシン(

AsH₃)等を用いることができる。

[0077] 化合物半導体層11を形成する際の成長温度としては、例えば、GaPからなるp型半導体層6は700～780℃程度、好ましくは750℃程度の温度とすることができる。また、その他の層、つまり、n型半導体層8及び発光層7、並びに緩衝層を含む各層の成長温度も、700～780℃程度、好ましくは730℃程度とすることができる。

[0078] ここで、GaAsからなる緩衝層は、キャリア濃度を、単結晶基板と同程度の約 $0.1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 、膜厚を0.1～1 μm程度とすることができる。

また、(Al_{0.5}Ga_{0.5})_{0.5}In_{0.5}Pからなるn型半導体層8は、キャリア濃度を約 $0.1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 、膜厚を1～8 μm程度とすることができる。

[0079] また、発光層7を構成するn型クラッド層7aは、キャリア濃度を約 $1 \times 10^{17} \text{ cm}^{-3} \sim 30 \times 10^{17} \text{ cm}^{-3}$ 、膜厚を0.1～2 μm程度とすることができる。多重井戸層7bは、アンドープで、膜厚を0.2～2 μm程度とすることができる。p型クラッド層7cは、キャリア濃度を約 $1 \times 10^{17} \text{ cm}^{-3} \sim 20 \times 10^{17} \text{ cm}^{-3}$ とし、膜厚を0.1～3 μm程度とすることができる。

[0080] また、p型半導体層6は、キャリア濃度を約 $0.5 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{18} \text{ cm}^{-3}$ とし、膜厚を0.5～20 μm程度とすることができる。このp型半導体層6の膜厚が薄いと、電流拡散が不十分となり、発光層7へ電流が均一に供給されないため、発光効率の低下を招く虞がある。また、不必要に厚い膜厚とした場合にはコストアップとなり、また、層の成長も技術的に困難となる場合がある。またさらに、p型半導体層6のキャリア濃度が低い場合は電流拡散が不十分となり、高すぎる場合は結晶品質の低下を招く虞がある。

[0081] 「積層体形成工程」

積層体形成工程では、図3A及び図3Bに示すように、化合物半導体層1

1の各々のp型半導体層6の上にp型オーミック電極5を形成した後、前記p型オーミック電極5を覆うように接合層4を積層して積層体40を形成する。

[0082] 具体的には、図3Aに示すように、まず、p型半導体層6上に、AuBe合金膜及びAu膜からなる積層膜を、フォトリソグラフィ技術によって順次積層し、パターニングすることにより、p型オーミック電極5を形成する。この際、p型オーミック電極5は、例えば、円形状として、p型半導体層6上において所定間隔で複数形成することが、電流拡散の点で好ましい。また、p型半導体層6上には、予め、鏡面加工を施すことが、p型半導体層6と、p型オーミック電極5並びに接合層4との間で良好な接触が得られる点から好ましい。

[0083] 次に、図3Bに示すように、さらに、化合物半導体層11の各々の上に接合層4を形成する。

具体的には、まず、化合物半導体層11のp型半導体層6上に形成したp型オーミック電極5を覆うように、ITO等からなる透光性薄膜層4aを形成する。そして、その上に、Ag等からなる反射層4b、Mo等からなるバリア層4c、Au層4d及びAuSn材料等からなる金属接合層4eの各層を順次積層して接合層4を形成する。この接合層4を構成する各層の形成方法としては、従来公知の方法を何ら制限無く採用することが可能である。

[0084] 上記手順により、積層用基板30上に形成された化合物半導体層11の各々の上に、p型オーミック電極5及び接合層4を積層して積層体40を形成する。

[0085] 「基板形成工程」

基板形成工程では、図4A及び図4Bに示すように、基材部2の少なくとも一部にエッチング法によって凹部21を形成した後、凹部21の内部に埋設部3を形成することでヒートシンク基板1を形成する。

[0086] 具体的には、まず、金属Mo塊に圧延処理を施し、得られた圧延板をプレスで打ち抜くことにより、平板状の基材部2を得る。この際の、金属Moの

圧延処理方法としては、従来公知の方法を何ら制限無く用いることができる。

次いで、図 4 A に示すように、基材部 2 の下面 2 b に凹部 2 1 を形成する。ここで、図 1 A 及び図 1 B に示す例の発光ダイオード A では、凹部 2 1 を横断面円形状で形成している。この際の、基材部 2 の加工方法としては、例えば、エッチング法や機械的加工法その他、高出力レーザによる穴あけ加工法等の従来公知の技術を適用できるが、量産に適していることや低コストである等の点から、エッチング法が好適である。

[0087] 次に、図 4 B に示すように、基材部 2 の下面 2 b 側に形成した凹部 2 1 の内部に Cu 材料を埋め込むことにより、埋設部 3 を形成する。

具体的には、例えば、メッキ法や印刷法等を用いて凹部 2 1 内に Cu 材料を埋め込み、埋設部 3 を形成する。この際の埋設部 3 の形成方法としては、特に限定されないが、量産性の観点からメッキ法が好適であり、特に、電解メッキ法を用いることが、処理速度が早く生産性が向上する点でより好ましい。

[0088] また、基材部 2 の凹部 2 1 に Cu 材料を埋め込んで埋設部 3 を形成した後、下面 2 b までそのままメッキを形成する方法としても良い。あるいは、基材部 2 の下面 2 b 及び埋設部 3 の表面を、より安定した他の金属材料、例えば、Au、Ag、Ni、Pt、又は Cu 等で覆っても良い。一方、埋設部 3 の表面状態によっては、この表面を鏡面加工することが、後述の接合工程において良好な接合性が得られる点から好ましい。また、Cu 材料に加えて、ダイボンド用の共晶金属を付与することにより、工程を簡便にすることも可能となる。

[0089] また、本実施形態の基板形成工程においては、基材部 2 に Mo 材料を用い、埋設部 3 として Cu 材料を用いる例を説明しているが、これには限定されない。例えば、基材部 2 としては、上述したように、Mo 材料と近似した熱膨張係数の特性を有する W や、あるいは、Mo と W の合金材料を採用することも可能である。また、同様に、埋設部 3 としては、Au、Ag、Cu、又

はA 1から選択される少なくとも何れか1種以上の元素を含む材料から形成することが可能であり、適宜、選択して採用することができる。

[0090] なお、本実施形態では、後述の接合工程の前の基板形成工程において、基材部2に凹部2 1を形成して埋設部3を設ける例を説明しているが、これには限定されない。例えば、接合工程において、積層体4 0と基材部2の上面2 aとを接合した後、下面2 bに凹部2 1を形成して埋設部3を設ける方法としても良い。このような場合には、例えば、まず、積層工程において積層体4 0の接合層4と基材部2の上面2 aとを接合した後、後述の除去工程や電極形成工程等を行ない、分割工程において素子分割を行なう前に、基材部2の下面2 bにエッチング法を用いて凹部2 1を形成する。そして、凹部2 1の内部にCu材料を埋め込んでメッキ処理を行うことで埋設部3を設けることによりヒートシンク基板1を形成する方法とすることができる。

[0091] また、基材部2に凹部2 1を形成して埋設部3を設ける工程においては、上述のように接合工程の前あるいは後に行う何れの場合でも、埋設部3の位置と化合物半導体1 1の位置とが対応するように、位置調整をしながら形成する必要がある。

[0092] 「接合工程」

接合工程では、図5に示すように、上述した積層体4 0の接合層4とヒートシンク基板1の一面側である上面2 aとを接合することにより、化合物半導体層1 1とヒートシンク基板1とを接合する。

[0093] 具体的には、図5に示すように、積層体2 0の接合層4をなす金属接合層4 eと、ヒートシンク基板1の上面2 aとを、例えば、AuSn共晶接合によって接合する。この際、上面2 aに、予め、Pt、又はNi等をスパッタ法、蒸着法、又はメッキ法等で成膜しておくことが、上面2 aの表面が安定化し、接合性が高められる点から好ましい。

[0094] 上述のようなAuSn共晶接合を行う際は、まず、基板（積層体4 0及びヒートシンク基板1）を基板接合装置内に導入し、装置内圧力が 3×10^{-5} Pa以下となるまで真空排気を行なう。そして、基板温度を400℃程度に

加熱し、 100 g/cm^2 程度の荷重を印加することで共晶接合を行う方法とすることができる。これにより、接合層4とヒートシンク基板1との間がオーミック接触するとともに、積層体40（化合物半導体層11）とヒートシンク基板1とが一体に形成される。

[0095] なお、本実施形態では、上記方法により、接合層4とヒートシンク基板1とを共晶接合することで、化合物半導体層11とヒートシンク基板1とを接合する例を説明しているが、本発明はこれに限定されるものではない。例えば、化合物半導体層11とヒートシンク基板1との接合には、加熱圧着法や、接着剤等を用いた公知の方法を何ら制限無く採用することができる。

[0096] 「除去工程」

除去工程では、図6A及び図6Bに示すように、積層用基板30及び図示略の緩衝層を化合物半導体層11から剥離してn型半導体層8の光取出面11aを露出させる。

[0097] 図示略の緩衝層及び積層用基板30を取り除く方法としては、機械的研磨法、アンモニア系エッチャントを用いたエッチング法、又はレーザリフトオフ法など公知の技術を何ら制限なく用いることが出来るが、生産性の観点からエッチング法を用いることが好ましい。

[0098] 具体的には、図6Bに示すように、アンモニアや過酸化水素系のエッチャントを用い、GaAs単結晶からなる積層用基板30及び緩衝層を取り除くことにより、n型半導体層8の緩衝層との界面、つまり光取出面11aが露出される。

[0099] 「電極形成工程」

電極形成工程では、図7に示すように、n型半導体層8の光取出面11aの上に、 $0.1\sim 1\mu\text{m}$ の厚さのAuGe/Ni合金膜、及び、厚さが $1\sim 3\mu\text{m}$ のAu膜を真空蒸着法により堆積した後、一般的なフォトリソグラフィ法を利用してパターニングを施すことにより、n型電極層9を形成する。また、n型電極層9は上記層構造には限定されず、他の材料を用いて形成しても良いし、また、例えば、スパッタリング法や蒸着法を用いて形成するこ

とも可能である。

[0100] 「粗面化工程」

粗面化工程では、 n 型半導体層 8 の光取出面 11a を粗面化する。この、光取出面 11a の粗面化の方法としては、この分野で従来から採用されている方法を、何ら制限無く用いることができる。

[0101] 「分割工程」

分割工程では、図 8 ～図 10 に示すように、化合物半導体層 11 の少なくとも一部をエッチング除去して複数に分割した後、ヒートシンク基板 1 の表面が露出した分断溝 11b に沿って、ダイシングソー等でヒートシンク基板 1 の基材部 2 の位置を切断し、素子単位のチップに分割して発光ダイオード A とする。そして、分割後、このチップ（素子）を洗浄して、切削時に生じた付着物を除去する。

[0102] また、上述したヒートシンク基板 1 を形成する基板形成工程において、基材部 2 の下面 2b 並びに埋設部 3 の表面に形成された Cu メッキ層を除去する。

[0103] 次に、図 9 に示すように、ヒートシンク基板 1 の基材部 2 の位置を、複数の化合物半導体層 11 の各々の間に形成された分断溝 11b に沿って、例えば、ダイシングソーを用いて切断する。このような分割工程を行なうことにより、図 10（図 1A 及び図 1B も参照）に示すような、一辺の長さが $500\mu\text{m}$ 以上の略四角形状（図 1B に示す例では略正方形）とされた、複数の発光ダイオード A が得られる。

[0104] ここで、本発明に係る発光ダイオード A の製造方法では、基材部 2 が埋設部 3 よりも熱膨張係数が小さな材料から構成される。このように、上述のような分割工程において、ヒートシンク基板 1 を切断する位置が、加工性に優れる基材部 2 の位置となるので、化合物半導体層 11 にストレスを与えることなく、容易に切断処理を行うことが可能となる。これにより、化合物半導体層 11 に損傷等が生じることが無いので、発光効率の高い発光ダイオード A を、高い歩留まりで製造することが可能となる。

[0105] 以上説明したように、本実施形態の発光ダイオードAの製造方法は、積層用基板30上に化合物半導体層11及び接合層4が積層されてなる積層体40と、基材部2と前記基材部2に形成された凹部21（又は貫通部）の内部に設けられた埋設部3とからなるヒートシンク基板1とを接合することで、化合物半導体層11とヒートシンク基板1とを接合する接合工程と、積層用基板30を化合物半導体層11から剥離してn型半導体層8の光取出面11aを露出させる除去工程と、複数の化合物半導体層11の各々の間に形成される分断溝11bに沿ってヒートシンク基板1における基材部2の位置を切断する分割工程とを具備した方法であり、基材部2が埋設部3よりも熱膨張係数が小さな材料からなるので、化合物半導体層11にクラック等の損傷が生じるのを防止でき、歩留まりが向上するとともに、ヒートシンク基板1の放熱性に優れた発光ダイオードAを製造することが可能となる。これにより、高電流の印加が可能で発光効率に優れた発光ダイオードAを、高い製造効率で製造することが可能となる。

[0106] [発光ダイオードランプ]

本発明に係る発光ダイオードを用いて、当業者周知の手段によってランプを構成することができる。このようなランプとしては、一般用途の砲弾型、携帯機器用途のサイドビュー型、表示器に用いられるトップビュー型等、何れの用途にも用いることができる。

[0107] 例えば、図11に示す例のように、上下電極型の発光ダイオードAをトップビュー型に実装する場合には、マウント用基板85の表面に設けられたn電極端子84又はp電極端子83の一方、図示例においてはp電極端子83に発光ダイオードAのヒートシンク基板1側を接着し、また、発光ダイオードAのn型電極層9をワイヤー86でn電極端子84に接合する。そして、透明な樹脂からなるモールド樹脂81で発光ダイオードAの周辺をモールドすることにより、図11に示すようなトップビュー型の発光ダイオードランプ（ランプ）80を作製することができる。

[0108] 図11に示す発光ダイオードランプ80は（図1A及び図1Bも参照）、

上記構成により、n電極端子83とp電極端子84との間に印加された電圧が、負極側であるn型電極層9と正極側であるヒートシンク基板1を介して化合物半導体層11に印加され、発光層7が発光する。そして、発光層7から出射された光は、発光ダイオードランプ80の正面方向Fに向けて取り出される。

[0109] 本実施形態の発光ダイオードランプ80は、上記本発明に係る発光ダイオードAが用いられてなるものなので、非常に高い輝度を備え、発光特性に優れたものとなる。特に、各電極間に $0.5\text{W}/\text{mm}^2$ 以上の高密度で電力を印加した場合であっても、発光に伴う発熱が効果的に放熱されるので、発光効率に優れ、高出力、高輝度の発光ダイオードランプ80が得られる。

[0110] なお、上記構成の発光ダイオードランプ80において、マウント用基板85を、例えば、熱抵抗が $9^\circ\text{C}/\text{W}$ 以下となるように材質等を調整することがより好ましい。これにより、発光ダイオードAに、例えば、 $0.5\text{W}/\text{mm}^2$ 以上の高密度の電力を印加して発光させた際に、上述のヒートシンク基板1による放熱効果に加え、さらに、マウント用基板85による放熱効果が得られるので、内装される発光ダイオードAの発光効率を一層向上させることが可能となる。また、マウント用基板の形状としては、図11に示す例においては板状に形成されているが、これには限定されず、他の形状を採用することも可能である。

実施例

[0111] 以下に、本発明に係る発光ダイオード及びその製造方法、並びにランプの実施例について、図1A～図11を適宜参照しながら詳細に説明するが、本発明は以下に説明する実施例に限定されるものではない。

[0112] [実施例]

図1A及び図1Bは本実施例で作製した発光ダイオードの模式図であり、図1Aは断面図、図1Bは平面図である。また、図11は、図1A及び図1Bに示す発光ダイオードを用いて作製した発光ダイオードランプの模式断面図である。

本実施例では、GaAsからなる積層用基板上に設けた化合物半導体層からなる積層体と、Mo材料からなる基材部とCuメッキ層からなる埋設部3とから構成されるヒートシンク基板1とを接合することで、上下電極構造の発光素子を作製した。即ち、発光層7がAlGaInP系化合物半導体からなり、赤色発光を呈する発光ダイオードAを作製し、さらに、この発光ダイオードAを用いてトップビュー型の発光ダイオードランプ80を作製した。

[0113] 「化合物半導体層の成長（半導体層形成工程）」

まず、Siをドーピングしたn形特性とされ、(100)面から15°傾けた面を有するGaAs単結晶からなる積層用基板30を用意した。

そして、積層用基板30上に、まず、Siをドーピングしたn形特性のGaAsからなる緩衝層を形成し、この上に、Siドーピングの $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}$ からなるn型半導体層8、Siドーピングのn形特性を有する $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ からなるn型クラッド層7aと、アンドーピングの $(\text{Al}_{0.2}\text{Ga}_{0.8})_{0.5}\text{In}_{0.5}\text{P}$ からなる井戸層と、 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ からなる障壁層が交互に10対で積層されてなる多重井戸層7bと、Mgドーピングのp形特性を有し、 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ からなるp型クラッド層7cとが積層されてなる発光層7、及び、Mgドーピングでp型特性を有するGaPからなるp型半導体層6を順次積層した。

[0114] 本実施例では、上記組成からなる緩衝層、n型半導体層8、発光層7及びp型半導体層6の各層を形成する際、トリメチルアルミニウム $((\text{CH}_3)_3\text{Al})$ 、トリメチルガリウム $((\text{CH}_3)_3\text{Ga})$ 及びトリメチルインジウム $((\text{CH}_3)_3\text{In})$ 等のIII族構成元素を原料に用いた減圧有機金属化学気相堆積法(MOCVD法)により、積層用基板30上に各層を形成した。

[0115] p型クラッド層7c及びp型半導体層6にドーピングするMgの原料としては、ビスシクロペンタジエニルマグネシウム $(\text{bis}-(\text{C}_5\text{H}_5)_2\text{Mg})$ を用い、n型半導体層8及びn型クラッド層7aにドーピングするSiの原料としては、ジシラン (Si_2H_6) を用いた。また、V族構成元素の原料として、ホスフィン (PH_3) 又はアルシン (AsH_3) を用いた。また、各層の成長温度

については、GaPからなるp型半導体層6を750°Cで成長させ、n型半導体層8、発光層7の他、障壁層を含めた各層を730°Cで成長させた。

[0116] 上記成膜処理において、GaAsからなる緩衝層は、キャリア濃度を約 $5 \times 10^{18} \text{ cm}^{-3}$ 、膜厚を約0.2 μm として形成した。また、n型半導体層8は、キャリア濃度を約 $2 \times 10^{18} \text{ cm}^{-3}$ 、膜厚を約1.5 μm として形成した。また、発光層7を構成するn型クラッド層7aは、キャリア濃度を約 $8 \times 10^{17} \text{ cm}^{-3}$ 、膜厚を約1 μm とした。また、多重井戸層7bは、アンドープの $(\text{Al}_{0.2}\text{Ga}_{0.8})_{0.5}\text{In}_{0.5}\text{P}$ と、 $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ との、10対の積層構造として形成し、その層厚を0.8 μm とした。p型クラッド層7cは、Mgをドーブしたp型の $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ からなり、キャリア濃度を $2 \times 10^{17} \text{ cm}^{-3}$ とし、層厚を1 μm とした。また、p型半導体層6は、Mgをドーブしたp型GaP層であり、キャリア濃度を $3 \times 10^{18} \text{ cm}^{-3}$ とし、層厚を3 μm とした。

[0117] 以上の各工程処理により、積層用基板30上に、n型半導体層8、発光層7及びp型半導体層6をこの順で積層して化合物半導体層11を形成した。

[0118] 「積層体の形成（積層体形成工程）」

次に、上記工程で形成した化合物半導体層11のp型半導体層6を、表面から1 μm の深さに至る領域を研磨して鏡面加工することで、p型半導体層6の表面粗さを0.18 nm程度とした。

次いで、鏡面研磨したp型半導体層6上に、AuBe合金膜及びAu膜からなる積層膜をフォトリソグラフィ技術によって順次積層してパターニングすることにより、p型オーミック電極5を形成した。この際、AuBe合金膜/Au膜の膜厚をそれぞれ0.4 μm /0.2 μm とし、20 μm 径の円形とされたp型オーミック電極5を80 μm の等間隔で複数形成した。

[0119] 次いで、化合物半導体層11のp型半導体層6上に形成したp型オーミック電極5を覆うように、p型半導体層6上に接合層4を形成した。まず、透明の導電膜であり、ITOからなる透光性薄膜層4aを、複数のp型オーミック電極5を完全に覆うように形成した後、450°Cの温度で熱処理を施す

ことにより、オーミックコンタクト形成した。次いで、その表面に、A g 合金からなる $0.5\mu\text{m}$ の反射層4 b、W及びP t が各 $0.1\mu\text{m}$ ずつ積層されたバリア層4 c、 $0.5\mu\text{m}$ のA u 層4 d、A u G e 材料（融点： 386°C ）からなる $1\mu\text{m}$ の金属接合層4 eの各層を、蒸着法を用いて順次積層して接合層4を形成した。

[0120] 「ヒートシンク基板の形成（基板形成工程）」

次に、金属M o 塊に圧延処理を施し、得られた圧延板をプレスで打ち抜くことにより、厚さが $80\mu\text{m}$ とされた平板状の基材部2を得た。次いで、基材部2の下面2 b 側に、 $500\mu\text{m}$ 間隔で直径 $300\mu\text{m}$ の円形のパターンを形成した。そして、エッチング法を用いて、深さ $65\mu\text{m}$ （基材部2の残厚： $15\mu\text{m}$ ）の凹部2 1を形成した。この際、エッチング処理後の下面2 b 側の直径は $400\mu\text{m}$ に拡大し、垂直断面が台形状となった。

[0121] 次いで、基材部2に形成した凹部2 1の内部に、電解メッキ法によってC u メッキ層からなる埋設部3を埋め込み、さらに、基材部2の下面2 b 並びに埋設部3の表面に、 $1\mu\text{m}$ の全面メッキを施し、ヒートシンク基板1とした。このヒートシンク基板1の熱膨張係数は $5.5\text{ppm}/\text{K}$ 、熱伝導率は $220\text{W}/\text{m}\cdot\text{K}$ であった。

そして、上面2 a 側に、 $0.1\mu\text{m}$ のP t をスパッタ法によって成膜し、表面を安定化させた。

[0122] 「化合物半導体層とヒートシンク基板の接合（接合工程）」

次に、積層体4 0の接合層4に備えられた金属接合層4 eと、ヒートシンク基板1の上面2 a 側とを共晶接合することにより、化合物半導体層1 1とヒートシンク基板1とを接合した。この共晶接合においては、まず、（積層体4 0並びにヒートシンク基板1）を基板接合装置内に導入し、装置内圧力が $3\times 10^{-5}\text{Pa}$ 以下となるまで真空排気を行なった。次いで、基板温度を 400°C 程度に加熱した後、 $100\text{g}/\text{cm}^2$ 程度の荷重を印加することにより、ヒートシンク基板1の上面2 a と金属接合層4 eとを共晶接合させた。

[0123] 「積層用基板の除去（除去工程）」

次に、化合物半導体層 11 から積層用基板 30 を除去して発光面 11a を露出させた。

この際、積層用基板 30 及び図示略の緩衝層並びに下地層を、アンモニア系エッチャント等を用いて選択的に除去した。

[0124] 「n 型電極層の形成（電極形成工程）」

次に、n 型半導体層 8 上に n 型電極層 9 を形成した。この際、まず、n 型半導体層 8 上に、真空蒸着法を用いて、 $0.15\mu\text{m}$ の AuGe（Ge 質量比 12%）、 $0.05\mu\text{m}$ の Ni、 $1\mu\text{m}$ の Au を順次積層した。そして、一般的なフォトリソグラフィ法を用いてパターニングを施した後、 420°C の温度で 3 分間の熱処理を行うことによって合金化し、低接触抵抗の n 型電極層 9 を形成した。また、この際、ヒートシンク基板 1 についても同時に合金化する処理を施した。

[0125] 「チップ分割（分割工程）」

次に、上記各工程によって作製したウェーハをダイシングによって裁断し、平面視で略正方形（四角形状）となるように、素子単位のチップに分割した。

まず、化合物半導体層 11 及び接合層 4 を、裁断予定ラインに沿ってエッチング除去した後、ダイヤモンドブレードを装着したダイシングソーを用いて、露出したヒートシンク基板 1 の内、Mo 材料からなる基材部 2 の位置を、 0.5mm ピッチで切断した。そして、化合物半導体層 11 の側面に粘着シートを貼着することで、化合物半導体層 11 を保護しながら、切断面を湿式の方法で洗浄した。

上記各手順により、平面視形状で 1 辺が $500\mu\text{m}$ の略正方形とされた、チップ状の発光ダイオード A を作製した。

[0126] 「ランプの作製」

上記手順によって得られた発光ダイオード A を実装することにより、図 1 に示すようなトップビュー型の発光ダイオードランプ 80 を作製した。

まず、熱抵抗が $9^{\circ}\text{C}/\text{W}$ とされたマウント用基板 85 の表面に設けられた

p電極端子83に発光ダイオードAのヒートシンク基板1側を接着し、また、発光ダイオードAのn型電極層9をワイヤー86でn電極端子84に接合した。そして、透明な樹脂からなるモールド樹脂81で発光ダイオードAの周辺をモールドすることにより、図11に示すようなトップビュー型の発光ダイオードランプ（ランプ）80を作製した。

[0127] 「発光特性の測定」

上記手順で得られた発光ダイオードAが実装されてなる発光ダイオードランプ80について、n電極端子84及びp電極端子83を介して、n型電極層9とヒートシンク基板1との各電極間に順方向電流を流したところ、主波長が620nmとされた赤色光が出射された。また、各電極間に2.2Vの順方向電圧で150mAの順方向電流を流した際の発光効率は約70lm/Wとなり、高い発光効率を備えることが明らかとなった。また、この際の電力密度は1.43W/mm²であった。

[0128] [比較例1]

比較例1においては、基板全体がCu材料からなり、厚さが80μmのヒートシンク基板を用いた点を除き、上記実施例と同様の方法で発光ダイオードを作製し、さらに、この発光ダイオードを用いて、上記実施例と同様の方法でトップビュー型の発光ダイオードランプを作製した。本比較例で用いたCu材料からなるヒートシンク基板は、熱伝導率が398W/m・K、熱膨張係数が16.8ppm/Kであった。

[0129] 本比較例では、接合工程において、ヒートシンク基板と化合物半導体層を含む積層体とを接合した後、化合物半導体層に割れが発生した。これは、ヒートシンク基板と化合物半導体層との間の熱膨張係数の差が大きいため、化合物半導体層に大きな応力が発生して割れたものと考えられる。また、本比較例においては、分割工程でのチップ分割の際、ダイシングソーのブレードの消耗が激しくチップの欠けが多発し、少量のチップしか作製できず、歩留まりの低いものとなった。このように、本比較例では、分割後のチップの殆どが不合格となり、実用的なプロセスではないことが明らかとなった。

[0130] また、分割工程において損傷が生じることなく作製することができた本比較例の発光ダイオードが実装されてなるランプについて、 n 電極端子及び p 電極端子を介して、 n 型電極層とヒートシンク基板の各電極間に順方向電流を流したところ、主波長が 620 nm とされた赤色光が出射された。また、各電極間に 2.2 V の順方向電圧で 150 mA の順方向電流を流した際の発光効率は約 721 m/W となり、発光効率の点では問題が無かったものの、上述したように、本比較例では分割後のチップの殆どが不合格であり、工業生産性の観点から実用的ではなかった。

[0131] [比較例 2]

比較例 2 においては、基板全体が Mo 材料からなり、厚さが $80\text{ }\mu\text{ m}$ のヒートシンク基板を用いた点を除き、上記実施例と同様の方法で発光ダイオードを作製し、さらに、この発光ダイオードを用いて、上記実施例と同様の方法でトップビュー型の発光ダイオードランプを作製した。本比較例で用いた Mo 材料からなるヒートシンク基板は、熱伝導率が $138\text{ W/m}\cdot\text{K}$ であった。

[0132] 本比較例では、 Mo 材料からなるヒートシンク基板と化合物半導体層との間の熱膨張係数の差が小さいことから、接合工程において化合物半導体層に損傷が生じることが無く、また、分割工程における加工性も良好となり、歩留まりが高いものとなった。

[0133] また、本比較例の発光ダイオードが実装されてなるランプについて、 n 電極端子及び p 電極端子を介して、 n 型電極層とヒートシンク基板の各電極間に順方向電流を流したところ、主波長が 620 nm とされた赤色光が出射された。また、各電極間に 2.2 V の順方向電圧で 150 mA の順方向電流を流した際の発光効率は約 621 m/W となり、上記実施例に対して発光効率が劣ることが明らかとなった。これは、ヒートシンク基板全体が Mo 材料からなるため、分割時の加工性等には優れているものの、放熱性が充分ではないため、発光効率が低くなっているものと考えられる。

[0134] 以上の結果により、本発明に係る発光ダイオード並びにそれが用いられて

なるランプが、発光効率に優れ、高い輝度を備えるとともに、本発明に係る発光ダイオードの製造方法が歩留まりに優れていることが明らかである。

産業上の利用可能性

[0135] 本発明の発光ダイオードは、優れた放熱特性を備え、従来にない高輝度で高効率の発光ダイオードを提供するものなので、各種の表示ランプや照明器具等に好適に用いることができる。

符号の説明

[0136] 1…ヒートシンク基板（基板）、2…基材部、2 1…凹部、2 a…上面（一面側）、2 b…下面、3…埋設部、4…接合層、5…p型オーミック電極、6…p型半導体層、7…発光層、8…n型半導体層、9…n型電極層、1 1…化合物半導体層、1 1 a…光取出面、1 1 b…分断溝、3 0…積層用基板、A…発光ダイオード、8 0…発光ダイオードランプ（ランプ）

請求の範囲

- [請求項1] 基板上に少なくとも発光層を含む化合物半導体層が積層され、前記化合物半導体層の上面側が発光面とされたチップ構造を有する発光ダイオードであって、
- 前記基板は、基材部と、前記基材部に囲まれた埋設部とからなり、
- 前記基材部が、前記埋設部よりも熱膨張係数が小さな材料からなることを特徴とする発光ダイオード。
- [請求項2] 前記基板は、前記基材部と前記埋設部とが、それぞれ異なる金属材料からなることを特徴とする請求項1に記載の発光ダイオード。
- [請求項3] 前記基材部と前記化合物半導体層との間の熱膨張係数の差が、 $\pm 1.5 \text{ ppm/K}$ 以内であることを特徴とする請求項1又は請求項2に記載の発光ダイオード。
- [請求項4] 前記基板は、熱伝導率が $200 \text{ W/m} \cdot \text{K}$ 以上であることを特徴とする請求項1～請求項3の何れか1項に記載の発光ダイオード。
- [請求項5] 前記基材部は、モリブデン又はタングステン、あるいはこれらの合金材料からなることを特徴とする請求項1～請求項4の何れか1項に記載の発光ダイオード。
- [請求項6] 前記埋設部は、金、銀、銅、又はアルミニウムから選択される少なくとも何れか1種以上の元素を含む材料からなることを特徴とする請求項1～請求項5の何れか1項に記載の発光ダイオード。
- [請求項7] 前記埋設部が、金、銀、銅、又はアルミニウムから選択される少なくとも何れか1種以上の元素を含むメッキ層であることを特徴とする請求項6に記載の発光ダイオード。
- [請求項8] 前記基材部に凹部が形成され、前記凹部に前記埋設部が設けられていることを特徴とする請求項1～請求項7の何れか1項に記載の発光ダイオード。
- [請求項9] 前記埋設部の厚さが、前記基材部の厚さの70%以上であることを特徴とする請求項1～請求項8の何れか1項に記載の発光ダイオード

。

[請求項10] 前記基材部に貫通部が形成され、前記貫通部に前記埋設部が設けられていることを特徴とする請求項1～請求項7の何れか1項に記載の発光ダイオード。

[請求項11] 前記化合物半導体層に含まれる前記発光層は、 AlGaInP 又は AlGaAs を含む材料からなることを特徴とする請求項1～請求項10の何れか1項に記載の発光ダイオード。

[請求項12] 前記基板が、1辺あたりの長さが $500\mu\text{m}$ 以上の平面視略四角形とされていることを特徴とする請求項1～請求項11の何れか1項に記載の発光ダイオード。

[請求項13] 前記化合物半導体層は、前記基板上において、少なくとも、 p 型半導体層、発光層及び n 型半導体層の各層が積層されてなることを特徴とする請求項1～請求項12の何れか1項に記載の発光ダイオード。

[請求項14] さらに、前記化合物半導体層の前記 n 型半導体層上に、負極である n 型電極層が設けられているとともに、前記基板が正極とされ、各電極間に $0.5\text{W}/\text{mm}^2$ 以上の密度を有する電力が印加されるものであることを特徴とする請求項13に記載の発光ダイオード。

[請求項15] 前記基板と化合物半導体層とが、金属接合層によって接合されてなることを特徴とする請求項1～請求項14の何れか1項に記載の発光ダイオード。

[請求項16] 前記基板と化合物半導体層とが直に接合されてなることを特徴とする請求項1～請求項14の何れか1項に記載の発光ダイオード。

[請求項17] 積層用基板上に、少なくとも発光層を含む化合物半導体層を形成し、前記化合物半導体層に備えられる第2の半導体層の上にオーミック特性を有する第2の電極を形成した後、前記第2の電極を覆うように接合層を積層して積層体を形成する工程と

基材部の少なくとも一部にエッチング法によって凹部又は貫通部を形成し、前記凹部又は貫通部の内部に埋設部を形成することで基板を

形成した後、前記積層体の接合層と前記基板の一面側とを接合することで前記積層体と前記基板とを接合する工程と、

前記積層用基板を前記化合物半導体層から剥離して、前記化合物半導体層に備えられる第1の半導体層の光取出面を露出させた後、前記光取出面の上に第1の電極を形成する工程と、

前記化合物半導体層及び前記接合層を複数に分割した後、前記複数の化合物半導体層の各々の間に形成される分断溝に沿って、前記基板における基材部の位置を切断することで素子単位に分割する工程と、を具備しており、

前記基材部が、前記埋設部よりも熱膨張係数が小さな材料からなることを特徴とする発光ダイオードの製造方法。

[請求項18]

積層用基板上に、少なくともn型半導体層、発光層及びp型半導体層を順次積層して化合物半導体層を形成する半導体層形成工程と、

前記化合物半導体層に備えられる前記p型半導体層の上にp型オーミック電極を形成した後、前記p型オーミック電極を覆うように接合層を積層して積層体を形成する積層体形成工程と、

基材部の少なくとも一部にエッチング法によって凹部又は貫通部を形成した後、前記凹部又は貫通部の内部に埋設部を形成することで基板を形成する基板形成工程と、

前記積層体の接合層と前記基板の一面側とを接合することにより、前記化合物半導体層と前記基板とを接合する接合工程と、

前記積層用基板を前記化合物半導体層から剥離して、前記化合物半導体層に備えられる前記n型半導体層の光取出面を露出させる除去工程と、

前記n型半導体層の光取出面の上にn型電極層を形成する電極形成工程と、

前記化合物半導体層及び前記接合層を複数に分割した後、前記複数の化合物半導体層の各々の間に形成される分断溝に沿って、前記基板

における基材部の位置を切断する分割工程と、を具備しており、

前記基材部が、前記埋設部よりも熱膨張係数が小さな材料からなることを特徴とする発光ダイオードの製造方法。

[請求項19] 前記基板形成工程は、前記基材部の凹部の内部にメッキ法を用いて前記埋設部を形成することを特徴とする請求項18に記載の発光ダイオードの製造方法。

[請求項20] 前記基板形成工程は、前記基材部を、モリブデン又はタングステン、あるいはこれらの合金材料から形成することを特徴とする請求項18又は請求項19に記載の発光ダイオードの製造方法。

[請求項21] 前記基板形成工程は、前記埋設部を、金、銀、銅、又はアルミニウムから選択される少なくとも何れか1種以上の元素を含む材料から形成することを特徴とする請求項18～請求項20の何れか1項に記載の発光ダイオードの製造方法。

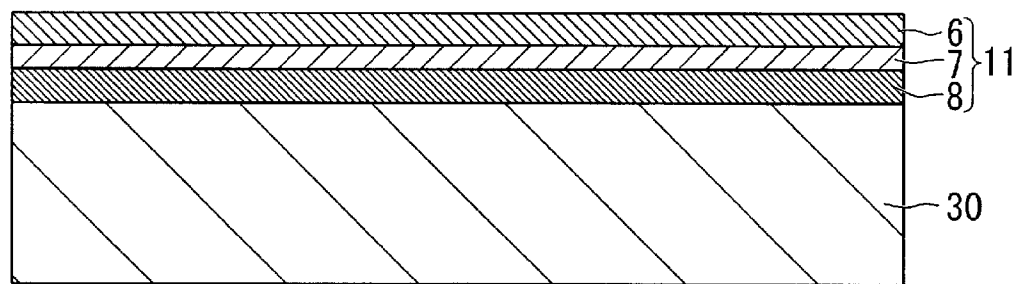
[請求項22] 前記電極形成工程と前記分割工程との間において、前記n型半導体層の前記光取出面を粗面化する粗面化工程を設けることを特徴とする請求項18～請求項21の何れか1項に記載の発光ダイオードの製造方法。

[請求項23] 請求項17～請求項22の何れか1項に記載の製造方法で得られる発光ダイオード。

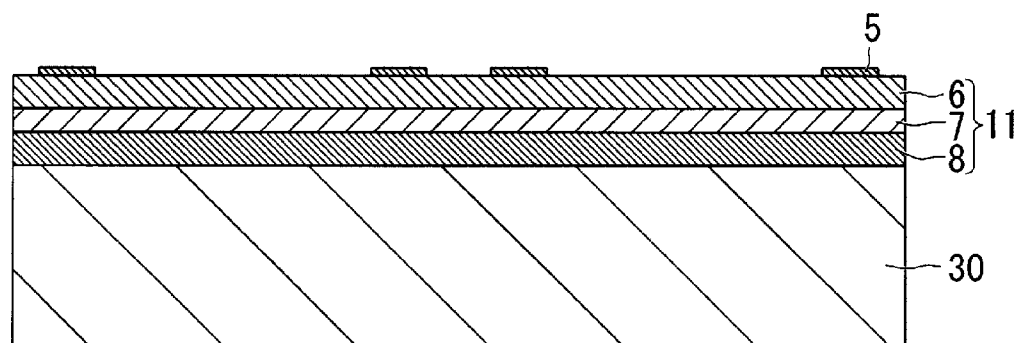
[請求項24] 請求項1～請求項16、又は請求項23の何れか1項に記載の発光ダイオードが用いられてなるランプ。

[illegible]

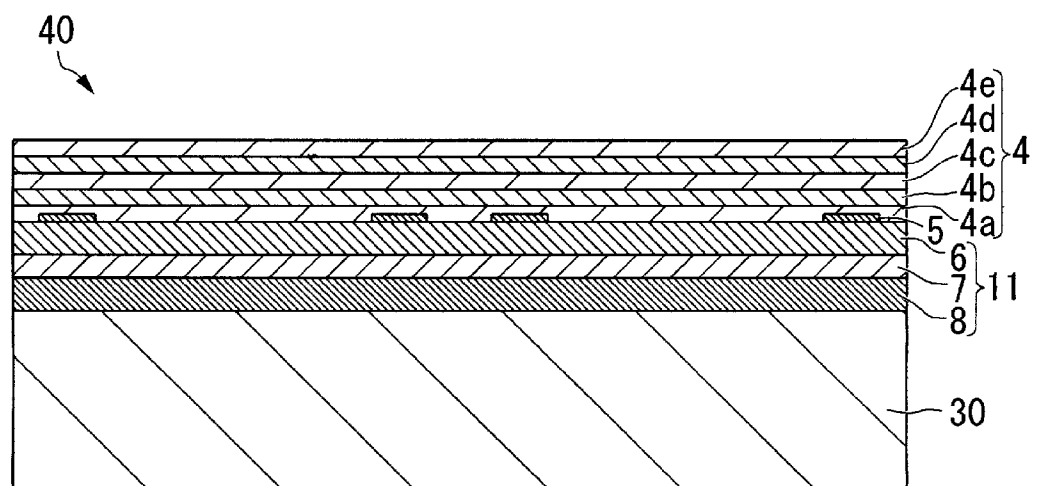
[図2]



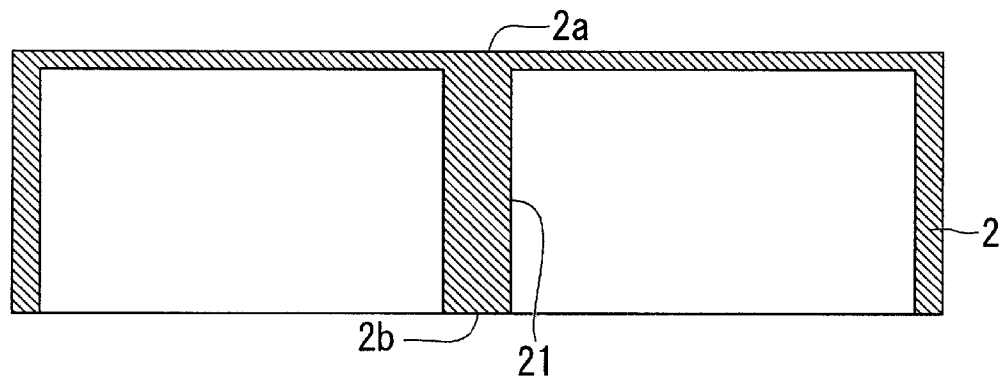
[図3A]



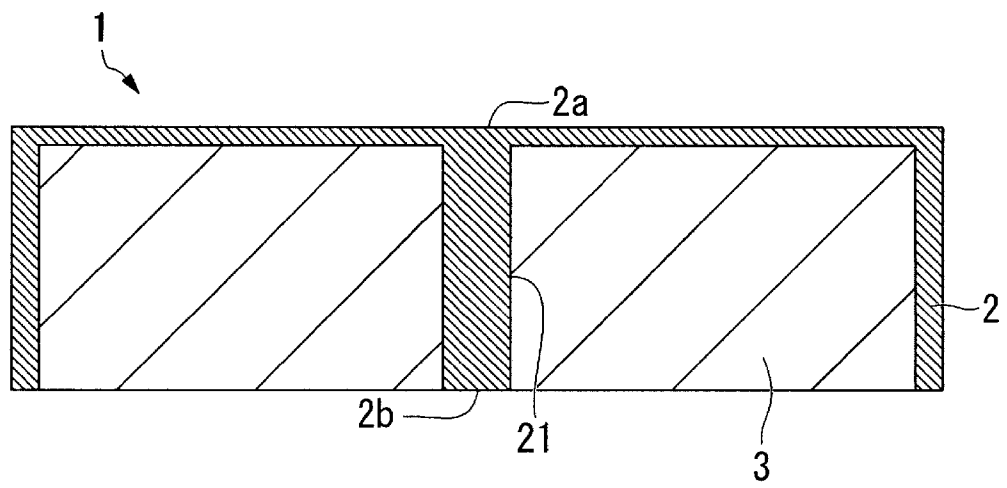
[図3B]



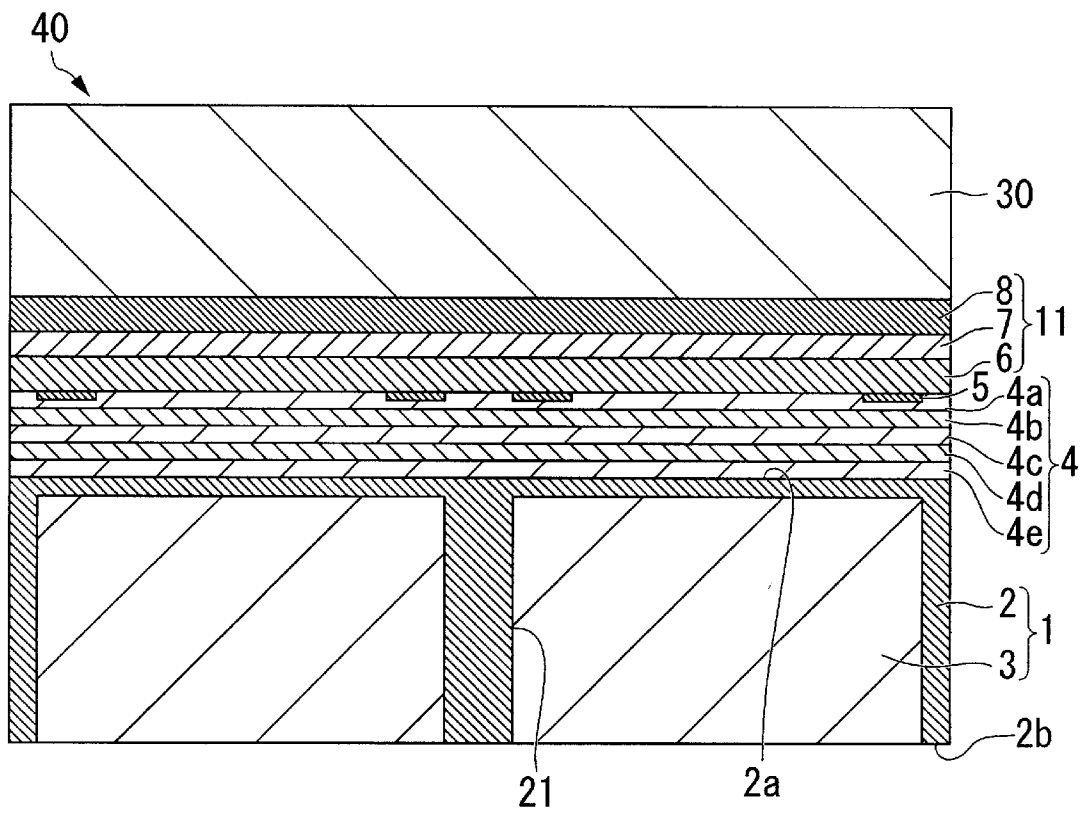
[図4A]



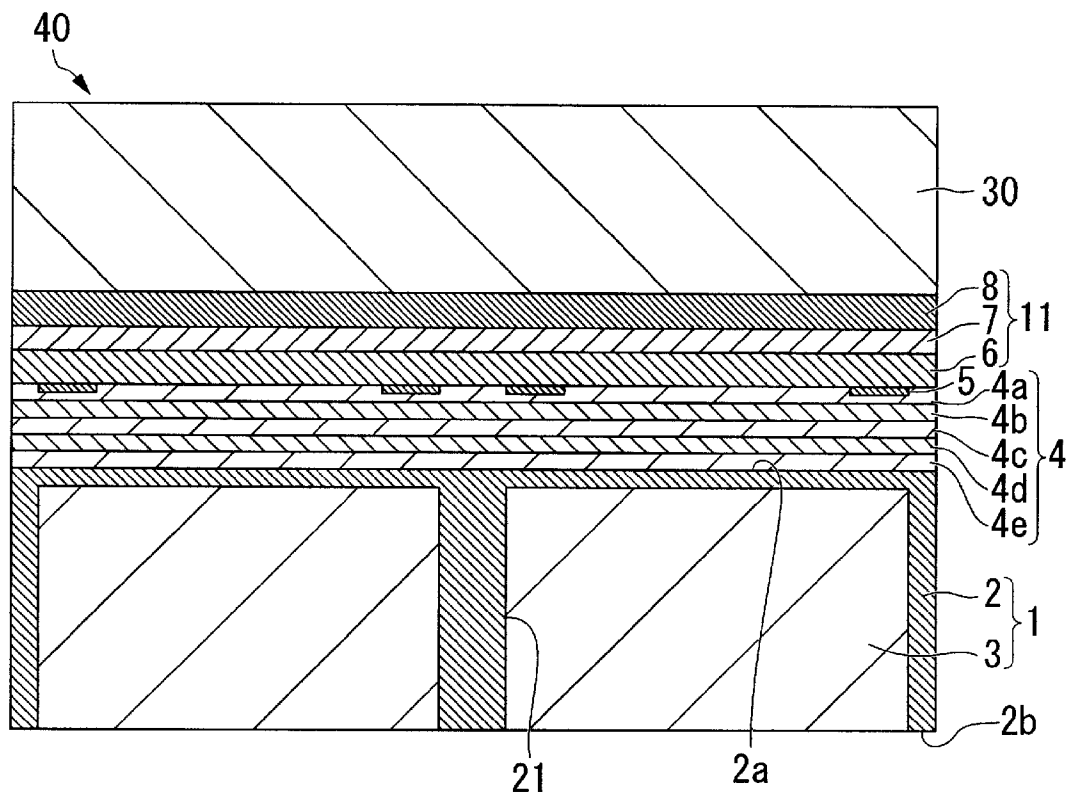
[図4B]



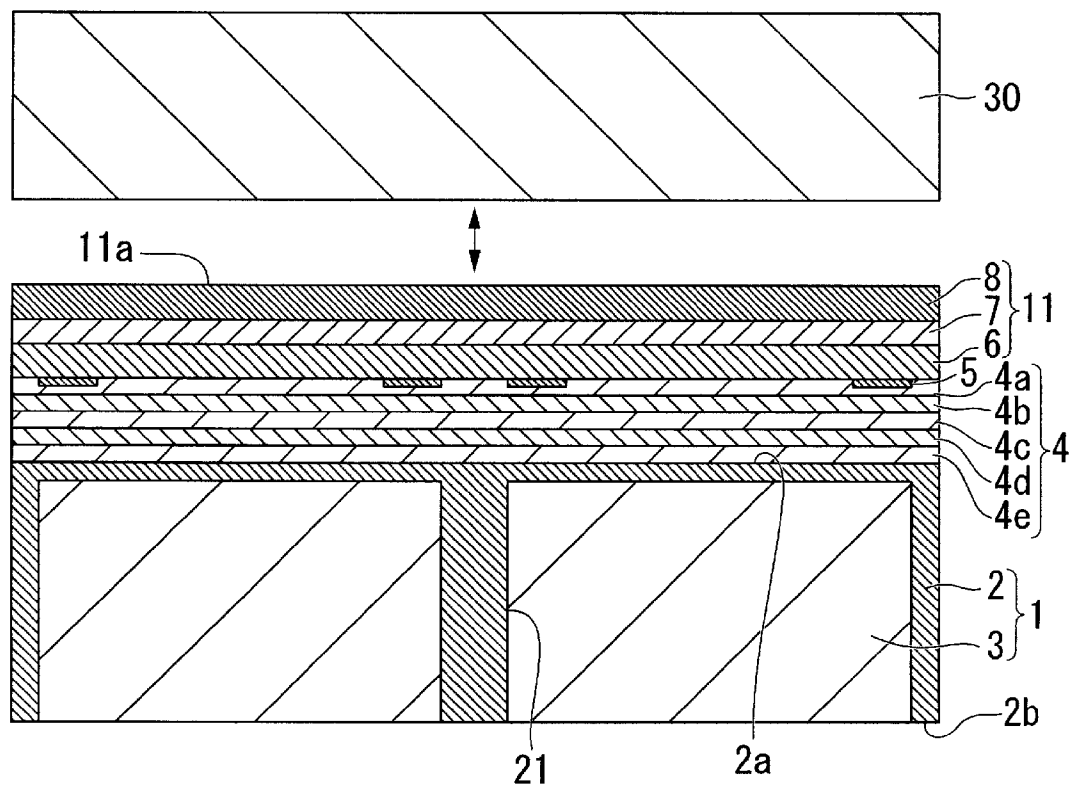
[図5]



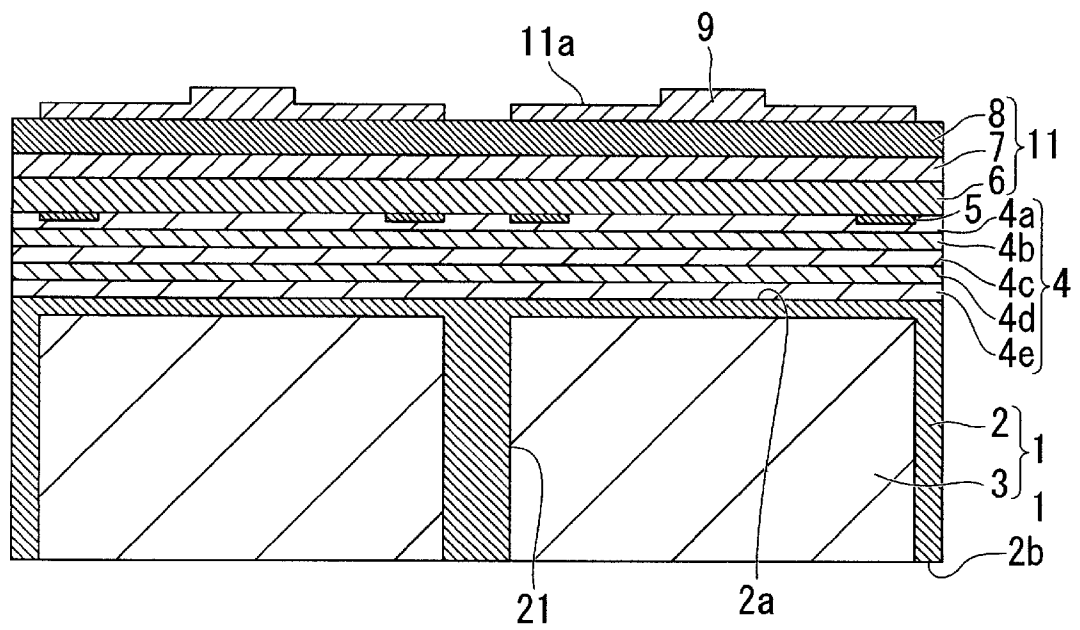
[図6A]



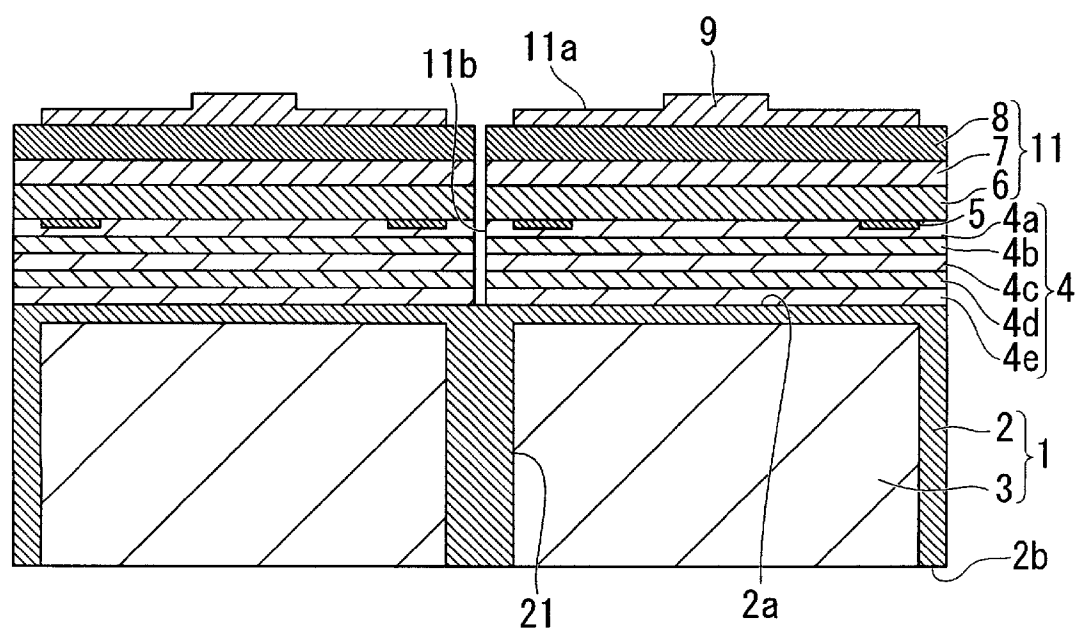
[図6B]



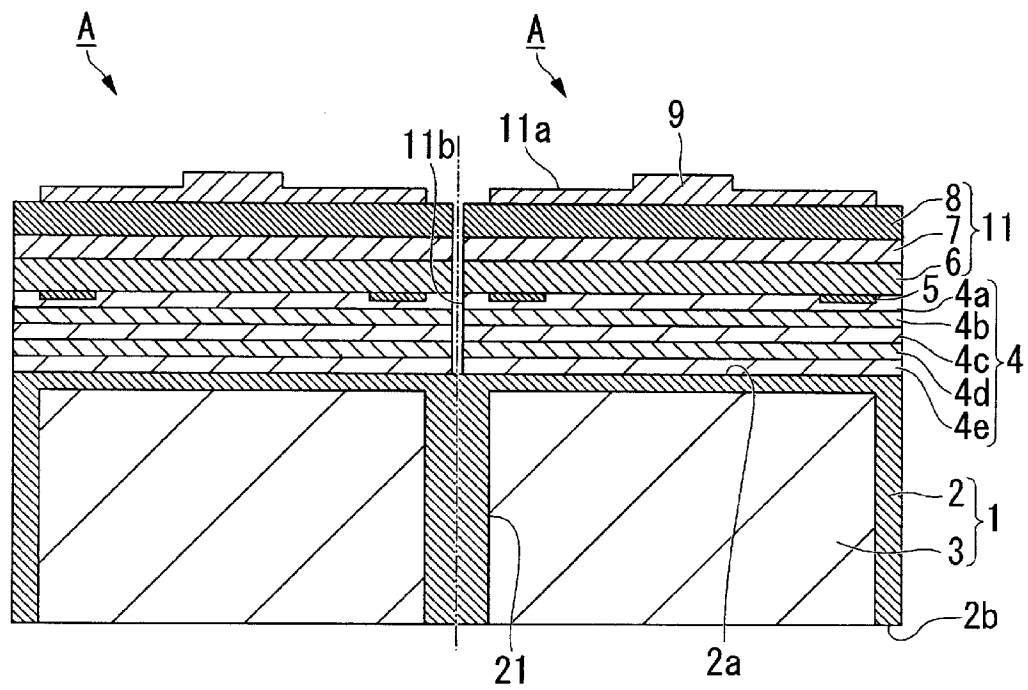
[図7]



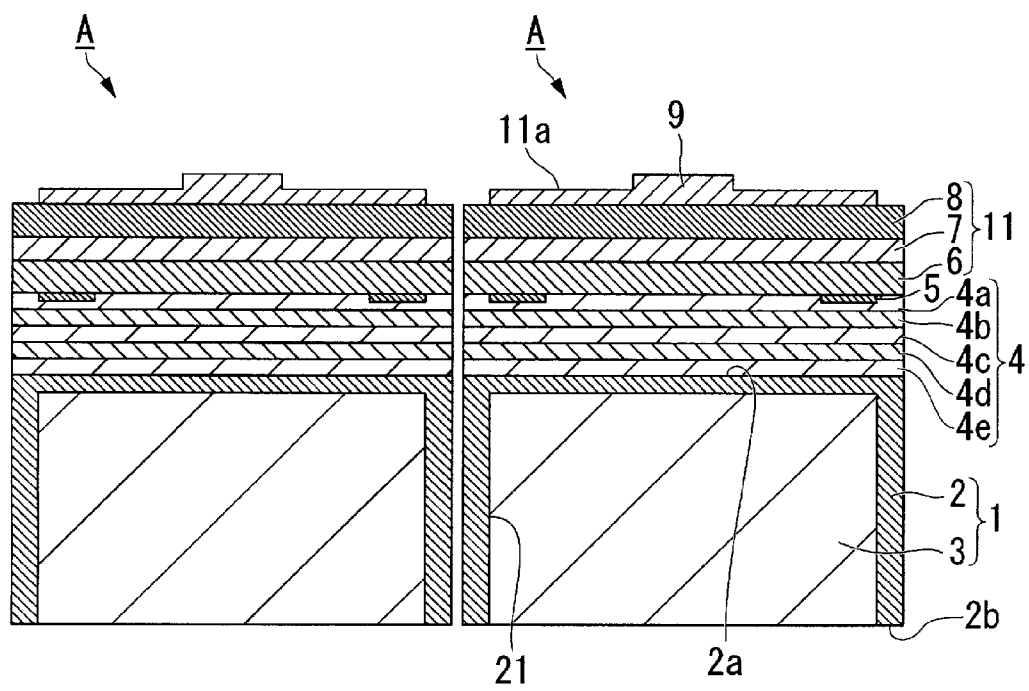
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/001811

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/12(2010.01)i, H01L23/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-297095 A (Sanyo Electric Co., Ltd.), 21 October 2004 (21.10.2004), paragraphs [0020] to [0044]; fig. 1, 2 (Family: none)	1, 6-10, 13, 14, 16, 23, 24
X	JP 2009-10215 A (Nichia Chemical Industries, Ltd.), 15 January 2009 (15.01.2009), paragraphs [0024] to [0058]; fig. 1 (Family: none)	1-6, 15
X	JP 2007-88273 A (Matsushita Electric Works, Ltd.), 05 April 2007 (05.04.2007), paragraphs [0044] to [0061]; fig. 1 (Family: none)	1, 8, 16, 23, 24

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
26 May, 2010 (26.05.10)

Date of mailing of the international search report
08 June, 2010 (08.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/001811

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-22570 A (Nichia Chemical Industries, Ltd.), 23 January 1998 (23.01.1998), paragraph [0012]; fig. 3, 4 (Family: none)	1-14, 16, 23, 24
P, X	WO 2009/099187 A1 (Showa Denko Kabushiki Kaisha), 13 August 2009 (13.08.2009), paragraphs [0056] to [0135]; fig. 1A, 1B & JP 2009-212500 A	1-9, 11-14, 16, 23, 24
A	WO 2004/082034 A1 (Sumitomo Electric Industries, Ltd.), 23 September 2004 (23.09.2004), page 4, line 23 to page 5, line 12 & US 2008/0105894 A1 & US 2006/0118808 A1 & EP 1605523 A1 & WO 2004/082034 A1 & KR 10-2005-0106399 A & CN 1748327 A	1-16, 23, 24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/001811

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 is described in JP 2004-297095 (refer to paragraphs 0020 - 0044, fig. 1, fig. 2) and does not have a novelty. Therefore, the invention in claim 1 and the invention in claim 2 - 24 do not have same or corresponding special technical feature.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1 - 16, 23, 24

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L33/12(2010.01)i, H01L23/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L33/00-33/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-297095 A（三洋電機株式会社） 2004.10.21, 段落 0020-0044, 図 1, 図 2 ファミリーなし	1, 6-10, 13, 14 , 16, 23, 24
X	JP 2009-10215 A（日亜化学工業株式会社） 2009.01.15, 段落 0024-0058, 図 1 ファミリーなし	1-6, 15

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

26.05.2010

国際調査報告の発送日

08.06.2010

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

角地 雅信

2 K

3912

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-88273 A (松下電工株式会社) 2007.04.05, 段落 0044-0061, 図 1 ファミリーなし	1, 8, 16, 23, 24
Y	JP 10-22570 A (日亜化学工業株式会社) 1998.01.23, 段落 0012, 図 3, 図 4 ファミリーなし	1-14, 16, 23, 24
P, X	WO 2009/099187 A1 (昭和電工株式会社) 2009.08.13, 段落 0056-0135, 図 1A, 図 1B & JP 2009-212500 A	1-9, 11-14, 16, 23, 24
A	WO 2004/082034 A1 (住友電気工業株式会社) 2004.09.23, 第 4 頁第 23 行-第 5 頁第 12 行 & US 2008/0105894 A1 & US 2006/0118808 A1 & EP 1605523 A1 & WO 2004/082034 A1 & KR 10-2005-0106399 A & CN 1748327 A	1-16, 23, 24

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明は、特開2004-297095号公報（段落0020-0044、図1、図2参照）に記載されており新規性を有していないので、請求項1に係る発明と請求項2-24に係る発明は、同一の又は対応する特別な技術的特徴を有していない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項1-16、23、24

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。