



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I856412 B

(45)公告日：中華民國 113 (2024) 年 09 月 21 日

(21)申請案號：111142200

(22)申請日：中華民國 111 (2022) 年 11 月 04 日

(51)Int. Cl. : H01L23/29 (2006.01)

H01L23/373 (2006.01)

(30)優先權：2021/11/08	美國	63/276,701
2021/11/18	美國	63/280,639
2021/11/19	美國	63/281,105
2021/12/23	美國	63/293,117
2022/02/18	美國	17/675,948

(71)申請人：銓心半導體異質整合股份有限公司 (中華民國) ND-HI TECHNOLOGIES LAB, INC.
(TW)

臺北市內湖區基湖路 35 巷 22 號 2 樓

(72)發明人：唐和明 TONG, HO-MING (TW)

(74)代理人：祁明輝；林素華；涂綺玲

(56)參考文獻：

TW	201327740A1	CN	107534019A
JP	5374831B2	US	5371407A

審查人員：吳漢傑

申請專利範圍項數：26 項 圖式數：19 共 68 頁

(54)名稱

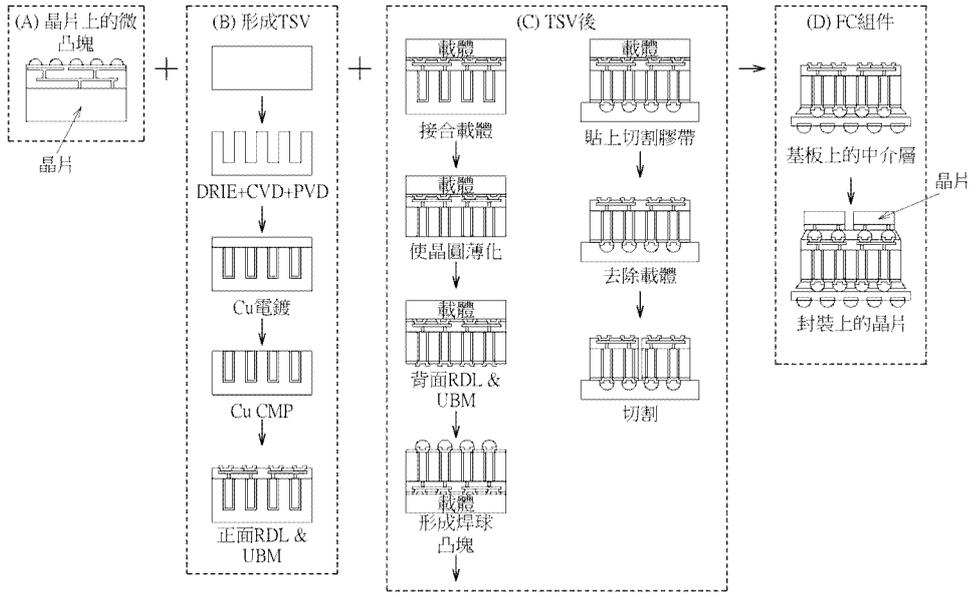
金剛石增強的先進 IC 與先進 IC 封裝

(57)摘要

本發明提供將金剛石與雙晶圓微結構實現於先進 IC 與先進 IC 封裝中的機會，以形成新類型的 IC 與 SiP，其可超越處於 IC 發展最前線之矽的限制，主要是因為金剛石具有極端散熱能力。金剛石的極端散熱能力可用以使處理器與例如 GaN HEMT 等其他高功率晶片中的熱點消散，使 IC 和封裝應用之效能與可靠性增加，應用涵蓋 HPC、AI、光子、5G RF/mmWave、功率與物聯網，且在系統級促使傳統運算改變為近記憶體運算與記憶體中運算。

This invention provides opportunity for diamond and bi-wafer microstructures to be implemented in advanced ICs and advanced IC packages to form a new breed of ICs and SiPs that go beyond the limitations of silicon at the forefront of IC advancement due primarily to diamond's extreme heat dissipating ability. Diamond's extreme heat spreading ability can be used to dissipate hotspots in processors and other high-power chips such as GaN HEMT, resulting in performance and reliability enhancement for IC and package applications covering HPC, AI, photonics, 5G RF/mmWave, power and IoT, and at the system level propelling the migration from traditional computing to near-memory computing and in-memory computing.

指定代表圖：



第3圖



I856412

【發明摘要】

【中文發明名稱】金剛石增強的先進 IC 與先進 IC 封裝

【英文發明名稱】DIAMOND ENHANCED ADVANCED ICs

AND ADVANCED IC PACKAGES

【中文】

本發明提供將金剛石與雙晶圓微結構實現於先進 IC 與先進 IC 封裝中的機會，以形成新類型的 IC 與 SiP，其可超越處於 IC 發展最前線之矽的限制，主要是因為金剛石具有極端散熱能力。金剛石的極端散熱能力可用以使處理器與例如 GaN HEMT 等其他高功率晶片中的熱點消散，使 IC 和封裝應用之效能與可靠性增加，應用涵蓋 HPC、AI、光子、5G RF/mmWave、功率與物聯網，且在系統級促使傳統運算改變為近記憶體運算與記憶體中運算。

【英文】

This invention provides opportunity for diamond and bi-wafer microstructures to be implemented in advanced ICs and advanced IC packages to form a new breed of ICs and SiPs that go beyond the limitations of silicon at the forefront of IC advancement due primarily to diamond's extreme heat dissipating ability. Diamond's extreme heat spreading ability can be used to dissipate hotspots in processors and

other high-power chips such as GaN HEMT, resulting in performance and reliability enhancement for IC and package applications covering HPC, AI, photonics, 5G RF/mmWave, power and IoT, and at the system level propelling the migration from traditional computing to near-memory computing and in-memory computing.

【指定代表圖】第 3 圖。

【代表圖之符號簡單說明】

無

【特徵化學式】無

【發明說明書】

【中文發明名稱】金剛石增強的先進 IC 與先進 IC 封裝

【英文發明名稱】DIAMOND ENHANCED ADVANCED ICs
AND ADVANCED IC PACKAGES

【技術領域】

【0001】本揭露大致有關於積體電路(integrated circuit; IC)，且特別有關於金剛石增強型先進積體電路與先進積體電路封裝。除了金剛石外，其他高散熱能力材料亦可取代金剛石，並適用此發明。除了氣冷外，此發明也適用於水冷相關應用。中介層和主動元件也可含水冷通孔(fluid micro-channels)。此外元件和元件連結，除可用銅柱凸塊外也可用銅-銅混合鍵結。

【先前技術】

【0002】5G/6G、人工智能、電動汽車(EV)、物聯網(IoT)和元宇宙的出現帶來了大量新的終端應用，導致 3C 數據通信呈指數級增長，3C 亦即雲端（即數據中心）、連接（例如基地台）和終端/邊緣（即商務/消費者/邊緣電子設備）。根據思科全球雲端指數(Cisco Global Cloud Index)，2021 年全球雲端數據中心年流量將超過驚人的 20 zettabytes (20×10^{21} bytes)，相較於 2016 年的年流量 6.8 zettabytes 成長超過 3 倍。應用於高效能運算(HPC)與數據中心市場的半導體裝置一直代表積體電路(IC)和積體電路封裝技術中的最先進技術。為了處理逐漸提升的數據流量，

涉及先進的系統單晶片(system-on-chip; SoC)與先進的系統級封裝(system-in-a-package; SiP)之高效能運算與數據中心將會更加需要最高處理速度、最高通訊速度(最低延遲、最高頻寬,且通常兩者皆需要)與最高儲存容量,且極度需要滿足愈來愈嚴格的互連需求與愈來愈高的功耗之積體電路與積體電路封裝。SoC 是整合電腦的所有元件或大部分元件的積體電路,幾乎總是包含中央處理器(central processing unit; CPU)、記憶體、輸入/輸出埠與輔助儲存裝置,而 SiP 被定義為一種積體電路封裝,其包含多個主動裝置,例如積體電路或微機電系統((micro-electromechanical system; MEMS)。積體電路與終端系統客戶比以往任何時候都更加願意考慮 SoC 與 SiP 先進技術,以使成本績效與積體電路和積體電路封裝的可靠性極大化。

【0003】展望未來,如第 1 圖所示,積體電路技術進步將使例如處理器等先進 SoC 從 3 nm 變為 2 nm 或更小,且從鰭式場效電晶體(FinFET)變為環繞式閘極效電晶體(gate-all-around FET)與 3D 單體式 SoC 等。同時,為了支持先進 SoC,主要包含扇出、2.5D IC、3D IC、嵌入式與光子(第 1 圖)之先進 SiP 將隨著實現互連技術(例如銅柱微凸塊、以及實現 3D 小晶片(chiplets)與 3D 單體式 SoC 的銅混合式鍵合)之相應進步而持續朝向微距發展。現在最先進的銅柱微凸塊是具有間距(pitch) 40 μm 的微小結構(即尺寸 25 μm 的銅柱和 15 μm 的間隙),其可縮小為 20 μm 或 10 μm 。透過 SiP 之異質整合將會更加普遍,無

論其是否涉及整合進 IC 基板中的主動裝置、及/或整合來自不同 IC 製程的不同的 IC (Si、SiGe、SOI、GaN、SiC、RF、MEMS、IPD 等)。前述先進 ICs 或先進 SiPs 的進步，主要和使用 z 軸(厚度方向)以在 IC 功能上達成更高的封裝密度及/或更高的封裝導線連接密度有關。就 SiP 而言，使用微凸塊及/或銅混合鍵結的 3D IC 堆疊、以及將主動晶粒與被動功能(包含導線連接結構)嵌入 SiP 使用之中介層(interposer)與基板中，通常可達成更高的 z 軸封裝密度。

【0004】小晶片系統級封裝(Chiplets-in-SiP)將會成為新的產業標準與新一代的 SiP。它和實現無機與有機中介層的異質整合、以及小晶片晶粒之間非常短的連接有關。Chiplets-in-SiP 和前幾代的 SiP 不同之處在於，其實現不僅需要前幾代的 SiP 所需的先進 IC 封裝，還需要 IC 設計專業知識以透過小晶片到小晶片互連與 IC 封裝系統共同設計來獲得更多益處。小晶片可被視為「固態矽 IP」，且被定義為實際實現和測試的積體電路 IP 區塊(block)，其被專門設計為和其他小晶片一起工作，當它們組合在一起時，基本上可以重建用於處理器應用的大型功能 SoC。現今一些涵蓋 CPUs、圖形處理器(graphic processing units; GPUs)與大型現場可程式化邏輯閘陣列(field programmable gate arrays; FPGAs)的高核心數量處理器實際上是透過小晶片系統級封裝來實現的。小晶片系統級封裝解決了和產率、裝置限制和伴隨著 IC 技術縮小(尤其是當特徵尺寸為 10 nm 或低於 10 nm)

而來的設計成本提升有關的晶粒尺寸限制問題。只要較小的晶粒具有較高的產率與合理的整合成本，整個小晶片系統級封裝方案的效能將會遵循或超越摩爾定律。相較於在封裝階段進行多個主動晶粒之異質整合的 SiP，小晶片系統級封裝代表多個小晶片之異質整合，這些小晶片可在晶粒階段採用各種形狀或尺寸以形成 SoC。隨著晶片對晶片互連標準會在可預見的未來發展成熟，小晶片系統級封裝設計風格將擴展至現今主流處理器應用以外的其他類型應用，涵蓋高端應用至最終低端應用。

【0005】除了上述 SoC 與 SiP 趨勢之外，最近還出現大規模平行 AI 高效能運算的趨勢，其可處理大規模平行工作負載，例如圖形處理、數據分析和機器學習。這些 AI 系統的增加驅使大規模平行、高效能運算系統產生，這些系統具有愈來愈多的處理器核心數、愈來愈大的記憶容量以及愈來愈高的記憶體頻寬。為了產生這類系統，最近存在兩種並行的方法。一種方法（方法 A）形成單體式晶圓級單晶粒 AI 處理器 SoC 晶片，其以 Cerebras 的晶圓級引擎 2 為代表，其在 46,225 mm² 的矽佔用面積(footprint) 上包含 2.6 兆個電晶體和 850,000 個核心。另一種方法(方法 B) 是小晶片封裝方法，例如基於晶圓級矽互連基板(15,000 mm²)， 1024 塊(每塊包含一個邏輯小晶片與一個記憶體小晶片)、14,336 核心封裝)。此晶圓級 SiP 原型是由洛杉磯的加利福尼亞大學與伊利諾大學厄巴納的香檳分校(UC-UI)的研究人員們建立。相較於 Nvidia 的 A100 (現有最大的 GPU (826 mm²))，Cerebras

具有許多優勢，尤其是 40 GB 的記憶體頻寬，而 A100 的記憶體頻寬為 40 MB。UC-UI 團隊的晶圓級 AI 處理器 SoC 晶片比 Nvidia/AMD 的基於單一小晶片之系統大 10 倍，且比 Nvidia 的 64 個小晶片 Simba 研究系統約大 100 倍。雖然方法 A 創造了業界有史以來最大的 SoC，但方法 B 帶來業界有史以來最高晶粒數量的 SiP。

【0006】上述兩種類型的大規模平行高效能系統涉及高熱能工作負載，這將重塑大型數據中心的設計及其冷卻方式。展望未來，這同樣適用於未來的 3C 應用之 CPU、GPU、FPGA 與其他更高功率的 IC、SoC 和小晶片系統級封裝，如第 1 圖所示。單一 Cerebras 晶圓級引擎(WSE)使用 20 千瓦的功率。Nvidia A100 的功率從 250 W 至 500 W，取決於配置，且根據 AFCOM（先進數據中心與 IT 基礎設施專業人員）最近的調查，數據中心裡的整個機櫃平均需要 7.3 千瓦的功率，其容納多達 40 台伺服器。報導指出 WSE 將被封裝為伺服器設備，其將包括液冷系統，據報導液冷系統包含連接一系列冷卻管的冷板，且晶圓級晶片垂直地置於機箱中以冷卻整個晶片表面。

【0007】無論是否基於小晶片，先進 IC 都仰賴主要包括以下技術的先進 SiP：扇出（如第 2 圖所示，其包含將 IC 的焊墊耦接至球柵陣列封裝(BGA)焊球的重佈層(RDL)）、2.5D IC、3D IC、嵌入式基板和矽光子。對於手機、5G RF/mmWave、功率與物聯網中的 HPC、AI 與其他高端應用，這些先進 SiP 背後的關鍵建

塊技術與製程和(a)互連技術，尤其涉及銅柱微凸塊，銅混合式接合和晶圓級或基板級重分佈 (RDL)；以及 (b) 形成扇出 (使用 RDL)、2.5D 矽中介層 (使用 RDL)、3D IC 堆疊 (使用 RDL)、有機層壓基板 (具有 RDL) 和矽光子 (具有 RDL) 中的嵌入式晶粒/被動/元件之製程有關。

【0008】 所有 IC 被供電時都會產熱。因此，為了使裝置的運作接面溫度維持在可允許的最大值之下，從 IC 通過封裝到周圍環境之有效熱流是不可或缺的。在封裝選擇過程中考慮熱能管理 (thermal management) 亦是確保產品可靠性高的關鍵。熱是電子產品故障的最大原因。據統計，透過摻入金剛石以將運作接面溫度每降低 10 °C 可使裝置的壽命加倍。

【發明內容】

【0009】 本發明大致有關於產生與製造含金剛石層與雙晶圓微結構，以及它們在先進 IC 與先進 SiP 中的結合，以產生具有前所未有的效能和可靠性的全新類型的先進 IC 和先進 SiP。雖然並非本文的重點，但通過此處揭露的最新技術與鑽石珠寶工業中使用的那些技術之異質整合，某些涉及產生 2D 和 3D 為結構的製程亦可應用於產生新類型的世界前所未見的設計師級高級珠寶。

【0010】 本發明具體揭露產生先進雙晶圓 IC、2.5D 中介層與封裝、3D IC 堆疊、扇外型封裝、嵌入式基板與封裝、以及包括含金剛石層及/或雙晶圓微結構之矽光子 SiPs 的製程。此處所述的金剛石獨特製程與現今使用的主流製程相結合，可產生最高

端的 SoC 和 SiP (第 1 圖)，將使先進 IC 和先進 SiP 超越矽所帶來的限制。隨後的內容中將以高功率應用示出這些新創建的 SoC 和 SiP，高功率應用涵蓋 AI、HPC、光子、5G RF/mmWave、功率和物聯網。

【0011】除了用於這些 3C 應用，金剛石與雙晶圓微結構未來有望顛覆高效能運算、AI 與其他高功率應用。

【0012】為了將金剛石與雙晶圓微結構實現於上述先進 IC 與先進 SiP 應用之廣泛基礎上，本發明揭露 (開始) 產生以下極端含金剛石層與基於雙晶圓的微結構的製程，其仿效現今基於矽的高端 IC 與 SiP。

【0013】使用含金剛石層與矽-金剛石雙晶圓的 2.5D 中介層 (與晶粒(die))：其有關於如何加工金剛石與雙晶圓 (如果在矽的情況下) 至形成 2.5D 矽中介層之極限點，現今對應於金剛石，例如具有數千個直徑 20 μm 的金剛石通孔(through diamond via; TDV)的厚度 100 μm 的金剛石 (以及雙晶圓) 中介層，且有關於如何以銅填充 TDV，並在金剛石 (以及雙晶圓) 中介層的正面 (晶片側) 上產生 2 μm 線寬/2 μm 間隔(space)的重佈層(RDL)，且通常在金剛石 (以及雙晶圓) 中介層的背面 (BGA 焊球側，用以裝設印刷電路板) 上產生線寬/間隔較粗的重佈層。

【0014】使用金剛石的扇出製程：扇出製程通常不需要基板。扇出製程允許將多個晶粒嵌入模封化合物中，且多個晶粒透過重佈層互連及/或透過重佈層和 BGA 焊球互連。金剛石可作為散熱

器(heat spreader)，晶粒連接於金剛石上且透過用於空間有限的高功率應用之扇出製程整合至封裝中。

【0015】 嵌入增層(build-up)層壓基板中的金剛石微結構：用於 HPC 應用（請見以下內容），以由層壓基板與嵌入層壓基板中的金剛石微結構（在一側或兩側具有重佈層）組成的混合物取代有機層壓基板是有益的。此可在系統級改善多個 IC（約 3 ppm/°C）、金剛石層壓混合基板和 FR4 印刷電路主板(14-17 ppm/°C)之間的熱能管理與熱膨脹匹配，具有混合基板的晶片安裝於印刷電路主板上以吸收溫度改變下的熱能置換而不會破壞任何電連結。

【0016】 整合式金剛石微結構－導線架（例如銅）基板，用於高端 5G RF/mmWave 與功率應用，導線架封裝仍在成本與熱能管理方面具有優勢。

【0017】 在一實施例中，提供 IC 封裝結構，其包含半導體晶粒與耦接（熱耦接或同時具有熱耦接與電性耦接）半導體晶粒的含金剛石層。

【0018】 在一方面中，含金剛石層係為熱耦接半導體晶粒的金剛石-金屬混合結構。金剛石-金屬混合結構可為被圖案化金屬層覆蓋或接合於圖案化金屬層的金剛石核心層、被金剛石層覆蓋或接合於金剛石層的金屬核心層、或者金剛石-金屬合金。

【0019】 在一方面中，金剛石-金屬混合結構係為可具有圖案化銅的金剛石罐(diamond can)，其覆蓋半導體晶粒。

【0020】在一方面中，金剛石-金屬混合結構包含夾住半導體晶粒的上導線架(leadframe)與下導線架，其中上導線架及/或下導線架包含金剛石與金屬材料。

【0021】在一方面中，IC 封裝結構更包含包封(enclosing)半導體晶粒與金剛石-金屬混合結構的模封化合物(molding compound)。

【0022】在一方面中，模封化合物包含共形遮蔽材料(conformal shielding material)以包封半導體晶粒。此外，半導體晶粒透過晶粒連接材料接合於含金剛石層，半導體晶粒嵌入模封化合物內且透過重佈層結構和複數個焊球(solder ball)互連。

【0023】在一實施例中，提供 IC 封裝結構，其包含半導體晶粒與電性耦接半導體晶粒的含金剛石基板。

【0024】在一方面中，含金剛石基板包含單晶金剛石層與在單晶金剛石層中的至少一通孔。在一實施例中，通孔貫穿單晶金剛石層。在另一實施例中，外部電源供應器透過通孔電性連接半導體晶粒。

【0025】在一方面中，含金剛石基板包含在含金剛石基板的第一表面上的第一重佈層。

【0026】在一方面中，含金剛石基板更包含在含金剛石基板的第二表面上的第二重佈層，其中第二表面相對於第一表面。

【0027】在一方面中，含金剛石基板包含在含金剛石基板中的複數個通孔，複數個通孔電性連接第一重佈層與第二重佈層。

【0028】在一方面中，含金剛石基板包含在含金剛石基板中的至少一導熱通孔。

【0029】在一方面中，含金剛石基板係為具有單晶金剛石層與半導體層的層壓基板，半導體層接合於單晶金剛石層。

【0030】在一方面中，其中含金剛石基板更包含在含金剛石基板中的複數個通孔，複數個通孔電性連接半導體晶粒。在另一方面中，複數個通孔貫穿單晶金剛石層及/或半導體層。

【0031】在一方面中，含金剛石基板包含在含金剛石基板中的至少一導熱通孔。

【0032】在一方面中，含金剛石基板包含複數個層壓的層，複數個層壓的層中的至少一者係為單晶金剛石層。此外，調變器(modulator)或偵測器嵌入含金剛石基板內，光學路徑嵌入含金剛石基板內，且發光源光學耦接光學路徑。

【0033】在一方面中，含金剛石基板更包含在含金剛石基板中的複數個通孔；在含金剛石基板上的重佈層結構；以及在重佈層結構上的複數個 BGA 焊球；其中半導體晶粒藉由複數個通孔與重佈層結構電性連接複數個凸塊(bump)。

【0034】在另一方面中，含金剛石基板包含在含金剛石基板中的複數個通孔、以及對應複數個通孔的複數個凸塊，其中半導體晶粒連接複數個凸塊。

【0035】在本揭露之另一實施例中，IC 封裝結構包含裝置基板與半導體裝置，裝置基板包含含金剛石層與耦接含金剛石層的半導體層，半導體裝置是基於半導體層形成的。

【0036】在一方面中，IC 封裝結構更包含：包封裝置基板的模封化合物結構；以及電性連接半導體裝置的複數個通孔或複數條線路。

【0037】在一方面中，IC 封裝結構更包含：具有多個導熱通孔的導熱基板，多個導熱通孔耦接裝置基板，其中導熱基板包含電性連接複數個通孔或複數條線路的重佈層。

【0038】在一方面中，IC 封裝結構更包含：在模封化合物結構的第一表面上方的第一重佈層；以及在含金剛石層的第二表面下方的第二重佈層，其中第二表面相對於第一表面，其中複數個通孔電性連接第一重佈層與第二重佈層。

【0039】在另一方面中，IC 封裝結構更包含天線基板 (antenna substrate)，天線基板通過第一重佈層電性耦接半導體裝置，天線基板包含：具有空氣腔 (air cavity) 於其中的含空腔層；在含空腔層的第一表面上方的第三重佈層；以及在含空腔層的第二表面下方且在第一重佈層上方的第四重佈層。

【圖式簡單說明】

【0040】

第 1 圖係繪示現有技術中 3C 產品的先進 IC 應用、先進 SiP 應用與機會；

第 2 圖係繪示現有技術中扇外型封裝的結構；

第 3 圖係繪示本發明之 2.5D 中介層之處理與 2.5D IC 組件的工作流程與步驟；

第 4 圖係繪示本發明之用於 3D IC 堆疊的工作流程與步驟；

第 5 圖係繪示本發明之用以在主動 IC 中安排通孔的不同工作流程與步驟；

第 6 圖係繪示本發明之用以在金剛石層中形成通孔、以及在半導體層與金剛石層中皆形成通孔的預成型結構方法 (pre-formed structure Approach)；

第 7 圖係繪示本發明之金剛石-層壓混合結構之處理的工作流程與步驟；

第 8 圖係繪示本發明之雙晶圓增強晶圓級 AI 處理器 SoC 之結構；

第 9 圖係繪示本發明之雙晶圓增強晶圓級 AI 處理器 SiP 之結構；

第 10 圖係繪示本發明之金剛石增強晶圓級 AI 處理器 SiP 之結構；

第 11 圖係繪示本發明之使用金剛石-層壓混合結構的 2.5D 與 3D SiP 封裝結構；

第 12 圖係繪示朝向本發明之具有含金剛石層結構及/或基於雙晶圓形成的處理器的記憶體中運算(In-memory computing)演進之過程；

第 13 圖係繪示本發明之雙晶圓增強的光學模組；

第 14 圖係繪示本發明之雙晶圓增強的處理器-光子 SiP 共同封裝；

第 15 圖係繪示本發明之使用金剛石-銅混合結構的雙側冷卻與遮蔽的夾式(clip)封裝；

第 16 圖係繪示本發明之金剛石增強的 WiFi/前端模組；

第 17 圖係繪示本發明之金剛石增強的封裝中的天線；

第 18(a)圖與第 18(b)圖係分別繪示使用銅罐與本發明之金剛石-銅混合結構的電源 IC 封裝(power IC packaging)；及

第 19 圖係繪示本發明之金剛石增強的扇出智慧型電源模組(intelligent power module; IPM)。

在以下實施方式中，為了說明之目的，闡述了許多具體細節以提供對所揭實施例之充分理解。然而，顯而易見的是，可在沒有這些具體細節的情況下施行一或更多的實施例。在其他情況下，為了簡化圖式，已知的結構與裝置是以示意性的方式示出。

【實施方式】

【0041】 上述市場推動力與最近證實成長金剛石工業能夠成長更大、更高品質、電子級金剛石膜（通常藉由化學氣相沉積

(CVD)) 提供了極佳的機會使金剛石，尤其是單晶金剛石(single crystal diamond; SCD)得以應用於先進 IC 與先進 SiP，其利用金剛石的「極端」性質，尤其是極高熱傳導性(約 24 W/cm.°K) (大於銅的 5 倍)、極高的崩潰電場(約 20 MV/cm)與極低的熱膨脹係數(室溫下約 1 ppm/°C)。在下文中，用語「含金剛石層」包含但不限於(1)由金剛石製成的層、(2)單晶金剛石層、(3)成長的多晶金剛石、(4)沉積的金剛石層或(5)多個次層，其中至少一個次層由金剛石製成。含金剛石層可更包含通孔於其中或 RDL 於其上。用語「雙晶圓」或「雙層」包含但不限於(1)耦接非金剛石層/晶圓的含金剛石層、或(2)耦接半導體層/晶圓的含金剛石層(例如 GaN-金剛石、SiC-金剛石與 AlN-金剛石)。

【0042】本發明揭露透過(1)產生具有金屬化圖案之含金剛石層及/或雙晶圓(主要是矽-金剛石)微結構和相關處理、以及(2)將它們併入用於高度成長的 3C 應用之先進 IC 與先進 SiP，以增強先進 IC (涵蓋 SoC) 與先進 SiP (涵蓋相關 IC 封裝)的效能的基礎廣泛的創新，高度成長的 3C 應用橫跨處理器和記憶體、用於 HPC 之光子、人工智能(AI，HPC 的一種)、手機、5G RF/mmWave 前端模組、IoT 裝置、功率電子元件，在所有 3C 應用中是無所不在的。在先進 IC 與先進 SiP 方面，高端 PC 和基地台之應用通常會接在大規模數據中心之應用之後，而消費類和汽車之應用通常晚於大規模 PC 和手機之應用(第 1 圖)。取決於成本效益與可靠性需求，此處之金剛石或含金剛石層可依需求涵

蓋 SCD 與成長的多晶金剛石，且雙晶圓可依需求涵蓋 GaN-金剛石、SiC-金剛石、SOI (silicon-on-insulator)-金剛石與 AlN-金剛石。本發明有望迎來新的 SoC 和 SiP，其將以前所未有的方式徹底改變半導體行業，導致「更好的」摩爾（與先進 IC 有關），且「比」摩爾「更好」（與先進 SiP 有關）。

【0043】本發明為實施金剛石與雙晶圓微結構提供極好的機會，主要是因為金剛石具有極端散熱能力。金剛石的極端散熱能力可用以使處理器與例如 GaN HEMT（高電子移動率電晶體）等其他高功率晶片中的熱點消散，從而提升效能與可靠性。

【0044】SCD 絕對是微電子元件的優質材料。金剛石具有獨特的極端性質組合：

- 熱傳導性(W/cm.°K)：約 24。相對於此，銅約為 4、矽為 1.5、GaN 約為 3、SiC-4H 為 5。
- 崩潰電場(MV/cm)：20。相對於此，矽為 0.3、GaN 為 5、SiC-4H 為 3。
- 電子移動率(cm²/Vs)：4,500。相對於此，矽為 1,450、GaN 為 440、SiC-4H 為 900。
- 電洞移動率(cm²/Vs)：3,800。相對於此，矽為 480、GaN 為 200、SiC-4H 為 120。
- 能隙(eV)：5.5。相對於此，GaN 為 3.44、SiC-4H 為 3.2。
- 寬頻光學透明性：從 230 nm 至 15 μm - 1 mm。
- 熱膨脹係數：約 0.7 ppm/°C。

- 硬度（莫氏(Mohs)硬度 10，最高）、耐磨性與化學惰性。

【0045】金剛石在溫度高於約 100°K 時具有已知材料中最高的熱傳導性，其大於銅的 5 倍。金剛石亦具有高電阻率（金剛石可使更薄的材料層在高電壓下保持絕緣）與高崩潰電場。金剛石具有非常低的熱膨脹係數。金剛石的電子能隙大於矽，且大於用於功率電子元件的兩種主流寬能隙材料 SiC 和 GaN。更寬的能隙代表在更高的電壓與頻率下傳輸電力和電子訊號所需的材料更少。金剛石從紫外光(UV, 230 nm)至遠紅外光皆為透明。在 2.5 μm 和 6 μm 之間僅存在較小的吸收帶（由兩聲子吸收所引起）。金剛石是多譜段(multispectral)光學應用的理想材料。金剛石極硬、極耐磨且化學惰性極強。它是用於惡劣、高度侵蝕性環境的理想材料。

【0046】金剛石散熱器可降低熱能管理瓶頸，並可達成較低的運作溫度、提升效能、延長系統壽命、降低系統重量與佔用面積，還可減少或排除輔助冷卻系統，例如在一系列電子應用中的水冷系統。散熱器可分為三種類型：10-15 W/cm.°K、15-20 W/cm.°K、以及其他，具有 10-15 W/cm 的類型擁有最大市場佔有率。它們的熱傳導性可配合不同的價格/效能需求而調整。CVD 金剛石的性能比現今常用的散熱材料如例銅、碳化矽與氮化鋁高 3 至 10 倍。

【0047】根據本發明之一目的，金剛石可用作有效的 3D 散熱微結構（具有微觀特徵，例如直徑小於 20 μm、深度 100 μm

的孔洞，且甚至具有次微米(sub-micron)特徵)，其可嵌入先進 SiP 中及/或整合於先進 IC 中（使用雙晶圓）以使 IC 或封裝中的熱點消散，從而為高功率雲端與 AI 應用提供高達 2 倍以上的頻率，在功率電子元件的情況下可使速度提升多於 10 倍。

【0048】矽通孔(Through Silicon Via; TSV)使矽中介層或主動矽晶片的正面可和其背面互連。矽中介層之應用需要數年才成熟。TSV 使最近形成複雜的 2.5D IC 和 3D IC 封裝的異質整合遽增，如第 3、4 和 5 圖所示。

【0049】在第 3 圖所示之可使用 TSV 的 2.5D IC 中，矽中介層作為印刷電路板與層壓基板之間的橋樑，且晶片包含邏輯晶粒、運算處理器晶粒（例如 FPGA）、基底晶粒與 3D 多晶粒 HBM（高頻寬記憶體）DRAM 堆疊。多個晶粒彼此互連，或通過 TSV、RDL 及/或銅柱微凸塊和中介層互連。現在的 2.5D 應用包含數據中心網路交換器與伺服器中的超高效能圖形處理器(GPUs)、深度學習加速器與中央處理器(CPUs)。第 4 圖所示之可使用 TSV 的 3D IC 中，安裝在邏輯或處理器晶粒上的 wide-I/O 記憶體堆疊和用於 2.5D IC 的 HBM 堆疊架構（第 3 圖）相似。展望未來，3D IC 應用可包含用於手機的高端應用處理器與涉及在邏輯上堆疊邏輯、在邏輯上堆疊記憶體、及/或在記憶體上堆疊邏輯的 HPC 應用。

【0050】如第 3 圖所示，2.5D IC（第 3 圖）包含具有 TSV 的「被動」矽中介層，TSV 包括由相似於矽中介層製程的製程產

生的「主動」基底晶粒和主動 HBM DRAM 晶粒。此處之「被動」代表沒有主動裝置功能，雖然其在某些應用中可變為主動。相對地，3D IC 僅包含可使用 TSV 的主動晶粒，例如 wide-I/O 記憶體與邏輯或處理器晶粒（第 4 圖）。

【0051】 高效能運算與數據中心在記憶體系統（主要是 DRAM 裝置）與能源效率方面面臨挑戰。使用 2.5D 和 3D IC 架構，通過在 z 軸方向上的 HBM 堆疊與 wide-I/O 記憶體堆疊（請見第 12 圖）提供的對記憶體的低延遲、高頻寬連接，可大幅減少處理引擎與 DRAM 記憶體系統之間的效能差距（記憶體牆 (memory wall)），從而使先進多核心 CPU 晶片與 GPU（以及其他加速器）的效能潛力得以更充分發揮。

1. 產生金剛石與雙晶圓中介層的方法

【0052】 本發明提供兩個方法（1 和 2）以形成支持 2.5D 和 3D IC 的前述基於含金剛石層或雙晶圓的中介層或晶粒。

【0053】 在方法 1 中，為了形成金剛石中介層，方法可始於金剛石基板（例如厚度約 100 μm ），並對其進行深反應離子蝕刻 (deep reactive ion etching; DRIE)（或 Bosch process）以在高蝕刻速率下形成高深寬比 (high-aspect ratio) 的金剛石通孔（例如，數千個具有直徑 20 μm 與深寬比 5 的通孔），蝕刻可使用氧作為蝕刻氣體（與其他較重氣體例如 CF_4 ）且使用遮罩例如鋁/二氧化矽、鋁/矽/鋁或不鏽鋼。其他可考慮的遮罩選擇包含鋁、鈦、金、鉻、二氧化矽、氧化鋁、光阻及/或旋塗玻璃 (spin-on-glass)。

蝕刻遮罩材料在具有高選擇性的 DRIE 中的蝕刻速率必須比金剛石更慢。亦可使用超短脈衝（例如飛秒脈衝）雷射微機械加工以提升蝕刻表現，視遮罩與 DRIE 條件而定。DRIE 與磊晶沉積的結合可在矽中形成超高深寬比（高達 500）溝槽。其也可以在之後形成超高深寬比金剛石通孔(TDV)。

【0054】在形成 TDV 孔洞後，可繼續進行第 3 圖所示的 2.5D 矽中介層製程步驟（在(B)形成 TSV 的部分），始於氧的電漿增強化學氣相沉積(PECVD)、以及透過濺鍍之阻障層/晶種層 鈦/銅、鈦-鎢/銅或氮化鈿/銅襯裡的物理氣相沉積(PVD)，接著進行銅電鍍以填充 TDV，接著進行化學機械研磨(CMP)以移除過多的銅，然後在正面（晶片側）形成微米級精細線路 RDL 並進行凸塊下金屬化(under-bump metallurgy; UBM)處理。接著，進行第 3 圖中(C) TSV 後的部分，接合載體(carrier)，接著使晶圓薄化，接著進行背面 RDL 與 UBM，接著形成焊球與配置焊球，接著貼上晶粒膠帶，接著去除載體，接著切割以使中介層單顆化。第 3 圖中，涉及晶片上的微凸塊的(A)部分代表在 IC 上形成微凸塊，其將會在中介層組裝於層壓基板之後和中介層接合（在(D)覆晶組件的部分），以形成 2.5D IC。因為中介層非常薄，載體（通常是玻璃基板；請見第 3 圖的(C)部分）通過黏合層/剝離層接合中介層基板，黏合層/剝離層可在形成典型的聚醯亞胺類重佈層期間承受高溫，且之後可透過雷射照射以乾淨地去除黏合層/剝離層。雖然存在其他製程變化型，第 3 圖的(C)部分與(D)部分示出在 TSV

後建立中介層、將其組裝於層壓基板、以及接著以覆晶方式將晶片組裝於中介層以形成 2.5D IC（第 3 圖）。

【0055】關於使用矽-金剛石雙晶圓以形成雙晶圓基底與含通孔主動晶粒，可先依循上述金剛石中介層製程以在矽-金剛石雙晶圓中形成 TDV，接著使用氟化氣體例如 CF_4 、 SF_6 或二氟化氬作為蝕刻氣體（即 Bosch 蝕刻法）並在對準遮罩的輔助下進行矽之 DRIE，以在 TDV 的位置形成矽通孔(TSV)，形成金剛石-矽通孔(TDSV)。接著，可繼續進行上述金剛石中介層製程的剩餘部分，從 PECVD 與 PVD 步驟開始（第 3 圖的(B)形成 TSV 的部分），然後切割(第 3 圖的(C) TSV 後的部分)。簡單來說，形成含 TDSV 中介層的步驟（第 3 圖）可用以在使用矽-金剛石雙晶圓作為裝置基板（而非矽）的主動裝置（而非被動矽或金剛石中介層）中形成類似金剛石中介層的結構。可以雙晶片為基底形成主動電路與 TDSV。第 3 圖與第 4 圖的基底晶粒與邏輯處理器晶粒皆為矽基底，可依需要將它們轉換為矽-金剛石雙晶圓基底。

【0056】對於方法 1，使用 3D 雷射微影技術的情況下，亦可使用灰階微影在平面含金剛石層、矽-金剛石雙晶圓中介層基板或晶粒上形成 3D 微結構，並透過乾式非等向性蝕刻將它們轉移至基板或晶粒；灰階微影是在遮罩中形成 3D 結構的方法（例如光阻、金屬、氧化物與其組合）。在用於例如涉及在矽中形成 MEMS 微結構的 MEMS 製造的平面技術中，通常只使用一個曝光劑量。

在灰階微影中，必須控制 UV 光的曝光強度，且可使用例如多步階曝光、像素化遮罩曝光與直寫式等數種方法以形成 3D 結構。

【0057】可使用方法 1 以形成具有幾乎任意形狀的 2D 和 3D 微結構與金屬圖案的设计師級珠寶，例如可包含姓名、卡通圖案、喜愛的照片等。此外，除了上述 2D 平面基板之外，基板亦可以是預先製造的 3D 結構，例如 3D 金剛石結構。

【0058】同樣地，雖然存在其他變化型，第 4 圖示出了在 z 軸方向上形成 3D IC 堆疊的典型製程。此製程可應用於形成第 9 圖的 3D IC，其和應用處理器與 wide-I/O 記憶體堆疊共同封裝於一封裝中，以供未來的高端手機使用。第 5 圖示出了逐步形成具有 TSV 的主動晶粒的多個不同方案（先形成 via、中段形成 via、後形成 via、及接合後形成 via），其中 FEOL 代表前段製程(Front End of Line)，BEOL 代表後段製程(Back End of Line)。對於具有處理器的主動晶粒，矽-金剛石雙晶圓可用以增強效能與可靠性。也就是說，處理器的主動電路形成於雙晶圓的矽層中，TDSV 形成於雙晶圓中。

【0059】對於方法 2（第 6 圖），亦即預成型結構方法，方法始於電鍍支撐基板 62 上的高導電性金屬柱 61，支撐基板 62 具有難熔性、穩定碳化物形成與低熱膨脹係數之特性（例如，金剛石薄底），並通過一系列步驟：沉積晶種層/黏合層（例如 Ti/Cu、TiW/Cu 或 Ta/Cu）、沉積光阻與圖案化光阻、銅電鍍、移除光阻與蝕刻晶種層。金屬柱基板(MPS)中的支撐基板 62 與用於金屬

柱 61 的金屬必須能夠承受 CVD 金剛石沉積的高溫與其他狀態，且支撐基板必須是在 MPS 處理後可通過雷射或其他方法易於拆卸的。取決於金剛石沉積溫度，此處的金屬可包含(a) 銅（熔點 1084.62°C）、(b) 在銅柱微凸塊形成時被熔點更高的金屬包覆的銅，熔點更高的金屬例如是電沉積的鎳（Ni；熔點 1455°C）、以及(c)用於 IC 製造的濺鍍沉積的鎢（W；熔點 3410°C），或者可包含其他高熔點難熔金屬（例如鉭(Ta)；熔點 3017°C）及其合金（例如鈷(Co)-鎢，其可在 pH 5-8、溫度 20-60°C 的檸檬酸溶液中電沉積）。在所有純金屬（即不具有雜質）中，鎢具有最高熔點、最低熱膨脹與最高拉伸強度。雖然鎢的電沉積極度困難，但鎢可被濺鍍沉積或可在適當高溫無機阻抗劑的輔助下在高溫（約 350 °C - 850°C）熔鹽中被電沉積。鉭是高導電性金屬，在電子產品方面用作銅電鍍之襯墊、以及用於鉭電容，可用於例如手機、DVD 播放器、遊戲系統與電腦等設備中。金屬柱的厚度應稍微高於最終金剛石的厚度，以保留空間給後續的研磨與蝕刻。

【0060】 如第 6 圖所示，透過(b)~(e)步驟進一步處理 MPS：(b) 在 MPS 上 CVD 沉積金剛石 63，直到其厚度稍微高於金屬柱的高度與最終中介層的厚度，(c) 研磨、蝕刻與清潔以使頂表面平面化與平滑化並暴露出金屬柱 61，(d) 通過雷射與其他方法將具有 TDV 的金剛石從支撐基板上拆卸下來，以及(e) 在金剛石中介層 102 的正面與背面形成 RDL 和 UBM 64，按照類似第 3 圖所示的方法。

【0061】若在方法 2 中需要雙晶圓中介層 104，可使用類似於用以使矽接合金剛石的方法（例如，使用電漿及/或表面活化接合）將矽 65 接合包含填充的 TDV 的金剛石中介層（在形成重佈層之前，請見第 6 圖），以形成雙晶圓。接著，進行(g) 在對準遮罩的輔助下蝕刻以形成 TSV 孔洞，TDV 在 TSV 孔洞下方，並且電鍍金屬 66 以填充 TSV 孔洞，然後進行(h) 在得到的雙晶圓中介層結構的兩面形成 RDL 和 UBM 64，再次和矽中介層處理之情況一樣（第 3 圖）。此流程的一變化型是僅將具有通孔的金剛石中介層接合於矽（但沒有進行電鍍以填充金剛石通孔），在矽中形成通孔，以銅電鍍填充連接的矽通孔與金剛石通孔，接著在雙晶圓中介層的兩面形成 RDL。

2. 產生基於金剛石的扇出封裝的方法

【0062】標準扇出製程包含用於形成蘋果手機中的扇出封裝的那些步驟，可分為三類：(a) 晶片先裝/（晶粒）面朝下；(b) 晶片先裝/面朝上與晶片後裝（或 RDL 先做）。扇出製程可在 2D 和 3D 堆疊中嵌入單一晶粒或多個晶粒。如同 2.5D 矽中介層的情況，扇出 RDL 可低至微米級的線寬與間隔。金剛石或含金剛石層/機板可作為散熱器，且可整合於扇出封裝流程中。以晶片先裝/面朝上方法為例，可使用高導熱晶粒連接材料使晶粒先連接已接合載體的金剛石基板。在裝設晶粒之前，從晶片先裝/面朝上扇出製程的第一步開始，首先使金剛石基板接合載體上的暫時接合層。

接著，可依循剩餘步驟以形成扇出封裝，扇出封裝是通過金剛石來冷卻晶片，可用於高功率應用，如第 19 圖所示。

【0063】對於晶片先裝/面朝上方法，亦可藉由打入模封化合物的雷射以在模封化合物中形成通孔或孔洞，接著進行銅電鍍與形成 RDL 互連。作為替代方案，中介層方法 2 中的 MPS（當含金剛石 63 用作支撐時，請見第 6 圖）亦可作為互連基板或晶片載體，並通過晶片先裝/面朝上方法進行處理以形成相似的扇出結構。在此情況下，可使 IC 連接在 MPS 上以在基板的一面形成 RDL，接著進行晶片先裝/面朝上扇出製程，而不需要進行雷射鑽孔與銅電鍍步驟。

3. 產生金剛石-導線架混合結構的方法

【0064】處理地球上最硬的材料金剛石並非易事。現今多數方法主要是以金剛石來加工金剛石。可能的方法包含：(1) 研磨，藉由使用金剛石砂漿的寶石雕琢方法以快速移除材料(粗加工)；(2) 用於 SCD 的鑄鐵盤(scaife)研磨，通過限制磨損斷裂平面的方向以達成低損傷與低表面粗糙度（在此情況下，金剛石被壓在高速旋轉鑄鐵盤上，其包含嵌入的金剛石粒子）；(3) 樹脂接合拋光輪研磨，相較於鑄鐵盤研磨可處理較大面積且可達到較高平坦度，但表面加工損傷較嚴重。可在高 pH 值化學機械研磨砂漿與反應離子蝕刻(RIE)中達成金剛石蝕刻與平滑化。使用高溫(> 150 °C)氧化法清潔金剛石以移除殘留表面污染物，例如，高溫氧化法可結合酸（例如 H_2SO_4 ）與氧化劑（例如 KNO_3 ）。

【0065】一組相異材料，例如矽、鎢與鈦，和金剛石反應並形成穩定碳化物。可使用薄膜、多層金屬塗層先以碳化物作為黏著基底，接著使用穩定惰性金屬例如金與鉑，以形成歐姆(Ohmic)金屬碳化物接點。在約 400 °C 保持穩定，這些塗層用以使接點或散熱器間接連接至金剛石。第 18(b)圖所示在 CVD 金剛石-銅混合罐 182 上的鈦、鉑與金的薄的多層濺鍍塗布層可使標準低溫焊料接合技術得以使用。

【0066】市售的接合材料種類很多。其可包含暫液相材料(例如 In、Ag-In、Au-In、Au - Sn 與 Ag-Sn)、低熔點焊料(例如 In、Sn)、燒結銀、高溫半燒結材料與高溫晶粒連接材料(例如那些用於製造光學通訊之光學收發器的材料)。具有微影圖案化金屬層的金剛石散熱器可以金屬化方法製成，金屬化方法包含 Ti/Pt/Au/Pt/Au(具有錫軟焊料)或用於硬焊接的 Ti/Pt/Au 加上 Ti/TiN/Ti/Au/Sn/Au。CVD 金剛石亦可使用活性硬焊來進行連接，其可在約 800 °C 的高溫真空製程中形成穩定碳化物介面。

【0067】形成整合的金剛石微結構-銅導線架混合基板的方法始於(a)切割、研磨、拋光、CMP、RIE 及/或清潔金剛石，以及(b)上述步驟中的一些步驟以使金剛石中介層形成具有金屬化圖案(例如薄 Ti/Pt/Au)的 2D 與 3D 金剛石微結構，並對金剛石表面進行氧化化學處理以提升金剛石與模封化合物之間的黏合性。接著可通過焊接(使用暫液相材料，In 或 Sn)或硬焊(使用形成穩定碳化物介面的活性硬焊)以使這些微結構接合 2D 和 3D

金屬導線架結構，例如銅導線架，以形成具有薄膜金屬化圖案的複雜的 2D 和 3D 金剛石導線架 151，如第 15 圖所示。

4. 產生金剛石-層壓基板混合結構的方法

【0068】對於 HPC 應用，以由部分層壓基板與金剛石微結構組成的混合結構取代有機層壓基板是有益的，其一側具有互連或重佈層（或者如果有需要的話可在兩側具有 TDV）嵌入最終混合基板 108 中（請見第 7 圖），可改善熱能管理與系統級熱膨脹匹配。為了形成這樣的混合基板 108，可先使用第 3 圖所示的部分步驟，以在金剛石基板 106 上形成正面 RDL 和 UBM。為了將具有 RDL 的金剛石基板 106 嵌入層壓基板 107（可包含導熱通孔 1071），可從使金剛石基板 106 連接部分建造的層壓基板 107（背面帶有環氧樹脂基基板 RDL）開始，接著進行標準增層基板 (build-up substrate) 製程（例如配置絕緣層 1072 與銅 1073，形成孔洞 1074，形成連接線路），但只在一側形成（即晶片側），以完成金剛石-層壓混合基板 108。此方法在兩側建立 RDL，但也可應用於僅於單一側建立 RDL。

【0069】在第 7 圖的金剛石-層壓混合製程中，亦可在層壓基板甚至金剛石層中嵌入主動與其他被動元件。第 7 圖示出具有 RDL 的嵌入式金剛石基板 106 的一變化型，其具有暴露於混合基板的正面及/或背面的金剛石微結構，以在上述一側構建製程後直接連接晶片以形成混合基板。另一變化型是將雙側具有 RDL 的金剛石中介層 102（如第 6 圖所示）嵌入層壓基板中。當需要主動

功能時，亦可將上述嵌入式基於金剛石的微結構變換為基於雙晶圓的微結構，並在雙晶圓的矽層中實現所需的主動功能。這些混合結構代表對於包含嵌入式多晶片互連橋接(EMIB)的層壓基板之增強，其使用具有 RDL 的微小矽片以讓一晶片連接另一晶片以作為 2.5D 封裝。

【0070】在隨後的內容中，本發明揭露創新的 IC 和 SiP，使用 AI、HPC、光子、5G RF/mmWave、功率和 IoT 應用作為例子，並將上述金剛石與雙晶圓獨特製程及微結構結合現有的先進 IC 和先進 SiP 製程來進行說明。然而，示例性的實施例並未涵蓋本揭露的所有可能實施例。在不限制申請專利範圍的情況下，將說明本揭露的一些益處與新穎的特徵，其旨在說明本發明而非作為本發明之侷限。

5. AI 應用

【0071】為了增強效能，Cerebras 的晶圓級 AI 處理器 SoC 中的矽基板可被具有埋入式電源通孔 811 的基於矽-金剛石雙晶圓 81 的 SoC 取代，如第 8 圖所示，其是由上述雙晶圓中介層製程所建造。為了熱膨脹匹配與增強散熱，第 8 圖的連接器 82 亦可以是雙側具有 RDL 的金剛石中介層。埋入式電源通孔可釋放 SoC 的互連層的空間，從而可在晶圓正面實現最佳訊號傳輸並可提升效能。這些特徵使處於摩爾定律前線的高端處理器能夠更快地擴展解決方案，相較於傳統方法之產業標準可提供更好的電壓裕度 (voltage margin)。

【0072】第 9 圖與第 10 圖繪示兩個增強的晶圓級 AI 處理器 SiP，它們在效能與可靠性方面優於 UC-UI SiP：一個以包含矽-金剛石之雙晶圓互連基板 112（第 9 圖）取代矽互連基板，且另一個以金剛石中介層 114（第 10 圖）取代矽互連基板，金剛石中介層 114 具有 TDV 1141、埋入式電源通孔 1142，且金剛石中介層 114 的正面和背面皆有 RDL 1143。在第 9 圖中，雙晶圓互連基板中的矽可以是被動或主動（代表除了小晶片之外，雙晶圓互連基板 112 中的矽包含主動功能）。第 10 圖所示的金剛石中介層處理器 SiP 藉由埋入式電源通孔來增強效能，並藉由以金剛石中介層 114 取代矽基板來使散熱能力更佳。UC-UI 團隊部署邊緣電連接和矽互連基板中的 4 個金屬層，邊緣電連接導致功率從晶圓邊緣往晶圓中心下降，矽互連基板中的 4 個金屬層中的兩層專用於晶片間訊號，且另外兩層用於電力分配。本發明藉由從雙晶圓基板的背面提供電力，不僅可解決功率下降問題，且使雙晶圓互連基板上的互連層中的可用空間增加，這些空間可用以在這些層中設計額外的線路，且可和額外的小晶片互連，從而大幅提升效能。

6. HPC 應用

【0073】HPC 系統結合了功率愈來愈強的多個晶片，其熱能管理通常面臨巨大挑戰。第 11 圖繪示最先進的處理器/邏輯晶粒之 2.5D 和 3D IC 封裝，以及金剛石基板 111 上的 3D HBM 堆疊，其包含嵌入的多晶粒互連橋。金剛石基板 111 可以是(a) 第 7 圖

的層壓混合基板 108，或(b) 類似第 10 圖的金剛石中介層 114。按照標準層壓流程，導熱通孔 1111 可設計與形成於層壓基板製程中，在使用金剛石-層壓混合基板的情況下。在此實施例中，金剛石可改善效能、功率、成本與尺寸。

【0074】數十年來，內存處理(*processing-in-memory*)或近記憶體運算(*near-memory computing*)由於具有打破記憶體牆的潛力而得到愈來愈多的關注。以 2.5D IC 為例的近記憶體運算(第 12 圖)把記憶體從電路板移至邏輯，從而降低數據移動。最近的成果顯示某些記憶體可利用記憶單元的物理性質來將自身變為運算單元，從而可在記憶陣列中實現原位運算。記憶體中運算或近記憶體運算皆可透過能夠將數據密集應用程式有效映像(*mapping*)至這類裝置的技術來繞過和數據移動有關的間接成本(*overheads*)。

【0075】金剛石亦對用於近記憶體運算與記憶體中運算的 SiP 有益。第 12 圖繪示兩個金剛石增強封裝：中間(第 12(b)圖)是用於近記憶體運算的 2.5D 版本，其使用具有 TDV 的金剛石中介層 121 以使來自處理器 122 與 HBM 123 中的熱點的熱更均勻地消散；右邊(第 12(c)圖)是 3D 封裝，3D 封裝中的 DRAM 記憶體 124 通過銅柱微凸塊或「無焊料」銅混合鍵結 126 接合使用雙晶圓之處理器 125 (具有 TDV)，利用矽-金剛石雙晶圓 127 增強熱能管理。

7. 光子應用

【0076】數據爆炸正驅使網路流量與雲端服務驚人成長。矽光子將在定義新的大型數據中心架構上占據中心位置，以管理持續成長的數據流量。隨著光子和電子交換從安裝於伺服器機板邊緣的光學收發器（在大型數據中心內部的伺服器機櫃中）移至這些運算系統內的 IC 封裝與邏輯晶片，需要新的微電子封裝技術來處理光電互連。

【0077】傳統上，光學元件用於長距離傳輸數據，因為當傳輸長度與頻寬增加時，相較於以電子傳輸數據，光可用更快的速度攜帶更多訊息量（bits），且光更加節能。光學收發器代表從 100G 開始的矽光子的最初高容量應用，因為光學元件儘可能接近數據來源。

【0078】使用基於矽中介層的光學模組為例，使用矽-金剛石雙晶圓中介層 131 取代矽中介層可使效能大幅增加，矽-金剛石雙晶圓中介層 131 包含埋入式電源通孔 1311，且光學波導管 1314 與主動和被動功能（例如調變器 1312 與檢測器 1313）皆在雙晶圓中介層 131 的矽部分中。使用微影、反應離子蝕刻與聚焦離子束技術之組合，亦可在雙晶圓中介層 131 的金剛石部分中製造光學晶片，光學晶片整合多個功能元件，例如 X-crossings、Y-functions、漸逝耦合器(evanescent coupler)、布拉格反射器/耦合器與各種干涉儀。

【0079】隨著以更高波特率與更低功率進行更高速數據傳輸的需求漸增，光學元件被移動至更加接近晶粒成為趨勢。為此，

需要將光電互連設計為直接和處理器接合，無論是特殊應用積體電路(application specific integrated circuit; ASIC)、現場可程式化邏輯閘陣列(FPGA)或 CPU，以支援切換、收發、訊號調節與多工器/解多工器之應用。這需要將基於雙晶圓中介層 131 的光學模組（第 13 圖）和例如 ASIC/FPGA/CPU 141（或其小晶片）的處理器共同封裝，ASIC/FPGA/CPU 141 以覆晶的方式接合另一層壓基板或中介層 142，如第 14 圖所示。如同矽-金剛石雙晶圓增強型光學模組 140，藉由將使用雙晶圓之光學模組（第 13 圖）與使用雙晶圓的 ASIC/FPGA/CPU 141（連接金剛石散熱器）安裝於金剛石中介層 142 上，如第 14 圖所示，可大幅增強這種更加複雜的 SiP 的性能。

8. 5G RF/mmWave 應用：WiFi 與前端模組

【0080】從 5G 可應用的領域數量來看，5G 是革命性的，其超越了前幾代的通訊技術例如 4G 和 4G LTE 可應用的領域數量。從 4G 到 5G 且從 WiFi 6 到高功率 WiFi 7，WiFi 前端設計遇到更多的 RF 鏈(RF chain)，這導致前端模組內整體熱能增加，必須在加強的 EMI 遮蔽下適當地散熱才能達到設計的效能。展望未來，(a) 為了更高密度的封裝將會需要 SiP、多晶片模組與晶圓級晶片尺寸封裝(WLCSP)，且(b) 亦需要覆晶、晶粒堆疊、高熱效能及/或甚至電磁干擾(electromagnetic interference, EMI)遮蔽。為了 4G，許多 WiFi 封裝仍基於打線接合 QFN 封裝。金剛石可通過夾式封裝 150（請見第 15 圖）增強 QFN 效能，其中上述具

有薄膜金屬化圖案的金剛石-銅導線架 151（或銅導線架或層壓-銅混合結構）用以耦接晶粒 152，因此藉由焊接 154 耦接至銅上導線架（或夾住金剛石-銅混合結構）153。其他的接合線路 155 可用以使晶粒 152 電性耦接至金剛石-銅導線架 151。此外，第 15 圖提供基於整合覆膜式屏蔽 156 與金剛石-銅導線架 151 的 EMI 遮蔽的夾式封裝，以形成法拉第籠。

【0081】第 15 圖有關於使用夾式封裝(下導線架 151 可以是銅導線架、金剛石-銅混合導線架或層壓-銅混合結構，且上導線架 153 可以是銅導線架或金剛石-銅混合結構)與覆晶封裝(打線接合是可選的，但在 EMI 成為問題時可能不會使用)以取代打線接合 QFN，以增加互連密度，並通過從封裝的上側與下側進行雙側冷卻來增強熱能管理。其可使用高熱傳導晶粒連接，例如燒結 Ag 或高熱半燒結材料。在需要多於雙側冷卻的極端應用中，當空間不受限時，可在夾式封裝上實施主動熱能解決方案，例如熱電元件或 Peltier 冷卻器。電路存在於上導線架與金剛石-銅混合基板上或者在封裝底部的銅上。可藉由在模封化合物上濺鍍例如不鏽鋼/銅/不鏽鋼之薄複合層（ $\sim\mu\text{m}'\text{s}$ ）以覆膜式屏蔽此封裝，模封化合物連接下導線架 151 或金剛石-銅混合基板中的接地層，如第 15 圖所示。

【0082】除了不鏽鋼/銅/不鏽鋼，其他金屬例如鍍錫鋼、碳鋼和銅合金 770(銅、鎳與鋅合金)/鎳銀也是其他遮蔽材料的選項。遮蔽層通常可以主要由功能性材料製成，也就是金屬和碳，因為

它們具有高導電性以及與輻射中的電場相互作用的移動電子的相關可用性。陶瓷、水泥和導電聚合物效果較差，但它們中的離子可以與輻射中的電場相互作用。具有金屬-碳、陶瓷-碳、水泥-碳和導電聚合物-碳組合的形式的許多類型的微碳和奈米碳遮蔽材料亦受到廣泛關注，也可以考慮這些材料。部分遮蔽材料可由點膠或噴灑來施加。由於手機等電子裝置的體積有限，功能性屏蔽材料必需在厚度小的情況下保持有效。

【0083】另一選擇是將金剛石中介層或雙層中介層 161（請見第 16 圖）配置為互連載體，RDL 162 在載體和通孔 163（可在以金屬導體例如銅填充通孔之前，以氧化物絕緣體塗布通孔）的頂側與底側。覆膜式屏蔽 164 或分腔式屏蔽 165（即法拉第籠）可和基板中的接地金屬層一起形成，以在形成重佈層與後續製程（例如，模封之後，切割與沉基遮蔽層）期間隔離主要 RF 晶片。在使用分腔式屏蔽 165 的情況下，形成四個「壁」以隔離和遮蔽目標晶片 166（請見第 16 圖）。例如，可通過對模封化合物進行雷射鑽孔並用例如銀填充環氧樹脂等導電材料來填充孔洞以建立壁。

9. 5G RF/mmWave 應用：封裝中的天線

【0084】為了實現 mmWave 高頻寬連接，5G 系統將利用涉及使用窄聚焦波束的波束成形技術來追蹤使用者設備（例如手機），因為它們在基地台的工作半徑內移動。波束形成器傳統上用於雷達站和通訊。藉由 5G 技術，相控陣波束形成器將以更高功率用

於基地台，且以更低功率水平用於使用者設備。由於陣列因素，波束成形網路將來自小型天線的訊號組合成比單獨的天線更具指向性的模式。波束成形涉及天線陣列的元件的精確相移，以產生聚焦在特定方向的窄波束。窄波束大幅增加了預期接收者所得到的結果，同時減少了附近其他設備的干擾。

【0085】任意無線電系統都有兩個部分，這兩個部分是數位基頻調解器(digital baseband modem)和 RF 子系統 (RF IC+天線陣列)。每個都在波束成形過程中發揮作用。從架構的角度來看，和 mmWave 5G 的主要封裝相關的技術挑戰包括 (a) 縮小元件與元件的間距：從 28 GHz 時的 5 mm 到 39 GHz 或更高時的 < 5mm，(b) 更高級別的前端模組整合。兩者皆需要扇出、2.5D、3D 及/或使用它們的技術，以及其發展中的優勢。第 17 圖示出封裝中的天線(AiP) 170，其使用覆晶方式將 RF IC 171 接合於安裝天線的層壓基板。

【0086】為了使天線性能更好（例如，訊號完整性），如第 17 圖所示，本發明提出用天線基板結構 174 取代第 16 圖的 AiP 的模封化合物，天線基板結構 174 包含重佈層 3-玻璃結構（或玻璃陶瓷）173 -空氣腔 172-重佈層 2A 結構。在第 17 圖中，層壓可通過扇出製程和使用模封化合物或模具底部填充劑 1751（較佳具有更接近焊接點的熱膨脹係數；焊料約為 30 ppm/攝氏度）的基板製程的組合來形成基板 175。可在基板處理其間形成覆膜式或分腔式屏蔽。可以測試上述天線基板結構 174 以確保良好，並

且可例如通過焊接以結合具有重佈層 2B 的下層基板。此外，可以暴露 RF 晶粒表面以促進冷卻。在混合基板處理期間，金剛石散熱器 176 亦可連接至暴露的 RF IC 171，可使用或不使用 RDL。空氣腔 172 亦可涉及金屬腔壁，其可在製造上述玻璃結構期間形成，且在適當的時間使用銀電漿。對於 mmWave 應用，建議第 17 圖中的介電材料可選擇具有低吸水率的低介電損耗材料（因為水分子在 10-100 GHz 會發生介電鬆弛現象，且會影響 AiP 效能）。

【0087】以下描述第 17 圖所示的 AiP 的一種變化型，用於要求更進階的應用（例如更精細的間距和更高的訊號完整性）。在這種情況下，玻璃載體用於形成薄的重佈層 1，其具有嵌入的金剛石散熱器 176 或使用層壓或扇出工藝的電路化微結構。如同晶片先裝/面朝上扇出製程，接著將 RF IC 171 連接重佈層 1，並透過通孔或其他方式（例如焊料塗層銅焊球）形成銅柱。然後，可進行成型、模具研磨或平面化，並像扇出製程一樣處理重佈層 2B。可以通過在基板構建期間將 RF IC 171 封閉起來，以產生 EMI 遮蔽。金剛石散熱器 176（或微結構）可以直接嵌入 RF IC 下方的層壓板或扇出 RDL 中，散熱器暴露在外且朝下，如第 17 圖中所示。可藉由高導熱晶粒連接來使 RF IC 連接重佈層 1。

【0088】第 17 圖中的方法和結構的一種變化型是將 RF IC 171 覆晶式接合重佈層 1，如同晶片後裝扇出製程，然後繼續進行上述其他步驟以形成第 17 圖的 AiP 封裝。第 17 圖的結構的另一

種變化型和在玻璃載體晶圓上分別形成兩個重佈層（一個在晶粒下方，即重佈層 1，另一個在晶粒上面，即重佈層 2；請見第 17 圖）有關，測試它們以識別好位置，並在晶片組裝後組裝它們，以提高產量。

【0089】 第 17 圖中的 RF IC 171(具有天線結構,僅為示例)可基於矽或矽-金剛石雙晶圓。在決定要選擇上述第 17 圖的方法和結構中的何者時，產率、成本、效能和構建週期控制是重要的考慮因素。在增強型 AiP(第 17 圖)中，天線調諧器、被動元件、通孔柵欄/籠及/或金屬波導管可以在有意義的情況下合併。在選擇介電材料時，應儘可能使用低損耗、低 CTE（熱膨脹係數）及/或更溼的材料。例如，可考慮液晶聚合物，因為其蒸發和氧滲透率低。對於 5G，可使用的基板材料包含低損耗層壓板、LTCC、扇出和玻璃。

10. 功率與 IoT 應用

【0090】 在現今的訊息技術驅動年代，3C 應用需要更高水準的處理能力，導致更多耗電的處理器以愈來愈高的時脈速度運行，驅動這些處理器的供應電壓降低與供應電流增加。這導致電路板上的功率密度更高。為了跟上處理器的進步，設計者要求功率半導體具有低導通狀態、切換與熱耗損，以維持相似或降低的封裝尺寸與穩定的電路板溫度，以及接近處理器自身的簡單佈局。

【0091】 Infineon 開發 DirectFET 以滿足板安裝功率應用的這些需求。Infineon 認為其 DirectFET（請見第 18(a)圖左側的結構）是 DC-DC 應用的最佳封裝，原因如下：

- 最低的無晶粒封裝電阻，可具有最高效率。
- 最低的頂部熱阻，可具有最大功率密度。
- 最低的封裝電感，可具有最小寄生振鈴現象(ringing)。
- 沒有導線架、沒有打線接合、以及沒有模封成型，是堅固可靠的設計。

- 厚度低，僅有 0.7 mm。

【0092】 相較於標準塑料 MOSFET 封裝，DirectFET 的金屬（銅）罐結構可實現雙側冷卻，從而可有效地使 SO-8 佔用面積或更小佔用面積中的高頻率 DC-DC 降壓變換器的電流處理容量和效率成為兩倍。以金剛石-銅混合罐 182（具有用於電性連接的圖案化的銅；右側；第 18(b)圖）取代金屬罐可顯著地提升冷卻效率與裝置效能。

【0093】 另一個含金剛石層可為其增添價值的功率應用是 Infineon 公司的 Nano IPM（智慧型電源模組），其由導線架上的多個打線接合晶粒（例如 GaN 及/或控制 IC）組成。藉由使用扇出並將含金剛石層 191 用作增強型扇出 IPM 190（第 19 圖）的散熱器，可將功率密度提高 70% 以上並使封裝尺寸降低 40% 以上，同時金剛石可使散熱更佳。根據第 19 圖，半導體晶粒（例如 GaN 晶粒或控制 IC）通過晶粒連接材料 192 接合含金剛石層 191。

化合物材料 193 包封半導體晶粒，半導體晶粒透過重佈層 194 電性連接焊球 195。

【0094】 GaN 是可用於生產半導體功率裝置、發光二極體 (LED) 與 RF 元件的材料。可使用以上揭露之製程和結構 (例如雙晶圓) 以使 GaN 和含金剛石層整合以提升效能。含金剛石層上的 GaN 對高功率 RF 應用方面，例如雷達應用，特別具有吸引力。例如基於 GaN 的 HEMT。高速切換應用的操作期間，局部通量值可比太陽表面高十倍以上。如第 19 圖所示，將金剛石放在儘可能接近熱點的位置以進行適當散熱可有效降低通道溫度，從而促進裝置穩定性與時間。

【0095】 IoT 裝置是小型、高度整合的電腦，具有滿足使用者需求的各種功能。除了有史以來尺寸最大的晶圓級 AI SoC 與晶圓級 AI SiP 應用，金剛石在複雜 IoT 裝置 (例如 iWatch) 之系統級封裝方面亦很有用。蘋果公司的 iWatch 1 是其上市時有史以來最複雜的 IoT 系統的其中之一。其包含 IoT SiP 中數量最多的元件 (第 1 代中有 514 個元件)，且非常小，僅有手錶尺寸。金剛石是重量輕、耐用、對化學品具有惰性、堅硬、高導熱的。通過例如前端、底端、處理器-記憶體、用於不同使用情況的感測器等關鍵功能塊將功能分類為 7 個已知良好的模組，並將它們安裝於具有多個重佈層的金剛石中介層上，其中一個可混合匹配不同涉及不同感測器、重複使用 IP 之最終用途應用，可顯著提升產率，並可改善系統效能和上市時間。

【0096】對本技術領域中具有通常知識者顯而易見的是，可對所揭實施例進行各種修改與變化。說明書與示例僅是舉例說明，本揭露之實際範圍由以下申請專利範圍及其同等物指明。

【符號說明】

【0097】

1,2,2A,2B,3:重佈層

61:金屬柱

62:支撐基板

63:金剛石

64:RDL 和 UBM

65:矽

66:金屬

81:矽-金剛石雙晶圓

82:連接器

102:金剛石中介層

104:雙晶圓中介層

106:金剛石基板

107:層壓基板

108:混合基板

111:金剛石基板

112:雙晶圓互連基板

- 114:金剛石中介層
- 121:金剛石中介層
- 122:處理器
- 123:HBM
- 124:DRAM 記憶體
- 125:處理器
- 126:混合鍵結
- 127:矽-金剛石雙晶圓
- 131:中介層
- 140:矽-金剛石雙晶圓增強型光學模組
- 141:ASIC/FPGA/CPU
- 142:中介層
- 150:夾式封裝
- 151:導線架
- 152:晶粒
- 153:上導線架
- 154:焊接
- 155:線路
- 156:覆膜式屏蔽
- 161:中介層
- 162:RDL
- 163:通孔

- 164:覆膜式屏蔽
- 165:分腔式屏蔽
- 166:晶片
- 170: AiP
- 171: RF IC
- 172:空氣腔
- 173:玻璃結構
- 174:天線基板結構
- 175:基板
- 176:金剛石散熱器
- 182:金剛石-銅混合罐
- 190:增強型扇出 IPM
- 191:金剛石層
- 192:晶粒連接材料
- 193:化合物材料
- 194:重佈層
- 195:焊球
- 811:埋入式電源通孔
- 1071:導熱通孔
- 1072:絕緣層
- 1073:銅
- 1074:孔洞

1111: 導熱通孔

1141: TDV

1142: 埋入式電源通孔

1143: RDL

1311: 埋入式電源通孔

1312: 調變器

1313: 檢測器

1314: 光學波導管

1751: 模具底部填充劑

【發明申請專利範圍】

【請求項 1】 一種積體電路(IC)封裝結構，包含：

一半導體晶粒；

一金剛石層，耦接該半導體晶粒；

一第一重佈層，在該含金剛石層的一第一表面上且完全覆蓋該含金剛石層的該第一表面；

一第二重佈層，在該含金剛石層的一第二表面上且完全覆蓋該含金剛石層的該第二表面，該第一表面相對於該第二表面；以及

一通孔，在該含金剛石層中且從該第一表面延伸至該第二表面，

其中該含金剛石層的該第一表面是平坦的。

【請求項 2】 如請求項 1 所述之 IC 封裝結構，其中該含金剛石層係為熱耦接該半導體晶粒的一金剛石-金屬混合結構。

【請求項 3】 如請求項 2 所述之 IC 封裝結構，其中該金剛石-金屬混合結構包含夾住該半導體晶粒的一上導線架與一下導線架，其中該上導線架及/或該下導線架包含金剛石與金屬材料。

【請求項 4】 如請求項 2 所述之 IC 封裝結構，更包含包封(enclosing)該半導體晶粒與該金剛石-金屬混合結構的一模封化合物。

【請求項 5】 如請求項 4 所述之 IC 封裝結構，其中該模封化合物包含一共形遮蔽材料以包封該半導體晶粒。

【請求項 6】 如請求項 1 所述之 IC 封裝結構，其中該半導體晶粒透過一晶粒連接材料接合該含金剛石層，該半導體晶粒嵌入一模封化合物內，該半導體晶粒透過一重佈層結構和複數個焊球互連。

【請求項 7】 一種積體電路(IC)封裝結構，包含：

一半導體晶粒；

一金剛石基板；以及

一第一微米級重佈層，在該含金剛石基板與該半導體晶粒之間，

其中該含金剛石基板通過該第一微米級重佈層電性連接該半導體晶粒。

【請求項 8】 如請求項 7 所述之 IC 封裝結構，其中該含金剛石基板包含一單晶金剛石層與在該單晶金剛石層中的一通孔。

【請求項 9】 如請求項 8 所述之 IC 封裝結構，更包含

一第二微米級重佈層，

其中該第一微米級重佈層在該含金剛石基板的一第一表面上，該第二微米級重佈層在該含金剛石基板的一第二表面上，該第二表面相對於該第一表面，該通孔電性連接該第一微米級重佈層與該第二微米級重佈層。

【請求項 10】 如請求項 8 所述之 IC 封裝結構，其中一外部電源供應器透過該通孔電性連接該半導體晶粒。

【請求項 11】 如請求項 7 所述之 IC 封裝結構，其中該含金剛石基板包含一單晶金剛石層與接合該單晶金剛石層的一半導體層。

【請求項 12】 如請求項 11 所述之 IC 封裝結構，其中該含金剛石基板更包含在該含金剛石基板中的複數個通孔，該複數個通孔電性連接該半導體晶粒。

【請求項 13】 如請求項 12 所述之 IC 封裝結構，其中該複數個通孔貫穿該單晶金剛石層及/或該半導體層。

【請求項 14】 如請求項 7 所述之 IC 封裝結構，其中該含金剛石基板包含在該含金剛石基板中的至少一導熱通孔。

【請求項 15】 如請求項 7 所述之 IC 封裝結構，其中該含金剛石基板包含複數個層壓的層，該複數個層壓的層中的一者係為一單晶金剛石層。

【請求項 16】 如請求項 15 所述之 IC 封裝結構，更包含：
一調變器或一偵測器，嵌入該含金剛石基板內；
一光學路徑，嵌入該含金剛石基板內；以及
一發光源，光學耦接該光學路徑。

【請求項 17】 如請求項 15 所述之 IC 封裝結構，更包含：
複數個通孔，在該含金剛石基板中；
一重佈層結構，在該含金剛石基板上；以及
複數個球柵陣列球，在該重佈層結構上，其中該半導體晶粒透過該複數個通孔與該重佈層結構電性連接複數個球柵陣列球。

【請求項 18】 如請求項 7 所述之 IC 封裝結構，其中該合金剛石基板包含在該合金剛石基板中的複數個通孔、以及對應於該複數個通孔的複數個凸塊，其中該半導體晶粒連接該複數個凸塊。

【請求項 19】 如請求項 7 所述之 IC 封裝結構，其中該半導體晶粒被一隔離遮蔽結構包封。

【請求項 20】 一種積體電路(IC)封裝結構，包含：

一裝置基板，包含一合金剛石層與耦接該合金剛石層的一半導體層；

一第一微米級重佈層，在該裝置基板的一表面上且完全覆蓋該裝置基板的該表面；以及

基於該半導體層形成的一半導體裝置。

【請求項 21】 如請求項 20 所述之 IC 封裝結構，更包含一層壓基板，其中該層壓基板包含：

一模封化合物結構，包封該裝置基板；以及

複數個通孔或複數條線路，在該模封化合物結構中，其中該複數個通孔或該複數條線路電性連接該半導體裝置。

【請求項 22】 如請求項 21 所述之 IC 封裝結構，更包含：

一導熱基板，具有耦接該裝置基板之多個導熱通孔，其中該導熱基板包含電性連接該複數個通孔或該複數條線路的一第二微米級重佈層。

【請求項 23】 如請求項 21 所述之 IC 封裝結構，其中該層壓基板更包含一金剛石散熱器，該金剛石散熱器藉由一晶粒連接材料接合於該裝置基板。

【請求項 24】 如請求項 21 所述之 IC 封裝結構，其中該層壓基板更包含：

一第三微米級重佈層，在該模封化合物結構的一第一表面上方；以及

一第四微米級重佈層，在該含金剛石層的一第二表面下方，其中該第二表面相對於該第一表面，其中該複數個通孔電性連接該第三微米級重佈層與該第四微米級重佈層。

【請求項 25】 如請求項 24 所述之 IC 封裝結構，更包含一天線基板，該天線基板通過該第一微米級重佈層電性耦接該半導體裝置，該天線基板包含：

一含空腔層，具有一空氣腔於其中；

一第五微米級重佈層，在該含空腔層的一第一表面上方；以及

一第六微米級重佈層，在該含空腔層的一第二表面下方且在該第三微米級重佈層上方。

【請求項 26】 一種積體電路(IC)封裝結構，包含：

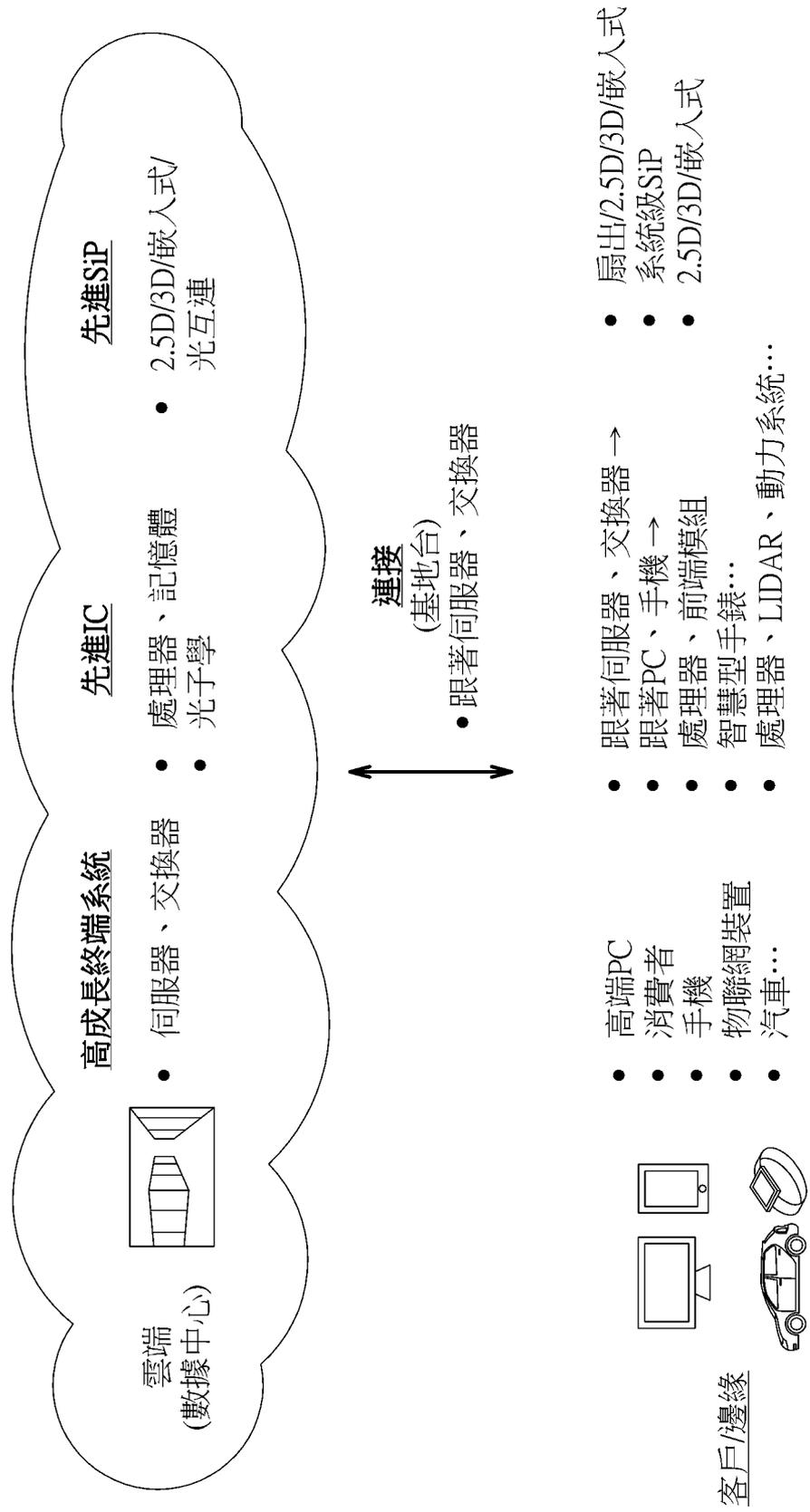
一半導體晶粒；

一金剛石層，該含金剛石層係為熱耦接該半導體晶粒且覆蓋該半導體晶粒的具有圖案化銅的金剛石罐；以及

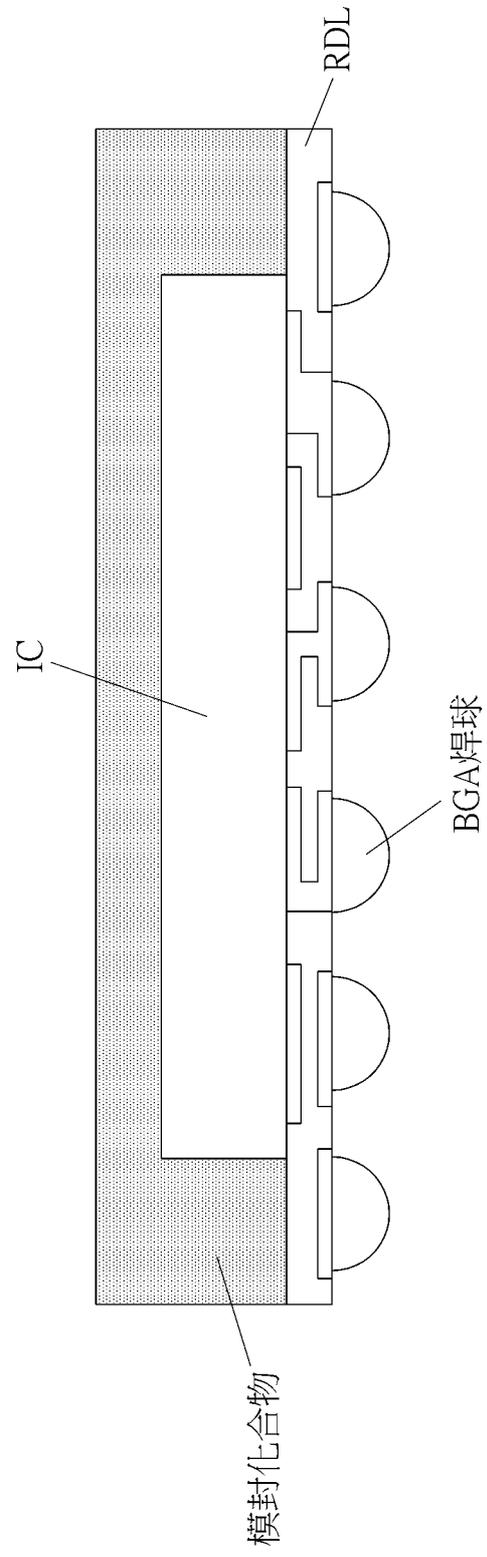
一重佈層，在該含金剛石層的一表面上且完全覆蓋該含金剛石層的該表面，

其中該具有圖案化銅的金剛石罐具有耦接該半導體晶粒的一表面，該具有圖案化銅的金剛石罐具有一第一端與相對於該第一端的一第二端，該第一端與該第二端低於該表面。

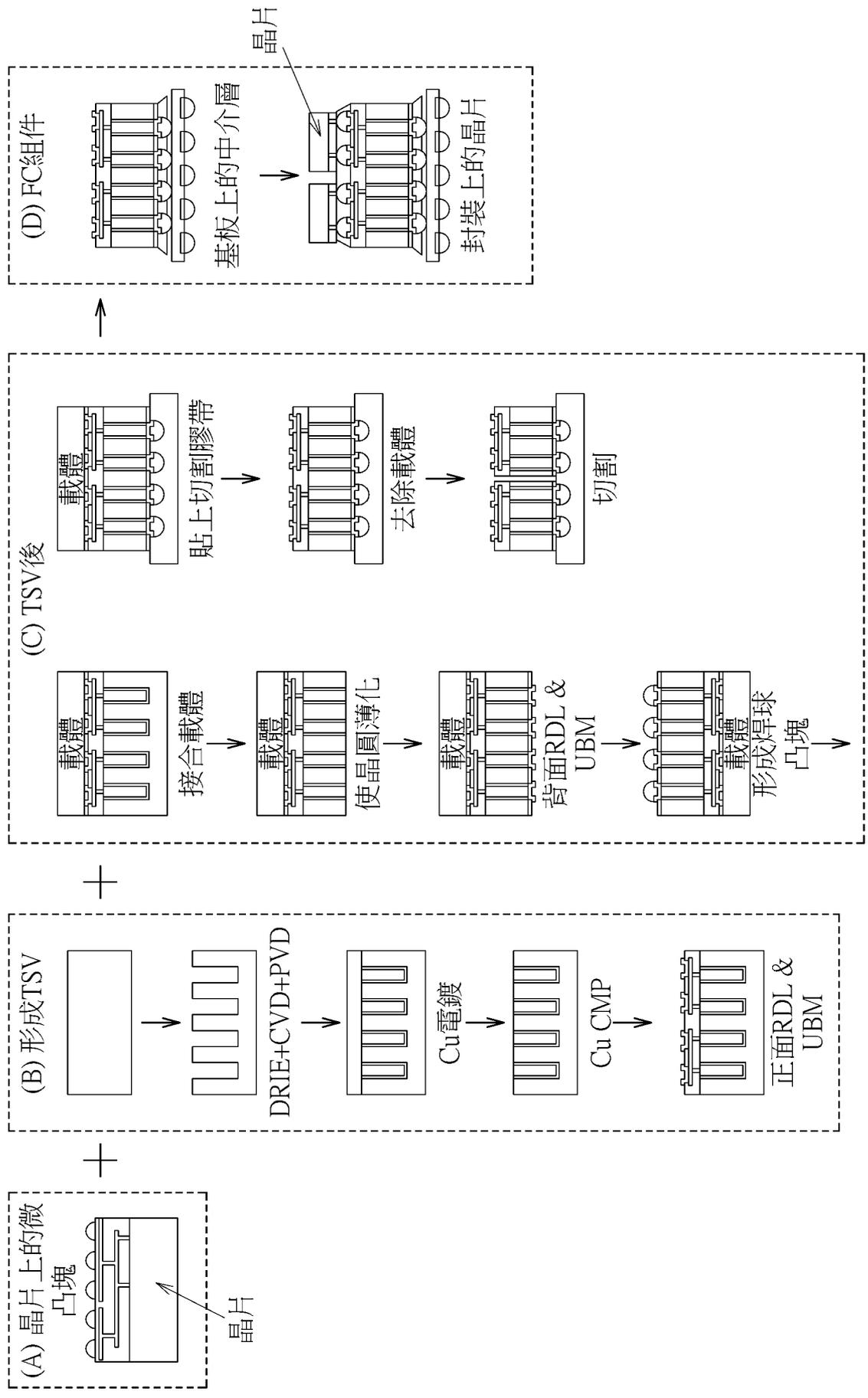
【發明圖式】



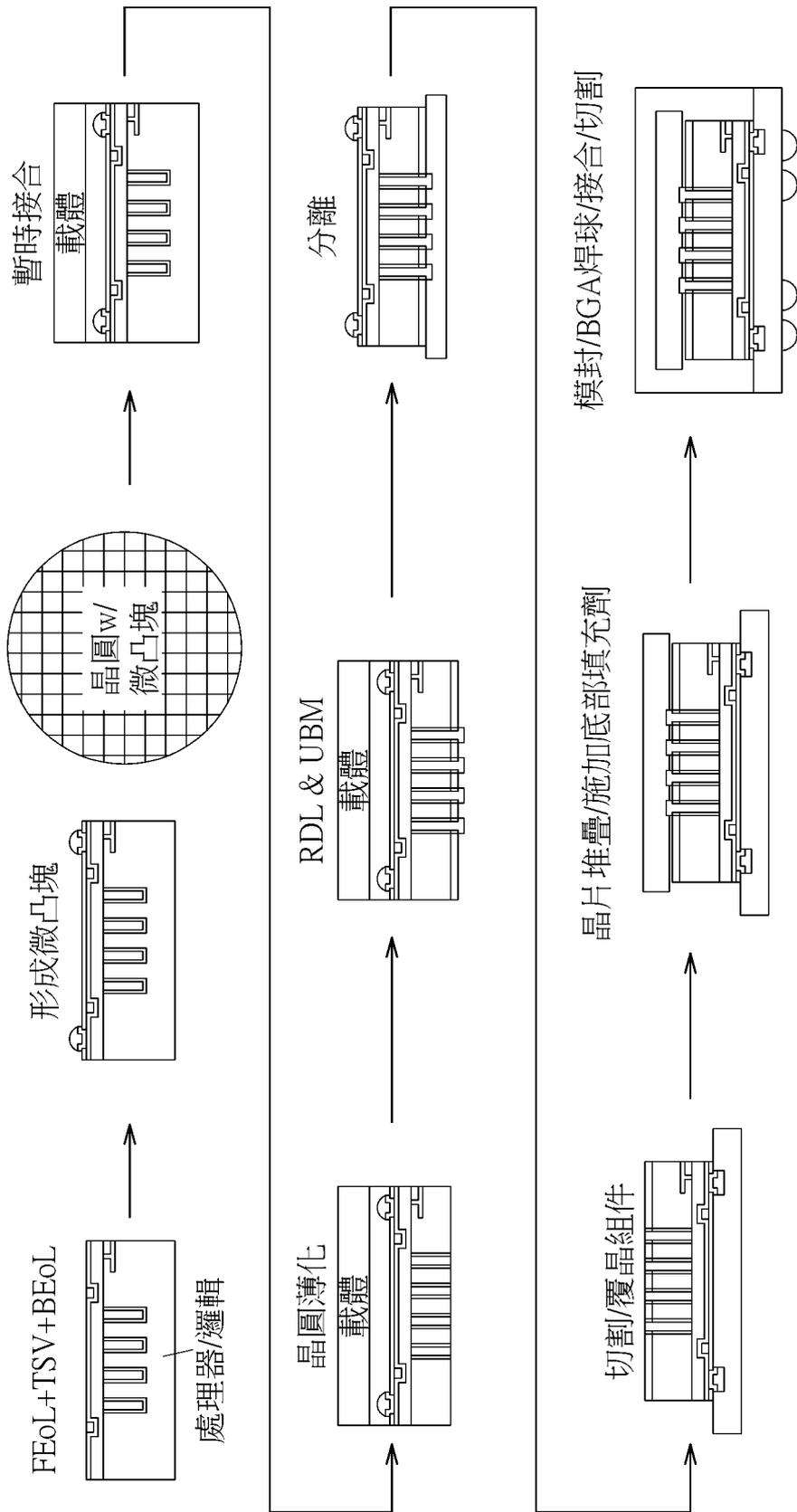
第 1 圖 (先前技術)



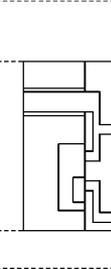
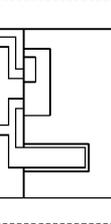
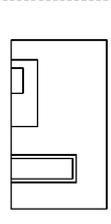
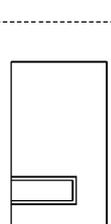
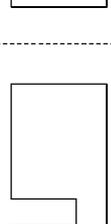
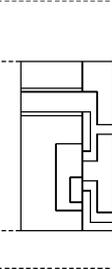
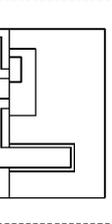
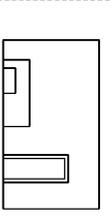
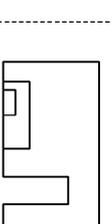
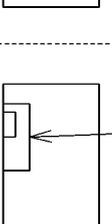
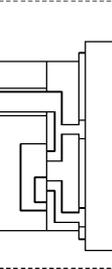
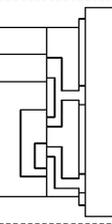
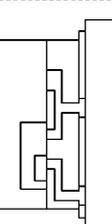
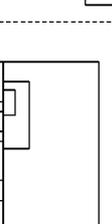
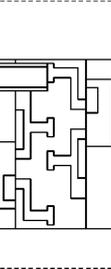
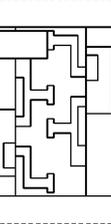
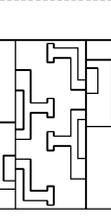
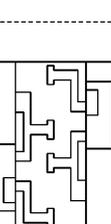
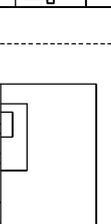
第2圖 (先前技術)



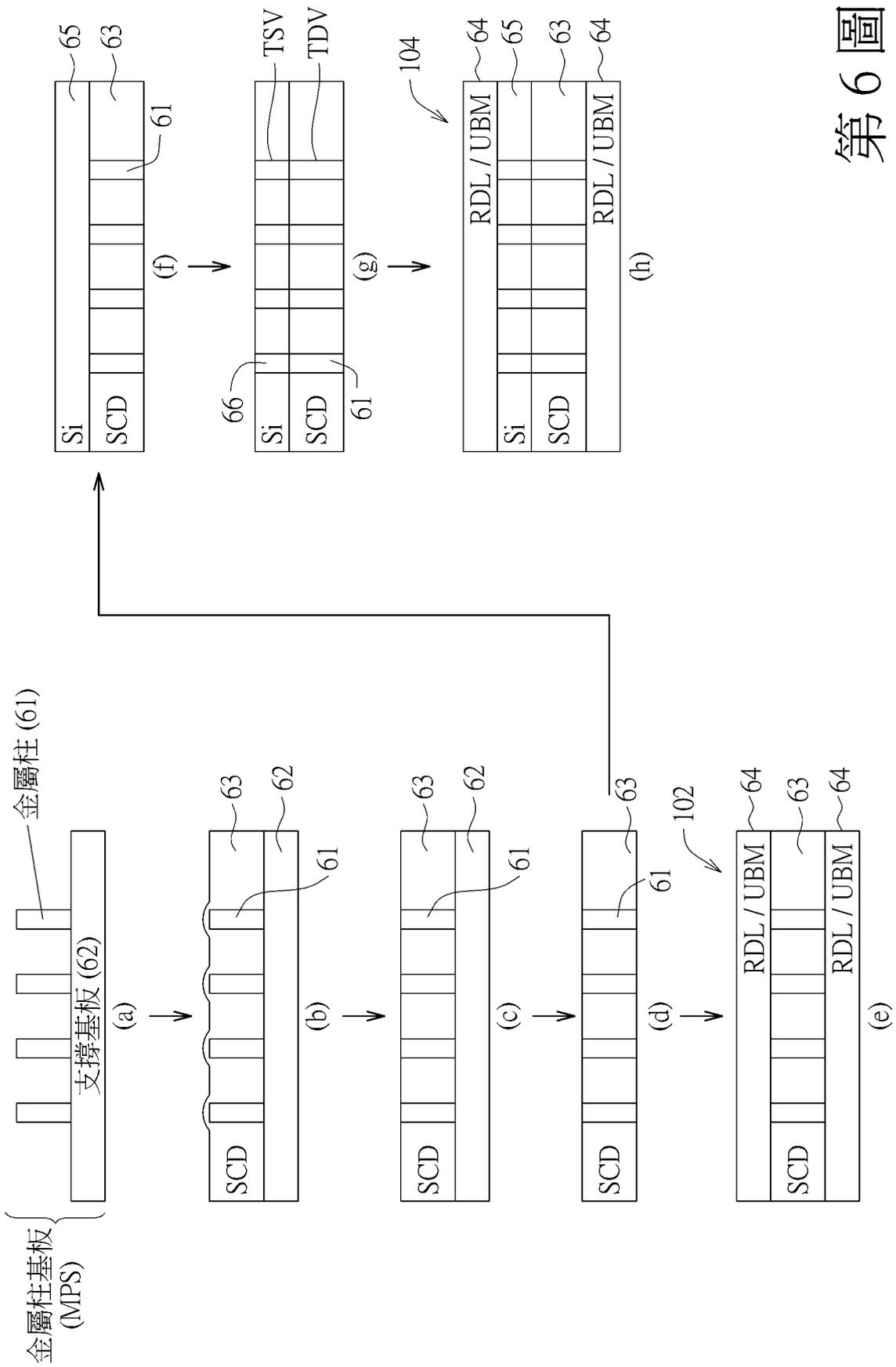
第3圖



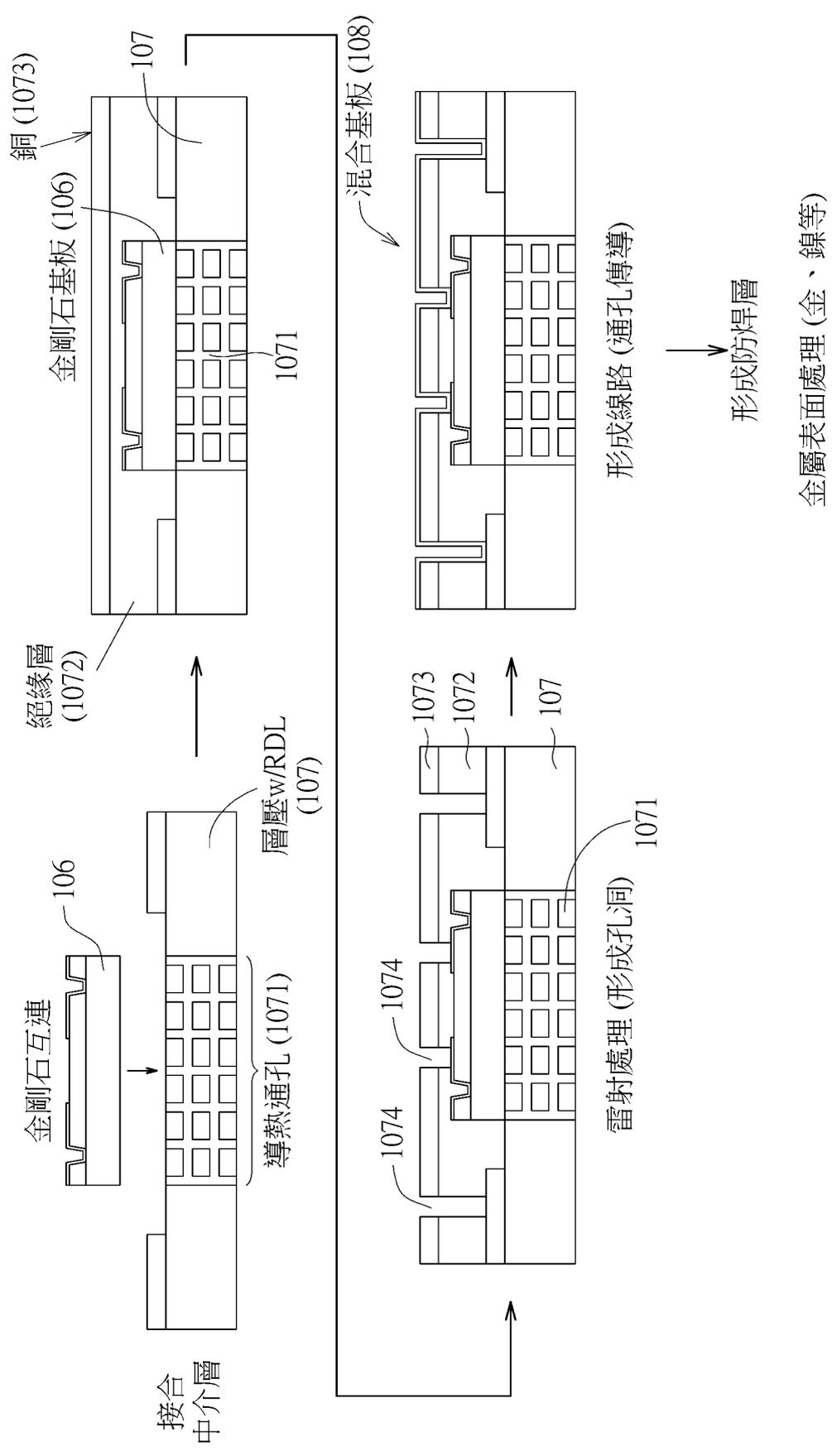
第 4 圖

	步驟 1	步驟 2	步驟 3	步驟 4	步驟 5	步驟 6
<p>先形成Via → 在CMOS之前 形成Via</p>	<p>TSV Etch</p> 	<p>TSV Fill</p> 	<p>FEOL 1000°C</p> 	<p>BEOL 450°C</p> 	<p>Thinning + Backside Prep.</p> 	<p>分離</p> 
<p>中段形成Via → 在CMOS和 BEOL之間形成 Via</p>	<p>FEOL 1000°C CMOS or circuit</p> 	<p>TSV Etch</p> 	<p>TSV Fill</p> 	<p>BEOL 450°C</p> 	<p>Thinning + Backside Prep.</p> 	<p>分離</p> 
<p>後形成Via → 在BEOL之後 形成Via</p>	<p>FEOL 1000°C CMOS or circuit</p> 	<p>BEOL 450°C</p> 	<p>薄化</p> 	<p>TSV Etch</p> 	<p>TSV Fill + Backside Prep.</p> 	<p>分離</p> 
<p>接合後形成 Via → 在接合之後形 成Via (C2W或 W2W)</p>	<p>FEOL 1000°C + BEOL 450°C</p> 	<p>接合</p> 	<p>薄化</p> 	<p>TSV Etch</p> 	<p>TSV Fill + Backside Prep.</p> 	<p>分離</p> 

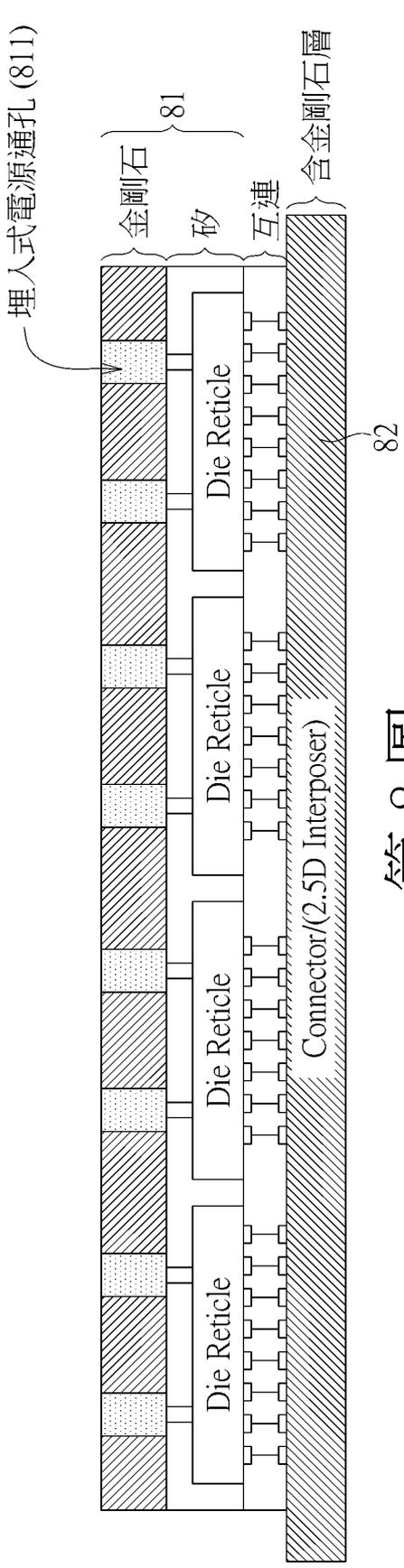
第 5 圖



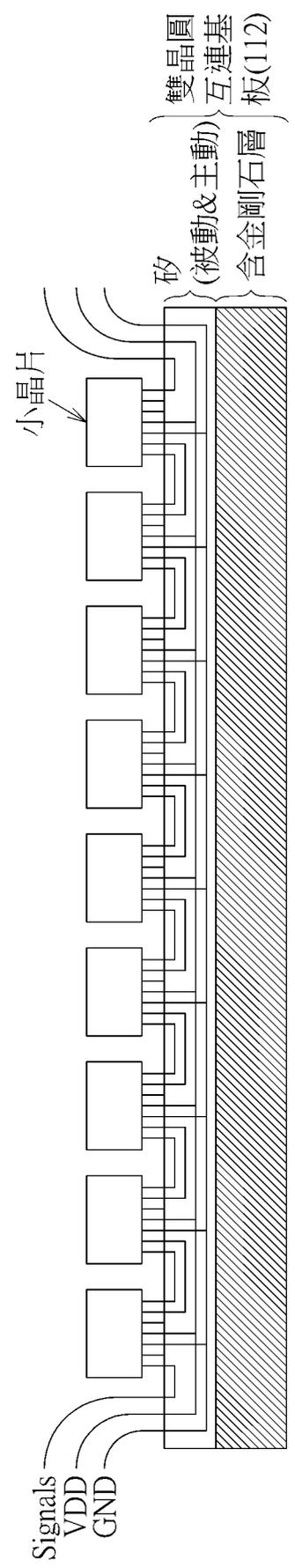
第6圖



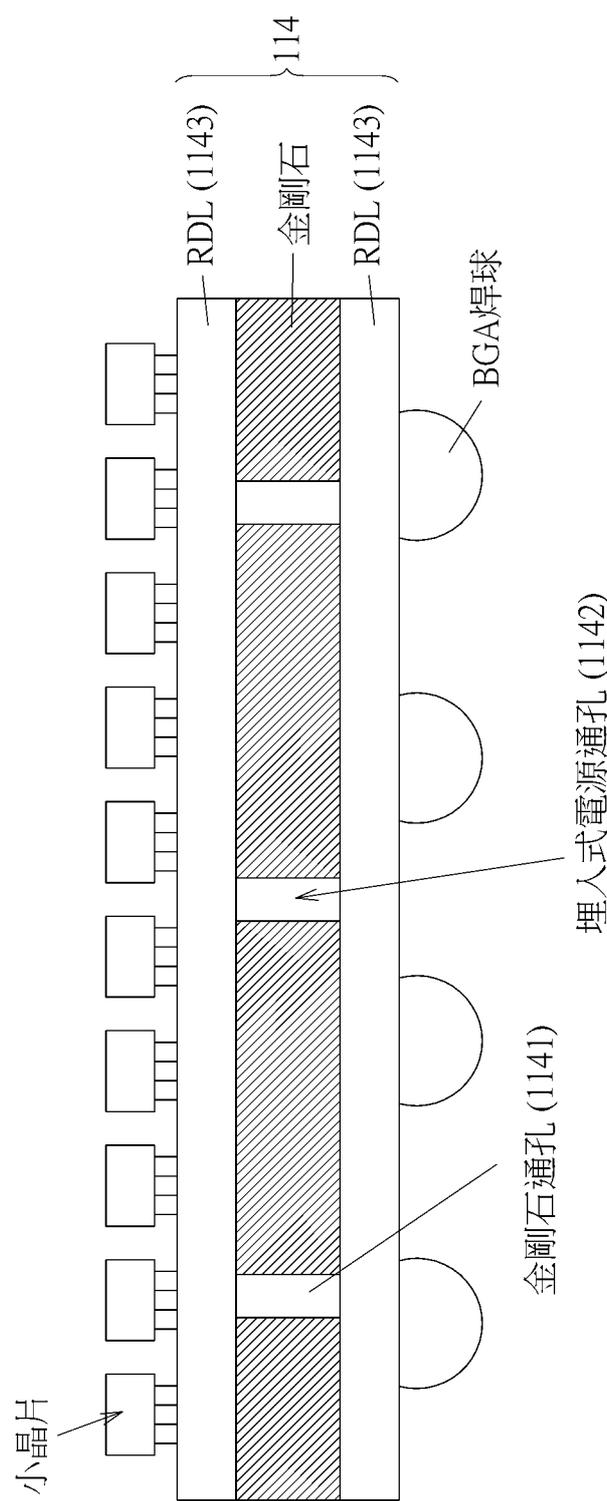
第7圖



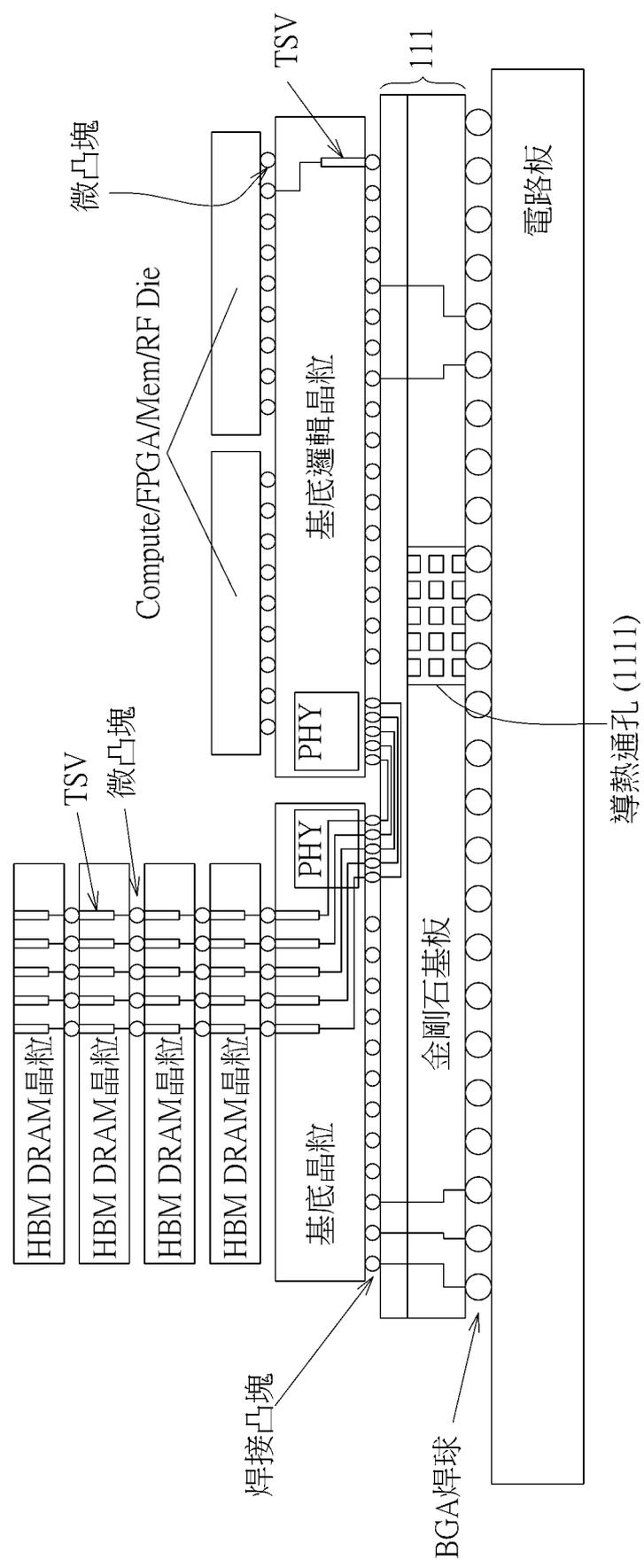
第 8 圖



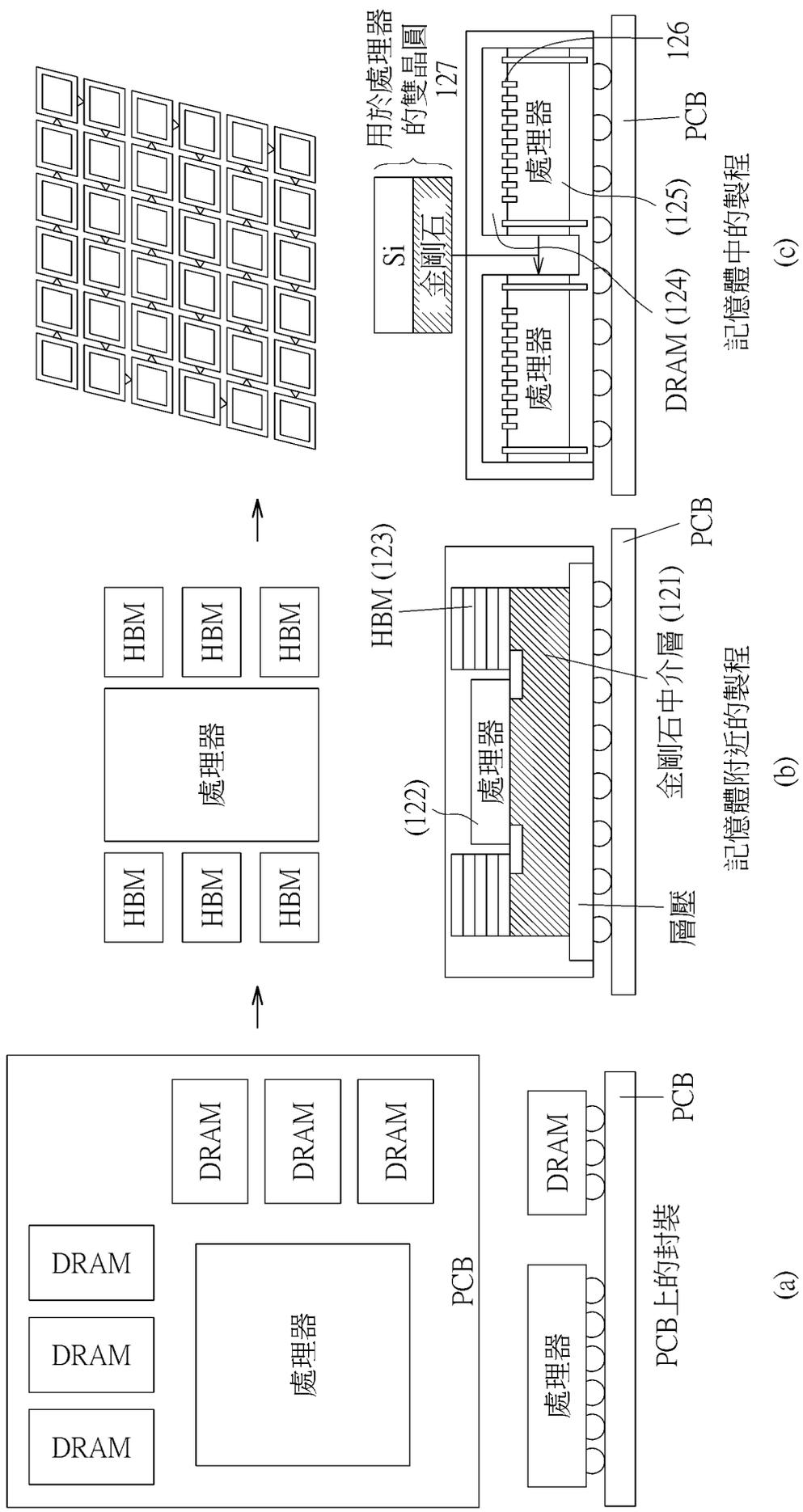
第 9 圖



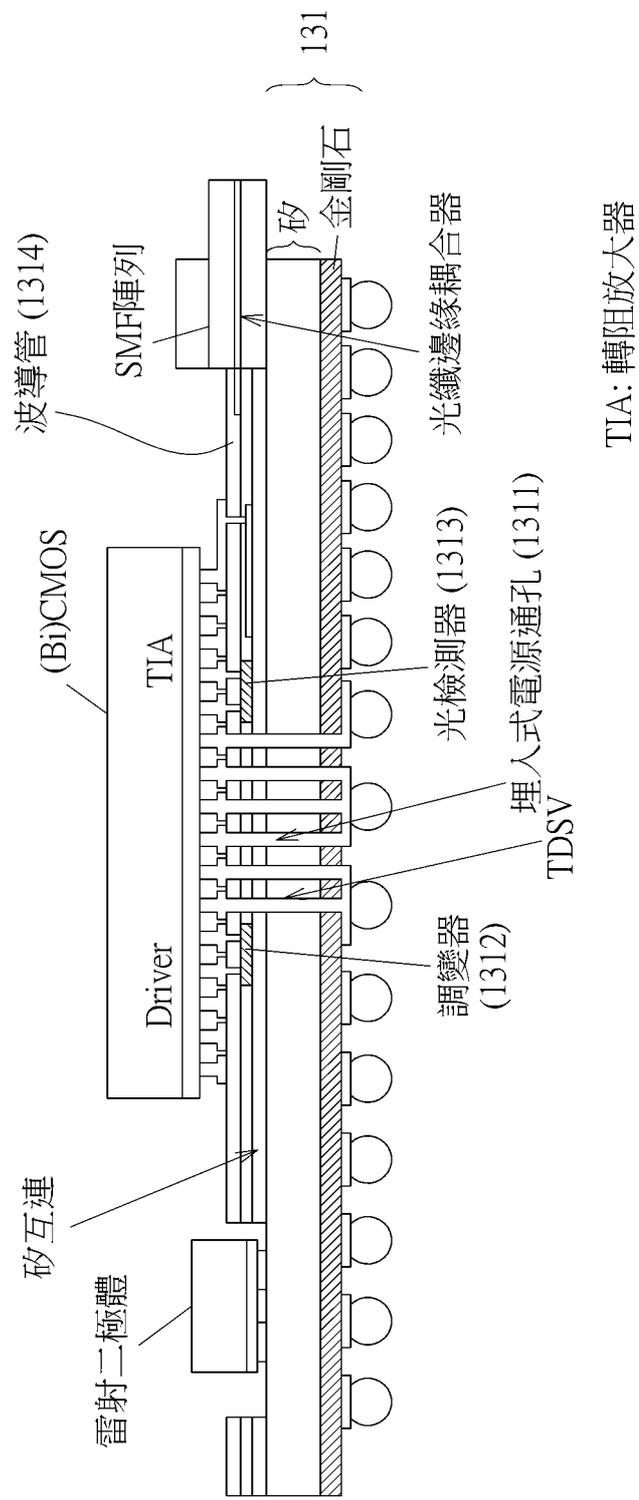
第 10 圖



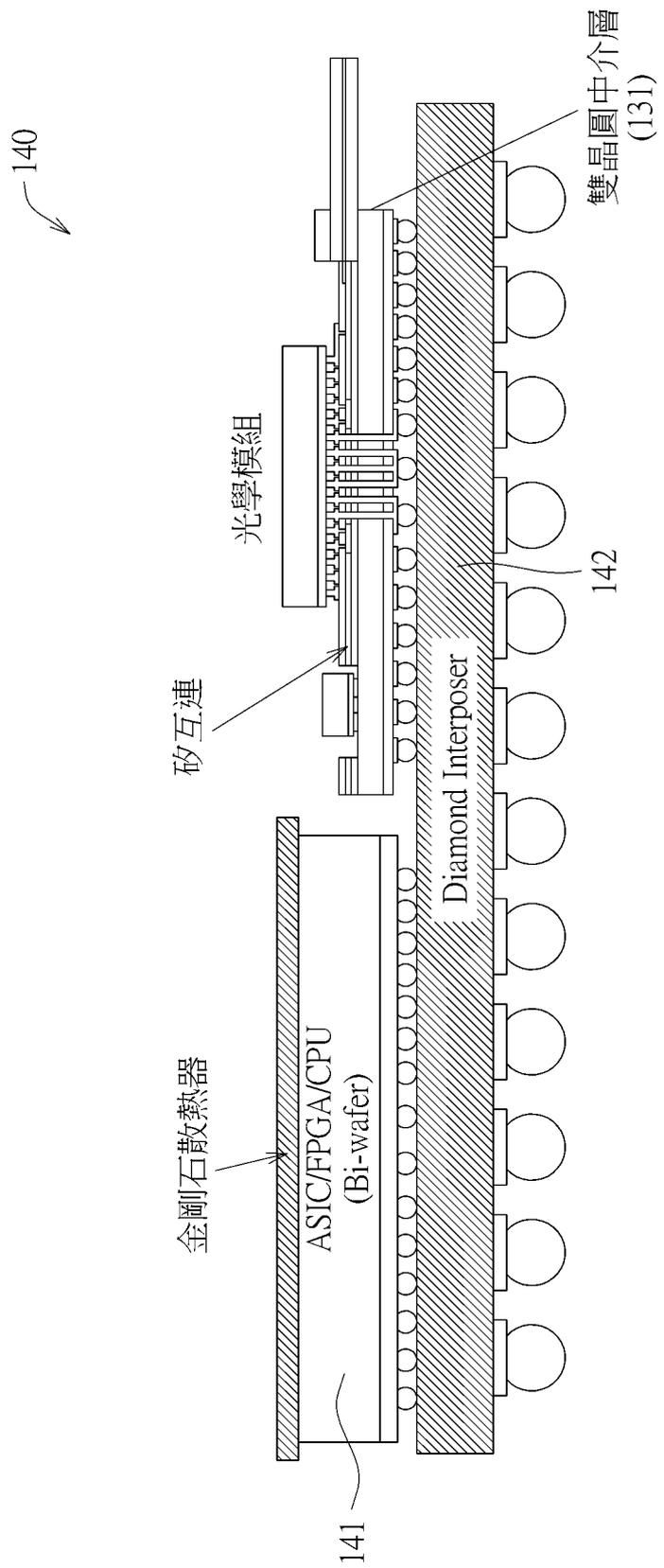
第11圖



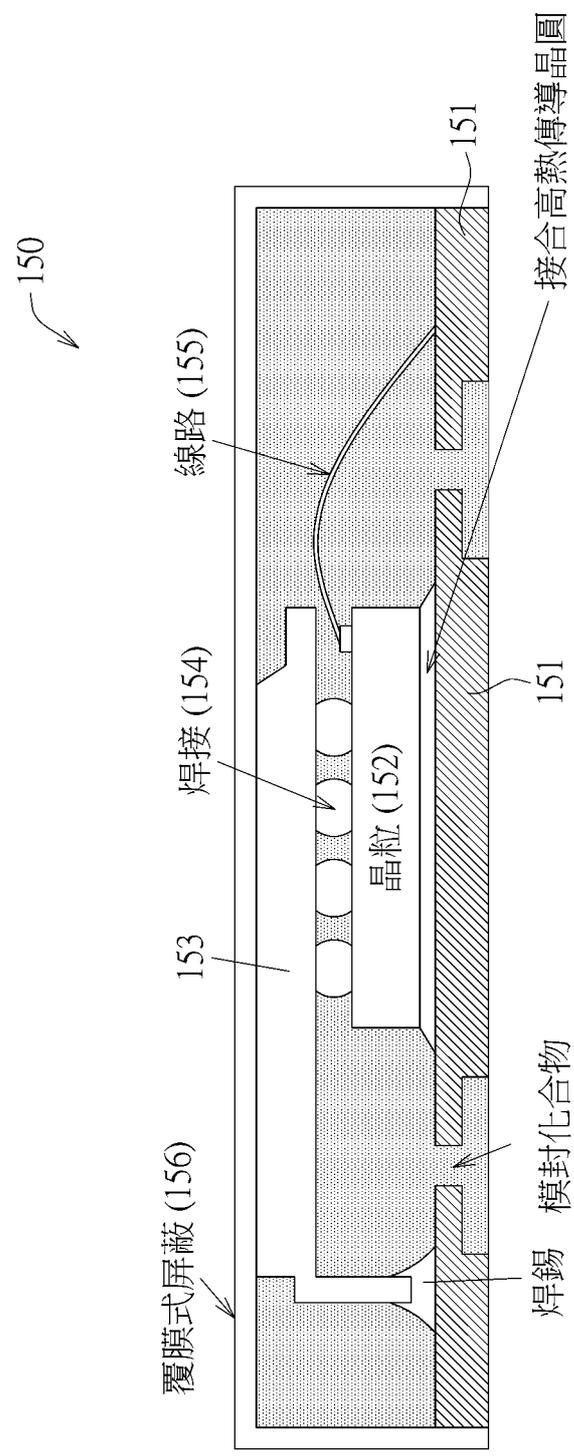
第12圖



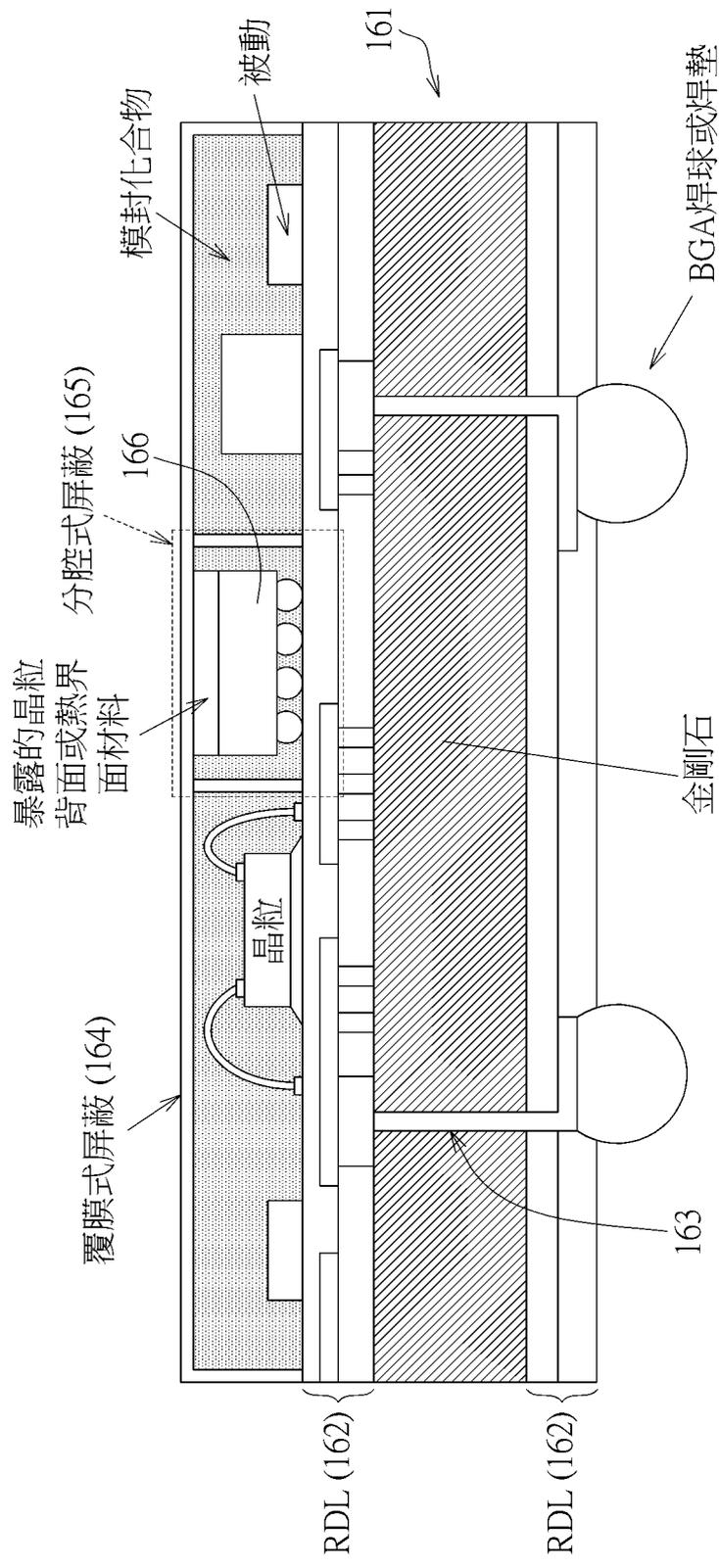
第 13 圖



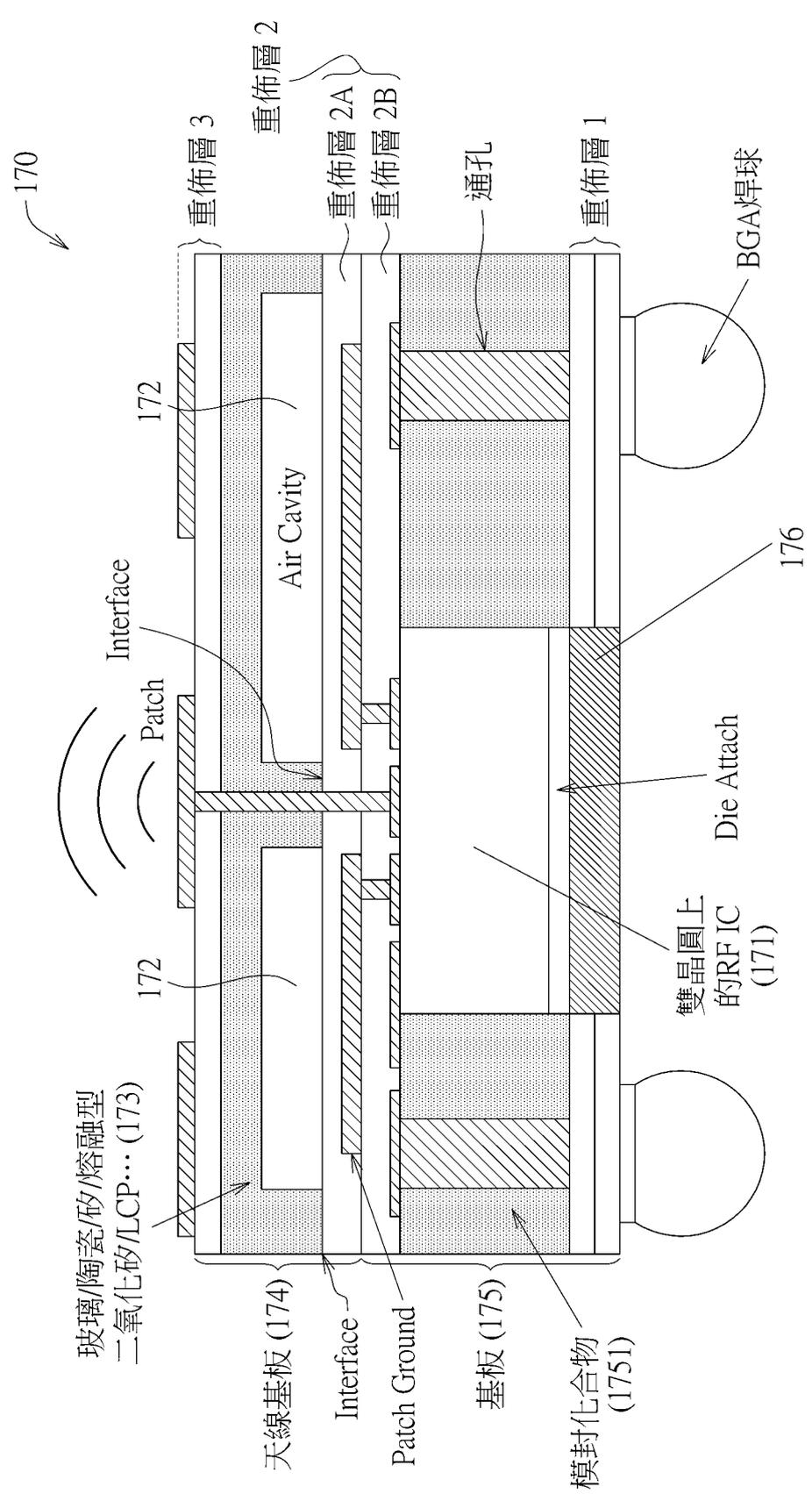
第 14 圖



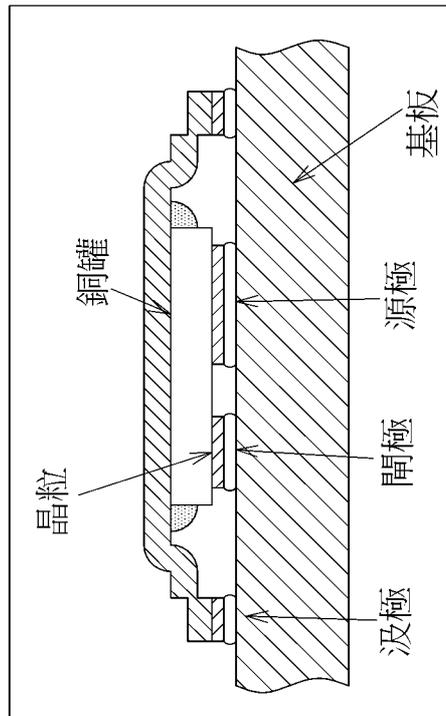
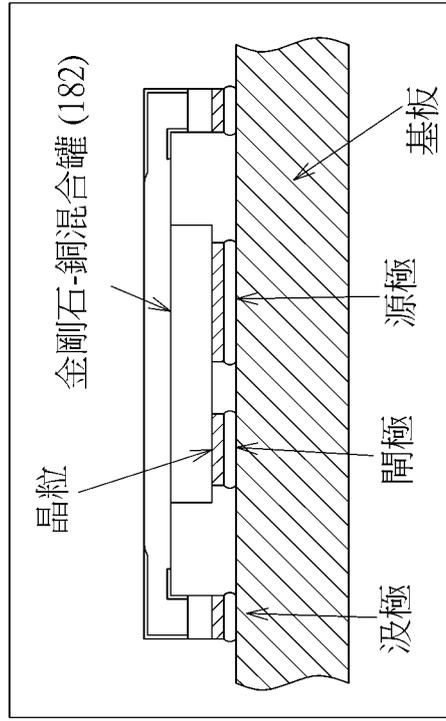
第 15 圖



第 16 圖

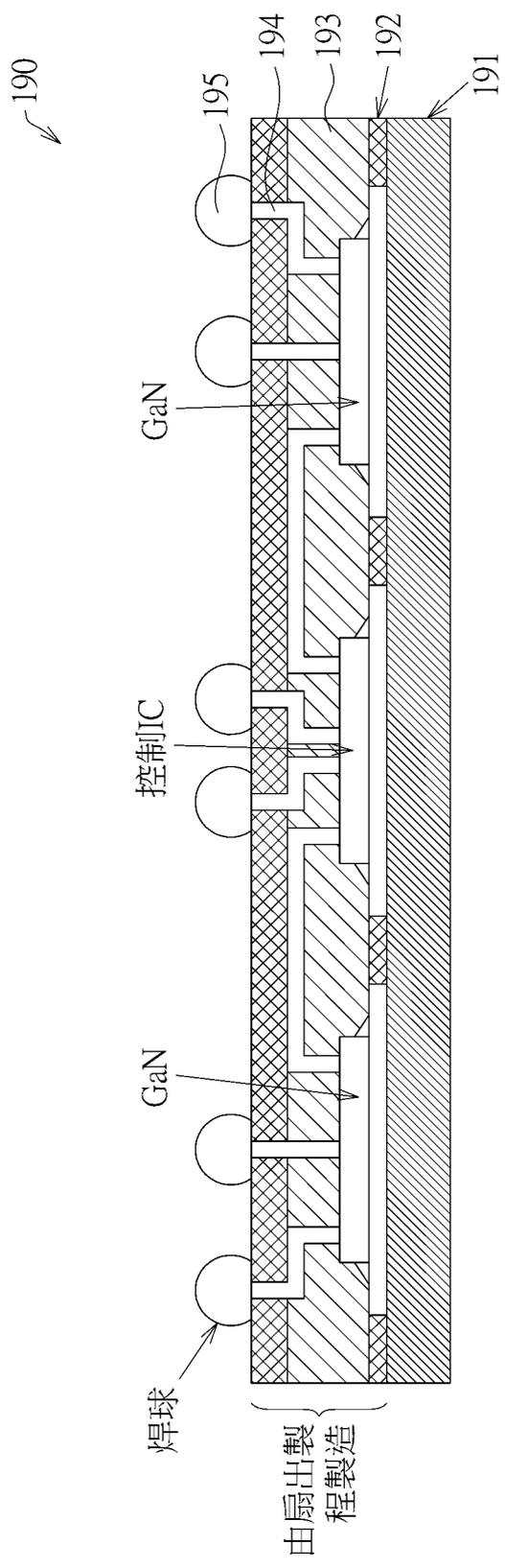


第17圖



第 18(b) 圖

第 18(a) 圖



第 19 圖