

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/20 (2006.01)

H01L 21/762 (2006.01)

H01L 21/84 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810174746.9

[43] 公开日 2009 年 5 月 6 日

[11] 公开号 CN 101425456A

[22] 申请日 2008.10.27

[21] 申请号 200810174746.9

[30] 优先权

[32] 2007.11.1 [33] JP [31] 2007-285180

[71] 申请人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 下村明久 桃纯平

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 侯颖嫫

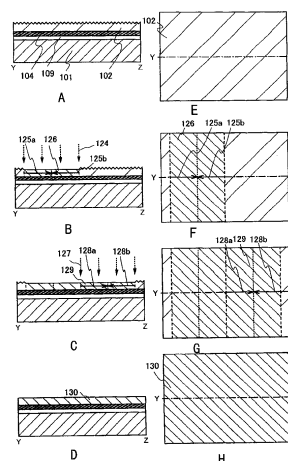
权利要求书 4 页 说明书 78 页 附图 35 页

[54] 发明名称

SOI 衬底的制造方法及半导体装置的制造方法

[57] 摘要

本发明的目的在于提供一种 SOI 衬底的制造方法，该 SOI 衬底具有即使在使用玻璃衬底等耐热温度低的衬底时也可以满足实用的要求的单晶半导体层。另外，本发明的目的还在于制造一种使用这种 SOI 衬底的可靠性高的半导体装置。使用具有单晶半导体层的 SOI 衬底，所述单晶半导体层是从单晶半导体衬底转载到支撑衬底上并其整个区域经过利用激光照射的熔融状态而再单晶化了的层。由此，单晶半导体层的结晶缺陷减少而结晶性提高，并且平坦性也提高。



1. 一种 SOI 衬底的制造方法，包括如下工序：

对半导体衬底添加离子，以在所述半导体衬底中形成脆化层；

隔着至少一个绝缘层贴合所述半导体衬底和支撑衬底；

进行在所述脆化层分离所述半导体衬底的热处理，以在所述支撑衬底上形成半导体层；以及

对所述半导体层照射脉冲激光使所述半导体层的照射区域的整个厚度熔融。

2. 根据权利要求 1 所述的 SOI 衬底的制造方法，还包括如下工序，即在所述半导体衬底和所述支撑衬底的至少一个表面上形成所述绝缘层，以隔着所述绝缘层贴合所述半导体衬底和所述支撑衬底。

3. 根据权利要求 1 所述的 SOI 衬底的制造方法，其中，所述半导体衬底为单晶半导体衬底，并且所述半导体层通过所述脉冲激光的照射而被再晶化。

4. 根据权利要求 1 所述的 SOI 衬底的制造方法，其中，所述脉冲激光的在所述半导体层上的所述照射区域的短轴方向上的激光轮廓具有矩形和 $20\mu\text{m}$ 以下的宽度。

5. 根据权利要求 1 所述的 SOI 衬底的制造方法，其中，所述脉冲激光的在所述半导体层上的所述照射区域的短轴方向上的激光轮廓具有高斯状和 $100\mu\text{m}$ 以下的宽度。

6. 根据权利要求 1 所述的 SOI 衬底的制造方法，其中，所述半导体层上的所述照射区域具有矩形。

7. 根据权利要求 1 所述的 SOI 衬底的制造方法，其中，所述熔融的半导体层的结晶成长通过使用与所述熔融的半导体层相邻的所述半导体层的非熔融区域作为晶核而产生。

8. 根据权利要求 1 所述的 SOI 衬底的制造方法，其中，在加热所述半导体层的同时照射所述脉冲激光来使所述半导体层再晶化。

9. 根据权利要求 1 所述的 SOI 衬底的制造方法, 其中, 作为对所述半导体衬底添加所述离子的方法使用离子掺杂法。

10. 根据权利要求 1 所述的 SOI 衬底的制造方法, 其中, 所述支撑衬底为玻璃衬底。

11. 一种 SOI 衬底的制造方法, 包括如下工序:

对单晶半导体衬底添加离子, 以在所述单晶半导体衬底中形成脆化层;

隔着至少一个绝缘层贴合所述单晶半导体衬底和支撑衬底;

进行在所述脆化层分离所述单晶半导体衬底的热处理, 以在所述支撑衬底上形成单晶半导体层; 以及

对所述单晶半导体层照射脉冲激光使所述单晶半导体层的照射区域的整个厚度熔融,

其中, 结晶成长以与所述支撑衬底的表面平行的方向从所述单晶半导体层的熔融区域端部向所述熔融区域中央产生, 而引起再单晶化。

12. 根据权利要求 11 所述的 SOI 衬底的制造方法, 还包括如下工序, 即在所述单晶半导体衬底和所述支撑衬底的至少一个表面上形成所述绝缘层, 以隔着所述绝缘层贴合所述单晶半导体衬底和所述支撑衬底。

13. 根据权利要求 11 所述的 SOI 衬底的制造方法, 其中, 所述脉冲激光的在所述单晶半导体层上的所述照射区域的短轴方向上的激光轮廓具有矩形和 $20\mu\text{m}$ 以下的宽度。

14. 根据权利要求 11 所述的 SOI 衬底的制造方法, 其中, 所述脉冲激光的在所述单晶半导体层上的所述照射区域的短轴方向上的激光轮廓具有高斯状和 $100\mu\text{m}$ 以下的宽度。

15. 根据权利要求 11 所述的 SOI 衬底的制造方法, 其中, 所述单晶半导体层上的所述照射区域具有矩形。

16. 根据权利要求 11 所述的 SOI 衬底的制造方法, 其中, 所述熔融的单晶半导体层的结晶成长通过使用与所述熔融的单晶半导体层相邻的所述单晶半导体层的非熔融区域作为晶核而产生。

17. 根据权利要求 11 所述的 SOI 衬底的制造方法, 其中, 在加热

所述单晶半导体层的同时照射所述脉冲激光来使所述单晶半导体层再晶化。

18. 根据权利要求 11 所述的 SOI 衬底的制造方法, 其中, 作为对所述单晶半导体衬底添加所述离子的方法使用离子掺杂法。

19. 根据权利要求 11 所述的 SOI 衬底的制造方法, 其中, 所述支撑衬底为玻璃衬底。

20. 一种半导体装置的制造方法, 包括如下工序:

对半导体衬底添加离子, 以在所述半导体衬底中形成脆化层;

隔着至少一个绝缘层贴合所述半导体衬底和支撑衬底;

进行在所述脆化层分离所述半导体衬底的热处理, 以在所述支撑衬底上形成半导体层;

对所述半导体层照射脉冲激光使所述半导体层的照射区域的整个厚度熔融; 以及

使用所述半导体层形成半导体元件。

21. 根据权利要求 20 所述的半导体装置的制造方法, 还包括如下工序, 即在所述半导体衬底和所述支撑衬底的至少一个表面上形成所述绝缘层, 以隔着所述绝缘层贴合所述半导体衬底和所述支撑衬底。

22. 根据权利要求 20 所述的半导体装置的制造方法, 其中, 所述半导体衬底为单晶半导体衬底, 并且所述半导体层通过所述脉冲激光的照射而被再晶化。

23. 根据权利要求 20 所述的半导体装置的制造方法, 其中, 所述脉冲激光的在所述半导体层上的所述照射区域的短轴方向上的激光轮廓具有矩形和 $20\mu\text{m}$ 以下的宽度。

24. 根据权利要求 20 所述的半导体装置的制造方法, 其中, 所述脉冲激光的在所述半导体层上的所述照射区域的短轴方向上的激光轮廓具有高斯状和 $100\mu\text{m}$ 以下的宽度。

25. 根据权利要求 20 所述的半导体装置的制造方法, 其中, 所述半导体层上的所述照射区域具有矩形。

26. 根据权利要求 20 所述的半导体装置的制造方法, 其中, 所述熔融的半导体层的结晶成长通过使用与所述熔融的半导体层相邻的所

述半导体层的非熔融区域作为晶核而产生。

27. 根据权利要求 20 所述的半导体装置的制造方法, 其中, 在加热所述半导体层的同时照射所述脉冲激光来使所述半导体层再晶化。

28. 根据权利要求 20 所述的半导体装置的制造方法, 其中, 作为对所述半导体衬底添加所述离子的方法使用离子掺杂法。

29. 根据权利要求 20 所述的半导体装置的制造方法, 其中, 所述支撑衬底为玻璃衬底。

30. 根据权利要求 20 所述的半导体装置的制造方法, 还包括如下工序, 即形成电连接到所述半导体元件的显示元件。

SOI 衬底的制造方法及半导体装置的制造方法

技术领域

本发明涉及一种在绝缘表面上设置单晶半导体层的 SOI 衬底的制造方法及半导体装置的制造方法。

背景技术

目前正在开发使用被称为绝缘体上硅(下面也称为 SOI)的半导体衬底的集成电路,该半导体衬底在绝缘表面上设置有较薄的单晶半导体层而代替将单晶半导体锭(ingot)切成薄片来制造的硅片。使用 SOI 衬底的集成电路因为降低晶体管的漏极和衬底之间的寄生电容以提高半导体集成电路的性能而引人注目。

作为制造 SOI 衬底的方法,已知氢离子添加剥离法(例如参照专利文献 1)。在氢离子添加剥离法中,通过将氢离子添加到硅片中,在离其表面有预定的深度处形成微小气泡层,以该微小气泡层为劈开面来将较薄的硅层接合到另外的硅片上。除了剥离硅层的热处理,还需要通过在氧化性气氛中在硅层上形成氧化膜,然后去除该氧化膜,接着在 1000℃至 1300℃的温度下进行热处理来提高接合强度。

另外,已经公开了在高耐热性玻璃等绝缘衬底上设置硅层的半导体装置(例如参照专利文献 2)。该半导体装置具有如下结构:使用绝缘硅膜保护其热应变点为 750℃以上的晶化玻璃的整个表面,并且在上述绝缘硅膜上固定利用氢离子添加剥离法得到的硅层。

[专利文献 1]日本专利申请特开 2000-124092 号公报

[专利文献 2]日本专利申请特开 Hei11-163363 号公报

此外,在为形成上述微小气泡层而进行的离子添加工序中,硅层因添加的离子而受到损坏。在用来提高硅层和支撑衬底之间的接合强度的上述热处理中,还进行因为离子添加工序而导致的硅层损坏的恢复。

但是,在将玻璃衬底等耐热温度低的衬底用作支撑衬底的情况下,

由于不能进行 1000℃ 以上的热处理，所以不能进行对于因为上述离子添加工序而导致的硅层损坏的充分的恢复。

发明内容

鉴于上述问题，本发明的目的在于提供一种 SOI 衬底（以下也称为半导体衬底）的制造方法，该 SOI 衬底具备即使在使用玻璃衬底等耐热温度低的衬底时也可以满足实用的要求的单晶半导体层。另外，本发明的目的还在于制造使用这种半导体衬底的可靠性高的半导体装置。

半导体衬底的制造的技术要点如下：为恢复从单晶半导体衬底分离并接合到具有绝缘表面的支撑衬底上的单晶半导体层的结晶性，照射脉冲振荡激光（以下也称为脉冲激光）。通过照射脉冲激光而使单晶半导体层的整个照射区域熔融，并且在之后的冷却过程中使用与该照射区域相邻的单晶区域作为结晶成长的核，来进行再单晶化。

通过照射脉冲激光使单晶半导体层的包括深度方向的整个照射区域熔融而进行再单晶化，来减少单晶半导体层中的结晶缺陷。因为使用脉冲激光的照射处理，所以可以抑制支撑衬底的温度上升，因此，可以将如玻璃衬底的耐热性低的衬底用作支撑衬底。由此，可以充分恢复由于离子添加工序导致的单晶半导体层损坏。

而且，通过使单晶半导体层熔融并再单晶化而可以使其表面平坦化。因此，通过照射脉冲激光使单晶半导体层再单晶化，可以制造具有结晶缺陷减少并平坦性提高的单晶半导体层的半导体衬底。

用于单晶半导体层的再单晶化的激光只要可以给单晶半导体层高能量即可，可以代表使用脉冲激光。激光波长设定为 190nm 至 600nm 即可。

在本发明中，使单晶半导体层的包括深度方向的整个激光照射区域熔融。因此，在本发明中，单晶半导体层中的整个激光照射区域（面方向及深度方向）成为熔融区域。在本说明书中，单晶半导体层中的整个激光照射区域是指单晶半导体层的包括面方向及深度方向的整个被激光照射的区域。另外，由于在单晶半导体层中使整个激光照射区

域至少在深度方向上完全熔融，所以可以也称为完全熔融。

据此，再单晶化的晶核（晶种）为作为周围的不被激光照射的区域的非熔融区域，结晶以非熔融区域为晶核向熔融区域中央在与单晶半导体层（支撑衬底）表面平行的方向上成长。结晶成长在熔融区域端部从熔融区域和非熔融区域的界面分别向熔融区域内部（中央）产生，并且由于结晶成长产生的再单晶区域相接触，在整个激光照射区域中使单晶半导体层再单晶化。

在本发明中，由于通过照射激光在与单晶半导体层（支撑衬底）的表面平行的方向上产生结晶成长，所以对于单晶半导体层（支撑衬底）的表面深度的方向（膜厚度方向）为纵方向，也可以称为横成长（横方向成长）的结晶成长。

该熔融区域中的结晶成长在处于如下过冷状态时发生：借助于激光照射，单晶半导体层的激光照射区域加热到熔点以上而熔融，并在照射后的冷却时达到熔点以下也不固化而保持熔融状态。过冷状态的时间依赖于单晶半导体层的膜厚、激光的照射条件（能量密度、照射时间（脉冲宽度）等）等。若过冷状态的时间长，通过结晶成长而再单晶化的区域也扩张，因而也可以扩大一次激光照射的区域。由此，处理效率提高，处理量也提高。另外，当加热支撑衬底时，对延长过冷状态的时间很有效。

据此，在本发明中，将激光照射区域（熔融区域）设定为经过再单晶化而形成的单晶区域端（结晶成长端）彼此相邻的区域的宽度。例如，脉冲激光的在单晶半导体层上的照射区域的短轴方向上的激光轮廓（也称为光束轮廓）的形状为矩形，并且其宽度为 $20\mu\text{m}$ 以下。另外，脉冲激光的在单晶半导体层上的照射区域的短轴方向上的激光轮廓的形状为高斯，并且其宽度为 $100\mu\text{m}$ 以下。若增加激光的脉冲宽度，则也可以使激光轮廓宽度变长。如上那样设定激光轮廓，在过冷却状态的时间内可以使整个熔融区域成为由于结晶成长形成的再单晶区域。另外，作为脉冲激光的在所述单晶半导体层上的照射区域的形状可以采用矩形（也可以为使用线状激光的长矩形），另外也可以使用掩

模采用具有多个矩形的激光形状。

在此，单晶是指在注目于某一晶轴的情况下，其晶轴的方向在样品的哪部分都朝向相同方向的结晶，并且是指结晶和结晶之间不存在晶界的结晶。注意，在本说明书中，即使包含结晶缺陷或悬空键，若是如上述那样晶轴方向一致且不存在晶界的结晶，它们都是单晶。另外，单晶半导体层的再单晶化意味着具有单晶结构的半导体层经过与其单晶结构不同的状态（例如，液相状态）再具有单晶结构。或者，单晶半导体层的再单晶化也可以使单晶半导体层再结晶化而形成单晶半导体层来实现。

在本说明书中，将从单晶半导体衬底分离单晶半导体层并与支撑衬底接合地设置的情况说为从单晶半导体衬底转载（转置）单晶半导体层。由此，在本发明中，晶体管在其支撑衬底上包括从单晶半导体衬底转载的单晶半导体层。

本发明的半导体衬底的制造方法的技术方案之一为：从单晶半导体衬底的一个面添加离子，以在离单晶半导体衬底的一个面有一定深度处形成脆化层。在单晶半导体衬底的一个面上或支撑衬底上形成绝缘层。在隔着绝缘层将单晶半导体衬底和支撑衬底重叠的状态下，使脆化层产生裂缝，进行在脆化层中分离单晶半导体衬底的热处理，以将单晶半导体层从单晶半导体衬底形成在支撑衬底上。对单晶半导体层照射脉冲激光并使单晶半导体层的包括深度方向的整个照射区域熔融，来进行再单晶化。

本发明的半导体衬底的制造方法的技术方案之一为：从单晶半导体衬底的一个面添加离子，以在离单晶半导体衬底的一个面有一定深度处形成脆化层。在单晶半导体衬底的一个面上或支撑衬底上形成绝缘层。在隔着绝缘层将单晶半导体衬底和支撑衬底重叠的状态下，使脆化层产生裂缝，进行在脆化层中分离单晶半导体衬底的热处理，以将单晶半导体层从所述单晶半导体衬底形成在支撑衬底上。对单晶半导体层照射脉冲激光并使单晶半导体层的包括深度方向的整个照射区域熔融，其中，在熔融了的单晶半导体层中，结晶以与支撑衬底的表

面平行的方向从熔融区域端部向熔融区域中央成长而再单晶化。

通过使用整个区域被激光熔融而再单晶化了的单晶半导体层，也可以制造具有即使在使用玻璃衬底等耐热温度低的衬底时也可以满足实用的要求的结晶缺陷减少、结晶性高并且平坦性高的单晶半导体层的半导体衬底。

通过使用设置在这种半导体衬底的单晶半导体层，可以高成品率地制造包括具有高性能及高可靠性的各种半导体元件、存储元件、集成电路等的半导体装置。

附图说明

图 1A 至 1H 为说明本发明的半导体衬底的制造方法的图；

图 2A 至 2F 为说明本发明的半导体衬底的制造方法的图；

图 3A 至 3D 为说明本发明的半导体衬底的制造方法的图；

图 4A 至 4C 为说明本发明的半导体衬底的制造方法的图；

图 5A 至 5E 为说明本发明的半导体衬底的制造方法的图；

图 6A 至 6E 为说明本发明的半导体衬底的制造方法的图；

图 7A 至 7E 为说明本发明的半导体装置的制造方法的图；

图 8A 至 8D 为说明本发明的半导体装置的制造方法的图；

图 9A 和 9B 为说明本发明的半导体装置的图；

图 10A 和 10B 为说明本发明的半导体装置的图；

图 11A 和 11B 为说明本发明的半导体装置的图；

图 12A 至 12F 为说明可应用于本发明的发光元件的结构的图；

图 13A 至 13D 为说明可应用于本发明的发光元件的结构的图；

图 14A 和 14B 为示出应用本发明的电子器具的图；

图 15 为示出应用本发明的电子器具的图；

图 16 为示出应用本发明的电子器具的主要结构的框图；

图 17 为示出可以从半导体衬底获得的微处理器的结构的框图；

图 18 为示出可以从半导体衬底获得的 RFCPU 的结构的框图；

图 19A 至 19E 为示出应用本发明的电子器具的图；

图 20A 和 20B 为示出应用本发明的电子器具的图；

图 21A 至 21E 为说明本发明的半导体装置的制造方法的图；

图 22A 至 22E 为说明本发明的半导体装置的制造方法的图；

图 23A 和 23B 为说明本发明的半导体衬底的制造方法的图；

图 24A 至 24C 为示出应用本发明的电子器具的图；

图 25 为氢离子种类的能量图；

图 26 为示出离子的质量分析结果的图；

图 27 为示出单晶硅层的拉曼测定结果的图；

图 28A 和 28B 为示出从单晶硅层的表面的 EBSP 测定数据获得的结果的图；

图 29 为示出单晶硅层的 SEM 像的图；

图 30 为示出离子的质量分析结果的图；

图 31 为示出将加速电压设定为 80kV 时的氢元素的在深度方向上的轮廓（实测值及计算值）的图；

图 32 为示出将加速电压设定为 80kV 时的氢元素的在深度方向上的轮廓（实测值、计算值、以及拟合函数）的图；

图 33 为示出将加速电压设定为 60kV 时的氢元素的在深度方向上的轮廓（实测值、计算值、以及拟合函数）的图；

图 34 为示出将加速电压设定为 40kV 时的氢元素的在深度方向上的轮廓（实测值、计算值、以及拟合函数）的图；

图 35 为总结拟合参数的比例（氢元素比及氢离子种类比）的图。

具体实施方式

参照附图对本发明的实施方式进行详细说明。但是，本发明不局限于以下说明，所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式和详细内容在不脱离本发明的宗旨及其范围的前提下可以被变换为各种各样的形式。因此，本发明不应该被解释为仅限定在如下所述的实施方式所记载的内容中。另外，在以下说明的本发明的结构中，在不同附图之间共同使用表示同一部分或具有同样功能的

部分的附图标记而省略其反复说明。

实施方式 1

参照图 1A 至 1H、图 2A 至 2F、图 3A 至 3D、图 4A 至 4C 对本发明的半导体装置的制造方法进行说明。

在本实施方式中，当制造半导体衬底时，为了使从单晶半导体衬底分离且接合到具有绝缘表面的支撑衬底的单晶半导体层再单晶化，照射脉冲激光。

首先，使用图 3A 至 3D 及图 4A 至 4C 对将单晶半导体层从单晶半导体衬底设置在作为具有绝缘表面的衬底的支撑衬底上的方法进行说明。

图 3A 所示的单晶半导体衬底 108 被清洗，从其表面将在电场加速了的离子添加到预定深度处，以形成脆化层 110。考虑到转载到支撑衬底上的单晶半导体层的厚度而进行离子的添加。通过考虑这种厚度来设定对单晶半导体衬底 108 添加离子时的加速电压。在本发明中，将对单晶半导体衬底添加离子而形成具有微小的空洞的脆弱化了的区域称为脆化层。

作为单晶半导体衬底 108 可以使用市场上出售的单晶半导体衬底，例如，可以使用单晶硅衬底、单晶锗衬底、单晶硅锗衬底等的由第 4 族元素构成的单晶半导体衬底。另外，也可以使用镓砷或铟磷等的化合物半导体衬底。当然，单晶半导体衬底不局限于圆形薄片，可以使用各种形状的单晶半导体衬底。例如，可以使用长方形、五角形、六角形等的多角形衬底。当然，也可以将市场上出售的圆形单晶半导体薄片用作单晶半导体衬底。圆形单晶半导体薄片包括硅或锗等的半导体薄片、镓砷或铟磷等的化合物半导体薄片等。单晶半导体薄片的代表例子为单晶硅薄片，可以使用直径为 5 英寸（125mm）、直径为 6 英寸（150mm）、直径为 8 英寸（200mm）、直径为 12 英寸（300mm）、直径为 400mm、直径为 450mm 的圆形薄片。另外，长方形单晶半导体衬底可以通过切断市场上出售的圆形单晶半导体薄片来形成。当切断衬底时可以使用切割器或线锯等的切断装置、激光切断、等离子体切断、电

子束切断、其他任意切断单元。另外，通过以使其截面成为长方形的形式将作为衬底还没有薄片化的半导体衬底制造用锭（ingot）加工成长方体，并使该长方体锭薄片化，也可以制造长方形单晶半导体衬底。另外，单晶半导体衬底的厚度没有特别限定，但是，在考虑到再利用单晶半导体衬底时，厚度大的单晶半导体衬底是优选的。这是因为若厚则可以从一个原料薄片形成更多的单晶半导体层的缘故。市场上流通的单晶硅薄片的厚度和尺寸按照 SEMI 规格，例如，直径为 6 英寸的薄片的厚度为 $625\mu\text{m}$ ，直径为 8 英寸的薄片的厚度为 $725\mu\text{m}$ ，直径为 12 英寸的薄片的厚度为 $775\mu\text{m}$ 。注意，SEMI 规格的薄片的厚度包括公差 $\pm 25\mu\text{m}$ 。当然，作为原料的单晶半导体衬底的厚度不局限于 SEMI 规格，当切锭时可以适当地调节其厚度。当然，当使用再利用的单晶半导体衬底 108 时，其厚度比 SEMI 规格薄。在支撑衬底上获得的单晶半导体层可以通过选择作为母体的半导体衬底而决定。

另外，半导体衬底 108 根据制造的半导体元件（本实施方式中的场效应晶体管）选择晶面取向即可。例如，可以使用作为晶面取向具有 {100} 面、{110} 面等的单晶半导体衬底。

在本实施方式中采用如下离子添加剥离法，即，将氢离子、氦离子、或者氟离子添加到单晶半导体衬底的预定深度处，然后进行热处理来剥离表层的单晶半导体层。但是，也可以采用如下方法，即，在多孔硅上使单晶硅外延成长，然后通过水射流劈开多孔硅层来剥离。

例如，将单晶硅衬底用作单晶半导体衬底 108，使用稀氢氟酸对其表面进行处理，并且去除自然氧化膜及附着在表面的尘埃等杂质来对单晶半导体衬底 108 表面进行清洗。

脆化层 110 通过离子掺杂法（简称为 ID 法）或离子注入法（简称为 II 法）添加（引入）离子来形成即可。脆化层 110 通过添加氢离子、氦离子、或者以氟离子为代表的卤素离子而形成。在作为卤素元素添加氟离子的情况下，使用 BF_3 作为源气体即可。离子注入法是指对离子化了的气体进行质量分离并将它添加到半导体中的方法。

例如，可以利用离子注入法对离子化了的氢气体进行质量分离并

只将 H^+ （或 H_2^+ ）选择性地加速来添加。

离子掺杂法为如下方法，即不对离子化了的气体进行质量分离，在等离子体中生成多种离子种类，并将它们加速来掺杂到单晶半导体衬底中。例如，在使用包含 H^+ 、 H_2^+ 、 H_3^+ 离子的氢时，有代表性地说， H_3^+ 离子在被掺杂的离子中占 50% 以上。例如，一般为， H_3^+ 离子占 80%，其他离子（ H^+ 离子、 H_2^+ 离子）占 20%。在此，只添加 H_3^+ 离子的离子种类的方法也视为离子掺杂法。

此外，也可以添加由一个或多个同一原子构成的质量不同的离子。例如，当添加氢离子时，优选在其中包含 H^+ 、 H_2^+ 、 H_3^+ 离子的同时提高 H_3^+ 离子的比率。当添加氢离子时，若在其中包含 H^+ 、 H_2^+ 、 H_3^+ 离子的同时提高 H_3^+ 离子的比率，则可以提高添加效率，而可以缩短添加时间。通过采用这种结构，可以容易进行剥离。

在下文中，对离子掺杂法和离子注入法进行详细说明。在用于离子掺杂法的离子掺杂装置（也称为 ID 装置）中，由于等离子体空间大，所以可以将大量离子添加到单晶半导体衬底中。另一方面，用于离子注入法的离子注入装置（也称为 II 装置）的特征在于对从等离子体取出的离子进行质量分析并只将特定离子种类注入到半导体衬底中，并且基本上扫描点光束来进行处理。

作为等离子体产生方法，离子掺杂装置和离子注入装置都利用加热细丝而产生的热电子形成等离子体状态。然而，离子掺杂法和离子注入法的当所产生的氢离子（ H^+ 、 H_2^+ 、 H_3^+ ）被添加（注入）到半导体衬底中时的氢离子种类的比率大为不同。

下面对作为本发明的特征之一的离子照射方法进行考察。

在本发明中，对单晶半导体衬底照射来源于氢（H）的离子（以下称为氢离子种类）。更具体而言，使用氢气体或在其组成中含有氢的气体作为原料，来产生氢等离子体，并且对单晶半导体衬底照射该氢等离子体中的氢离子种类。

（氢等离子体中的离子）

在上述氢等离子体中，存在氢离子种类如 H^+ 、 H_2^+ 、 H_3^+ 。在此，下

面举出关于每个氢离子种类的反应过程（生成过程(formation processes)、消散过程(destruction processes)）的反应式。

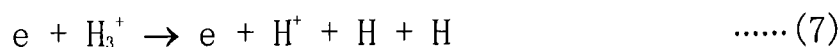
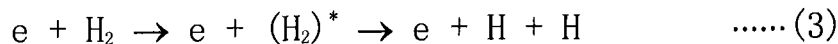


图 25 示出示意地表示上述反应的一部分的能量图。要注意的是，图 25 所示的能量图只不过是示意图，不是严格地规定关于反应的能量关系。

（ H_3^+ 的生成过程）

如上述那样， H_3^+ 主要通过反应式（5）所示的反应过程而生成。另一方面，作为与反应式（5）竞争的反应，有反应式（6）所示的反应过程。为了增加 H_3^+ ，至少需要反应式（5）的反应比反应式（6）的反应发生得多（注意，因为作为减少 H_3^+ 的反应，还存在有反应式（7）、反应式（8）、反应式（9），所以即使反应式（5）的反应比反应式（6）的反应发生得多， H_3^+ 也不一定增加）。反过来，在反应式（5）的反应比反应式（6）的反应发生得少的情况下，在等离子体中的 H_3^+ 的比率减少。

在上述反应式的右边（最右边）的生成物的增加量依赖于反应式的左边（最左边）所示的原料的密度或关于其反应的速度系数等。在此，通过试验已确认到如下事实：当 H_2^+ 的动能小于大约 11eV 时，反应式（5）的反应成为主要反应（即，与关于反应式（6）的速度系数相比，关于反应式（5）的速度系数充分大）；当 H_2^+ 的动能大于大约 11eV 时，反应式（6）的反应成为主要反应。

荷电粒子通过从电场受到力量而获得动能。该动能对应于根据电场的势能 (potential energy) 的减少量。例如, 某一个荷电粒子直到与其它粒子碰撞之前获得的动能等于在其期间中经过的电位差的势能。也就是说, 有如下趋势: 当在电场中能够不与其它粒子碰撞地长距离移动时, 与相反的情况相比, 荷电粒子的动能 (的平均) 增高。在粒子的平均自由程长的情况下, 就是在压力低的情况下会发生这种荷电粒子的动能增大的趋势。

另外, 即使平均自由程短, 也在该平均自由程中可以获得大动能时, 荷电粒子的动能会变大。就是, 可以说, 即使平均自由程短, 也在电位差大时, 荷电粒子所具有的动能变大。

将上述情况应用于 H_2^+ 。在如用于生成等离子体的处理室内那样, 以电场的存在为前提的情况下, 当在该处理室内的压力低时 H_2^+ 的动能变大, 当在该处理室内的压力高时 H_2^+ 的动能变小。换言之, 在处理室内的压力低的情况下, 由于反应式 (6) 的反应成为主要反应, 所以 H_3^+ 有减少的趋势, 而在处理室内的压力高的情况下, 由于反应式 (5) 的反应成为主要反应, 所以 H_3^+ 有增大的趋势。另外, 在等离子体生成区域中的电场较强的情况下, 即, 在某两点之间的电位差大的情况下, H_2^+ 的动能变大, 而在与此相反的情况下, H_2^+ 的动能变小。换言之, 在电场较强的情况下, 由于反应式 (6) 的反应成为主要反应, 所以 H_3^+ 有减少的趋势, 而在电场较弱的情况下, 由于反应式 (5) 的反应成为主要反应, 所以 H_3^+ 有增加的趋势。

(取决于离子源的差异)

在此示出离子种类的比率 (尤其是 H_3^+ 的比率) 不同的一例。图 26 是表示由 100% 的氢气体 (离子源的压力为 $4.7 \times 10^{-2} \text{Pa}$) 生成的离子的质量分析结果的图表。注意, 上述质量分析通过测量从离子源引出的离子而进行。横轴为离子的质量。在光谱中, 质量 1 的峰值对应于 H^+ , 质量 2 的峰值对应于 H_2^+ , 质量 3 的峰值对应于 H_3^+ 。纵轴为光谱的强度, 其对应于离子的数量。在图 26 中, 以质量 3 的离子为 100 的情形中的相对比来表示质量不同的离子的数量。根据图 26 可知: 由上述离子源

生成的离子的比率大约为 $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 。另外，也可以利用离子掺杂装置获得这种比率的离子，该离子掺杂装置由生成等离子体的等离子体源部（离子源）和用于从该等离子体引出离子束的引出电极等构成。

图 30 是示出在使用与图 26 不同的离子源的情况下，当离子源的压力大约为 $3 \times 10^{-3} \text{Pa}$ 时，由 PH_3 生成的离子的质量分析结果的图表。上述质量分析结果是注目于氢离子种类的。此外，质量分析通过测量从离子源引出的离子而进行。与图 26 相同，横轴表示离子的质量，质量 1 的峰值对应于 H^+ ，质量 2 的峰值对应于 H_2^+ ，质量 3 的峰值对应于 H_3^+ 。纵轴为对应于离子的数量的光谱的强度。根据图 30 可知：在等离子体中的离子的比率大约为 $H^+ : H_2^+ : H_3^+ = 37 : 56 : 7$ 。注意，虽然图 30 是当源气体为 PH_3 时的数据，但是当将 100% 的氢气体用作源气体时，氢离子种类的比率也成为相同程度。

在采用获得图 30 所示的数据的离子源的情况下， H^+ 、 H_2^+ 、以及 H_3^+ 中， H_3^+ 的生成仅在 7% 左右。另一方面，在采用获得图 26 所示的数据的离子源的情况下，可以将 H_3^+ 的比率成为 50% 以上（在上述条件下大约为 80%）。可以估计这是起因于在上述考察中获知的处理室内的压力及电场。

（ H_3^+ 的照射机制）

在生成如图 26 那样包含多个离子种类的等离子体且对生成了的离子种类不进行质量分离而将该离子种类照射到单晶半导体衬底的情况下， H^+ 、 H_2^+ 、 H_3^+ 的每个离子被照射到单晶半导体衬底的表面。为了再现从照射离子到形成离子引入区域的机制，举出下列五种模式：

1. 照射的离子种类为 H^+ ，照射之后也为 H^+ （H）的情况；
2. 照射的离子种类为 H_2^+ ，照射之后也为 H_2^+ （ H_2 ）的情况；
3. 照射的离子种类为 H_2^+ ，照射之后分成两个 H（ H^+ ）的情况；
4. 照射的离子种类为 H_3^+ ，照射之后也为 H_3^+ （ H_3 ）的情况；
5. 照射的离子种类为 H_3^+ ，照射之后分成三个 H（ H^+ ）的情况。

（模拟结果和实测值的比较）

根据上述模式，进行当将氢离子种类照射到 Si 衬底时的模拟。作为用于模拟的软件，使用 SRIM (the Stopping and Range of Ions in Matter:通过蒙特卡罗 (Monte Carlo) 法的离子引入过程的模拟软件，是 TRIM (the Transport of Ions in Matter) 的改良版)。注意，为了计算上的方便，在模式 2 中将 H_2^+ 转换为具有两倍质量的 H^+ 进行计算。另外，在模式 4 中将 H_3^+ 转换为具有三倍质量的 H^+ 进行计算。在模式 3 中将 H_2^+ 转换为具有 1/2 动能的 H^+ 进行计算。在模式 5 中将 H_3^+ 转换为具有 1/3 动能的 H^+ 进行计算。

注意，虽然 SRIM 是以非晶结构为对象的软件，但是在以高能量、高剂量的条件照射氢离子种类的情况下，可以利用 SRIM。这是因为由于氢离子种类和 Si 原子的碰撞，Si 衬底的晶体结构变成非单晶结构的缘故。

在图 31 中示出使用模式 1 至模式 5 照射氢离子种类的情况（以 H 换算照射 10 万个）的计算结果。另外，一起示出照射图 26 所示的氢离子种类的 Si 衬底中的氢浓度（SIMS (Secondary Ion Mass Spectroscopy: 二次离子质谱) 的数据)。使用模式 1 至模式 5 进行的计算结果的纵轴（右轴）表示氢原子的个数，SIMS 数据的纵轴（左轴）表示氢原子的密度。横轴为离 Si 衬底的表面的深度。在对实测值的 SIMS 数据和计算结果进行比较的情况下，模式 2 及模式 4 明显地从 SIMS 数据的峰值偏离，并且在 SIMS 数据中也不能观察到对应于模式 3 的峰值。据此，可知模式 2 至模式 4 的影响相对较小。通过考虑虽然离子的动能为 keV 的数量级，但 H-H 键能只不过大约为几 eV，可以估计模式 2 及模式 4 的影响小是由于与 Si 元素的碰撞，大部分的 H_2^+ 或 H_3^+ 分成 H^+ 或 H 的缘故。

根据上述理由，下面不考虑模式 2 至模式 4。在图 32 至图 34 中示出当使用模式 1 及模式 5 照射氢离子种类时(以 H 换算照射 10 万个时)的计算结果。另外，一起示出照射图 26 所示的氢离子种类的 Si 衬底中的氢浓度(SIMS 数据)及将上述模拟结果拟合于 SIMS 数据的数据(下面称为拟合函数)。在此，图 32 示出将加速电压设定为 80kV 的情况，

图 33 示出将加速电压设定为 60kV 的情况，并且图 34 示出将加速电压设定为 40kV 的情况。注意，使用模式 1 及模式 5 进行计算的结果的纵轴（右轴）表示氢原子的个数，SIMS 数据以及拟合函数的纵轴（左轴）表示氢原子的密度。横轴为离 Si 衬底的表面的深度。

通过考虑模式 1 及模式 5 使用下面的计算式算出拟合函数。另外，在计算式中，X、Y 为关于拟合的参数，并且 V 为体积。

$$[\text{拟合函数}] = X/V \times [\text{模式 1 的数据}] + Y/V \times [\text{模式 5 的数据}]$$

当考虑实际上照射的离子种类的比率（大约为 $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ ）时，也应该顾及 H_2^+ 的影响（即，模式 3），但是因为下面所示的理由，在此排除模式 3。

·与模式 5 的照射过程相比，通过模式 3 所示的照射过程而引入的氢极少，因此排除模式 3 来顾及也没有大的影响（在 SIMS 数据中也没有出现峰值）。

·由于在模式 5 中发生的沟道效应（起因于结晶的晶格结构的元素移动），其峰值位置与模式 5 接近的模式 3 不明显的可能性高。就是，预计模式 3 的拟合参数是很困难的。这是因为在本模拟中以非晶 Si 为前提，因此不顾及起因于结晶性的影响的缘故。

在图 35 中总结上述的拟合参数。在上述所有的加速电压下，引入的 H 的数量的比率大约为 [模式 1] : [模式 5] = 1 : 42 至 1 : 45（当在模式 1 中的 H 的个数为 1 的情况下，在模式 5 中的 H 的个数大约为 42 以上且 45 以下），并且照射的离子种类的个数的比率大约为 [H^+ （模式 1）] : [H_3^+ （模式 5）] = 1 : 14 至 1 : 15（当在模式 1 中的 H^+ 的个数为 1 的情况下，在模式 5 中的 H_3^+ 的个数大约为 14 以上且 15 以下）。通过考虑不顾及模式 3 和假设用非晶 Si 而进行计算等的条件，可以认为获得了与关于实际上的照射的离子种类的比率（大约为 $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ ）接近的值。

（使用 H_3^+ 的效应）

通过将如图 26 所示那样的提高 H_3^+ 的比率的氢离子种类照射到衬底，可以获得起因于 H_3^+ 的多个优点。例如，因为 H_3^+ 分成 H^+ 或 H 等而引

入到衬底内，与主要照射 H^+ 或 H_2^+ 的情况相比，可以提高离子的引入效率。因此，可以提高半导体衬底的生产率。另外，同样地， H_3^+ 分开之后的 H^+ 或 H 的动能有变小的趋势，因此适合于较薄的半导体层的制造。

注意，在本说明书中，为了高效地照射 H_3^+ ，对利用能够照射如图 26 所示那样的氢离子种类的离子掺杂装置的方法进行说明。离子掺杂装置的价格低廉且适合于大面积处理，因而通过利用这种离子掺杂装置照射 H_3^+ ，可以获得明显的效应如提高半导体特性、实现大面积化、低成本化、提高生产率等。另一方面，当以 H_3^+ 的照射考虑为首要时，不需要被解释为限于利用离子掺杂装置的方式。

在对单晶硅衬底添加卤素离子如氟离子的情况下，通过添加了的氟清除（驱逐）硅晶格内的硅原子来有效地形成空白部分，使得脆化层中形成微小空洞。在此情况下，通过进行比较低温度的热处理发生形成在脆化层中的微小空洞的体积变化，并且沿着脆化层劈开，来可以形成薄的单晶半导体层。也可以在添加氟离子之后添加氢离子，以使空洞内包含氢。由于为从单晶半导体衬底剥离薄的半导体层而形成的脆化层是通过利用形成在脆化层中的微小空洞的体积变化而劈开，所以如上那样优选有效地利用氟离子或氢离子的作用。

在本说明书中，氧氮化硅膜是如下：作为其组成氧的含量比氮的含量多，在通过使用卢瑟福背散射光谱学法（RBS:Rutherford Backscattering Spectrometry）及氢前方散射法（HFS:Hydrogen Forward Scattering）测量的情况下，作为其浓度范围包含 50 原子%至 70 原子%的氧、0.5 原子%至 15 原子%的氮、25 原子%至 35 原子%的 Si、0.1 原子%至 10 原子%的氢。另外，氮氧化硅膜是如下：作为其组成氮的含量比氧的含量多，在通过使用 RBS 及 HFS 测量的情况下，作为其浓度范围包含 5 原子%至 30 原子%的氧、20 原子%至 55 原子%的氮、25 原子%至 35 原子%的 Si、10 原子%至 30 原子%的氢。然而，假设在将构成氧氮化硅或氮氧化硅的原子的总计设为 100 原子%的情况下，氮、氧、Si 及氢的含有比率包含在上述范围内。

另外，也可以在单晶半导体衬底和接合到上述单晶半导体层的绝

缘层之间形成保护层。保护层可以由选自氮化硅层、氧化硅层、氮氧化硅层、或氧氮化硅层中的单层或多个层的叠层结构形成。这些层可以在单晶半导体衬底中形成脆化层之前形成在单晶半导体衬底上。另外，也可以在单晶半导体衬底中形成脆化层之后形成在单晶半导体衬底上。

当形成脆化层时需要在高剂量条件下添加离子，有时单晶半导体衬底 108 的表面会变得粗糙。因此，也可以在添加离子的表面利用氮化硅膜、氮氧化硅膜、或者氧化硅膜等设置对于离子添加的保护层，其厚度为 50nm 至 200nm。

例如，在单晶半导体衬底 108 上通过等离子体 CVD 法形成氧氮化硅膜（厚度为 5nm 至 300nm，优选为 30nm 至 150nm（例如 50nm））和氮氧化硅膜（厚度为 5nm 至 150nm，优选为 10nm 至 100nm（例如 50nm））的叠层作为保护层。作为一例，在单晶半导体衬底 108 上以 50nm 的厚度形成氧氮化硅膜，并且在该氧氮化硅膜上以 50nm 的厚度形成氮氧化硅膜来层叠。氧氮化硅膜也可以是使用有机硅烷气体通过化学气相成长法制造的氧化硅膜。

此外，也可以对半导体衬底 108 进行脱脂清洗来去除其表面的氧化膜，然后进行热氧化。作为热氧化，虽然可以进行一般的干式氧化，但是优选在添加有卤素的氧化气氛中进行氧化。例如，在相对于氧包含 0.5 体积%至 10 体积%（优选为 3 体积%）的比率的 HCl 的气氛中，在 700℃ 以上的温度下进行热处理。优选在 950℃ 至 1100℃ 的温度下进行热氧化。处理时间为 0.1 小时至 6 小时，优选为 0.5 小时至 3.5 小时。所形成的氧化膜的厚度为 10nm 至 1000nm（优选为 50nm 至 200nm），例如为 100nm 厚。

作为包含卤素的物质，除了使用 HCl 以外，还可以使用选自 HF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂ 中的一种或多种。

通过在这样的温度范围内进行热处理，可以得到由卤素元素带来的吸杂效应。吸杂具有特别去除金属杂质的效应。换言之，通过氯的作用，金属等杂质变成挥发性氯化物且脱离到气相中而被去除。这对

通过化学机械研磨(CMP)来处理其表面的单晶半导体衬底 108 很有效。此外,氢起到补偿半导体衬底 108 和所形成的氧化膜的界面的缺陷来降低该界面的局域态密度的作用,以使半导体衬底 108 和氧化膜的界面惰性化,从而实现电特性的稳定化。

可以使通过所述热处理而形成的氧化膜中包含卤素。卤素元素通过以 $1 \times 10^{17}/\text{cm}^3$ 至 $5 \times 10^{20}/\text{cm}^3$ 的浓度包含在氧化膜中,可以使该氧化膜呈现捕获金属等杂质来防止单晶半导体衬底 108 的污染的保护层的功能。

当形成脆化层 110 时,根据淀积在单晶半导体衬底上的膜的厚度、从作为目的物的单晶半导体衬底分离而转载在支撑衬底上的单晶半导体层的厚度、以及所添加的离子种类,可以调整加速电压和全部离子数量。

例如,可以通过离子掺杂法使用氢气体作为原料,以 40kV 的加速电压、 $2 \times 10^{16} \text{ions}/\text{cm}^2$ 的全部离子数量添加离子来形成脆化层。如果形成较厚的保护层,则在以同一条件添加离子来形成脆化层的情况下,作为从目的物的单晶半导体衬底分离而转置(转载)在支撑衬底上的单晶半导体层,可以形成较薄的单晶半导体层。例如,虽然根据离子种类(H^+ 、 H_2^+ 、 H_3^+ 离子)的比率,但是在以上述条件形成脆化层并且作为保护层在单晶半导体衬底上层叠氧氮化硅膜(厚度为 50nm)和氮氧化硅膜(厚度为 50nm)的情况下,转载在支撑衬底上的单晶半导体层的厚度大约为 120nm,而作为保护层在单晶半导体衬底上层叠氧氮化硅膜(厚度为 100nm)和氮氧化硅膜(厚度为 50nm)的情况下,转载在支撑衬底上的单晶半导体层的厚度大约为 70nm。

在使用氦(He)或氢作为原料气体的情况下,以 10kV 至 200kV 的加速电压、 $1 \times 10^{16} \text{ions}/\text{cm}^2$ 至 $6 \times 10^{16} \text{ions}/\text{cm}^2$ 的剂量进行添加,可以形成脆化层。通过使用氦作为原料气体,即使不进行质量分离也可以以 He^+ 离子作为主要离子来进行添加。此外,通过使用氢作为原料气体,可以 H_3^+ 离子或 H_2^+ 离子作为主要离子来进行添加。离子种类还根据等离子体的生成方法、压力、原料气体供应量、加速电压而改变。

形成脆化层的例子如下所述，即，在单晶半导体衬底上层叠氧氮化硅膜（厚度为 50nm）、氮氧化硅膜（厚度为 50nm）、以及氧化硅膜（厚度为 50nm）作为保护层，以 40kV 的加速电压、 2×10^{16} ions/cm² 的剂量添加氢而在单晶半导体衬底中形成脆化层。然后，在作为保护层的最上层的上述氧化硅膜上作为具有接合面的绝缘层形成氧化硅膜（厚度为 50nm）。形成脆化层的另一个例子如下所述，即，在单晶半导体衬底上层叠氧化硅膜（厚度为 100nm）及氮氧化硅膜（厚度为 50nm）作为保护层，以 40kV 的加速电压、 2×10^{16} ions/cm² 的剂量添加氢而在单晶半导体衬底中形成脆化层。然后，在作为保护层的最上层的上述氮氧化硅膜上形成氧化硅膜（厚度为 50nm）作为具有接合面的绝缘层。上述氧氮化硅膜及氮氧化硅膜通过等离子体 CVD 法形成即可，而上述氧化硅膜通过 CVD 法使用有机硅烷气体形成即可。

在作为支撑衬底 101 使用铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等用于电子工业的玻璃衬底的情况下，玻璃衬底中包含微量的钠等碱金属，有可能因为该微量的杂质而晶体管等半导体元件的特性受到负面影响。氮氧化硅膜具有防止包含在支撑衬底 101 中的金属杂质扩散到半导体衬底一侧的效应。另外，也可以形成氮化硅膜而代替氮氧化硅膜。优选在单晶半导体衬底和氮氧化硅膜之间设置氧氮化硅膜或氧化硅膜等的应力缓和层。通过设置氮氧化硅膜和氧氮化硅膜的叠层结构，也可以形成防止对单晶半导体衬底的杂质扩散的同时缓和应力畸变的结构。

在支撑衬底上也可以设置用于防止杂质元素扩散的氮化硅膜或氮氧化硅膜作为阻挡层。也可以组合氧氮化硅膜作为具有缓和应力的作用的绝缘膜。如图 3C 所示，在本实施方式中，在支撑衬底 101 上形成阻挡层 109。

接下来，如图 3B 所示那样，在与支撑衬底形成接合的面上形成氧化硅膜作为绝缘层 104。作为氧化硅膜，使用有机硅烷气体通过化学气相成长法来制造的氧化硅膜是优选的。另外，也可以采用使用硅烷气体通过化学气相成长法来制造的氧化硅膜。在通过化学气相成长法的

成膜中,使用例如 350℃以下(具体例子是 300℃)的成膜温度,该成膜温度是不发生从形成于单晶半导体衬底中的脆化层 110 的脱气的温度。此外,在从单晶半导体衬底剥离单晶半导体层的热处理中,采用比成膜温度高的热处理温度。

绝缘层 104 具有平滑面且形成亲水性的表面。作为该绝缘层 104 优选使用氧化硅膜。特别优选的是使用有机硅烷气体通过化学气相成长法来制造的氧化硅膜。作为有机硅烷气体,可以使用含有硅的化合物,如四乙氧基硅烷(TEOS:化学式为 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、三甲基硅烷(TMS:化学式为 $(\text{CH}_3)_3\text{SiH}$)、四甲基硅烷(化学式为 $\text{Si}(\text{CH}_3)_4$)、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅氮烷(HMDS)、三乙氧基硅烷(化学式为 $\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三(二甲氨基)硅烷(化学式为 $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等。另外,在使用有机硅烷作为原料气体通过化学气相成长法形成氧化硅层的情况下,优选混合给予氧的气体。作为给予氧的气体,可以使用氧、一氧化二氮、二氧化氮等。另外,也可以混合氩、氮、氮或氢等惰性气体。

此外,作为绝缘层 104,还可采用以甲硅烷、乙硅烷、或者丙硅烷等的硅烷作为原料气体通过化学气相成长法形成的氧化硅膜。在此情况下,也优选混合给予氧的气体或惰性气体等。另外,成为与单晶半导体层接合的绝缘层的氧化硅膜也可以包含氯。在通过化学气相成长法的成膜中,使用例如 350℃以下的成膜温度,该成膜温度是不发生从形成在单晶半导体衬底 108 中的脆化层 110 的脱气的温度。此外,在从单晶半导体衬底剥离单晶半导体层的热处理中,采用比成膜温度高的热处理温度。另外,在本说明书中,化学气相成长(CVD; Chemical Vapor Deposition)法在其范畴中包括等离子体 CVD 法、热 CVD 法、光 CVD 法。

另外,作为绝缘层 104,也可以使用通过在氧化性气氛中进行热处理来形成的氧化硅、通过氧自由基的反应而成长的氧化硅、由氧化性药液形成的化学氧化物等。作为绝缘层 104,也可以使用包含硅氧烷(Si-O-Si)键的绝缘层。此外,也可以使上述有机硅烷气体与氧自由

基或氮自由基起反应来形成绝缘层 104。

以 5nm 至 500nm、优选为 10nm 至 200nm 的厚度设置上述具有平滑面且形成亲水性的表面的绝缘层 104。若采用该厚度，则可以使所形成的膜表面的表面粗糙平滑化，并且可以确保该膜的成长表面的平滑性。此外，通过设置绝缘膜 104，可以缓和因为与支撑衬底接合而产生的单晶半导体层的应变。较好的是绝缘膜 104 的表面的算术平均粗度 Ra 不足 0.8nm，方均根粗度 Rms 不足 0.9nm，更优选的是，Ra 为 0.4nm 以下，Rms 为 0.5nm 以下，进一步优选的是，Ra 为 0.3nm 以下，Rms 为 0.4nm 以下。例如，Ra 为 0.27nm，Rms 为 0.34nm。在本说明书中，Ra 是算术平均粗度，Rms 是方均根粗度，测定范围是 $2\mu\text{m}^2$ 或 $10\mu\text{m}^2$ 。

也可以在支撑衬底 101 上设置与绝缘层 104 同样的氧化硅膜。即，将单晶半导体层 102 接合到支撑衬底 101 上时，通过在形成接合的面的一方或双方设置优选由以有机硅烷为原材料形成的氧化硅膜构成的绝缘层 104，可以形成坚固的接合。

图 3C 表示使设置在支撑衬底 101 上的阻挡层 109 与单晶半导体衬底 108 的形成有绝缘层 104 的面密接，使该两者接合的形态。对形成接合的面预先进行充分清洗。对设置在支撑衬底 101 上的阻挡层 109 与单晶半导体衬底 108 的形成有绝缘层 104 的面通过兆声清洗等进行清洗即可。此外，也可以在进行了兆声清洗之后使用臭氧水清洗来去除有机物并提高表面的亲水性。

如果使支撑衬底 101 上的阻挡层 109 和绝缘层 104 相对，并且从外部按住其一部分，则由于通过接合面之间的距离局部缩短而引起的范德华力的增大和氢键的影响，使得它们彼此吸引。而且，由于在邻接的区域中相对的支撑衬底 101 上的阻挡层 109 和绝缘层 104 之间的距离也缩短，所以范德华力强烈作用的区域和氢键影响的区域扩展，藉此接合（也称为键合）发展到接合面整体。例如，按压力是 100kPa 至 5000kPa 左右即可。另外，也可以通过将支撑衬底和半导体衬底重叠地布置，而利用重叠的衬底的重量来使接合发展。

为了形成良好的接合，也可以预先使表面活化。例如，对形成接

合的面照射原子束或离子束。利用原子束或离子束时，可以使用氩等惰性气体中性原子束或惰性气体离子束。另外，进行等离子体照射或自由基处理。通过这种表面处理，即使在 200℃至 400℃的温度下，也可以容易地形成异种材料之间的接合。

此外，为了提高支撑衬底和绝缘层之间的接合界面的接合强度，优选进行加热处理。例如，通过烘箱或炉等在 70℃至 350℃（例如，200℃、2 小时）的温度条件下进行热处理。

在图 3D 中，在贴合支撑衬底 101 和单晶半导体衬底 108 之后，进行加热处理，以脆化层 110 为劈开面从支撑衬底 101 剥离单晶半导体衬底 108。例如，通过进行 400℃至 700℃的热处理，发生形成在脆化层 110 中的微小空洞的体积变化，从而可以沿着脆化层 110 劈开。因为绝缘层 104 隔着阻挡层 109 与支撑衬底 101 接合，所以在支撑衬底 101 上残存与单晶半导体衬底 108 相同的结晶性的单晶半导体层 102。

400℃至 700℃的温度区域的热处理既可在与上述为了提高接合强度的热处理相同的装置内连续地进行，又可在不同的装置内进行。例如，在炉中进行 200℃、2 小时的热处理，然后将该温度上升到 600℃附近，该状态保持 2 小时，再使温度在 400℃至室温的温度区域下降后从炉中取出。此外，当热处理时，也可以从室温上升温度。此外，也可以在炉中进行 200℃、2 小时的热处理，然后通过快热退火（RTA）装置在 600℃至 700℃的温度区域进行 1 分钟至 30 分钟（例如，在 600℃的温度下进行 7 分钟，在 650℃的温度下进行 7 分钟）的热处理。

通过 400℃至 700℃的温度区域的热处理，绝缘层和支撑衬底之间的接合从氢键转移为共价键，添加到脆化层中的元素析出，压力上升，可以从单晶半导体衬底剥离单晶半导体层。在进行热处理之后，支撑衬底和单晶半导体衬底处于一方负载于另一方的状态，因此不需要很大的力量就可以分开支撑衬底和单晶半导体衬底。例如，通过真空吸盘拿起上方的衬底，藉此可以容易地分离。此时，如果通过使用真空吸盘或机械吸盘固定下侧的衬底，则可以在不向水平方向错开的状态下分开支撑衬底和单晶半导体衬底双方。

虽然图 3A 至 3D 和图 4A 至 4C 示出单晶半导体衬底 108 的尺寸小于支撑衬底 101 的尺寸的例子，但是本发明不局限于此，既可以是单晶半导体衬底 108 的尺寸和支撑衬底 101 的尺寸彼此相同，又可以是单晶半导体衬底 108 的尺寸大于支撑衬底 101 的尺寸。

图 4 示出通过在支撑衬底侧设置绝缘层来形成单晶半导体层的工序。图 4A 示出将在电场加速了的离子添加到形成有氧化硅膜作为保护层 121 的单晶半导体衬底 108 的预定深度处，以形成脆化层 110 的工序。离子的添加与图 3A 的情况相同。通过预先在单晶半导体衬底 108 的表面上形成保护层 121，可以防止因离子添加而造成的表面受损及平坦性恶化。此外，保护层 121 发挥对使用单晶半导体衬底 108 形成的单晶半导体层 102 的杂质扩散的防止效应。

图 4B 示出将形成有阻挡层 109 及绝缘层 104 的支撑衬底 101 和单晶半导体衬底 108 的形成有保护层 121 的面密接来形成接合的工序。通过使支撑衬底 101 上的绝缘层 104 和单晶半导体衬底 108 的保护层 121 密接来形成接合。

然后，如图 4C 所示，剥离单晶半导体衬底 108。与图 3D 的情况同样地进行剥离单晶半导体层的热处理。如此可以获得图 4C 所示的半导体衬底，该半导体衬底具有在支撑衬底上隔着绝缘层具有单晶半导体层的 SOI 结构。

作为支撑衬底 101，可以使用具有绝缘性的衬底、具有绝缘表面的衬底，例如可以使用铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等被称为无碱玻璃的用于电子工业的各种玻璃衬底。例如，作为支撑衬底 100，优选使用无碱玻璃衬底（商品名为 AN100）、无碱玻璃衬底（商品名为 EAGLE2000（注册商标））或无碱玻璃衬底（商品名为 EAGLEXG（注册商标））。另外，除了玻璃衬底以外，还可以使用陶瓷衬底、石英衬底或蓝宝石衬底等的由绝缘体构成的绝缘衬底等。

通过以上工序，如图 1A 及 1E 所示，在作为具有绝缘表面的衬底的支撑衬底 101 上设置阻挡层 109 和绝缘层 104，并形成从单晶半导体层 108 分离的单晶半导体层 102。

图 1A 至 1D 及图 2A 至 2C 为平面图，而图 1E 至 1H 及图 2D 至 2F 为图 1A 至 1D 及图 2A 至 2C 中的线 Y-Z 的截面图。

支撑衬底 101 上的单晶半导体层 102 通过分离工序及离子添加工序发生结晶缺陷，而且其表面的平坦性被损坏并形成凹凸。在使用单晶半导体层 102 制造晶体管作为半导体元件的情况下，在这样具有凹凸的单晶半导体层 102 的上表面形成厚度薄且绝缘耐压性高的栅极绝缘层是困难的。另外，当单晶半导体层 102 具有结晶缺陷时，与栅极绝缘层的局部界面态密度提高等，导致对于晶体管的性能及可靠性的影响。

在本发明中，对上述单晶半导体层 102 照射脉冲激光 124，在深度方向上也使单晶半导体层 102 完全熔融，并再单晶化，以获得晶体缺陷减少、结晶性高且平坦性也高的单晶半导体层 130。

对转载在支撑衬底 101 上的单晶半导体层 102 照射脉冲激光 124，来进行单晶半导体层 102 的再单晶化。在单晶半导体层 102 中，激光 124 的照射区域至少在深度方向上的整个区域熔融，并且以周围的未照射区域（非熔融区域）为晶核（晶种）向照射区域（熔融区域）的中央（向图 1B 及 1F 中的箭头 125a、125b 的方向）再单晶化。结晶成长在熔融区域端部从熔融区域和非熔融区域的界面分别向熔融区域内部（中央）进行，并借助于结晶成长产生的再单晶区域如箭头 125a 及箭头 125b 所示那样彼此接触，而在整个激光 124 照射区域使单晶半导体层 102 再单晶化，来形成结晶性及平坦性高的单晶半导体区域 126（参照图 1B 及 1F）。另外，在图 1A 至 1H、图 2A 至 2F 中，再单晶区域通过结晶成长彼此接触的区域由虚线表示。

接着，通过照射激光 127 将与通过激光 124 的照射再单晶化了的单晶半导体区域 126 相邻的区域再单晶化。在单晶半导体层 102 中，激光 127 的照射区域至少在深度方向上的整个区域熔融，并且以周围的被照射区域（非熔融区域）为晶核（晶种）向照射区域（熔融区域）的中央（向图 1C 及 1G 中的箭头 128a、128b 的方向）再单晶化。结晶成长在熔融区域端部从熔融区域和非熔融区域的界面分别向熔融区域

内部（中央）进行，并借助于结晶成长产生的再单晶区域如箭头 128a 及箭头 128b 所示那样彼此接触，而在整个激光 127 照射区域使单晶半导体层 102 再单晶化，来形成结晶性及平坦性高的单晶半导体区域 129（参照图 1C 及 1G）。

通过反复进行上述借助于激光照射的单晶半导体层的再单晶化，单晶半导体层在整个区域中经过借助于激光照射的熔融状态而被再单晶化，可以形成结晶性及平坦性高的单晶半导体层 130（参照图 1D 及 1H）。

在本发明中，使单晶半导体层的被激光照射的整个区域熔融，其包括被激光照射的区域的深度方向。由此，在本发明中，单晶半导体层中的整个激光照射区域（面方向及深度方向）成为熔融区域。在本说明书中，单晶半导体层中的整个激光照射区域是指单晶半导体层的包括面方向及深度方向的整个被激光照射的区域。另外，在单晶半导体层中，至少在深度方向上使整个激光照射区域完全熔融，因而可以认为完全熔融。

因此，再单晶化的晶核（晶种）为作为周围的被激光照射区域的非熔融区域，以非熔融区域为晶核向熔融区域中央以与单晶半导体层（支撑衬底）表面平行的方向进行结晶成长。结晶成长在熔融区域端部从熔融区域和非熔融区域的界面分别向熔融区域内部（中央）进行，并借助于结晶成长产生的再单晶区域彼此接触，而在整个激光照射区域使单晶半导体层再单晶化。

在本发明中，借助于激光照射产生的结晶成长以与单晶半导体层（支撑衬底）表面平行的方向进行，因而若对于单晶半导体层（支撑衬底）表面以深度方向（膜厚度方向）为纵方向，则可以说是横成长（在横方向上的成长）的结晶成长。

该熔融区域的结晶成长在过冷却状态时产生，过冷却状态就是借助于激光照射单晶半导体层的激光照射区域被加热到熔点以上而熔融，并且在照射后的冷却时即使冷却到熔点以下也不固化而保持熔融状态。过冷却状态的时间依赖于单晶半导体层的厚度、激光的照射条

件（能量密度、照射时间（脉冲宽度）等）等。过冷却状态的时间长，借助于结晶成长而再单晶化的区域也就大，因而，可以增大照射一次激光的区域。因此，处理效率提高，处理量也提高。另外，若使照射激光的单晶半导体层加热，则对过冷却状态的时间的延长有效。将单晶半导体层的温度设定为比室温低 500℃ 以上（支撑衬底的应变点以下）即可，并且单晶半导体层的加热可以通过对支撑衬底进行加热处理或对单晶半导体层喷射加热了的气体等来进行。

因此，在本发明中将激光照射区域（熔融区域）设定为借助于再单晶化的单晶区域端（结晶成长端）彼此接触的区域。例如，脉冲激光的在单晶半导体层上的照射区域的短轴方向上的激光轮廓（也称为光束轮廓）的形状为矩形，并且其宽度为 20μm 以下。另外，脉冲激光的在单晶半导体层上的照射区域的短轴方向上的激光轮廓的形状为高斯，并且其宽度为 100μm 以下。若增加激光的脉冲宽度，则也可以使激光轮廓宽度变长。如上那样设定激光轮廓，在过冷却状态的时间内可以使整个熔融区域成为由于结晶成长形成的再单晶区域。另外，作为脉冲激光的在所述单晶半导体层上的照射区域的形状可以采用矩形（也可以为使用线状激光的长矩形），另外也可以使用掩模采用具有多个矩形的激光形状。

若激光照射区域大，在产生单晶半导体层的结晶成长的过冷却状态的时间内不能使整个照射区域再单晶化，而在照射区域的中央部产生微晶区域。由此，为了使整个激光照射区域再单晶化，而设定结晶成长端在单晶半导体层的过冷却状态的时间内在照射区域（熔融区域）内彼此接触（碰撞）的激光照射区域。若是微小的微晶区域，可以使照射区域与微晶区域重叠的方式扫描激光照射来使微晶区域再单晶化。

去除在单晶半导体层周围端部附近的激光照射区域（没有被再单晶化的区域）即可，该区域是用于借助于激光照射形成再单晶半导体区域的晶核。

由于进行利用脉冲激光的照射处理，所以支撑衬底的温度上升被

抑制，因此，可以将如玻璃衬底的耐热性低的衬底用作支撑衬底。由此，可以充分地恢复由于离子添加工序而导致的对单晶半导体层的损坏。

再者，单晶半导体层通过熔融且再单晶化，可以使表面平坦化。因此，通过借助于照射脉冲激光的单晶半导体层的再单晶化，可以制造具有结晶缺陷减少且平坦性高的单晶半导体层的半导体衬底。

另外，优选在照射激光之前用稀氢氟酸去除形成在单晶半导体层的表面上的氧化膜（自然氧化膜或化学氧化膜）。

激光只要是可以对单晶半导体层给予高能量的即可，优选使用脉冲激光。

激光的波长为被单晶半导体层吸收的波长。可以考虑激光的趋肤深度（skin depth）等而决定该波长。例如，激光波长可以为 190nm 至 600nm。另外，可以考虑激光的趋肤深度、照射的单晶半导体层的厚度等而决定激光能量。

作为激光的激光器，可以使用脉冲激光器。例如，有受激准分子激光器如 KrF 激光器等、气体激光器如 Ar 激光器和 Kr 激光器等。另外，作为固体激光器，有 YAG 激光器、YVO₄ 激光器、YLF 激光器、YA1O₃ 激光器、GdVO₄ 激光器、KGW 激光器、KYW 激光器、变石激光器、Ti:蓝宝石激光器、Y₂O₃ 激光器等。另外，作为固体激光优选使用基波的第二高次谐波至第五高次谐波。另外，也可以使用 GaN、GaAs、GaAlAs、InGaAsP 等的半导体激光器。

还可以设置由挡板（shutter）、反射镜或半反射镜等反射体、柱面透镜或凸透镜等构成的光学系统，以便调节激光的形状或激光前进的路径。

作为激光照射方法，既可选择性地照射激光，又可将激光在 XY 轴方向上扫描来照射。在此情况下，优选使用多角镜（polygon mirror）或检流计镜作为光学系统。

例如，在作为激光使用波长为 308nm 且脉冲宽度为 25nsec 的 XeCl 受激准分子激光，并且照射的单晶半导体层是单晶硅层的情况下，当

该硅层的厚度为 90nm 至 120nm 时,将施加到该硅层的能量密度适当设定为 $600\text{J}/\text{cm}^2$ 至 $2000\text{mJ}/\text{cm}^2$ 的范围内即可。

激光照射可以在大气气氛等包含氧的气氛中或氮气气氛等惰性气氛中进行。当在惰性气氛中照射激光时,在具有气密性的处理室内照射激光,并且控制该处理室内的气氛即可。在不使用处理室的情况下,通过对激光的被照射面喷射氮气体等惰性气体来可以形成氮气气氛。

当在氧浓度为 10ppm 以下优选为 6ppm 以下的氮气气氛中进行激光照射处理时,可以形成比较平坦的单晶半导体层表面。

再者,也可以对被供应激光照射等的高能量而结晶缺陷减少了的单晶半导体层表面进行研磨处理。由于研磨处理而可以提高单晶半导体层表面的平坦性。

作为研磨处理,可以使用化学机械研磨 (Chemical Mechanical Polishing: CMP) 法或喷液研磨法。在研磨处理之前清洗单晶半导体层表面来净化。当清洗时,使用兆声波清洗或二流体喷射清洗 (two - fluid jet cleaning) 等即可,通过清洗去除单晶半导体层表面的尘埃等。此外,优选的是使用稀氢氟酸去除单晶半导体层表面上的自然氧化膜等,以使单晶半导体层露出。

另外,也可以在照射激光之前对单晶半导体层表面进行研磨处理 (或者蚀刻处理)。作为蚀刻处理可以进行湿蚀刻法、干蚀刻法、或组合湿蚀刻法及干蚀刻法。

如果在激光照射工序之前对单晶半导体层进行研磨处理,则可以得到如下效应。通过研磨处理,可以进行单晶半导体层表面的平坦化和单晶半导体层的厚度的控制。通过实现单晶半导体层表面的平坦化,在激光的照射工序中可以使单晶半导体层的热容量均一化,并且经过均匀的加热冷却过程或熔融及凝固过程可以形成均匀的结晶。此外,通过在研磨处理 (或者蚀刻处理而不是研磨处理) 中将单晶半导体层的厚度设定为吸收激光的能量的适合值,可以有效地对单晶半导体层施加能量。并且,由于单晶半导体层表面有很多结晶缺陷,所以通过去除结晶缺陷多的表面,可以减少激光照射之后的单晶半导体层中的

结晶缺陷。

另外，激光照射区域（单晶半导体层的再单晶化区域）既可以如图 1A 至 1H 那样以不重叠的方式进行，又可以以重叠的方式扫描激光而进行激光照射。将以激光照射区域（单晶半导体层的再单晶化区域）重叠的方式制造半导体衬底的例子示于图 2A 至 2F。

图 2A 至 2D 对应于图 1B 至 1F，借助于激光 124 在单晶半导体层 102 中形成有再单晶化了的单晶半导体区域 126。

在图 2B1 及 2E、2C 及 2F 中，以使其一部分与激光 124 的照射区域的单晶半导体区域 126 重叠的方式照射激光 127，来使单晶半导体区域 126 的一部分也再次熔融而再单晶化。

作为激光 124 的照射区域的单晶半导体区域 126 的端部容易产生脊（凸部），因此，若再次照射激光 127 而再熔融并再单晶化，则对于减少脊且进一步提高平坦性有效。再者，如图 2C 及 2F，也可以在单晶半导体区域 126 中以与到结晶成长端部接触的区域（图 2A 至 2F 中由虚线表示）重叠的方式照射激光 127 而再熔融并再结晶化。

另外，也可以使用掩模对激光进行加工，选择性地同时使多个区域熔融来进行再单晶化处理。将单晶半导体层的激光照射图形的例子示于图 23A 和 23B。在图 23A 和 23B 中，首先，如图 23A 那样以多个矩形照射图形 451 对转载到支撑衬底上的单晶半导体层 450 照射激光。在各个矩形激光照射区域中，单晶半导体层 450 熔融，如箭头 452a、452b 那样结晶成长直到再单晶区域在中央部 453 接触，而再单晶化。

接着，如图 23B 所示，移动激光的掩模并以多个矩形的照射图形 454 照射激光。同样地，在各个矩形的激光照射区域中，单晶半导体层 450 熔融，如箭头 456a、456b 那样结晶成长直到再单晶区域在中央部 457 接触，而再单晶化。像这样，通过选择性地同时使多个区域熔融而进行再单晶化处理，可以提高处理速度，因而生产率提高。

如上所述，可以制造具有单晶半导体层的半导体衬底，该单晶半导体层是从单晶半导体衬底转载到支撑衬底上并整个区域经过借助于激光照射的熔融状态而被再单晶化了的层。该半导体衬底的单晶半导

体层 130 的结晶缺陷减少而结晶性提高，并且平坦性也提高。

通过使用设置于半导体衬底上的单晶半导体层 130 制造出晶体管等半导体元件，可以实现栅极绝缘层的薄膜化及栅极绝缘层的局域界面态密度的降低。此外，通过减薄单晶半导体层 130 的厚度，可以在支撑衬底上使用单晶半导体层制造完全耗尽型的晶体管。

此外，在本实施方式中，在使用单晶硅衬底作为单晶半导体衬底 108 的情况下，作为单晶半导体层 130 可以得到单晶硅层。此外，在本实施方式的半导体衬底的制造方法中，由于可以采用 700℃以下的处理温度，因此可以使用玻璃衬底作为支撑衬底 101。也就是说，与现有的薄膜晶体管同样，可以在玻璃衬底上形成，并且可以使用单晶硅层作为单晶半导体层。根据上述情况，可以在玻璃衬底等支撑衬底上制造具有高性能及高可靠性的晶体管，该晶体管能够高速工作、亚阈值低、场效应迁移度高、能够以低耗电压驱动等。

在本发明中，半导体装置指的是能够利用半导体特性来工作的装置。通过使用本发明，可以制造具有包括半导体元件（晶体管、存储器元件、二极管等）的电路的装置或具有处理器电路的芯片等半导体装置。

本发明可以用于作为具有显示功能的装置的半导体装置（也称为显示装置）。使用本发明的半导体装置包括：在电极之间夹着包含被称为电致发光（以下也称为“EL”）的呈现发光的有机物、无机物、或者有机物和无机物的混合物的层的发光元件与晶体管彼此连接的半导体装置（发光显示装置）；以及使用具有液晶材料的液晶元件（液晶显示元件）作为显示元件的半导体装置（液晶显示装置）等。在本说明书中，显示装置是指具有显示元件的装置，并且显示装置包括在衬底上形成有包含显示元件的多个像素和驱动上述像素的外围驱动电路的显示面板主体。另外，显示装置也可以包括安装有柔性印刷电路（FPC）或印刷线路板（PWB）的装置（IC、电阻元件、电容元件、电感器、晶体管等）。另外，也可以包括偏振片或相位差板等光学片。另外，也可以包括背光灯（也可以包括导光板、棱镜片、漫射片、反射片、或者

光源（LED、冷阴极管等））。

另外，显示元件或半导体装置可以采用各种方式及各种元件。例如，可以使用 EL 元件（有机 EL 元件、无机 EL 元件或包含有机物及无机物的 EL 元件）、电子发射元件、液晶元件、电子墨水、光栅阀（GLV）、等离子体显示器（PDP）、数字微镜装置（DMD）、压电陶瓷显示器、以及碳纳米管等通过电磁作用改变对比度的显示介质。另外，使用 EL 元件的半导体装置包括 EL 显示器；使用电子发射元件的半导体装置包括场致发射显示器（FED）、SED 方式平面显示器（SED；表面传导电子发射显示器）等；使用液晶元件的半导体装置包括液晶显示器、透射型液晶显示器、半透射型液晶显示器、以及反射型液晶显示器；使用电子墨水的半导体装置包括电子纸张。

像这样，可以成品率好地制造具有高性能及高可靠性的半导体衬底及半导体装置。

实施方式 2

在本实施方式中示出在实施方式 1 中将单晶半导体层从单晶半导体衬底接合到支撑衬底上的工序的不同例子。因此，省略与实施方式 1 相同的部分或具有相同功能的部分的重复说明。

在本实施方式中，当从单晶半导体衬底转载单晶半导体层时，对单晶半导体衬底选择性地蚀刻（也称为形成槽的加工），而在支撑衬底上转载其形状被加工了的多个单晶半导体层。因此，可以在支撑衬底上形成多个岛状单晶半导体层。由于先在单晶半导体衬底上加工形状并转载，所以不受单晶半导体衬底的尺寸或形状的限制。因而，可以更高效地将单晶半导体层转载到大型支撑衬底上。

而且，可以对形成在支撑衬底上的半导体层进行蚀刻，来加工半导体层的形状并进行校正，来精密地控制。由此，可以加工为半导体元件的单晶半导体层的形状，并且可以校正单晶半导体层的形成位置的误差或形状不良，即由于形成抗蚀剂掩模时曝光的周围传播引起的图像错开，或由于转载工序中的贴合时的位置不一致等。

因此，可以在支撑衬底上高成品率地形成所希望的形状的多个单

晶半导体层。因此，利用大面积衬底可以高处理量且高生产率地制造具有更精密且高性能的半导体元件及集成电路的半导体装置。

在图 5A 中示出在单晶半导体衬底 158 上形成保护层 154 和氮化硅膜 152 的状态。氮化硅膜 152 用作对单晶半导体衬底 158 进行形成槽的加工时的硬质掩模。氮化硅膜 152 通过使用硅烷和氨的气相成长法而淀积来形成即可。

接着，添加离子在单晶半导体衬底 158 中形成脆化层 150（参照图 5B）。顾及转载到支撑衬底上的单晶半导体层的厚度进行离子的添加。顾及上述厚度决定添加离子时的加速电压，以使离子添加到单晶半导体衬底 158 的深部。通过该处理在单晶半导体衬底 158 的表面有一定深度处形成脆化层 150。

顾及半导体元件的单晶半导体层的形状进行形成槽的加工。就是说，对单晶半导体衬底 158 进行形成槽的加工，以便将半导体元件的单晶半导体层转载到支撑衬底上，并且使该部分残留为凸状部。

使用光抗蚀剂形成掩模 153。通过使用掩模 153 蚀刻氮化硅膜 152 及保护层 154，而形成保护层 162、以及氮化硅层 163（参照图 5C）。

接着，氮化硅层 163 作为硬质掩模对单晶半导体衬底 158 进行蚀刻，而形成具有脆化层 165、单晶半导体层 166 的单晶半导体衬底 158（参照图 5D）。在本发明中，如图 5D 所示那样，将脆化层及作为通过形成槽的加工被加工为凸状的单晶半导体衬底的一部分的半导体区域称为单晶半导体层 166。

顾及转载到支撑衬底上的单晶半导体层的厚度适当地设定蚀刻单晶半导体衬底 158 的深度。可以根据添加氢离子的深度来设定该单晶半导体层的厚度。形成在单晶半导体衬底 158 上的槽的深度优选形成成为深于脆化层。在该形成槽的加工中，通过使槽的深度比脆化层深，可以使脆化层只残留在要剥离的单晶半导体层的区域。

去除表面的氮化硅层 163（参照图 5E）。然后，使单晶半导体衬底 158 上的保护层 162 的表面和支撑衬底 151 接合（参照图 6A）。

在支撑衬底 151 的表面形成有阻挡层 159 及绝缘层 157。为了防止

钠离子等杂质从支撑衬底 151 扩散且污染单晶半导体层，设置阻挡层 159。在不需要考虑从支撑衬底 151 扩散而对单晶半导体层导致不良影响的杂质时，也可以省略阻挡层 159。另一方面，为了与保护层 162 接合，设置绝缘层 157。

通过密接其表面被清洗了的单晶半导体衬底 158 一侧的保护层 162 和支撑衬底一侧的绝缘层 157 而形成接合。可以在室温下进行该接合。该接合是原子级的接合，根据范德华力的作用，可以在室温下形成坚固的接合。因为单晶半导体衬底 158 被加工有槽，所以形成单晶半导体层的凸状部与支撑衬底 151 接触。

在单晶半导体衬底 158 和支撑衬底 151 之间形成接合之后，通过进行加热处理，如图 6B 所示那样，可以从单晶半导体衬底 158 剥离单晶半导体层 164，并且将它固定于支撑衬底 151 上。单晶半导体层的剥离是通过在脆化层 150 中形成的微小的空洞的体积变化而沿脆化层 150 产生断裂面来进行的。然后，为了使接合更坚固，优选进行加热处理。通过上述步骤，在绝缘表面上形成单晶半导体层。图 6B 示出单晶半导体层 164 被接合在支撑衬底 151 上的状态。

在本实施方式中，由于先对单晶半导体层的形状进行加工并转载，所以不受单晶半导体衬底本身的尺寸或形状的限制。因此，可以在衬底上形成各种各样的形状的单晶半导体层。例如，根据蚀刻时使用的曝光装置的掩模、为了形成该掩模图形的曝光装置所具有的分档器、断开大型衬底来获得的半导体装置的面板尺寸或芯片尺寸，可以自由地形成单晶半导体层。

对转载到支撑衬底 151 上的单晶半导体层 164 照射激光，来进行单晶半导体层的再单晶化。在单晶半导体层 164 中，激光 170 的照射区域至少在深度方向上的整个区域熔融，并且以周围的被照射区域（非熔融区域）为晶核（晶种）而向照射区域（熔融区域）中央（向图 6C 的箭头方向）进行再单晶化。由于单晶半导体层 164 的再单晶化，形成结晶性及平坦性高的单晶半导体层 171（参照图 6C）。

以对应于要制造的半导体元件的方式在单晶半导体层 171 上选择

性地形成掩模 167a、167b。

使用掩模 167a、167b 蚀刻单晶半导体层 171，以分别形成单晶半导体层 169a、169b。在本实施方式中，与单晶半导体层一起蚀刻单晶半导体层下的保护层 162，以形成保护层 168a、168b（参照图 6D、图 6E）。如此，通过在转载到支撑衬底上之后对形状进行加工，可以只使用再单晶化了的结晶性及平坦性高的单晶半导体层来制造半导体元件的单晶半导体层，并且可以校正单晶半导体层的在制造工序中产生的形成区域的误差或形状不良等。

如上所述，可以制造具有单晶半导体层的半导体衬底，该单晶半导体层是从单晶半导体衬底转载到支撑衬底上并整个区域经过借助于激光照射的熔融状态而被再单晶化了的层。该半导体衬底的单晶半导体层 169a、169b 的结晶缺陷减少而结晶性提高，并且平坦性也提高。

通过使用设置在半导体衬底上的单晶半导体层 169a、169b 制造晶体管等的半导体元件，可以高成品率地制造高性能及高可靠性的半导体衬底及半导体装置。

本实施方式可以与实施方式 1 适当地组合。

实施方式 3

在本实施方式中，参照图 7A 至 7E 及图 8A 至 8D 说明以高成品率地制造具有高性能及高可靠性的半导体元件的半导体装置为目的的半导体装置的制造方法，作为其一个例子说明 CMOS（互补型金属氧化物半导体；Complementary Metal Oxide Semiconductor）装置的制造方法。另外，这里省略与实施方式 1 相同的部分或具有相同功能的部分的重复说明。

在图 7A 中，在支撑衬底 101 上形成有阻挡层 109、绝缘层 104、保护层 121、以及单晶半导体层 130。单晶半导体层 130 与图 1D 对应，而阻挡层 109、绝缘层 104、以及保护层 121 与图 4C 对应。虽然这里示出使用图 7A 所示的结构的半导体衬底的例子，但是也可以使用本说明书所示的其他结构的半导体衬底。另外，也可以将阻挡层 109、绝缘层 104、保护层 121 称为设置在支撑衬底 101 和单晶半导体层 130 之间

的缓冲层，并且缓冲层不局限于上述结构。

由于单晶半导体层 130 是具有从单晶半导体衬底 108 转载到支撑衬底 101 上且整个区域经过利用激光照射的熔融状态而被再单晶化了的单晶半导体层，所以是结晶缺陷减少、结晶性高且平坦性高的单晶半导体层 130。

也可以根据分离了的单晶半导体衬底的导电型（所包含的给予一导电型的杂质元素），对单晶半导体层 130 以与 n 沟道型场效应晶体管及 p 沟道型场效应晶体管的形成区域对应的方式添加硼、铝、镓等给予 p 型的杂质元素；或者磷、砷等基于 n 型的杂质元素，以便控制阈值电压。杂质元素的剂量为 $1 \times 10^{12}/\text{cm}^2$ 至 $1 \times 10^{14}/\text{cm}^2$ 左右即可。

蚀刻单晶半导体层 130 来形成根据半导体元件的配置分离为岛状的单晶半导体层 205、206（参照图 7B）。

去除单晶半导体层上的氧化膜，形成覆盖单晶半导体层 205、206 的栅极绝缘层 207。本实施方式中的单晶半导体层 205、206 由于平坦性高，所以即使形成在单晶半导体层 205、206 上的栅极绝缘层为薄膜栅极绝缘层的情况下，也可以高覆盖性地覆盖。因此，可以防止因为栅极绝缘层的覆盖不良而导致的特性不良，从而可以高成品率地制造具有高可靠性的半导体装置。栅极绝缘层 207 的薄膜化具有使薄膜晶体管以低电压高速工作的效应。

栅极绝缘层 207 由氧化硅或氧化硅和氮化硅的叠层结构形成即可。栅极绝缘层 207 既可以通过利用等离子体 CVD 法或减压 CVD 法淀积绝缘膜来形成，又可以利用等离子体处理的固相氧化或固相氮化来形成。这是因为利用等离子体处理进行氧化或氮化来形成的栅极绝缘层很致密并且绝缘耐压高且优越于可靠性的缘故。例如，使用 Ar 将氧化亚氮（ N_2O ）稀释 1 倍至 3 倍（流量比），在 10Pa 至 30Pa 的压力下施加 3kW 至 5kW 的微波（2.45GHz）电力来使单晶半导体层 205、206 的表面氧化或氮化。通过该处理形成 1nm 至 10nm（优选为 2nm 至 6nm）的绝缘膜。再者，引入氧化亚氮（ N_2O ）和硅烷（ SiH_4 ）并在 10Pa 至 30Pa 的压力下施加 3kW 至 5kW 的微波（2.45GHz）电力通过气相成长法形成氧

氮化硅膜，以形成栅极绝缘层。通过组合固相反应和通过气相成长法的反应，可以形成界面态密度低且优越于绝缘耐压的栅极绝缘层。

另外，作为栅极绝缘层 207，也可以使用高介电常数材料如二氧化锆、氧化锆、二氧化钛、五氧化钽等。通过使用高介电常数材料作为栅极绝缘层 207，可以降低栅极泄漏电流。

在栅极绝缘层 207 上形成栅电极层 208 及栅电极层 209（参照图 7C）。栅电极层 208 及 209 可以通过溅射法、蒸镀法、CVD 法等的方法形成。栅电极层 208 及 209 由选自钽（Ta）、钨（W）、钛（Ti）、钼（Mo）、铝（Al）、铜（Cu）、铬（Cr）、钕（Nd）的元素；或者以所述元素为主要成分的合金材料或者化合物材料形成即可。此外，作为栅电极层 208 及 209 还可以使用以掺杂有磷等杂质元素的多晶硅膜为代表的半导体膜或 AgPdCu 合金。

形成覆盖单晶半导体层 206 的掩模 211。将掩模 211 及栅电极层 208 用作掩模添加给予 n 型的杂质元素 210 来形成第一 n 型杂质区域 212a、212b（参照图 7D）。在本实施方式中，作为包含杂质元素的掺杂气体使用磷化氢（ PH_3 ）。这里，对第一 n 型杂质区域 212a、212b 添加给予 n 型的杂质元素，使其浓度达到 $1 \times 10^{17} \text{atoms/cm}^3$ 至 $5 \times 10^{18} \text{atoms/cm}^3$ 左右。在本实施方式中，使用磷（P）作为给予 n 型的杂质元素。

接下来，形成覆盖单晶半导体层 205 的掩模 214。将掩模 214 及栅电极层 209 用作掩模，添加给予 p 型的杂质元素 213 来形成第一 p 型杂质区域 215a、第一 p 型杂质区域 215b（参照图 7E）。在本实施方式中，使用硼（B）作为杂质元素，因此使用乙硼烷（ B_2H_6 ）等作为包含杂质元素的掺杂气体。

去除掩模 214，并且在栅电极层 208、209 的侧面形成侧壁结构的侧壁绝缘层 216a 至 216d、栅极绝缘层 233a、233b（参照图 8A）。在形成覆盖栅电极层 208、209 的绝缘层之后，通过使用 RIE（反应离子刻蚀；Reactive ion etching）法的各向异性蚀刻对其进行加工，在栅电极层 208、209 的侧壁自对准地形成侧壁结构的侧壁绝缘层 216a 至 216d 即可。这里，关于绝缘层的材料没有特别的限制，优选为使 TEOS

(Tetra-Ethyl-Ortho-Silicate; 四乙氧基硅烷)或硅烷等与氧或氧化亚氮等起反应来形成的台阶覆盖性良好的氧化硅。绝缘层可以通过热 CVD、等离子体 CVD、常压 CVD、偏压 ECRCVD、溅射等方法形成。栅极绝缘层 233a、233b 可以通过将栅电极层 208、209 以及侧壁绝缘层 216a 至 216d 用作掩模蚀刻栅极绝缘层 207 来形成。

此外,虽然在本实施方式中,当蚀刻绝缘层时去除栅电极层上的绝缘层来使栅电极层暴露,但是也可以将侧壁绝缘层 216a 至 216d 成为在栅电极层上保留有绝缘层的形状。另外,也可以在后面的工序中在栅电极层上形成保护膜。通过像这样保护栅电极层,当蚀刻加工时可以防止栅电极层减薄。此外,当在源区及漏区中形成硅化物时,由于在形成硅化物时形成的金属膜和栅电极层不接触,所以即使在金属膜的材料和栅电极层的材料都为彼此容易起反应的材料的情况下,也可以防止化学反应和扩散等不良。作为蚀刻方法,可以为干蚀刻法或湿蚀刻法,可以使用各种蚀刻方法。在本实施方式中使用干蚀刻法。作为蚀刻用气体,可以适当地使用以 Cl_2 、 BCl_3 、 SiCl_4 或 CCl_4 等为代表的氯类气体;以 CF_4 、 SF_6 或 NF_3 等为代表的氟类气体;或 O_2 。

接下来,形成覆盖单晶半导体层 206 的掩模 218。将掩模 218、栅电极层 208、侧壁绝缘层 216a、216b 用作掩模添加给予 n 型的杂质元素 217,藉此形成第二 n 型杂质区域 219a、219b、第三 n 型杂质区域 220a、220b。在本实施方式中,作为包含杂质元素的掺杂气体使用 PH_3 。这里,对第二 n 型杂质区域 219a、219b 添加给予 n 型的杂质元素,使其浓度达到 $5 \times 10^{19} \text{ atoms/cm}^3$ 至 $5 \times 10^{20} \text{ atoms/cm}^3$ 左右。此外,在单晶半导体层 205 中形成沟道形成区域 221 (参照图 8B)。

第二 n 型杂质区域 219a、第二 n 型杂质区域 219b 都是高浓度 n 型杂质区域,用作源极、漏极。另一方面,第三 n 型杂质区域 220a、第三 n 型杂质区域 220b 都是低浓度杂质区域,成为 LDD (Lightly Doped Drain, 轻掺杂漏) 区域。第三 n 型杂质区域 220a、220b 由于形成在未被栅电极层 208 覆盖的 Loff 区域中,所以具有降低截止电流的效应。结果,可以制造可靠性更高且低耗电量的半导体装置。

去除掩模 218, 形成覆盖单晶半导体层 205 的掩模 223。将掩模 223、栅电极层 209、侧壁绝缘层 216c、216d 用作掩模添加给予 p 型的杂质元素 222, 藉此形成第二 p 型杂质区域 224a、224b、第三 p 型杂质区域 225a、225b。

对第二 p 型杂质区域 224a、224b 添加给予 p 型的杂质元素, 使其浓度达到 $1 \times 10^{20} \text{atoms/cm}^3$ 至 $5 \times 10^{21} \text{atoms/cm}^3$ 左右。在本实施方式中, 使用侧壁绝缘层 216c、216d 以其浓度比第二 p 型杂质区域 224a、224b 低的方式自对准地形成第三 p 型杂质区域 225a、225b。此外, 在单晶半导体层 206 中形成沟道形成区域 226 (参照图 8C)。

第二 p 型杂质区域 224a、224b 都是高浓度 p 型杂质区域, 用作源极、漏极。另一方面, 第三 p 型杂质区域 225a、225b 都是低浓度杂质区域, 成为 LDD (轻掺杂漏) 区域。第三 p 型杂质区域 225a、225b 由于形成在不被栅电极层 209 覆盖的 Loff 区域中, 所以具有降低截止电流的效应。结果, 可以制造可靠性更高且低耗电量的半导体装置。

去除掩模 223, 为了激活杂质元素, 也可以进行加热处理、强光照射或者激光照射。在与激活的同时, 可以恢复对栅极绝缘层造成的等离子体损坏及对栅极绝缘层和单晶半导体层之间的界面造成的等离子体损坏。

接下来, 形成覆盖栅电极层、栅极绝缘层的层间绝缘层。在本实施方式中, 采用用作保护膜的包含氢的绝缘膜 227 和绝缘层 228 的叠层结构。绝缘膜 227 和绝缘层 228 可以通过溅射法或等离子体 CVD 法形成的氮化硅膜、氮氧化硅膜、氧氮化硅膜、或者氧化硅膜, 也可以使用由其它的含硅的绝缘膜构成的单层结构或三层以上的叠层结构。

然后, 在 300°C 至 550°C 的氮气气氛中进行 1 小时至 12 小时的热处理, 使单晶半导体层氢化。该工序是优选在 400°C 至 500°C 的温度下进行的。这一工序是由作为层间绝缘层的绝缘膜 227 所含的氢终止单晶半导体层中的悬空键的工序。在本实施方式中, 在 410°C 的温度下进行 1 小时的加热处理。

绝缘膜 227 和绝缘层 228 还可以使用选自氮化铝 (AlN)、氧氮化铝 (AlON)、氮的含量多于氧的含量的氮氧化铝 (AlNO)、氧化铝、类金刚石碳 (DLC)、含氮碳 (CN) 以及含无机绝缘材料的其它物质中的材料来形成。此外, 还可以使用硅氧烷树脂。硅氧烷树脂相当于包含 Si-O-Si 键的树脂。硅氧烷的骨架结构由硅 (Si) 和氧 (O) 键构成。有机基也可以包含氟基。或者, 也可将至少含有氢的有机基以及氟基两者用作取代基。另外, 也可以使用有机绝缘材料, 作为有机材料, 可以使用聚酰亚胺、丙烯酸、聚酰胺、聚酰亚胺酰胺、抗蚀剂或苯并环丁烯、聚硅氮烷。也可以使用通过涂敷法形成的平坦性好的涂敷膜。

绝缘膜 227 和绝缘层 228 可以使用浸渍法、喷涂法、刮刀法、辊涂法、帘涂法、刮刀涂布法、CVD 法、或蒸镀法等来形成。也可以通过液滴喷射法形成绝缘膜 227 和绝缘层 228。当使用液滴喷射法时, 可以节省材料液体。另外, 还可以使用如液滴喷射法那样能够转印或描绘图形的方法, 例如印刷法 (诸如丝网印刷或胶版印刷等的图形形成方法) 等。

接着, 通过使用由抗蚀剂构成的掩模, 在绝缘膜 227 和绝缘层 228 中形成到达单晶半导体层的接触孔 (开口)。根据所使用的材料的选择比, 可以进行一次或多次的蚀刻。通过蚀刻去除绝缘膜 227 和绝缘层 228, 形成到达作为源区或漏区的第二 n 型杂质区域 219a、219b、第二 p 型杂质区域 224a、224b 的开口。此外, 蚀刻可以采用湿蚀刻及干蚀刻中的一方或双方。作为湿蚀刻的蚀刻剂, 优选使用包含氟化氢铵和氟化铵的混合溶液之类的氢氟酸类溶液。作为蚀刻用气体, 可以适当使用以 Cl_2 、 BCl_3 、 SiCl_4 或 CCl_4 等为代表的氯类气体; 以 CF_4 、 SF_6 或 NF_3 等为代表的氟类气体; 或者 O_2 。此外, 也可以将惰性气体添加到所使用的蚀刻用气体。作为所添加的惰性元素, 可以使用选自 He、Ne、Ar、Kr、Xe 中的一种或多种元素。

以覆盖开口的方式形成导电膜, 并且蚀刻该导电膜来形成用作与各源区或漏区的一部分分别电连接的源电极层或漏电极层的布线层 229a、229b、230a、230b。布线层可以通过 PVD 法、CVD 法、蒸镀法等

形成导电膜，然后蚀刻为所希望的形状来形成。另外，可以通过使用液滴喷射法、印刷法、电镀法等，在预定的部分上选择性地形成导电层。还可以采用回流方法或镶嵌方法。布线层由 Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba 之类的金属、Si、Ge、其合金或其氮化物来构成。此外，也可以采用它们的叠层结构。

通过上述工序，可以制造 CMOS 结构的半导体装置，该半导体装置包括作为 n 沟道型薄膜晶体管的薄膜晶体管 231 及作为 p 沟道型薄膜晶体管的薄膜晶体管 232（参照图 8D）。虽然未图示，但由于本实施方式采用 CMOS 结构，所以薄膜晶体管 231 和薄膜晶体管 232 电连接。

薄膜晶体管可以是形成有一个沟道形成区域的单栅极结构、形成有两个沟道形成区域的双栅极结构或形成有三个沟道形成区域的三栅极结构，而不局限于本实施方式。

如上所述，由于使用具有从单晶半导体衬底转载到支撑衬底上且整个区域经过利用激光照射的熔融状态而被再单晶化了的单晶半导体层的半导体衬底，所以单晶半导体层的结晶缺陷减少而结晶性提高，并且平坦性也提高。

由此，可以高成品率地制造具有高性能及高可靠性的半导体装置。在本实施方式中，可以与实施方式 1 及实施方式 2 适当地组合。

实施方式 4

在本实施方式中，作为以高成品率地制造具有高性能及高可靠性的半导体元件的半导体装置为目的的半导体装置的制造方法的一个例子，使用图 21A 至 21E 及图 22A 至 22E 对与实施方式 3 不同的结构的 CMOS 进行说明。另外，这里省略与实施方式 1 及实施方式 3 相同的部分或具有相同功能的部分的重复说明。

如图 21A 所示，准备半导体衬底。在本实施方式中，使用图 7A 的半导体衬底。使用在具有绝缘表面的支撑衬底 101 上隔着阻挡层 109、绝缘层 104、保护层 121 固定有单晶半导体层 130 的半导体衬底。单晶半导体层 130 与图 1D 对应，而阻挡层 109、绝缘层 104、以及保护层 121 与图 4C 对应。虽然这里示出使用图 7A 所示的结构的半导体衬底的

例子,但是也可以使用本说明书所示的其他结构的半导体衬底。另外,也可以将阻挡层 109、绝缘层 104、保护层 121 成为设置在支撑衬底 101 和单晶半导体层 130 之间的缓冲层,并且缓冲层不局限于上述结构。

由于单晶半导体层 130 是具有从单晶半导体衬底 108 转载到支撑衬底 101 上且整个区域经过利用激光照射的熔融状态而被再单晶化了的单晶半导体层,所以是结晶缺陷减少、结晶性高且平坦性高的单晶半导体层 130。

也可以根据分离了的单晶半导体衬底的导电型(所包含的给予一导电型的杂质元素),对单晶半导体层 130 以与 n 沟道型场效应晶体管及 p 沟道型场效应晶体管的形成区域对应的方式添加硼、铝、镓等给予 p 型的杂质元素;或者磷、砷等给予 n 型的杂质元素,以便控制阈值电压。杂质元素的剂量为 $1 \times 10^{12}/\text{cm}^2$ 至 $1 \times 10^{14}/\text{cm}^2$ 左右即可。

蚀刻单晶半导体层 130 来形成根据半导体元件的配置分离为岛状的单晶半导体层 401、402 (参照图 21B)。

去除单晶半导体层上的氧化膜,形成覆盖单晶半导体层 401、402 的栅极绝缘层 403。本实施方式中的单晶半导体层 401、402 由于平坦性高,所以即使形成在单晶半导体层 401、402 上的栅极绝缘层为薄膜栅极绝缘层的情况下,也可以高覆盖性地覆盖。因此,可以防止因为栅极绝缘层的覆盖不良而导致的特性不良,从而可以高成品率地制造具有高可靠性的半导体装置。栅极绝缘层 403 的薄膜化具有使薄膜晶体管以低电压高速工作的效应。

栅极绝缘层 403 由氧化硅或氧化硅和氮化硅的叠层结构形成即可。栅极绝缘层 403 既可以通过利用等离子体 CVD 法或减压 CVD 法淀积绝缘膜来形成,又可以利用等离子体处理的固相氧化或固相氮化来形成。这是因为利用等离子体处理使氧化或氮化来形成的栅极绝缘膜很致密并绝缘耐压高且优越于可靠性的缘故。例如,使用 Ar 将氧化亚氮(N_2O)稀释 1 倍至 3 倍(流量比),在 10Pa 至 30Pa 的压力下施加 3kW 至 5kW 的微波(2.45GHz)电力来使单晶半导体层 401、402 的表面氧化或氮化。通过该处理形成 1nm 至 10nm (优选为 2nm 至 6nm) 的绝缘膜。再

者,引入氧化亚氮(N_2O)和硅烷(SiH_4)并在10Pa至30Pa的压力下施加3kW至5kW的微波(2.45GHz)电力通过气相成长法形成氧氮化硅膜,以形成栅极绝缘层。通过组合固相反应和通过气相成长法的反应,可以形成界面态密度低且优越于绝缘耐压的栅极绝缘层。

另外,作为栅极绝缘层403,也可以使用高介电常数材料如二氧化锆、氧化锆、二氧化钛、五氧化钽等。通过使用高介电常数材料作为栅极绝缘层403,可以降低栅极泄漏电流。

再者,在栅极绝缘膜403上按顺序形成形成栅电极层的导电膜404及导电膜405(参照图21C)。

形成栅电极层的导电膜404、405通过使用选自钽、氮化钽、钨、钛、钼、铝、铜、铬、或铌等中的元素、以这些元素为主要成分的合金材料或化合物材料、掺杂有磷等的杂质元素的多晶硅为代表的半导体材料,并使用CVD法或溅射法以单层膜或叠层膜形成。在采用叠层膜的情况下,既可使用不相同的导电材料来形成,又可使用相同的导电材料来形成。在本实施方式中,示出形成栅电极的导电膜由导电膜404及导电膜405的两层结构构成的例子。

在形成栅电极层的导电膜具有导电膜404及导电膜405的两层的叠层结构的情况下,例如可以形成氮化钽膜和钨膜、氮化钨膜和钨膜、氮化钼膜和钼膜的叠层膜。另外,当采用氮化钽膜和钨膜的叠层膜时,容易得到它们的蚀刻选择比,因此是优选的。另外,在上述两层的叠层膜中,前者的膜优选是形成在栅极绝缘膜403上的膜。在本实施方式中,导电膜404的厚度为20nm以上且100nm以下,而导电膜405的厚度为100nm以上且400nm以下。另外,栅电极层可以具有三层以上的叠层结构,在此情况下,优选采用钼膜、铝膜、钼膜的叠层结构。

接下来,在导电膜405上选择性地形成抗蚀剂掩模410a、410b。然后,使用抗蚀剂掩模410a、410b进行第一蚀刻处理及第二蚀刻处理。

首先,进行利用抗蚀剂掩模410a、410b的第一蚀刻处理来选择性地蚀刻导电膜404、405,以在单晶半导体层401上形成第一栅电极层406及导电层408,并在单晶半导体层402上形成第一栅电极层407及

导电层 409（参照图 21D）。

然后，进行利用抗蚀剂掩模 410a、410b 的第二蚀刻处理蚀刻导电层 408 及导电层 409 的端部，以形成第二栅电极层 412 及第二栅电极层 413（参照图 21E）。第二栅电极层 412 及第二栅电极层 413 形成为宽度（平行于载流子流过沟道形成区域的方向（连接源区和漏区的方向）的方向的长度）小于第一栅电极层 406 及第一栅电极层 407 的宽度。如此形成由第一栅电极层 406 和第二栅电极层 412 构成的具有两层结构的栅电极层、以及由第一栅电极层 407 和第二栅电极层 413 构成的具有两层结构的栅电极层。

应用于第一蚀刻处理及第二蚀刻处理的蚀刻法可以适当地选择。为了提高蚀刻速度，可以使用利用 ECR（Electron Cyclotron Resonance，即电子回旋共振）方式或 ICP（Inductively Coupled Plasma，即感应耦合等离子体）方式等的高密度等离子体源的干法蚀刻设备。通过适当地调整第一蚀刻处理及第二蚀刻处理的蚀刻条件，可以将第一栅电极层 406、407、第二栅电极层 412、413 的侧面形成为所希望的锥形。在形成所希望的第一栅电极层 406、407、第二栅电极层 412、413 之后去除抗蚀剂掩模 410a、410b。

接下来，以第一栅电极层 406 及第二栅电极层 412、第一栅电极层 407 及第二栅电极层 413 为掩模，对单晶半导体层 401 及单晶半导体层 402 添加杂质元素 414。在单晶半导体层 401 中，以第一栅电极层 406 及第二栅电极层 412 为掩模来以自对准方式形成杂质区域 415a、415b。另外，在单晶半导体层 402 中，以第一栅电极层 407 及第二栅电极层 413 为掩模来以自对准方式形成杂质区域 416a、416b（参照图 22A）。

作为杂质元素 414，添加硼、铝、镓等的 p 型杂质元素；或磷、砷等的 n 型杂质元素。这里，添加 n 型杂质元素的磷作为杂质元素 414，以形成 n 沟道型晶体管的低浓度杂质区域。另外，进行添加，以使杂质区域 415a、415b、416a、416b 以 $1 \times 10^{17} \text{ atoms/cm}^3$ 至 $5 \times 10^{18} \text{ atoms/cm}^3$ 左右的浓度包含磷。

接下来，为了形成 n 沟道型晶体管的使用源区及漏区的杂质区域

(高浓度杂质区域),以部分地覆盖单晶半导体层 401 的方式形成抗蚀剂掩模 418a,并且以覆盖单晶半导体层 402 的方式形成抗蚀剂掩模 418b。然后,以抗蚀剂掩模 418a 为掩模对单晶半导体层 401 添加杂质元素 417,以在单晶半导体层 401 中形成杂质区域 419a、419b (参照图 22B)。

作为杂质元素 417,对单晶半导体层 401 添加作为 n 型杂质元素的磷,并且添加的浓度为 $5 \times 10^{19} \text{atoms/cm}^3$ 至 $5 \times 10^{20} \text{atoms/cm}^3$ 。杂质区域 419a、419b 为高浓度 n 型杂质区域,用作源区或漏区。将杂质区域 419a、419b 形成在不与第一栅电极层 406 及第二栅电极层 412 重叠的区域。

在单晶半导体层 401 中,杂质区域 420a、420b 为没有添加杂质元素 417 的低浓度杂质区域。杂质区域 420a、420b 的给予 n 型的杂质元素的浓度比杂质区域 419a、419b 的低,并且它是低浓度杂质区域,因而用作高电阻区域或 LDD 区域。在单晶半导体层 401 中,在与第一栅电极层 406 及第二栅电极层 412 重叠的区域形成沟道形成区域 421。

另外,LDD 区域指的是以低浓度添加有杂质元素的区域,该 LDD 区域形成在沟道形成区域和通过以高浓度添加杂质元素而形成的源区或漏区之间。通过设置 LDD 区域,可以缓和漏区附近的电场并防止由热载流子注入导致的退化。另外,为了防止由热载流子导致的导通电流值的退化,可以采用 LDD 区域隔着栅极绝缘层与栅电极重叠的结构(也称为 GOLD (Gate-drain Overlapped LDD,即栅极重叠漏极)结构)。

接着,去除抗蚀剂掩模 418a、418b,然后覆盖单晶半导体层 401 地形成抗蚀剂掩模 423,以形成 p 沟道型晶体管的源区及漏区。然后,以抗蚀剂掩模 423、第一栅电极层 407 及第二栅电极层 413 为掩模添加杂质元素 422,以在单晶半导体层 402 中形成杂质区域 424a、424b、杂质区域 425a、425b、沟道形成区域 426 (参照图 22C)。

作为杂质元素 422,添加硼、铝、镓等的 p 型杂质元素。这里,进行添加,来使单晶半导体层以 $1 \times 10^{20} \text{atoms/cm}^3$ 至 $5 \times 10^{21} \text{atoms/cm}^3$ 左右的浓度包含作为 p 型杂质元素的硼。

在单晶半导体层 402 中, 在与第一栅电极层 407 及第二栅电极层 413 重叠的区域形成作为高浓度杂质区域的杂质区域 424a、424b, 并且用作源区或漏区。这里, 使杂质区域 424a、424b 以 $1 \times 10^{20} \text{ atoms/cm}^3$ 至 $5 \times 10^{21} \text{ atoms/cm}^3$ 左右的浓度包含作为 p 型杂质元素的硼。杂质区域 424a、424b 为对杂质区域 416a、416b 添加杂质元素 422 而成的区域。因为杂质区域 416a、416b 呈现 n 型导电性, 所以添加杂质元素 422, 以使杂质区域 424a、424b 具有 p 型导电性。通过调节包含在杂质区域 424a、424b 中的杂质元素 422 的浓度, 可以将杂质区域 424a、424b 用作源区或漏区。

杂质区域 425a、425b 是形成在与第一栅电极层 407 重叠且不与第二栅电极层 413 重叠的区域并且杂质元素 422 穿过第一栅电极层 407 而添加到单晶半导体层 402 中的区域。另外, 将杂质区域 425a、425b 可以用作 LDD 区域。

在单晶半导体层 402 中, 在与第一栅电极层 407 及第二栅电极层 413 重叠的区域形成沟道形成区域 426。

接着, 形成层间绝缘层。层间绝缘层可以由单层结构或叠层结构形成, 但在这里, 层间绝缘层由绝缘层 427 及绝缘层 428 的两层的叠层结构形成 (参照图 22D)。

作为层间绝缘层, 可以通过 CVD 法或溅射法形成氧化硅层、氧氮化硅层、氮化硅层、或氮氧化硅层等。另外, 也可以使用聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯酸、或环氧等的有机材料; 硅氧烷树脂等的硅氧烷材料; 或噁唑树脂等通过旋涂法等的涂敷法来形成。注意, 硅氧烷材料相当于具有 Si-O-Si 键的材料。硅氧烷是一种其骨架结构由硅 (Si) 和氧 (O) 的键构成的材料。有机基也可以包含氟基。

例如, 形成 100nm 厚的氮氧化硅层作为绝缘层 427, 并形成 900nm 厚的氧氮化硅层作为绝缘层 428。另外, 通过使用等离子体 CVD 法连续形成绝缘层 427 及绝缘层 428。另外, 层间绝缘层也可以具有三层以上的叠层结构。另外, 可以采用氧化硅层、氧氮化硅层、或氮化硅层与

使用聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯酸、或环氧等的有机材料、硅氧烷树脂等的硅氧烷材料、或噁唑树脂而形成的绝缘层的叠层结构。

接着，在层间绝缘层（在本实施方式中，绝缘层 427 及绝缘层 428）中形成接触孔，在该接触孔中形成用作源电极层或漏电极层的布线层 429a、429b、430a、430b。

接触孔以到达形成在单晶半导体层 401 中的杂质区域 419a、419b、及形成在单晶半导体层 402 中的杂质区域 424a、424b 的方式选择性地形成在绝缘层 427 及绝缘层 428 中。

布线层 429a、429b、430a、430b 可以使用由选自铝、钨、钛、钽、钼、镍及钽中的一种元素或包含这些元素中的多个的合金构成的单层膜或叠层膜。例如，可以形成包含钛的铝合金、包含钽的铝合金等作为由包含这些元素中的多个的合金构成的导电层。另外，在采用叠层膜的情况下，例如可以采用由钛层夹住铝层或上述铝合金层的结构。

通过以上工序，可以使用具有单晶半导体层的半导体衬底来制造 n 沟道型晶体管 431 及 p 沟道型晶体管 432。

在本实施方式中，由于使用具有从单晶半导体衬底转载到支撑衬底上且整个区域经过利用激光照射的熔融状态被再单晶化了的单晶半导体层的半导体衬底，所以单晶半导体层的结晶缺陷减少而结晶性提高，并且平坦性也提高。

由此，可以高成品率地制造具有高性能及高可靠性的半导体装置。本实施方式可以与实施方式 1 至 3 适当地组合。

实施方式 5

在本实施方式中，参照图 9A 和 9B 说明以高成品率地制造具有显示功能的半导体装置（也称为液晶显示装置）作为具有高性能及高可靠性的半导体装置为目的的半导体装置的制造方法的例子。详细地说明使用液晶显示元件作为显示元件的液晶显示装置。

图 9A 是作为本发明的一个方式的半导体装置的俯视图，图 9B 是沿图 9A 中的线 C-D 的截面图。

如图 9A 所示, 像素区域 306、作为扫描线驱动电路的驱动电路区域 304a 及 304b 通过密封剂 392 被密封在支撑衬底 310 和相对衬底 395 之间, 并且在支撑衬底 310 上设置有由驱动器 IC 形成的作为信号线驱动电路的驱动电路区域 307。在像素区域 306 中设置有晶体管 375 及电容元件 376, 并且在驱动电路区域 304b 中设置有具有晶体管 373 及晶体管 374 的驱动电路。在本实施方式的半导体装置中也使用实施方式 1 所示的利用本发明的具有高性能及高可靠性的半导体衬底。

在像素区域 306 中, 隔着阻挡层 311、具有接合面的绝缘层 314、以及保护层 313 设置有成为开关元件的晶体管 375。在本实施方式中, 将多栅型薄膜晶体管 (TFT) 用作晶体管 375。该晶体管 375 包括具有起到源区及漏区的作用的杂质区域的单晶半导体层、栅极绝缘层、具有两层的叠层结构的栅电极层、源电极层及漏电极层。源电极层或漏电极层与单晶半导体层的杂质区域和也被称为像素电极层的用于显示元件的电极层 320 接触而电连接。

单晶半导体层中的杂质区域可以通过控制其浓度形成高浓度杂质区域及低浓度杂质区域。将像这样具有低浓度杂质区域的薄膜晶体管称作 LDD (Light doped drain; 轻掺杂漏) 结构。此外, 低浓度杂质区域可以与栅电极重叠地形成, 将这种薄膜晶体管称作 GOLD (Gate Overlapped LDD; 栅极重叠漏极) 结构。此外, 通过将磷 (P) 等用于杂质区域, 使薄膜晶体管的极性成为 n 型。在成为 p 型的情况下, 添加硼 (B) 等即可。然后, 形成覆盖栅电极等的绝缘膜 317 及绝缘膜 318。

为了进一步提高平坦性, 形成绝缘膜 319 作为层间绝缘膜。绝缘膜 319 可以使用有机材料、无机材料、或者它们的叠层结构。例如, 可以由选自氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝、氧氮化铝、氮含量比氧含量高的氮氧化铝、氧化铝、类金刚石碳 (DLC)、聚硅氮烷、含氮碳 (CN)、PSG (磷硅玻璃)、BPSG (硼磷硅玻璃)、矾土、以及包含无机绝缘材料的其他物质中的材料形成。另外, 也可以使用有机绝缘材料。有机材料可以是感光性或非感光性的, 可以使用聚酰亚胺、丙烯酸、聚酰胺、聚酰亚胺酰胺、抗蚀剂、苯并环丁烯、硅氧

烷树脂等。

由于与利用本发明的实施方式 1 同样地形成用于半导体元件的单晶半导体层，所以形成从单晶半导体衬底转载的单晶半导体层，从而可以在同一衬底上集成地形成像素区域和驱动电路区域。在此情况下，同时形成像素区域 306 中的晶体管和驱动电路区域 304b 中的晶体管。不言而喻，与此同样，也可以在同一衬底上集成地形成驱动电路区域 307。用于驱动电路区域 304b 的晶体管构成 CMOS 电路。构成 CMOS 电路的薄膜晶体管为 GOLD 结构，但是也可以使用如晶体管 375 的 LDD 结构。

接下来，通过印刷法或液滴喷射法，以覆盖用于显示元件的电极层 320 及绝缘膜 319 的方式形成用作取向膜的绝缘层 381。另外，如果使用丝网印刷法或胶版印刷法，则可以选择性地形成绝缘层 381。然后，进行摩擦处理。有时根据液晶的模式，例如在采用 VA 模式时，不进行该摩擦处理。用作取向膜的绝缘层 383 也是与绝缘层 381 同样的。接着，通过液滴喷射法将密封剂 392 形成在形成有像素的周边的区域。

然后，隔着间隔物 387 贴合设置有用作取向膜的绝缘层 383、也被称为相对电极层的用于显示元件的电极层 384、用作滤色片的着色层 385、以及偏振器 391（也称为偏振片）的相对衬底 395 与作为 TFT 衬底的支撑衬底 310，并且在其空隙中设置液晶层 382。由于本实施方式的半导体装置是透射型，所以在支撑衬底 310 的与具有元件的面相反的一侧也设置偏振器（偏振片）393。偏振器和着色层的叠层结构也不局限于图 9A 和 9B，根据偏振器及着色层的材料或制造工序条件适当地设定即可。偏振器可以利用粘接层设置在衬底上。在密封剂中可以混入有填料。并且，还可以在相对衬底 395 上形成有遮蔽膜（黑矩阵）等。另外，在液晶显示装置为全彩色显示的情况下，由呈现红色（R）、绿色（G）、蓝色（B）的材料形成滤色片等即可，而在液晶显示装置为单色显示的情况下，不形成着色层，或者由呈现至少一种颜色的材料形成滤色片即可。此外，也可以在半导体装置的具有可见性的一侧设置具有防止反射功能的抗反射膜。偏振片和液晶层也可以在偏振片和

液晶层之间具有相位差板的状态下层叠。

另外，当在背光灯中配置 RGB 的发光二极管（LED）等，并且采用通过时分来进行彩色显示的继时加法混色法（field sequential method: 场序制法）时，有时不设置滤色片。为了减少由晶体管或 CMOS 电路的布线引起的外光的反射，黑矩阵优选与晶体管或 CMOS 电路重叠地设置。另外，也可以与电容元件重叠地形成黑矩阵。这是因为可以防止构成电容元件的金属膜所引起的反射。

作为形成液晶层的方法，可以采用分配器方式（滴落方式）或者在贴合具有元件的支撑衬底 310 和相对衬底 395 之后利用毛细现象注入液晶的注入法。当处理难以使用注入法的大型衬底时，优选使用滴落法。

间隔物可以采用通过散布数 μm 的粒子来设置的方法，但是在本实施方式中，采用在衬底的整个表面上形成树脂膜之后对其进行蚀刻加工来形成的方法。在使用旋涂器涂布这种间隔物的材料之后，通过曝光和显影处理形成为预定的图形。然后，通过用洁净烘箱等以 150℃ 至 200℃ 加热而使其固化。这样制造的间隔物可以通过曝光和显影处理的条件来改变形状，但是间隔物的形状优选为顶部平坦的柱状，这样当贴附相对侧的衬底时可以确保作为半导体装置的机械强度。间隔物的形状可以使用圆锥状、角锥状等，没有特别的限制。

接着，在与像素区域电连接的端子电极层 378 上隔着各向异性导电层 396 设置作为连接用布线衬底的 FPC394。FPC394 起到传递来自外部的信号或电位的作用。通过上述工序，可以制造具有显示功能的半导体装置。

在本实施方式的半导体装置中，如实施方式 1 所示那样，由于使用具有从单晶半导体衬底转载到支撑衬底上且在其整个区域经过利用激光照射的熔融状态而被再单晶化了的单晶半导体层的半导体衬底，所以单晶半导体层的结晶缺陷减少而结晶性提高，并且平坦性也提高。

因此，可以高成品率地制造具有高性能及高可靠性的半导体装置。

本实施方式可以与实施方式 1 至 4 适当地组合。

实施方式 6

通过使用本发明而可以形成具有发光元件的半导体装置。从该发光元件射出的光进行底部发射、顶部发射、以及双面发射中的任一种。在本实施方式中，参照图 10A 和 10B 及图 11A 和 11B 说明以高成品率制造具有显示功能的半导体装置（也称为显示装置、发光装置）作为底部发射型、双面发射型、以及顶部发射型的具有高性能及高可靠性的半导体装置为目的的半导体装置的制造方法的例子。

图 10A 和 10B 所示的半导体装置具有按箭头方向进行底部发射的结构。在图 10A 和 10B 中，图 10A 是半导体装置的平面图，图 10B 是图 10A 中的线 E-F 的截面图。在图 10A 和 10B 中，半导体装置包括外部端子连接区域 252、密封区域 253、驱动电路区域 254、以及像素区域 256。

图 10A 和 10B 所示的半导体装置包括：元件衬底 600；薄膜晶体管 655、677；薄膜晶体管 667；薄膜晶体管 668；具有第一电极层 685、发光层 688、以及第二电极层 689 的发光元件 690；填料 693；密封剂 692；阻挡层 601；绝缘层 604；氧化膜 603；栅极绝缘层 675；绝缘膜 607；绝缘膜 665；绝缘层 686；密封衬底 695；布线层 679；端子电极层 678；各向异性导电层 696；以及 FPC694。半导体装置包括外部端子连接区域 252、密封区域 253、驱动电路区域 254、以及像素区域 256。填料 693 可以液体组成物的状态通过滴落法形成。通过贴合通过滴落法形成填料的元件衬底 600 和密封衬底 695 来密封半导体装置（发光显示装置）。

在图 10A 和 10B 的半导体装置中，第一电极层 685 由具有透光性的导电材料形成以便能够透射从发光元件 690 发射的光，另一方面，第二电极层 689 由具有反射性的导电材料形成以便反射从发光元件 690 发射的光。

第二电极层 689 只要具有反射性即可，可以使用由钛、钨、镍、金、铂、银、铜、钽、钼、铝、镁、钙、锂或者它们的合金构成的导电膜等。优选使用在可见光区呈现高反射性的物质，在本实施方式中

使用铝膜。

作为第一电极层 685, 具体来说, 使用由具有透光性的导电材料构成的透明导电膜即可, 可以使用含有氧化钨的铟氧化物、含有氧化钨的铟锌氧化物、含有氧化钛的铟氧化物或含有氧化钛的铟锡氧化物等。不言而喻, 也可以使用铟锡氧化物 (ITO)、铟锌氧化物 (IZO) 或添加了氧化硅的铟锡氧化物 (ITSO) 等。

图 11A 所示的半导体装置具有按箭头所示的方向进行顶部发射的结构。图 11A 所示的半导体装置由元件衬底 1600、薄膜晶体管 1655、薄膜晶体管 1665、薄膜晶体管 1675、薄膜晶体管 1685、布线层 1624、第一电极层 1617、发光层 1619、第二电极层 1620、填料 1622、密封剂 1632、阻挡层 1601、绝缘层 1604、氧化膜 1603、栅极绝缘层 1610、绝缘膜 1611、绝缘膜 1612、绝缘层 1614、密封衬底 1625、布线层 1633、端子电极层 1681、各向异性导电层 1682、以及 FPC1683 构成。

在图 11A 中, 半导体装置包括外部端子连接区域 282、密封区域 283、驱动电路区域 284、以及像素区域 286。在图 11A 所示的半导体装置中, 在第一电极层 1617 下形成作为具有反射性的金属层的布线层 1624。在布线层 1624 上形成作为透明导电膜的第一电极层 1617。布线层 1624 只要具有反射性即可, 可以使用由钛、钨、镍、金、铂、银、铜、钽、钼、铝、镁、钙、锂、或者它们的合金构成的导电膜等。优选使用在可见光区呈现高反射性的物质。此外, 也可以使用导电膜作为第一电极层 1617, 在此情况下, 也可以不设置具有反射性的布线层 1624。

作为第一电极层 1617 及第二电极层 1620, 具体来说, 使用由具有透光性的导电材料构成的透明导电膜即可, 可以使用含有氧化钨的铟氧化物、含有氧化钨的铟锌氧化物、含有氧化钛的铟氧化物或含有氧化钛的铟锡氧化物等。不言而喻, 也可以使用铟锡氧化物 (ITO)、铟锌氧化物 (IZO) 或添加了氧化硅的铟锡氧化物 (ITSO) 等。

另外, 即使是没有透光性的金属膜之类的材料, 也通过将其膜厚度设为较薄 (优选为 5nm 至 30nm 左右的厚度) 以使它成为能够透射光

的状态，可以从第一电极层 1617 及第二电极层 1620 发射光。此外，作为能够用于第一电极层 1617 及第二电极层 1620 的金属薄膜，可以使用由钛、钨、镍、金、铂、银、铝、镁、钙、锂、或它们的合金构成的导电膜等。

图 11B 所示的半导体装置由元件衬底 1300、薄膜晶体管 1355、薄膜晶体管 1365、薄膜晶体管 1375、薄膜晶体管 1385、第一电极层 1317、发光层 1319、第二电极层 1320、填料 1322、密封剂 1332、阻挡层 1301、绝缘层 1304、氧化膜 1303、栅极绝缘层 1310、绝缘膜 1311、绝缘膜 1312、绝缘层 1314、密封衬底 1325、布线层 1333、端子电极层 1381、各向异性导电层 1382、以及 FPC1383 构成。半导体装置包括外部端子连接区域 272、密封区域 273、驱动电路区域 274、以及像素区域 276。

图 11B 所示的半导体装置是双面发射型，具有按箭头方向从元件衬底 1300 一侧和密封衬底 1325 一侧都发射出光的结构。因此，将透光性电极层用作第一电极层 1317 及第二电极层 1320。

在本实施方式中，具体地说将由具有透光性的导电材料构成的透明导电膜用于作为透光电极层的第一电极层 1317 及第二电极层 1320 即可，可以使用含有氧化钨的铟氧化物、含有氧化钨的铟锌氧化物、含有氧化钛的铟氧化物、含有氧化钛的铟锡氧化物等。不言而喻，也可以使用铟锡氧化物（ITO）、铟锌氧化物（IZO）或添加了氧化硅的铟锡氧化物（ITSO）等。

另外，即使是没有透光性的金属膜之类的材料，也通过将其膜厚度设为较薄（优选为 5nm 至 30nm 左右的厚度）以使它成为能够透射光的状态，可以从第一电极层 1317 及第二电极层 1320 发射光。此外，作为能够用于第一电极层 1317 及第二电极层 1320 的金属薄膜，可以使用由钛、钨、镍、金、铂、银、铝、镁、钙、锂、或它们的合金构成的导电膜等。

如上所述，图 11B 的半导体装置具有从发光元件 1305 发射的光穿过第一电极层 1317 及第二电极层 1320 双方，而从两侧发射出光的结构。

使用发光元件形成的半导体装置的像素可以通过单纯矩阵方式或有源矩阵方式来驱动。此外，数字驱动、模拟驱动都可以应用。

可以在密封衬底上形成滤色片（着色层）。滤色片（着色层）可以通过蒸镀法或液滴喷射法形成，可以通过使用滤色片（着色层）进行高精度的显示。这是因为通过滤色片（着色层），在 R、G 和 B 每一种的发光光谱中，可以将宽峰修改为尖峰的缘故。

可以通过形成呈现单色发光的材料并且组合滤色片或颜色转换层，而进行全彩色显示。滤色片（着色层）或颜色转换层例如形成在密封衬底上且贴附到元件衬底上即可。

不言而喻，也可以进行单色发光的显示。例如，可以利用单色发光形成面积彩色型（area color type）半导体装置。该面积彩色型适合于无源矩阵型显示部，主要可以显示字符和符号。

通过使用单晶半导体层，可以在同一个衬底上集成地形成像素区域和驱动电路区域。在此情况下，同时形成像素区域中的晶体管和驱动电路区域中的晶体管。

设置在图 10A 和 10B 及图 11A 和 11B 所示的本实施方式的半导体装置的晶体管可以与实施方式 2 所示的晶体管同样地制造。

在本实施方式的半导体装置中，如实施方式 1 所示那样，由于使用具有从单晶半导体衬底转载到支撑衬底上且在其整个区域经过利用激光照射的熔融状态而被再单晶化了的单晶半导体层的半导体衬底，所以单晶半导体层的结晶缺陷减少而结晶性提高，并且平坦性也提高。

因此，可以高成品率地制造具有高性能及高可靠性的半导体装置。

本实施方式可以与上述实施方式 1 至 4 适当地组合。

实施方式 7

在本实施方式中，作为具有高性能及高可靠性的半导体装置说明具有显示功能的半导体装置（也称为显示装置、发光装置）的例子。详细地说明将发光元件用于显示元件的发光显示装置。

在本实施方式中，参照图 13A 至 13D 说明能够用作本发明的显示装置的显示元件的发光元件的结构。

图 13A 至 13D 示出发光元件的元件结构，表示在第一电极层 870 和第二电极层 850 之间夹有 EL 层 860 的发光元件。EL 层 860 如图示那样由第一层 804、第二层 803、以及第三层 802 构成。在图 13A 至 13D 中，第二层 803 是发光层，第一层 804 及第三层 802 是功能层。

第一层 804 是具有对第二层 803 传输空穴的功能的层。在图 13A 至 13D 中，包括在第一层 804 中的空穴注入层是包含空穴注入性高的物质的层。可以使用钼氧化物、钒氧化物、钽氧化物、钨氧化物、或者锰氧化物等。另外，也可以使用酞菁（简称： H_2Pc ）、酞菁铜（简称： $CuPc$ ）等酞菁化合物；4,4'-双[N-(4-二苯基氨基苯基)-N-苯基氨基]联苯（简称：DPAB）、4,4'-双(N-{4-[N-(3-甲基苯基)-N-苯基氨基]苯基}-N-苯基氨基)联苯（简称：DNTPD）等芳香胺化合物；或者聚(乙烯二氧噻吩)/聚(苯乙烯磺酸)（PEDOT/PSS）等高分子等来形成第一层 804。

此外，作为空穴注入层可以使用复合有机化合物和无机化合物而构成的复合材料。特别是在包含有机化合物和相对于有机化合物显示电子接受性的无机化合物的复合材料中，在有机化合物和无机化合物之间进行电子的授受从而增加载流子密度，因此其空穴注入性和空穴传输性优良。

另外，当使用复合有机化合物和无机化合物而构成的复合材料作为空穴注入层时，由于能够与电极层欧姆接触，所以可以不考虑其功函数而选择形成电极层的材料。

作为用于复合材料的无机化合物，优选使用过渡金属的氧化物。此外，可以举出属于元素周期表中第 4 族至第 8 族的金属的氧化物。具体地，氧化钒、氧化铌、氧化钽、氧化铬、氧化钼、氧化钨、氧化锰及氧化铪由于其电子接受性高所以是优选的。特别是，氧化钼因为在大气中稳定，吸湿性低，并且容易处理，所以是优选的。

作为用于复合材料的有机化合物，可以使用各种各样的化合物如芳香胺化合物、咪唑衍生物、芳烃、高分子化合物（低聚物、树枝状聚合物、聚合物等）等。作为用于复合材料的有机化合物，优选使用

空穴传输性高的有机化合物。具体地说, 优选使用空穴迁移率为 $10^{-6} \text{cm}^2/\text{Vs}$ 以上的物质。然而, 只要是其空穴传输性比电子传输性高的物质, 就也可以使用其它材料。以下, 具体地列举可以用于复合材料的有机化合物。

例如, 作为芳香胺化合物, 可以举出 N,N'-二(对甲苯基)-N,N'-二苯基-对苯二胺(简称: DTDPPA)、4,4'-双[N-(4-二苯基氨基苯基)-N-苯基氨基]联苯(简称: DPAB)、4,4'-双(N-{4-[N-(3-甲基苯基)-N-苯基氨基]苯基}-N-苯基氨基)联苯(简称: DNTPD)、1,3,5-三[N-(4-二苯基氨基苯基)-N-苯基氨基]苯(简称: DPA3B)等。

作为可以用于复合材料的咔唑衍生物, 可以具体地举出: 3-[N-(9-苯基咔唑-3-基)-N-苯基氨基]-9-苯基咔唑(简称: PCzPCA1)、3,6-双[N-(9-苯基咔唑-3-基)-N-苯基氨基]-9-苯基咔唑(简称: PCzPCA2)、3-[N-(1-萘基)-N-(9-苯基咔唑-3-基)氨基]-9-苯基咔唑(简称: PCzPCN1)等。

此外, 还可以使用 4,4'-二(N-咔唑基)联苯(简称: CBP)、1,3,5-三[4-(N-咔唑基)苯基]苯(简称: TCPB)、9-[4-(N-咔唑基)]苯基-10-苯基蒽(简称: CzPA)、1,4-双[4-(N-咔唑基)苯基]-2,3,5,6-四苯基苯等。

另外, 作为能够用于复合材料的芳烃, 例如可以举出: 2-叔丁基-9,10-二(2-萘基)蒽(简称: t-BuDNA)、2-叔丁基-9,10-二(1-萘基)蒽、9,10-双(3,5-二苯基苯基)蒽(简称: DPPA)、2-叔丁基-9,10-双(4-苯基苯基)蒽(简称: t-BuDBA)、9,10-二(2-萘基)蒽(简称: DNA)、9,10-二苯基蒽(简称: DPAnth)、2-叔丁基蒽(简称: t-BuAnth)、9,10-双(4-甲基-1-萘基)蒽(简称: DMNA)、2-叔丁基-9,10-双[2-(1-萘基)苯基]蒽、9,10-双[2-(1-萘基)苯基]蒽、2,3,6,7-四甲基-9,10-二(1-萘基)蒽、2,3,6,7-四甲基-9,10-二(2-萘基)蒽、9,9'-联蒽、10,10'-二苯基-9,9'-联蒽、10,10'-双(2-苯基苯基)-9,9'-联蒽、10,10'-双[(2,3,4,5,6-五苯基)苯基]-9,9'-联蒽、蒽、并四苯、红荧烯、二萘嵌苯、2,5,8,11-四(叔丁基)二萘嵌苯等。除此之外, 还可以使用并五

苯、晕苯等。更优选使用具有 $1 \times 10^{-6} \text{cm}^2/\text{Vs}$ 以上的空穴迁移率且碳数为 14 至 42 的芳烃。

另外，可以用于复合材料的芳烃也可以具有乙烯基骨架。作为具有乙烯基的芳烃，例如可以举出 4,4'-双(2,2-二苯基乙烯基)联苯(简称:DPVBi)、9,10-双[4-(2,2-二苯基乙烯基)苯基]蒽(简称:DPVPA)等。

另外，也可以使用高分子化合物如聚(N-乙烯基咔唑)(简称:PVK)或聚(4-乙烯基三苯基胺)(简称:PVTPA)等。

在图 13A 至 13D 中，作为形成包含于第一层 804 的空穴传输层的物质，优选使用空穴传输性高的物质，具体地优选使用芳香胺(即，具有苯环-氮键的化合物)化合物。作为被广泛地使用的材料可以举出星爆(starburst)式芳香胺化合物如 4,4'-双[N-(3-甲基苯基)-N-苯基氨基]联苯；作为其衍生物的 4,4'-双[N-(1-萘基)-N-苯基氨基]联苯(以下记为NPB)、4,4',4''-三(N,N-二苯基-氨基)三苯胺、4,4',4''-三[N-(3-甲基苯基)-N-苯基氨基]三苯胺等。上述物质主要是具有 $10^{-6} \text{cm}^2/\text{Vs}$ 以上的空穴迁移率的物质。但是，只要是其空穴传输性比电子传输性高的物质，也可以使用其他物质。另外，空穴传输层可以是上述物质的混合层或两层以上的叠层，而不局限于单层。

第三层 802 是具有对第二层 803 传输电子并从第二层 803 注入电子的功能的层。在图 13A 至 13D 中说明包括在第三层 802 中的电子传输层。作为电子传输层可以使用电子传输性高的物质。例如，电子传输层是由如下具有喹啉骨架或苯并喹啉骨架的金属络合物等构成的层：三(8-羟基喹啉)铝(简称:Alq)、三(4-甲基-8-羟基喹啉)铝(简称:Almq₃)、双(10-羟基苯并[h]喹啉)铍(简称:BeBq₂)、双(2-甲基-8-羟基喹啉)(4-苯基苯酚)铝(简称:BA1q)等。除此之外，可以使用如下具有噁唑类配位体或噻唑类配位体的金属络合物等：双[2-(2-羟基苯基)苯并噁唑]锌(简称:Zn(BOX)₂)、双[2-(2-羟基苯基)苯并噻唑]锌(简称:Zn(BTZ)₂)等。再者，除金属络合物之外，也可以使用 2-(4-联苯基)-5-(4-叔丁基苯基)-1,3,4-噁二唑(简称:PBD)、1,3-

双[5-(对-叔丁基苯基)-1,3,4-噁二唑-2-基]苯(简称:OXD-7)、3-(4-联苯基)-4-苯基-5-(4-叔丁基苯基)-1,2,4-三唑(简称:TAZ)、红菲绕啉(简称:BPhen)、浴铜灵(简称:BCP)等。这里举出的物质主要是具有 $10^{-6}\text{cm}^2/\text{Vs}$ 以上的电子迁移率的物质。另外,只要是其电子传输性比空穴传输性高的物质,也可以使用其他物质作为电子传输层。此外,电子传输层也可以是两层以上由上述物质构成的层的叠层,而不仅限于单层。

在图 13A 至 13D 中说明包括在第三层 802 中的电子注入层。作为电子注入层可以使用电子注入性高的物质。作为电子注入层,可以使用碱金属、碱土金属、或者它们的化合物如氟化锂(LiF)、氟化铯(CsF)、氟化钙(CaF_2)等。例如,可以使用将碱金属、碱土金属、或者它们的化合物包含在由具有电子传输性的物质构成的层中而形成的层,例如,可以使用将镁(Mg)包含在 Alq 中而形成的层等。通过使用将碱金属或碱土金属包含在由具有电子传输性的物质构成的层中而形成的层作为电子注入层,可有效地从电极层注入电子,因此是优选的。

接下来,说明作为发光层的第二层 803。发光层是具有发光功能的层,包含发光性的有机化合物。此外,也可以包含无机化合物。发光层可以通过使用各种发光性的有机化合物、无机化合物形成。但是,发光层的厚度优选为 10nm 至 100nm 左右。

作为用于发光层的有机化合物,只要是发光性的有机化合物就没有特别的限制,例如可以使用 9,10-二(2-萘基)蒽(简称:DNA)、9,10-二(2-萘基)-2-叔丁基蒽(简称:t-BuDNA)、4,4'-双(2,2-二苯基乙烯基)联苯(简称:DPVBi)、香豆素 30、香豆素 6、香豆素 545、香豆素 545T、二萘嵌苯、红荧烯、吡啶醇、2,5,8,11-三(叔丁基)二萘嵌苯(简称:TBP)、9,10-二苯基蒽(简称:DPA)、5,12-二苯并四苯、4-(二氰基亚甲基)-2-甲基-[对-(二甲基氨基)苯乙烯基]-4H-吡喃(简称:DCM1)、4-(二氰基亚甲基)-2-甲基-6-[2-(久洛尼定-9-基)乙烯基]-4H-吡喃(简称:DCM2)、4-(二氰基亚甲基)-2,6-双[对-(二甲基氨基)苯乙烯基]-4H-吡喃(简称:BisDCM)等。此外,也可以使用能

够发射磷光的化合物如双[2-(4', 6'-二氟苯基)吡啶醇-N, C^{2'}]铱(吡啶甲酸)(简称: FIrp_{pic})、双{2-[3', 5'-双(三氟甲基)苯基]吡啶醇-N, C^{2'}}铱(吡啶甲酸)(简称: Ir(CF₃ppy)₂(pic))、三(2-苯基吡啶醇-N, C^{2'})铱(简称: Ir(ppy)₃)、双(2-苯基吡啶醇-N, C^{2'})铱(乙酰丙酮)(简称: Ir(ppy)₂(acac))、双[2-(2'-噻吩基)吡啶醇-N, C^{3'}]铱(乙酰丙酮)(简称: Ir(thp)₂(acac))、双(2-苯基喹啉-N, C^{2'})铱(乙酰丙酮)(简称: Ir(pq)₂(acac))、以及双[2-(2'-苯并噻吩基)吡啶醇-N, C^{3'}]铱(乙酰丙酮)(简称: Ir(btp)₂(acac))等。

除了单重态激发发光材料之外, 还可以将含有金属络合物等的三重态激发发光材料用于发光层。例如, 在红色发光性、绿色发光性、以及蓝色发光性的像素中, 亮度半衰期比较短的红色发光性的像素由三重态激发发光材料形成, 余下的像素由单重态激发发光材料形成。三重态激发发光材料具有良好的发光效率, 所以当具有得到相同亮度时耗电量少的特点。换言之, 在应用于红色发光性的像素时, 由于流过发光元件的电流量少, 因而可以提高可靠性。为了低耗电量化, 也可以红色发光性的像素和绿色发光性的像素由三重态激发发光材料形成, 并且蓝色发光性的像素由单重态激发发光材料形成。通过使用三重态激发发光材料形成人的视觉灵敏度高的绿色发光元件, 可以进一步实现低耗电量化。

此外, 发光层可以不仅含有上述呈现发光的有机化合物, 还可以添加有其他有机化合物。作为可以添加的有机化合物, 例如可以使用上述的 TDATA、MTDATA、m-MTDAB、TPD、NPB、DNTPD、TCTA、Alq₃、Almq₃、BeBq₂、BA1q、Zn(BOX)₂、Zn(BTZ)₂、BPhen、BCP、PBD、OXD-7、TPBI、TAZ、p-EtTAZ、DNA、t-BuDNA 以及 DPVBi 等、以及 4, 4'-双(N-咔唑基)联苯(简称: CBP)、1, 3, 5-三[4-(N-咔唑基)苯基]苯(简称: TCPB)等, 然而不局限于这些化合物。另外, 像这样除了有机化合物以外还添加的有机化合物优选具有比有机化合物的激发能大的激发能, 并且其添加量比有机化合物多, 以使有机化合物高效地发光(由此, 可以防止有机化合物的浓度猝灭)。或者, 作为其他功能, 也可以与有机化

合物一起呈现发光（由此，还可以实现白色发光等）。

发光层可以在每个像素中形成发光波长带不同的发光层，从而形成进行彩色显示的结构。典型的是形成与 R（红）、G（绿）、B（蓝）各种颜色对应的发光层。在此情况下，也可以通过采用在像素的光发射一侧设置透射该发光波长带的光的滤光器的结构，实现提高色纯度和防止像素区域的镜面化（映入）。通过设置滤光器，可以省略以往所必需的圆偏振片等，可以消除发光层发出的光的损失。而且，可以降低从倾斜方向看像素区域（显示屏幕）时发生的色调变化。

低分子类有机发光材料或高分子类有机发光材料都可以用作发光层的材料。与低分子类有机发光材料相比，高分子类有机发光材料的物理强度大，元件的耐久性高。另外，由于能够通过涂布进行成膜，所以比较容易制作元件。

发光颜色取决于形成发光层的材料，因而可以通过选择形成发光层的材料来形成呈现所希望的发光的发光元件。作为可以用于形成发光层的高分子类电致发光材料，可以举出聚对亚苯基亚乙烯基类、聚对亚苯基类、聚噻吩类、聚芴类。

作为聚对亚苯基亚乙烯基类，可以举出聚（对亚苯基亚乙烯基）[PPV] 的衍生物、聚（2,5-二烷氧基-1,4-亚苯基亚乙烯基）[RO-PPV]、聚（2-(2'-乙基-己氧基)-5-甲氧基-1,4-亚苯基亚乙烯基）[MEH-PPV]、聚（2-(二烷氧基苯基)-1,4-亚苯基亚乙烯基）[ROPh-PPV]等。作为聚对亚苯基类，可以举出聚对亚苯基[PPP]的衍生物、聚（2,5-二烷氧基-1,4-亚苯基）[RO-PPP]、聚（2,5-二己氧基-1,4-亚苯基）等。作为聚噻吩类，可以举出聚噻吩[PT]的衍生物、聚（3-烷基噻吩）[PAT]、聚（3-己基噻吩）[PHT]、聚（3-环己基噻吩）[PCHT]、聚（3-环己基-4-甲基噻吩）[PCHMT]、聚（3,4-二环己基噻吩）[PDCHT]、聚[3-(4-辛基苯基)-噻吩][POPT]、聚[3-(4-辛基苯基)-2,2-并噻吩][PTOPT]等。作为聚芴类，可以举出聚芴[PF]的衍生物、聚（9,9-二烷基芴）[PDAF]、聚（9,9-二辛基芴）[PDOF]等。

用于发光层的无机化合物只要是不容易猝灭有机化合物的发光的

无机化合物即可，可以使用各种金属氧化物或金属氮化物。特别是属于元素周期表中第 13 族或第 14 族的金属氧化物不容易猝灭有机化合物的发光，所以是优选的，具体而言较好的有氧化铝、氧化镓、氧化硅、或者氧化锗。但是，不局限于这些。

另外，发光层可以层叠多层使用上述的有机化合物和无机化合物的组合的层来形成。此外，还可以含有其他有机化合物或其他无机化合物。发光层的层结构会改变，只要在不脱离本发明的宗旨的范围内，可以允许一些变形，例如具备电子注入用电极层或者具备分散的发光性材料，来替代不具有特定的电子注入区域或发光区域的情况。

由上述材料形成的发光元件通过正向偏压来发光。使用发光元件形成的半导体装置的像素可以通过单纯矩阵方式或有源矩阵方式来驱动。无论是哪一种，都以某个特定的时序施加正向偏压来使每个像素发光，但是在某段一定期间内处于非发光状态。通过在该非发光时间内施加反向的偏压，可以提高发光元件的可靠性。在发光元件中，存在在一定驱动条件下发光强度降低的退化以及在像素内非发光区域扩大而在外观上亮度降低的退化方式，但是通过进行在正向及反向上施加偏压的交流驱动，可以延迟退化的进程，以提高具有发光元件的半导体装置的可靠性。此外，数字驱动、模拟驱动都可以采用。

因此，还可以在密封衬底上形成滤色片（着色层）。滤色片（着色层）可以通过蒸镀法或液滴喷射法形成，并且若使用滤色片（着色层），则可以进行高精度的显示。这是因为通过滤色片（着色层），在 R、G 和 B 各个的发光光谱中，可以将宽峰修改成尖峰的缘故。

通过形成呈现单色发光的材料并且组合滤色片或颜色转换层，可以进行全彩色显示。滤色片（着色层）或颜色转换层例如形成在密封衬底上且贴附到元件衬底上即可。

不言而喻，也可以进行单色发光的显示。例如，可以利用单色发光形成面积彩色型（area color type）半导体装置。该面积彩色型适合于无源矩阵型显示部，并且可以主要显示字符和符号。

当选择第一电极层 870 及第二电极层 850 的材料时，需要考虑其

功函数，并且第一电极层 870 及第二电极层 850 根据像素结构都可以形成阳极（电位高的电极层）或阴极（电位低的电极层）。当驱动用薄膜晶体管的极性为 p 沟道型时，如图 13A 所示，优选将第一电极层 870 用作阳极，将第二电极层 850 用作阴极。此外，当驱动用薄膜晶体管的极性为 n 沟道型时，如图 13B 所示，优选将第一电极层 870 用作阴极，将第二电极层 850 用作阳极。下面，对可以用于第一电极层 870 及第二电极层 850 的材料进行说明。当第一电极层 870 和第二电极层 850 起到阳极的作用时，优选使用具有较大功函数的材料（具体地，4.5eV 以上的材料），当第一电极层 870 和第二电极层 850 起到阴极的作用时，优选使用具有较小功函数的材料（具体地，3.5eV 以下的材料）。但是，由于第一层 804 的空穴注入性、空穴传输特性、或者第三层 802 的电子注入性、电子传输特性良好，所以对第一电极层 870 和第二电极层 850 几乎都没有功函数的限制，可以使用各种材料。

由于图 13A 和 13B 中的发光元件具有从第一电极层 870 获取光的结构，所以第二电极层 850 未必需要具有透光性。作为第二电极层 850，在总厚度为 100nm 至 800nm 的范围内形成以如下材料为主要成分的膜或它们的叠层膜即可：选自 Ti、Ni、W、Cr、Pt、Zn、Sn、In、Ta、Al、Cu、Au、Ag、Mg、Ca、Li 或 Mo 中的元素或者氮化钛、 TiSi_xN_y 、 WSi_x 、氮化钨、 WSi_xN_y 、NbN 等的以所述元素为主要成分的合金材料或化合物材料。

此外，如果作为第二电极层 850 使用像用于第一电极层 870 的材料那样的具有透光性的导电材料，则形成从第二电极层 850 也获取光的结构，可以形成由发光元件发射的光从第一电极层 870 和第二电极层 850 这两者发射出的双面发射结构。

另外，通过改变第一电极层 870 或第二电极层 850 的种类，本发明的发光元件具有各种变化形式。

图 13B 是 EL 层 860 从第一电极层 870 一侧以第三层 802、第二层 803、第一层 804 的顺序构成的情况。

图 13C 示出在图 13A 中作为第一电极层 870 使用具有反射性的电

极层，作为第二电极层 850 使用具有透光性的电极层，由发光元件发射的光被第一电极层 870 反射，然后透射第二电极层 850 而发射的情况。同样地，图 13D 示出在图 13B 中作为第一电极层 870 使用具有反射性的电极层，作为第二电极层 850 使用具有透光性的电极层，由发光元件发射的光被第一电极层 870 反射，然后透射第二电极层 850 而发射的情况。

在 EL 层 860 中混合有有机化合物和无机化合物的情况下，其形成方法可以使用各种方法。例如，可以举出通过电阻加热使有机化合物和无机化合物这两者蒸发来进行共蒸镀的方法。另外，还可以通过电阻加热使有机化合物蒸发，并通过电子束（EB）使无机化合物蒸发，来进行共蒸镀。此外，还可以举出在通过电阻加热使有机化合物蒸发的同时溅射无机化合物来同时堆积两者的方法。另外，也可以通过湿式法进行成膜。

作为第一电极层 870 及第二电极层 850 的制造方法，可以使用通过电阻加热的蒸镀法、EB 蒸镀法、溅射法、CVD 法、旋涂法、印刷法、分配器法、或者液滴喷射法等。

本实施方式可以与实施方式 1 至实施方式 4 及实施方式 6 适当地组合。

实施方式 8

在本实施方式中，对作为具有高性能及高可靠性的半导体装置的具有显示功能的半导体装置的其他例子进行说明。在本实施方式中，使用图 12A 至 12F 说明能够用于本发明的半导体装置中的发光元件的其他结构。

利用电致发光的发光元件根据其发光材料是有机化合物还是无机化合物来进行区别，一般来说，前者被称为有机 EL 元件而后者被称为无机 EL 元件。

根据其元件的结构，无机 EL 元件被分类为分散型无机 EL 元件和薄膜型无机 EL 元件。分散型无机 EL 元件和薄膜型无机 EL 元件的差异在于，前者具有将发光材料的粒子分散在粘合剂中的电致发光层，而

后者具有由发光材料的薄膜构成的电致发光层。它们的共同之处在于，两者都需要由高电场加速的电子。另外，作为得到的发光的机理有两种类型：利用供体能级和受体能级的供体-受体复合型发光、以及利用金属离子的内层电子跃迁的局部型发光。一般来说，在很多情况下，分散型无机 EL 元件为供体-受体复合型发光，而薄膜型无机 EL 元件为局部型发光。

在本发明中可以使用的发光材料由母体材料和成为发光中心的杂质元素构成。可以通过改变所包含的杂质元素，获得各种颜色的发光。作为发光材料的制造方法，可以使用固相法、液相法（共沉淀法）等各种方法。此外，还可以使用喷雾热分解法、复分解法、利用前体的热分解反应的方法、反胶团法、组合上述方法和高温焙烧的方法、或者冷冻干燥法等液相法等。

固相法是称母体材料及杂质元素或含杂质元素的化合物，在研钵中混合，在电炉中进行加热、焙烧而使其起反应，以使母体材料含有杂质元素的方法。焙烧温度优选为 700℃至 1500℃。这是因为在温度过低的情况下固相反应不进行，而在温度过高的情况下母体材料分解的缘故。另外，也可以以粉末状态进行焙烧，然而优选以颗粒状态进行焙烧。虽然需要在比较高的温度下进行焙烧，但是该方法很简单，因此生产率好，适合于大量生产。

液相法（共沉淀法）是在溶液中使母体材料或含母体材料的化合物与杂质元素或含杂质元素的化合物起反应，使其干燥之后进行焙烧的方法。发光材料的粒子均匀地分布，而在粒径小且焙烧温度低的情况下也可以进行反应。

作为用于发光材料的母体材料，可以使用硫化物、氧化物或氮化物。作为硫化物，例如可以使用硫化锌（ZnS）、硫化镉（CdS）、硫化钙（CaS）、硫化钇（Y₂S₃）、硫化镓（Ga₂S₃）、硫化锶（SrS）或硫化钡（BaS）等。此外，作为氧化物，例如可以使用氧化锌（ZnO）或氧化钇（Y₂O₃）等。此外，作为氮化物，例如可以使用氮化铝（AlN）、氮化镓（GaN）或氮化铟（InN）等。另外，也可以使用硒化锌（ZnSe）或

碲化锌 (ZnTe) 等, 还可以是硫化钙-镓 (CaGa_2S_4)、硫化锶-镓 (SrGa_2S_4) 或硫化钡-镓 (BaGa_2S_4) 等三元系混晶。

作为局部型发光的发光中心, 可以使用锰 (Mn)、铜 (Cu)、钐 (Sm)、铽 (Tb)、铒 (Er)、铥 (Tm)、铕 (Eu)、铈 (Ce) 或镨 (Pr) 等。也可以添加氟 (F)、氯 (Cl) 等卤素元素。上述卤素元素可以起到电荷补偿的作用。

另一方面, 作为供体-受体复合型发光的发光中心, 可以使用包含形成供体能级的第一杂质元素及形成受体能级的第二杂质元素的发光材料。作为第一杂质元素例如可以使用氟 (F)、氯 (Cl) 或铝 (Al) 等。作为第二杂质元素, 例如可以使用铜 (Cu) 或银 (Ag) 等。

在通过固相法合成供体-受体复合型发光的发光材料的情况下, 分别称母体材料、第一杂质元素或含第一杂质元素的化合物、以及第二杂质元素或含第二杂质元素的化合物, 在研钵中混合, 然后在电炉中进行加热、焙烧。作为母体材料可以使用上述母体材料。作为第一杂质元素或含第一杂质元素的化合物, 例如可以使用氟 (F)、氯 (Cl) 或硫化铝 (Al_2S_3) 等。作为第二杂质元素或含第二杂质元素的化合物, 例如可以使用铜 (Cu)、银 (Ag)、硫化铜 (Cu_2S) 或硫化银 (Ag_2S) 等。焙烧温度优选为 700°C 至 1500°C 。这是因为在温度过低的情况下固相反应不进行, 而在温度过高的情况下母体材料分解的缘故。焙烧可以以粉末状态进行, 但是优选以颗粒状态进行。

此外, 作为在利用固相反应的情况下的杂质元素, 可以组合使用由第一杂质元素和第二杂质元素构成的化合物。在这种情况下, 由于杂质元素容易扩散并且固相反应容易进行, 因此可以获得均匀的发光材料。而且, 由于不会混入多余的杂质元素, 所以可以获得具有高纯度的发光材料。作为由第一杂质元素和第二杂质元素构成的化合物, 例如可以使用氯化铜 (CuCl) 或氯化银 (AgCl) 等。

另外, 这些杂质元素的浓度相对于母体材料为 0.01 原子%至 10 原子%即可, 优选在 0.05 原子%至 5 原子%的范围内。

在薄膜型无机 EL 元件的情况下, 电致发光层是包含上述发光材料

的层，可以通过电阻加热蒸镀法、电子束蒸镀（EB 蒸镀）法等真空蒸镀法、溅射法等物理气相成长（PVD）法、有机金属 CVD 法、氢化物输送减压 CVD 法等化学气相成长（CVD）法、或者原子层外延（ALE）法等形式形成。

图 12A 至 12C 示出了可以用作发光元件的薄膜型无机 EL 元件的一例。在图 12A 至 12C 中，发光元件包括第一电极层 50、电致发光层 52 和第二电极层 53。

图 12B 及 12C 所示的发光元件具有在图 12A 的发光元件中在电极层和电致发光层之间设置绝缘层的结构。图 12B 所示的发光元件在第一电极层 50 和电致发光层 52 之间具有绝缘层 54。图 12C 所示的发光元件在第一电极层 50 和电致发光层 52 之间具有绝缘层 54a，并且在第二电极层 53 和电致发光层 52 之间具有绝缘层 54b。像这样，绝缘层可以仅设置在夹住电致发光层的一对电极层中的一个电极层与电致发光层之间，也可以设置在电致发光层与两个电极层之间。此外，绝缘层可以是单层或由多层构成的叠层。

此外，尽管在图 12B 中以与第一电极层 50 接触的方式设置有绝缘层 54，但是也可以颠倒绝缘层和电致发光层的顺序，以与第二电极层 53 接触的方式设置绝缘层 54。

在分散型无机 EL 元件的情况下，将粒子状的发光材料分散在粘合剂中来形成膜状的电致发光层。当通过发光材料的制造方法无法获得所希望的大小的粒子时，通过用研钵等进行粉碎等而加工成粒子状即可。粘合剂是指用来以分散状态使粒状的发光材料固定并且保持作为电致发光层的形状的物质。发光材料通过粘合剂均匀分散并固定在电致发光层中。

在分散型无机 EL 元件的情况下，形成电致发光层的方法可以使用能够选择性地形成电致发光层的液滴喷射法、印刷法（如丝网印刷或胶版印刷等）、旋涂法等涂布法、浸渍法、分配器法等。对膜厚度没有特别限制，但是优选在 10nm 至 1000nm 的范围内。另外，在包含发光材料及粘合剂的电致发光层中，发光材料的比例优选设为 50wt% 以上

且 80wt% 以下。

图 12D 至 12F 示出可以用作发光元件的分散型无机 EL 元件的一例。图 12D 中的发光元件具有第一电极层 60、电致发光层 62 和第二电极层 63 的叠层结构，并且电致发光层 62 中含有由粘合剂保持的发光材料 61。

作为可以用于本实施方式的粘合剂，可以使用有机材料或无机材料，也可以使用有机材料及无机材料的混合材料。作为有机材料，可以使用像氰乙基纤维素类树脂那样的具有较高介电常数的聚合物或聚乙烯、聚丙烯、聚苯乙烯类树脂、硅酮树脂、环氧树脂或偏氟乙烯等树脂。此外，也可以使用芳族聚酰胺、聚苯并咪唑等耐热高分子或硅氧烷树脂。硅氧烷树脂相当于包括 Si-O-Si 键的树脂。硅氧烷的骨架结构由硅 (Si) 和氧 (O) 的键构成。作为取代基，使用至少含有氢的有机基 (如烷基或芳烃)。有机基也可以包含氟基。而且，也可以使用聚乙烯醇或聚乙烯醇缩丁醛等乙烯基树脂、酚醛树脂、酚醛清漆树脂、丙烯酸树脂、三聚氰胺树脂、聚氨酯树脂、噁唑树脂 (聚苯并噁唑) 等树脂材料。也可以通过适当地在这些树脂中混合钛酸钡 (BaTiO_3) 或钛酸锶 (SrTiO_3) 等具有高介电常数的微粒来调节介电常数。

作为包含在粘合剂中的无机材料，可以使用选自氧化硅 (SiO_x)、氮化硅 (SiN_x)、含氧及氮的硅、氮化铝 (AlN)、含氧及氮的铝或氧化铝 (Al_2O_3)、氧化钛 (TiO_2)、 BaTiO_3 、 SrTiO_3 、钛酸铅 (PbTiO_3)、铌酸钾 (KNbO_3)、铌酸铅 (PbNbO_3)、氧化钽 (Ta_2O_5)、钽酸钡 (BaTa_2O_6)、钽酸锂 (LiTaO_3)、氧化钇 (Y_2O_3)、氧化锆 (ZrO_2)、ZnS、以及包含无机材料的其他物质中的材料。通过在有机材料中 (通过添加等) 包含具有高介电常数的无机材料，可以进一步控制由发光材料及粘合剂构成的电致发光层的介电常数，可以进一步提高介电常数。

在制造工序中，发光材料被分散在包含粘合剂的溶液中。作为可以用于本实施方式的包含粘合剂的溶液的溶剂，适当地选择溶解粘合剂材料并可以制造具有适合于形成电致发光层的方法 (各种湿法工艺) 和所需膜厚度的粘度的溶液的溶剂即可。可以使用有机溶剂等，例如

在使用硅氧烷树脂作为粘合剂的情况下，可以使用丙二醇单甲醚、丙二醇一甲基醚醋酸酯（也称为 PGMEA）或 3-甲氧基-3 甲基-1-丁醇（也称为 MMB）等。

图 12E 和 12F 所示的发光元件具有在图 12D 的发光元件中在电极层和电致发光层之间设置绝缘层的结构。图 12E 所示的发光元件在第一电极层 60 和电致发光层 62 之间具有绝缘层 64。图 12F 所示的发光元件在第一电极层 60 和电致发光层 62 之间具有绝缘层 64a，并且在第二电极层 63 和电致发光层 62 之间具有绝缘层 64b。像这样，绝缘层可以仅设置在夹住电致发光层的一对电极层中的一个电极层和电致发光层之间，也可以设置在电致发光层与两个电极层之间。此外，绝缘层可以是单层或由多层构成的叠层。

此外，尽管在图 12E 中以与第一电极层 60 接触的方式设置有绝缘层 64，但是也可以颠倒绝缘层和电致发光层的顺序，以与第二电极层 63 接触的方式设置绝缘层 64。

尽管对绝缘层例如图 12A 至 12F 中的绝缘层 54、54a、54b、64、64a、64b 没有特别限制，但是优选具有高绝缘耐压和致密膜质，而且优选具有高介电常数。例如，可以使用氧化硅（ SiO_2 ）、氧化钇（ Y_2O_3 ）、氧化钛（ TiO_2 ）、氧化铝（ Al_2O_3 ）、氧化锆（ HfO_2 ）、氧化钽（ Ta_2O_5 ）、钛酸钡（ BaTiO_3 ）、钛酸锶（ SrTiO_3 ）、钛酸铅（ PbTiO_3 ）、氮化硅（ Si_3N_4 ）、氧化锆（ ZrO_2 ）等、或者它们的混合膜或两种以上的叠层膜。这些绝缘膜可以通过溅射、蒸镀或 CVD 等形成。此外，绝缘层可以通过在粘合剂中分散这些绝缘材料的粒子形成。粘合剂材料使用与包含在电致发光层中的粘合剂相同的材料、方法形成即可。膜厚没有特别限制，但是优选在 10nm 至 1000nm 的范围内。

本实施方式所示的发光元件可以通过对夹住电致发光层的一对电极层之间施加电压而获得发光，并且发光元件通过直流驱动或交流驱动都可以工作。

本实施方式可以与实施方式 1 至实施方式 4、以及实施方式 6 适当地组合。

实施方式 9

通过使用具有根据本发明形成的显示元件的半导体装置可以完成电视装置。这里说明以给予高性能及高可靠性为目的的电视装置的例子。

图 16 是表示电视装置（液晶电视装置或 EL 电视装置等）的主要结构的框图。

作为其他外部电路的结构，在图像信号的输入一侧包括放大调谐器 1904 所接收的信号中的图像信号的图像信号放大电路 1905、将从其中输出的信号转换为与红、绿和蓝分别对应的颜色信号的图像信号处理电路 1906、以及用于将该图像信号转换成驱动器 IC 的输入规格的控制电路 1907 等。控制电路 1907 将信号分别输出到扫描线一侧和信号线一侧。在进行数字驱动的情况下，也可以具有如下结构，即在信号线一侧设置信号分割电路 1908，将输入数字信号分成 m 个来提供。

调谐器 1904 所接收的信号中的音频信号被传送到音频信号放大电路 1909，其输出经过音频信号处理电路 1910 提供到扬声器 1913。控制电路 1911 从输入部 1912 接收接收站（接收频率）和音量的控制信息，将信号传送到调谐器 1904 或音频信号处理电路 1910。

如图 20A 和 20B 所示，将显示模块装入在框体中，从而可以完成电视装置。将还安装有 FPC 的如图 14A 和 14B 那样的显示面板一般称作 EL 显示模块。因此，若使用 EL 显示模块，则可以完成 EL 电视装置，而若使用液晶显示模块，则可以完成液晶电视装置。由显示模块形成主屏幕 2003，作为其他辅助设备具备扬声器部 2009 和操作开关等。像这样，根据本发明可以完成电视装置。

此外，也可以使用相位差板或偏振片来遮挡从外部入射的光的反射光。此外，在顶部发射型半导体装置中，可以对成为隔壁的绝缘层进行着色来用作黑矩阵。该隔壁也可以通过液滴喷射法等来形成，可以将碳黑等混合到颜料类黑色树脂或聚酰亚胺等树脂材料中，还可以采用它们的叠层。通过液滴喷射法还可以将不同的材料多次喷射到同一区域来形成隔壁。作为相位差板，使用 $\lambda/4$ 板和 $\lambda/2$ 板，设计成能够

控制光即可。其结构是从 TFT 元件衬底一侧依次为发光元件、密封衬底（密封剂）、相位差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、以及偏振片的结构，从发光元件发射的光通过它们从偏振片一侧发射到外部。所述相位差板或偏振片设置在光发射的一侧即可，在光从两侧发射的双面发射型半导体装置中，也可以设置在两侧。此外，也可以在偏振片的外侧具有抗反射膜。由此，可以显示更清晰且更精密的图像。

如图 20A 所示，在框体 2001 中组装利用了显示元件的显示用面板 2002，由接收机 2005 进行一般电视广播的接收，并且通过调制解调器 2004 与有线或无线方式的通信网络连接，由此还可以进行单向（由发送者到接收者）或双向（在发送者和接收者之间，或者在接收者之间）信息通信。电视装置的操作还可以由组装在框体中的开关或另行提供的遥控操作机 2006 进行，该遥控操作机还可以设置有显示输出信息的显示部 2007。

另外，电视装置除了主屏幕 2003 以外，还可以附加有如下结构：使用第二显示用面板形成辅助屏幕 2008，显示频道或音量等。在这种结构中，也可以使用视角优异的 EL 显示用面板形成主屏幕 2003，并且使用能够以低耗电量进行显示的液晶显示用面板来形成辅助屏幕 2008。另外，为了优先低耗电量，可以采用如下结构：使用液晶显示用面板形成主屏幕 2003，并且使用 EL 显示用面板形成辅助屏幕 2008，并且辅助屏幕能够点亮和熄灭。通过使用本发明，即使在使用这样大型衬底且使用多个 TFT 和电子部件的情况下，也可以高生产率地制造具有高性能及高可靠性的半导体装置。

图 20B 为例如具有 20 英寸至 80 英寸的大型显示部的电视装置，包括框体 2010、操作部的键盘部 2012、显示部 2011、扬声器部 2013 等。本发明应用于显示部 2011 的制造。图 20B 的显示部由于使用了可弯曲的物质，因此形成为显示部弯曲了的电视装置。由于如上所述可以自由地设计显示部的形状，所以可以制造所希望的形状的电视装置。

通过本发明，可以高生产率地制造具有显示功能的高性能且高可靠性的半导体装置。因此，可以高生产率地制造具有高性能及高可靠

性的电视装置。

当然，本发明不局限于电视装置，还可以用于各种用途如个人计算机的监视器、火车站或飞机场等中的信息显示屏、街头的广告显示屏等大面积显示媒体。

实施方式 10

在本实施方式中，说明以给予高性能及高可靠性为目的的半导体装置的例子。详细地说，作为半导体装置的一例说明具备微处理器及能够以非接触的方式进行数据收发的运算功能的半导体装置的一例。

图 17 表示微处理器 500 的例子作为半导体装置。该微处理器 500 如上所述由本实施方式的半导体衬底制造。该微处理器 500 包括运算电路 501 (Arithmetic logic unit, 也称为 ALU)、运算电路控制部 502 (ALU Controller)、指令分析部 503 (Instruction Decoder)、中断控制部 504 (Interrupt Controller)、时序控制部 505 (Timing Controller)、寄存器 506 (Register)、寄存器控制部 507 (Register Controller)、总线接口 508 (Bus I/F)、只读存储器 509、以及存储器接口 510 (ROM I/F)。

通过总线接口 508 输入到微处理器 500 的指令在输入指令分析部 503 并被解码之后输入到运算电路控制部 502、中断控制部 504、寄存器控制部 507、以及时序控制部 505。运算电路控制部 502、中断控制部 504、寄存器控制部 507、以及时序控制部 505 根据被解码了的指令而进行各种控制。具体地说，运算电路控制部 502 产生用来控制运算电路 501 的工作的信号。此外，中断控制部 504 在执行微处理器 500 的程序时，对来自外部输出装置或外围电路的中断要求根据其优先度或掩模状态进行判断而处理。寄存器控制部 507 产生寄存器 506 的地址，并且根据微处理器 500 的状态进行寄存器 506 的读出或写入。时序控制部 505 产生控制运算电路 501、运算电路控制部 502、指令分析部 503、中断控制部 504 及寄存器控制部 507 的工作时序的信号。例如，时序控制部 505 包括根据基准时钟信号 CLK1 产生内部时钟信号 CLK2 的内部时钟产生部，将时钟信号 CLK2 提供给上述各种电路。另外，

图 17 所示的微处理器 500 只是将其结构简化了的一个例子，实际上可以根据其用途具有多种多样的结构。

在这种微处理器 500 中，通过使用接合在玻璃衬底上的具有固定晶体取向的单晶半导体层形成集成电路，因此不仅可以实现处理速度的高速化还可以实现低耗电量化。

接下来，参照图 18 说明具有能以非接触的方式进行数据收发的运算功能的半导体装置的一个例子。图 18 表示以无线通信与外部装置进行信号的收发而工作的计算机（以下称为 RFCPU）的一例。RFCPU511 包括模拟电路部 512 和数字电路部 513。作为模拟电路部 512 包括具有谐振电容的谐振电路 514、整流电路 515、恒压电路 516、复位电路 517、振荡电路 518、解调电路 519、调制电路 520、以及电源管理电路 530。数字电路部 513 包括 RF 接口 521、控制寄存器 522、时钟控制器 523、CPU 接口 524、中央处理单元 525、随机存取存储器 526、以及只读存储器 527。

具有这种结构的 RFCPU511 的工作概要如下所述。天线 528 所接收的信号由于谐振电路 514 产生感应电动势。感应电动势经过整流电路 515 而被充电到电容部 529。该电容部 529 优选由电容器如陶瓷电容器或双电层电容器等形成。电容部 529 不需要与 RFCPU511 一体形成，作为另外的部件安装在构成 RFCPU511 的具有绝缘表面的衬底上即可。

复位电路 517 产生对数字电路部 513 进行复位和初始化的信号。例如，产生在电源电压上升之后随着升高的信号作为复位信号。振荡电路 518 根据由恒压电路 516 产生的控制信号改变时钟信号的频率和占空比。由低通滤波器构成的解调电路 519 例如将振幅调制（ASK）方式的接收信号的振幅的变动二值化。调制电路 520 通过使振幅调制（ASK）方式的发送信号的振幅变动来发送发送数据。调制电路 520 通过改变谐振电路 514 的谐振点来改变通信信号的振幅。时钟控制器 523 根据电源电压或中央处理单元 525 中的耗电流，产生用来改变时钟信号的频率和占空比的控制信号。电源管理电路 530 监视电源电压。

从天线 528 输入到 RFCPU511 的信号被解调电路 519 解调后，在 RF

接口 521 中被分解为控制指令、数据等。控制指令存储在控制寄存器 522 中。控制指令包括存储在只读存储器 527 中的数据的读出指令、向随机存取存储器 526 的数据的写入指令、向中央处理单元 525 的计算指令等。中央处理单元 525 通过 CPU 接口 524 对只读存储器 527、随机存取存储器 526、以及控制寄存器 522 进行存取。CPU 接口 524 具有根据中央处理单元 525 所要求的地址，产生对只读存储器 527、随机存取存储器 526、以及控制寄存器 522 中的任一个的存取信号的功能。

作为中央处理单元 525 的运算方式，可以采用将 OS（操作系统）存储在只读存储器 527 中且在启动的同时读出并执行程序的方式。另外，也可以采用由专用电路构成运算电路且以硬件方式对运算处理进行处理的方式。作为并用硬件和软件双方的方式，可以采用如下方式：利用专用运算电路进行一部分的处理，并且使中央处理单元 525 使用程序来进行其他部分的计算。

在上述 RFCPU511 中，由于通过使用接合在玻璃衬底上的具有固定晶面取向的单晶半导体层形成集成电路，因此不仅可以实现处理速度的高速化，而且还可以实现低耗电量化。由此，即使使提供电力电容部 529 小型化，也可以保证长时间工作。

实施方式 11

参照图 14A 和 14B 说明本实施方式。在本实施方式中，表示使用具有实施方式 1 至 8 所制造的半导体装置的面板的模块的例子。在本实施方式中，说明具有以给予高性能及高可靠性为目的的半导体装置的模块的例子。

图 14A 所示的信息终端模块在印刷布线衬底 946 上安装有控制器 901、中央处理装置（CPU）902、存储器 911、电源电路 903、音频处理电路 929、收发电路 904、以及其它元件如电阻器、缓冲器和电容元件等。另外，面板 900 经由柔性布线衬底（FPC）908 连接到印刷布线衬底 946。

面板 900 包括每一个像素具有发光元件的像素区域 905；选择所述像素区域 905 所具有的像素的第一扫描线驱动电路 906a 和第二扫描线

驱动电路 906b；以及对选择的像素提供视频信号的信号线驱动电路 907。

经由安装在印刷布线衬底 946 上的接口 (I/F) 909 来输入或输出各种控制信号。此外，用来收发与天线之间的信号的天线用端口 910 设置在印刷布线衬底 946 上。

另外，在本实施方式中，印刷布线衬底 946 经由 FPC908 连接到面板 900，然而本发明不局限于该结构。还可以通过 COG（玻璃上芯片）方式将控制器 901、音频处理电路 929、存储器 911、CPU902、或者电源电路 903 直接安装在面板 900 上。另外，在印刷布线衬底 946 上设置有各种元件如电容元件和缓冲器等，从而防止在电源电压和信号中出现杂波及信号的上升变缓。

图 14B 是图 14A 所示的模块的框图。该模块包括 VRAM932、DRAM925、以及闪速存储器 926 等作为存储器 911。在 VRAM932 中存储有在面板上显示的图像的数据，在 DRAM925 中存储有图像数据或音频数据，并且在闪速存储器中存储有各种程序。

电源电路 903 生成施加给面板 900、控制器 901、CPU902、音频处理电路 929、存储器 911、以及收发电路 931 的电源电压。此外，根据面板的规格，也有将电流源提供于电源电路 903 中的情况。

CPU902 包括控制信号产生电路 920、解码器 921、寄存器 922、运算电路 923、RAM924、以及 CPU 用的接口 935 等。经由接口 935 输入到 CPU902 中的各种信号暂时储存在寄存器 922 中，之后输入到运算电路 923 和解码器 921 等中。在运算电路 923 中，根据输入的信号进行运算，并且指定发送各种指令的地址。另一方面，对输入到解码器 921 中的信号进行解码，并且输入到控制信号产生电路 920 中。控制信号产生电路 920 根据输入的信号产生含有各种指令的信号，并且发送到由运算电路 923 所指定的地址，具体为存储器 911、收发电路 931、音频处理电路 929、以及控制器 901 等。

存储器 911、收发电路 931、音频处理电路 929、以及控制器 901 分别根据所接收的指令来工作。在下文中，简要说明其工作情况。

从输入单元 930 输入的信号经由接口 909 发送到安装在印刷布线衬底 946 上的 CPU902 中。控制信号产生电路 920 根据从定位设备或键盘等输入单元 930 发送的信号将存储在 VRAM932 中的图像数据转换为预定格式，并且发送到控制器 901。

控制器 901 根据面板的规格来对从 CPU902 发送来的含有图像数据的信号进行数据处理，并且供给到面板 900。另外，控制器 901 根据从电源电路 903 输入的电源电压或从 CPU902 输入的各种信号来生成 Hsync 信号、Vsync 信号、时钟信号 CLK、交流电压（AC Cont）、以及切换信号 L/R，并且供给到面板 900。

在收发电路 904 中，对作为电波由天线 933 发送和接收的信号进行处理，具体地说，包括高频电路如隔离器、带通滤波器、VCO（电压控制振荡器）、LPF（低通滤波器）、耦合器、平衡-不平衡转换器等。在由收发电路 904 收发的信号之中，含有音频信息的信号根据来自 CPU902 的指令被发送到音频处理电路 929。

根据 CPU902 的指令发送来的含有音频信息的信号在音频处理电路 929 中被解调成音频信号，并且发送到扬声器 928。此外，从扩音器 927 发送来的音频信号由音频处理电路 929 调制，并且根据来自 CPU902 的指令发送到收发电路 904。

可以将控制器 901、CPU902、电源电路 903、音频处理电路 929、以及存储器 911 安装为本实施方式的组件。本实施方式可以应用于除了高频电路如隔离器、带通滤波器、VCO（电压控制振荡器）、LPF（低通滤波器）、耦合器、以及平衡-不平衡转换器等以外的任何电路。

实施方式 12

参照图 14A 和 14B 及图 15 说明本实施方式。图 15 示出包括在实施方式 9 中制造的模块的小型电话机（便携式电话）的一种方式，该电话机以无线方式操作并且能够移动。面板 900 以可自由装卸的方式组装到外壳 1000 中并且容易与模块 999 组合。外壳 1000 的形状和尺寸可以根据组装的电子设备来适当地改变。

固定有面板 900 的外壳 1000 嵌入印刷布线衬底 946 而装配成为模

块。印刷布线衬底 946 安装有控制器、CPU、存储器、电源电路、以及其它元件如电阻器、缓冲器、以及电容元件等。另外，还具备有包括扩音器 994 及扬声器 995 的音频处理电路、以及信号处理电路 993 如收发电路等。面板 900 通过 FPC908 连接到印刷布线衬底 946。

这些模块 999、输入单元 998、以及电池 997 容纳于框体 996 中。面板 900 的像素区域配置成可以从在框体 996 中形成的开口窗看见。

图 15 所示的框体 996 示出电话机的外观形状作为一例。然而，本实施方式的电子设备可以根据其功能和用途转换为各种方式。在下面的实施方式中说明该方式的一例。

实施方式 13

通过使用本发明可以制造各种具有显示功能的半导体装置。就是说，可以将本发明用于其显示部组装有上述具有显示功能的半导体装置的各种电子设备。在本实施方式中，说明包括以给予高性能及高可靠性为目的的具有显示功能的半导体装置的电子设备的例子。

作为本发明的电子设备，可以举出电视装置（也简单地称为电视机或电视接收机）、影像拍摄装置如数字照相机和数字摄像机等、便携式电话装置（也简单地称为便携式电话机或手机）、PDA 等的便携式信息终端、便携式游戏机、计算机用的监视器、计算机、汽车音响等的音响再生装置、家用游戏机等具备记录媒体的图像再现装置（具体来说是数字通用光盘（DVD））等。参照图 19A 至 19E 及图 24A 至 24C 说明其具体实例。

图 19A 所示的便携式信息终端设备包括主体 9201、显示部 9202 等。可以将本发明的半导体装置用于显示部 9202 中。结果，可以提供具有高性能及高可靠性的便携式信息终端设备。

图 19B 所示的数字摄像机包括显示部 9701、显示部 9702 等。可以将本发明的半导体装置用于显示部 9701 中。结果，可以提供具有高性能及高可靠性的数字摄像机。

图 19C 所示的便携式电话机包括主体 9101、显示部 9102 等。可以将本发明的半导体装置用于显示部 9102 中。结果，可以提供具有高性能及高可靠性的便携式电话机。

能及高可靠性的便携式电话机。

图 19D 所示的便携式电视装置包括主体 9301、显示部 9302 等。可以将本发明的半导体装置用于显示部 9302 中。结果，可以提供具有高性能及高可靠性的便携式电视装置。此外，可以将本发明的半导体装置广泛地用于作为电视装置的搭载在便携式电话机等便携终端中的小型电视装置、能够搬运的中型电视装置、或者大型电视装置（例如 40 英寸以上）。

图 19E 所示的便携式计算机包括主体 9401、显示部 9402 等。可以将本发明的半导体装置用于显示部 9402 中。结果，可以提供具有高性能及高可靠性的便携式计算机。

图 24A 至 24C 为应用本发明的便携式电话机的一例，该便携式电话机与图 15 及图 19C 所示的便携式电话机不同。对于图 24A 至 24C 的便携式电话机而言，图 24A 表示正视图，图 24B 表示后视图，图 24C 表示展开图。便携式电话机具有电话和便携式信息终端双方的功能，其内部安装有计算机，并且是除了进行声音通话以外还可以进行各种数据处理的所谓的智能电话。

便携式电话机由框体 1001 及 1002 两个框体构成。在框体 1001 中安装有显示部 1101、扬声器 1102、扩音器 1103、操作键 1104、定位装置 1105、影像拍摄装置用透镜 1106、外部连接端子 1107、耳机端子 1108 等，并且在框体 1002 中安装有键盘 1201、外部存储槽 1202、影像拍摄装置用透镜 1203、光灯 1204 等。另外，在框体 1001 内部安装有天线。

另外，除了上述结构以外，也可以内部安装有非接触 IC 芯片、小型记录装置等。

可以组装上述实施方式所示的其他半导体装置的显示部 1101 可以根据使用方式而适当地改变显示方向。因为在与显示部 1101 相同表面上具有影响拍摄装置用透镜 1106，所以可以进行电视电话。另外，通过将显示部 1101 用作取景器并且使用影像拍摄装置用透镜 1203 及光灯 1204，可以拍摄静止图像及运动图像。扬声器 1102 及扩音器 1103

可以进行电视电话、录音、再现等，而不局限于声音通话。操作键 1104 可以实现电话的发送和接受收、电子邮件等简单的信息输入、画面的卷动、光标移动等。而且，图 24A 所示的彼此重叠的框体 1001 和框体 1002 滑动而像图 24C 那样展开，并可以用作便携式信息终端。在此情况下，可以使用键盘 1201、定位装置 1105 来进行顺利操作。外部连接端子 1107 可以与交流整流器及 USB 电缆等各种电缆连接，并且可以进行与充电器及计算机等的通信。另外，通过将记录媒体插入外部存储槽 1202 中，可以对应更大量的数据的保存及移动。

另外，也可以是除了上述功能以外还具有红外线通信功能、电视接收机功能等的便携式电话机。

因为显示部 1101 可以应用本发明的半导体装置，所以可以提供具有高性能及高可靠性的便携式电话机。

另外，本发明的半导体装置可以用作照明设备。应用本发明的半导体装置可以用作小型台式照明器具或室内的大型照明设备。而且，可以将本发明的半导体装置用作液晶显示装置的背光灯。

像这样，通过使用本发明的半导体装置，可以提供具有高性能及高可靠性的电子器具。

实施例 1

在本实施例中示出使用本发明进行再单晶化而形成的半导体衬底的实验结果。

在厚度为 0.7mm 的玻璃衬底上形成从单晶硅衬底转载的单晶硅层。通过离子照射在单晶硅衬底中形成脆化层。通过将单晶硅衬底贴合到玻璃衬底上，进行加热处理，来在玻璃衬底上形成单晶硅层。该接合是介于绝缘层来进行的，样品结构为玻璃衬底、氧化硅膜（厚度为 50nm）、氮氧化硅膜（厚度为 50nm）、氧氮化硅膜（厚度为 50nm）、以及单晶硅层的叠层结构。另外，氧化硅膜使用有机硅烷气体并且通过化学气相成长法来形成。

对单晶硅层照射波长为 308nm 的脉冲受激准分子激光。另外，将能量密度设定为 $482\text{mJ}/\text{cm}^2$ 。使用掩模将照射区域和被照射区域的间隔

设定为 $2\mu\text{m}$ 。另外，在加热到 500°C 的载物台上设置样品。

结晶性提高的效应可以通过拉曼位移 (Raman Shift)、拉曼光谱的半峰全宽 (FWHM; full width at half maximum)、电子背散射衍射花样 (EBSP; Electron Back Scatter Diffraction Pattern) 来评价。

对激光照射之前的单晶硅层(在图 27 中记为未照射并由虚线表示)及激光照射之后的单晶硅层(在图 27 中记为照射并由实线表示)进行拉曼测量。图 27 表示拉曼测量的结果。注意，在图 27 中，横轴表示波长而纵轴表示强度。从图 27 的测量结果获得如图表 1 所示的未照射的单晶硅层及照射后的单晶硅层的拉曼位移和半峰全宽。

[图表 1]

	拉曼位移 [cm^{-1}]	半峰全宽 [cm^{-1}]
未照射	519.414	4.68195
照射	519.243	3.41082

如图表 1 所示，与未照射的单晶硅层相比，照射后的单晶硅层的半峰全宽小，而可以确认到获得了更良好的结晶状态。

另外，图 28A 示出从照射后的单晶硅层的表面的 EBSP 的测量数据获得的结果。

图 28A 为从单晶硅层的表面的 EBSP 的测量数据获得的反极图 (IPF; inverse pole figure) 表格，图 28B 为通过对结晶的各面取向进行彩色编码，并且表示 IPF 表格的颜色和晶体取向 (晶轴) 的关系的彩色编码图。

根据图 28A 的 IPF 表格可以知道单晶硅层的表面具有 (001) 晶向。因为图 28A 的 IPF 表格是由图 28B 的彩色编码图的表示 (001) 晶向的颜色 (在彩色图中为红色) 构成的一个颜色的图像，所以可以确认即使进行再单晶化，晶体取向也均匀为 (100)。

另外，利用扫描电子显微镜 (SEM; Scanning Electron Microscope) 对照射后的单晶硅层进行观察。图 29 示出照射后的单晶硅层的 SEM 像。在图 29 的 SEM 像中，白色区域为照射区域，并且在照射区域中以周围的灰色单晶区域为晶体成长的晶核而进行再单晶化。

如上所述，通过本发明可以提高转载到玻璃衬底上的单晶硅层的结晶性。通过使用这种单晶半导体层，可以高成品率地制造包括具有高性能及高可靠性的各种半导体元件、存储元件、集成电路等的半导体装置。

本说明书根据 2007 年 11 月 1 日在日本专利局受理的日本专利申请编号 2007-285180 而制作，所述申请内容包括在本说明书中。

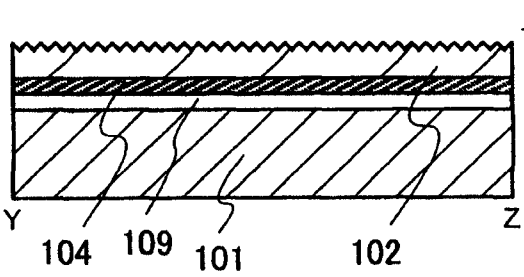


图 1A

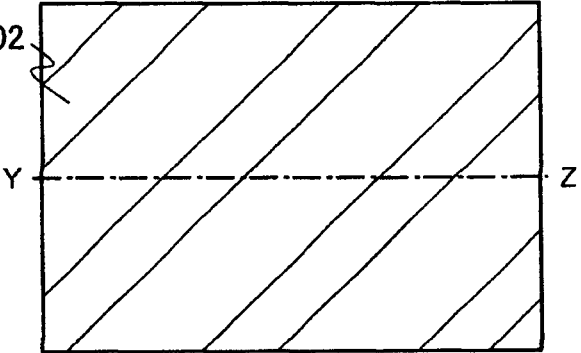


图 1E

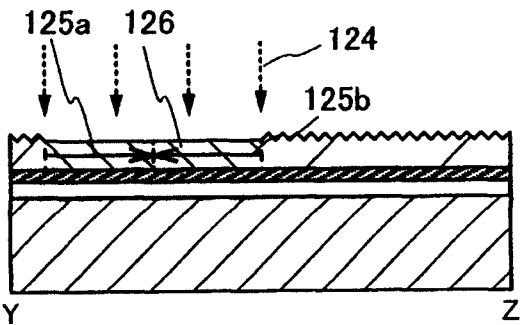


图 1B

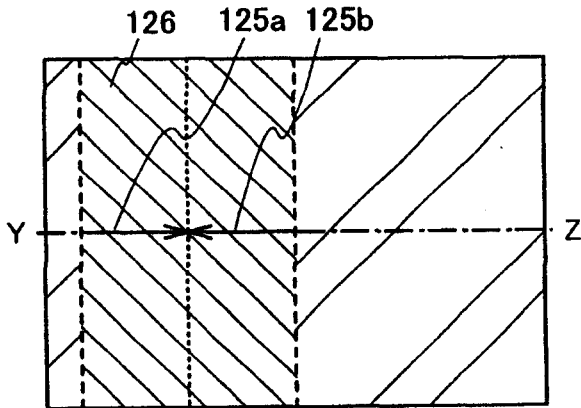


图 1F

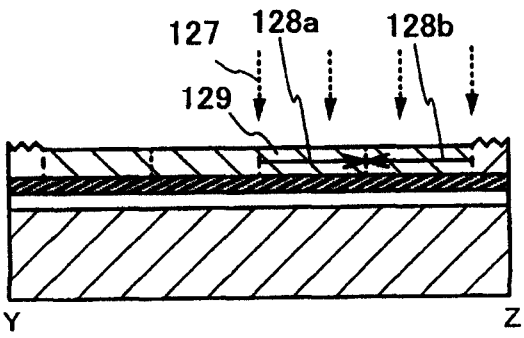


图 1C

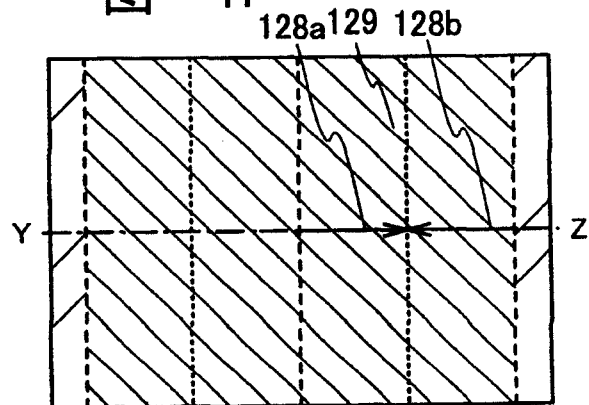


图 1G

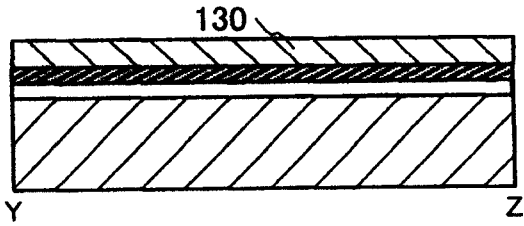


图 1D

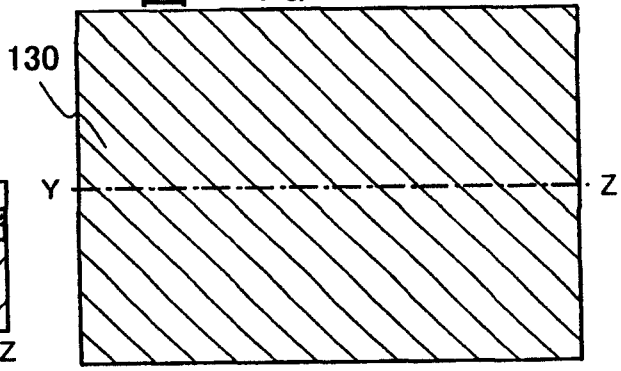


图 1H

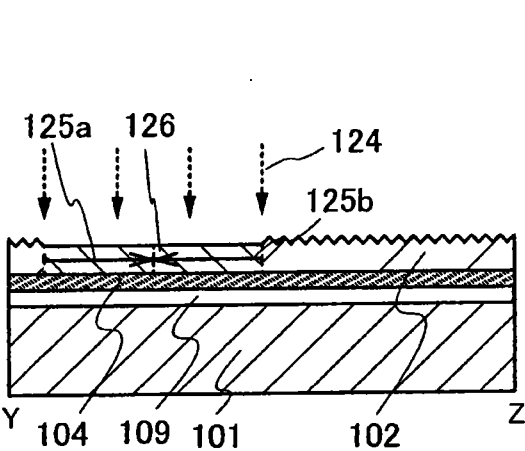


图 2A

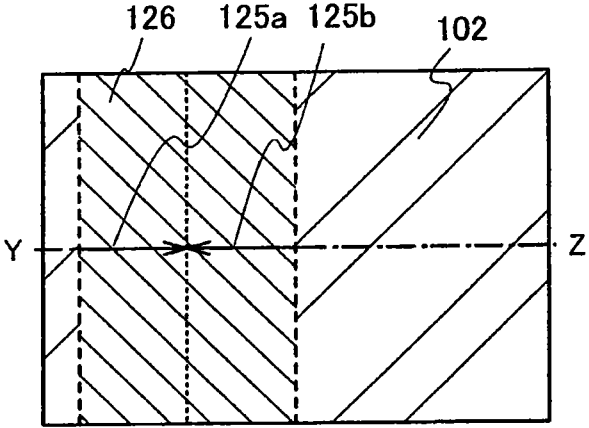


图 2D

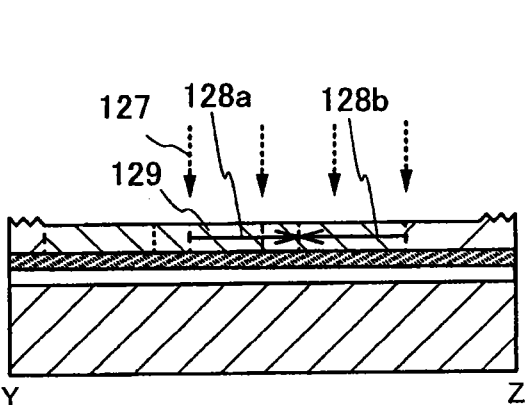


图 2B

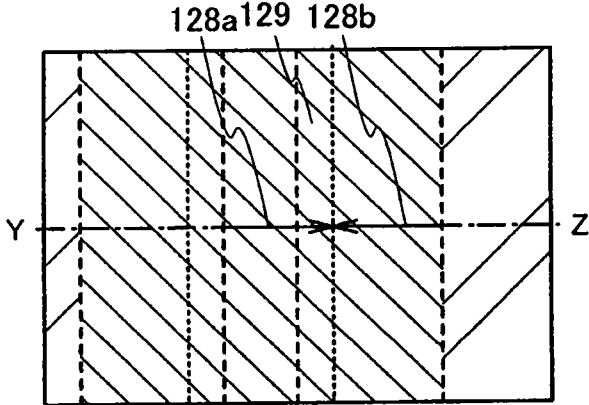


图 2E

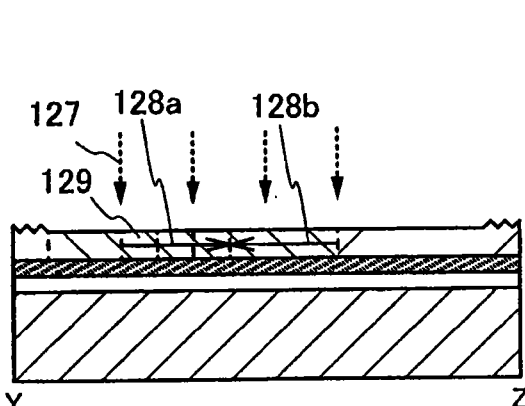


图 2C

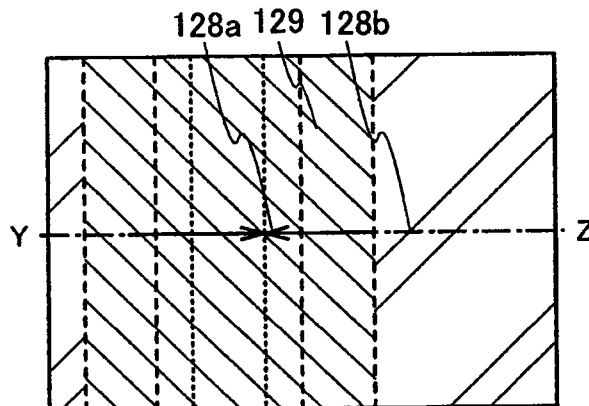
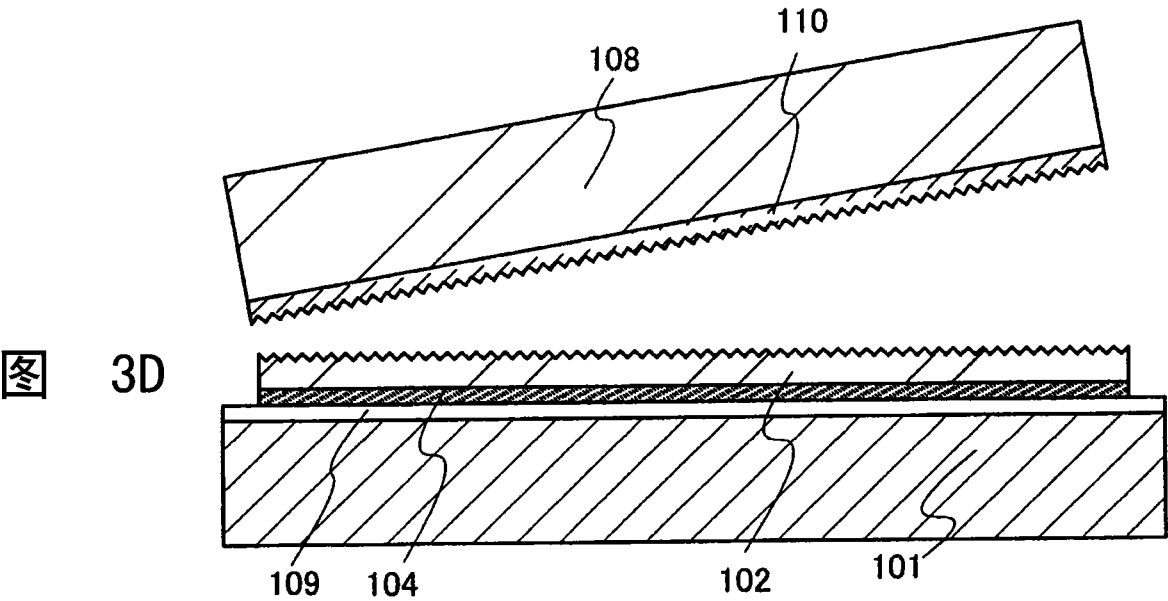
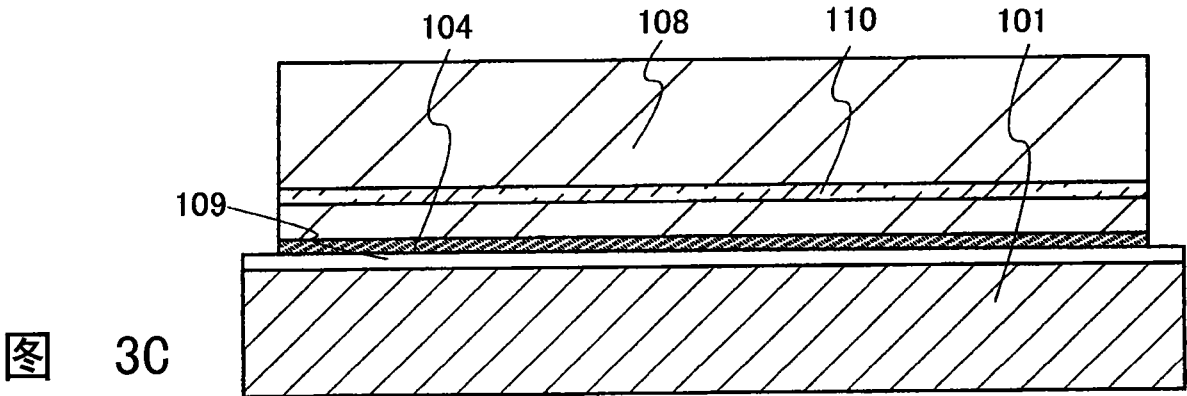
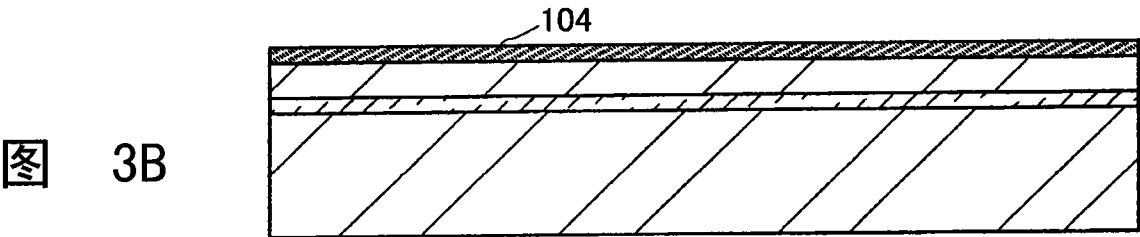
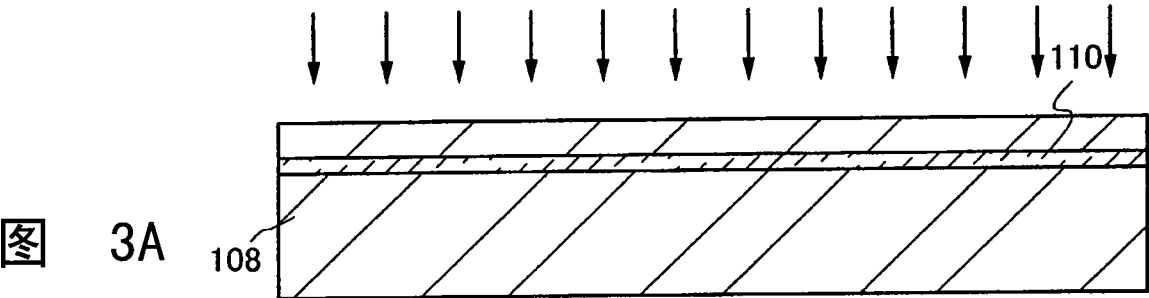


图 2F



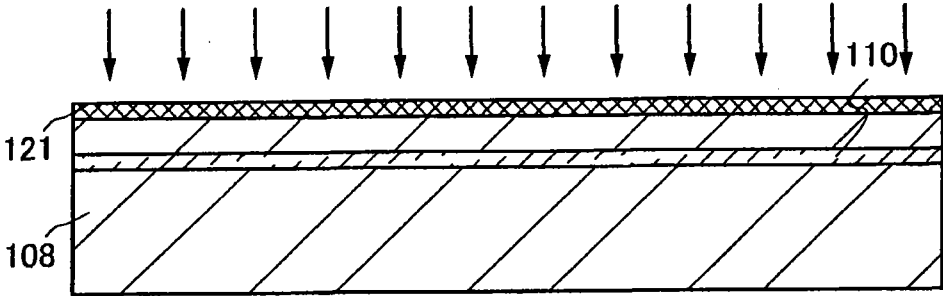


图 4A

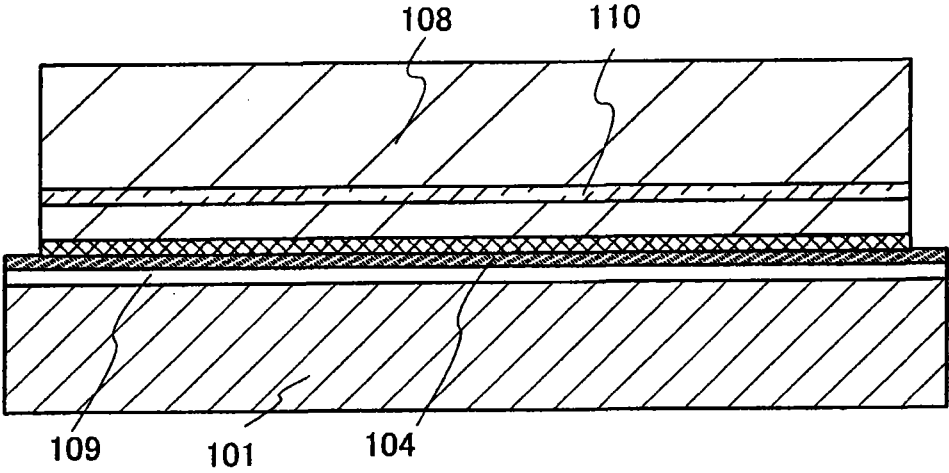


图 4B

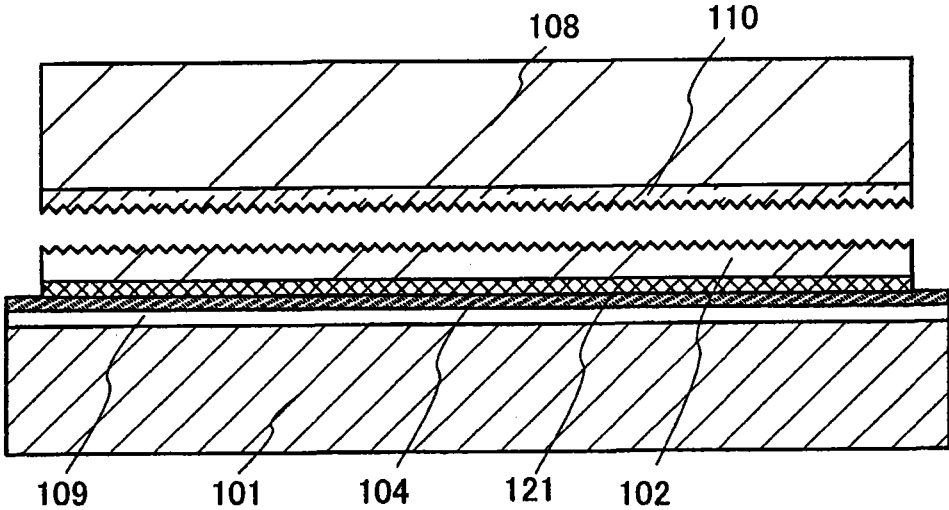


图 4C

图 5A

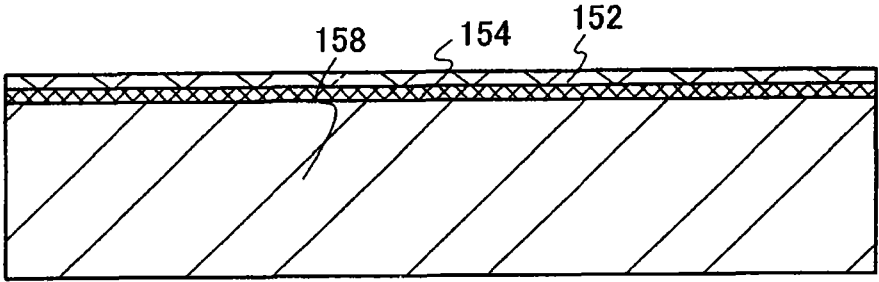


图 5B

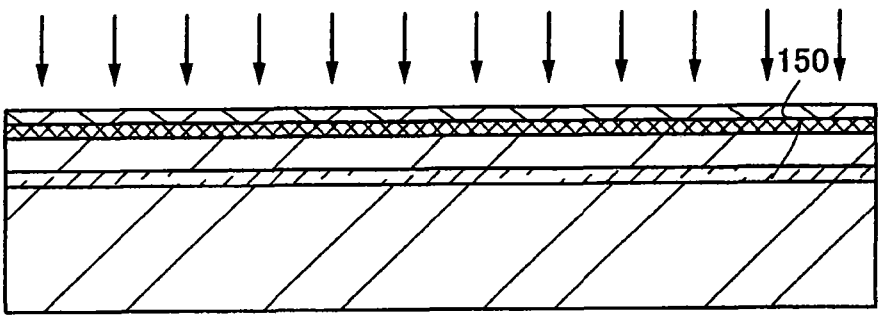


图 5C

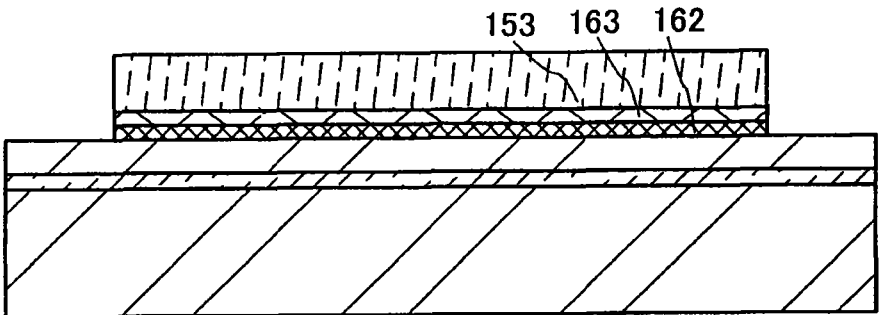


图 5D

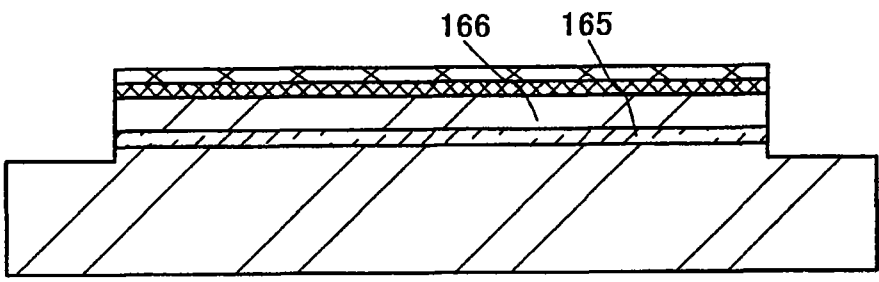
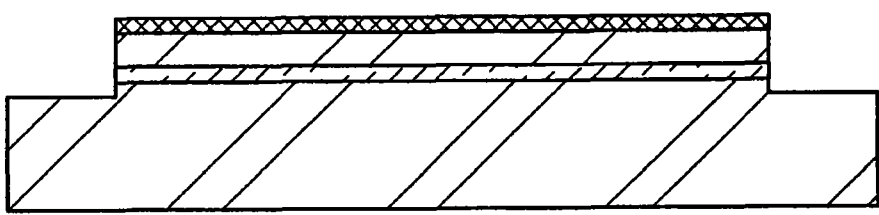
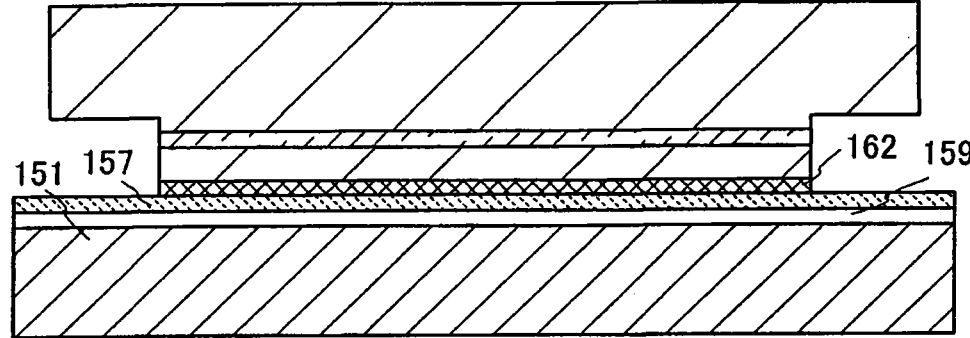


图 5E



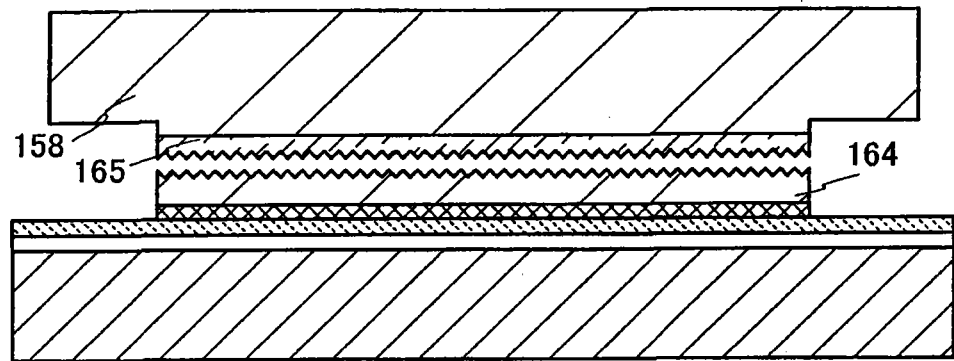
图

6A



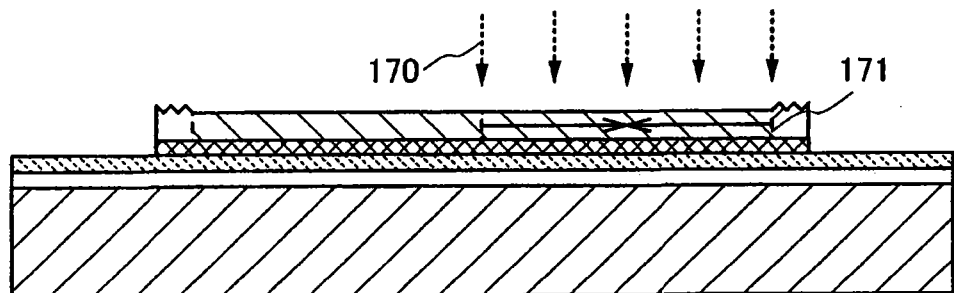
图

6B



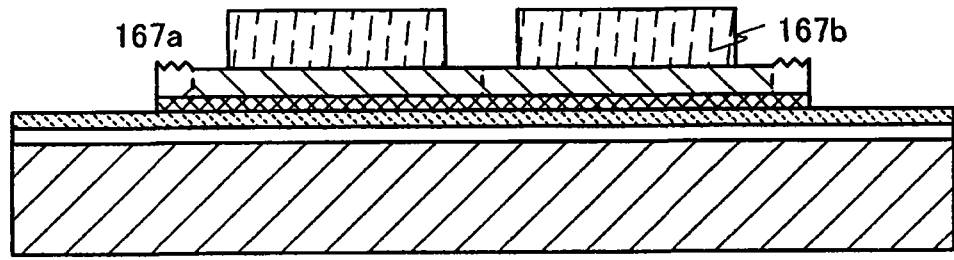
图

6C



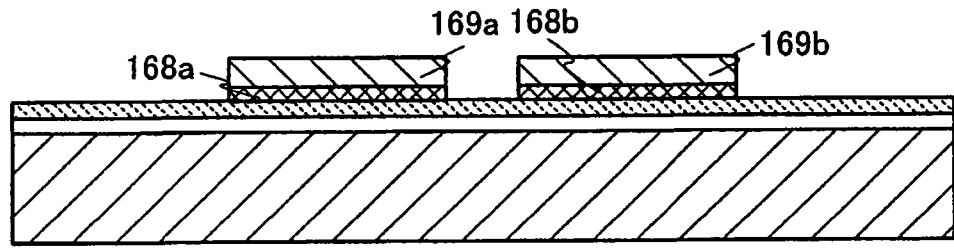
图

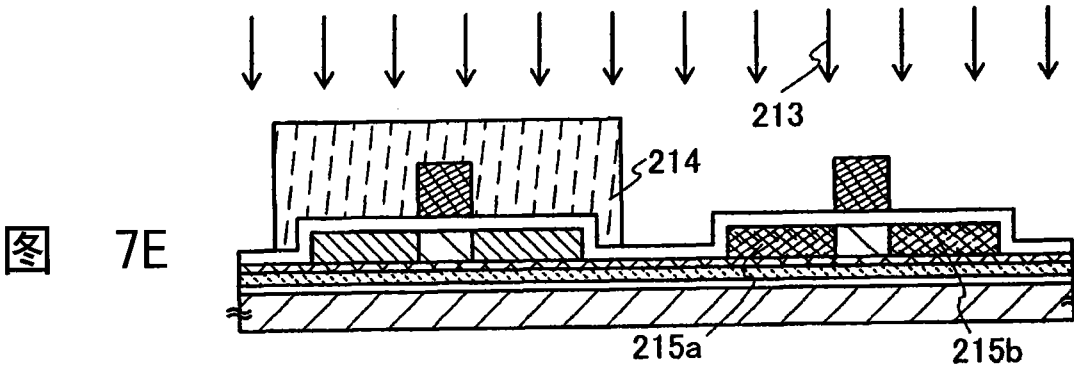
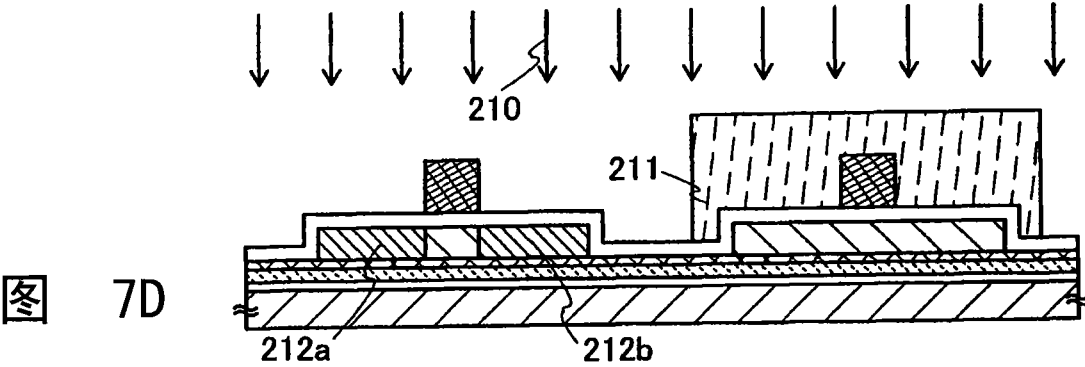
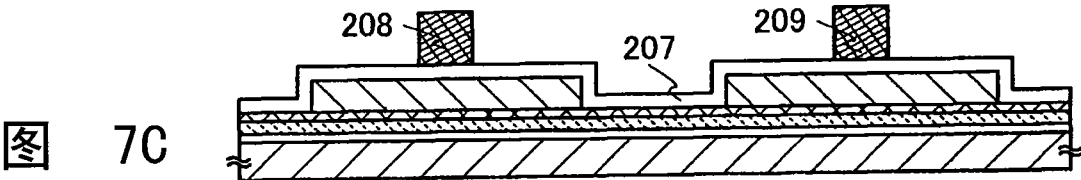
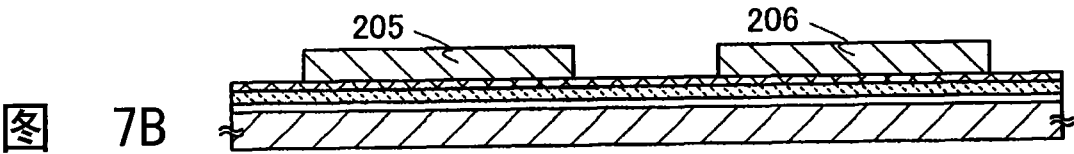
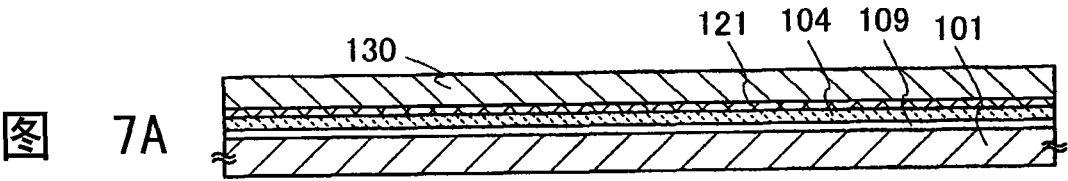
6D



图

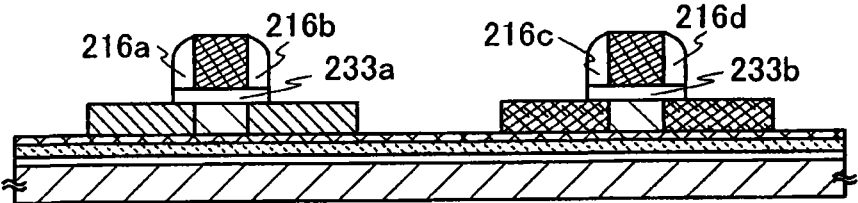
6E





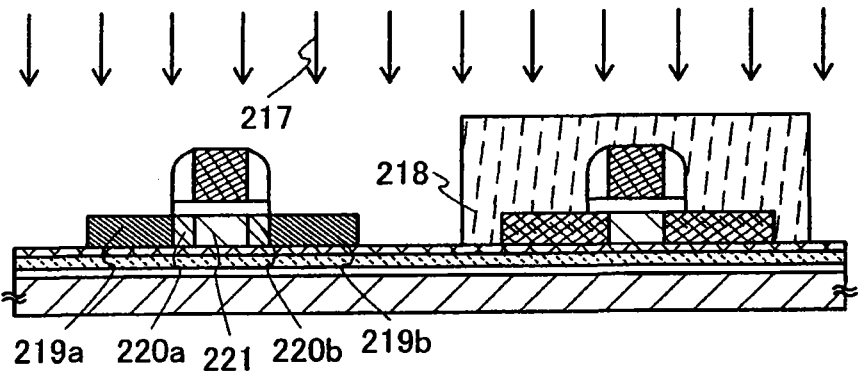
图

8A



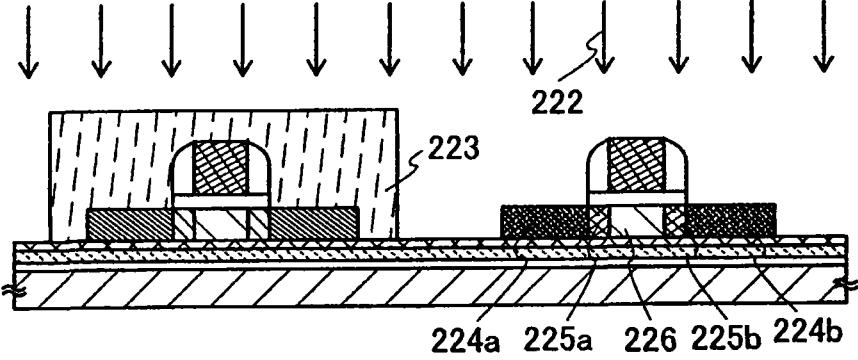
图

8B



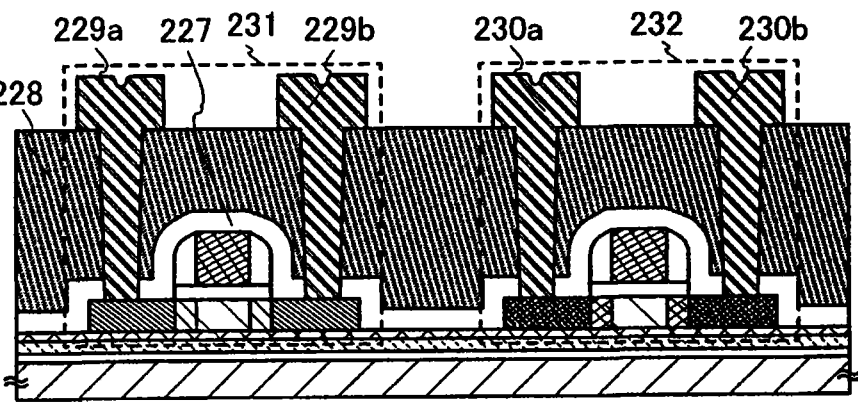
图

8C



图

8D



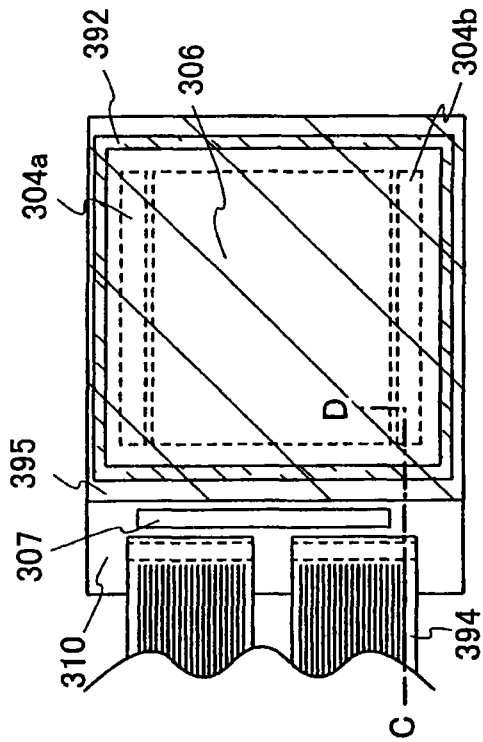


图 9A

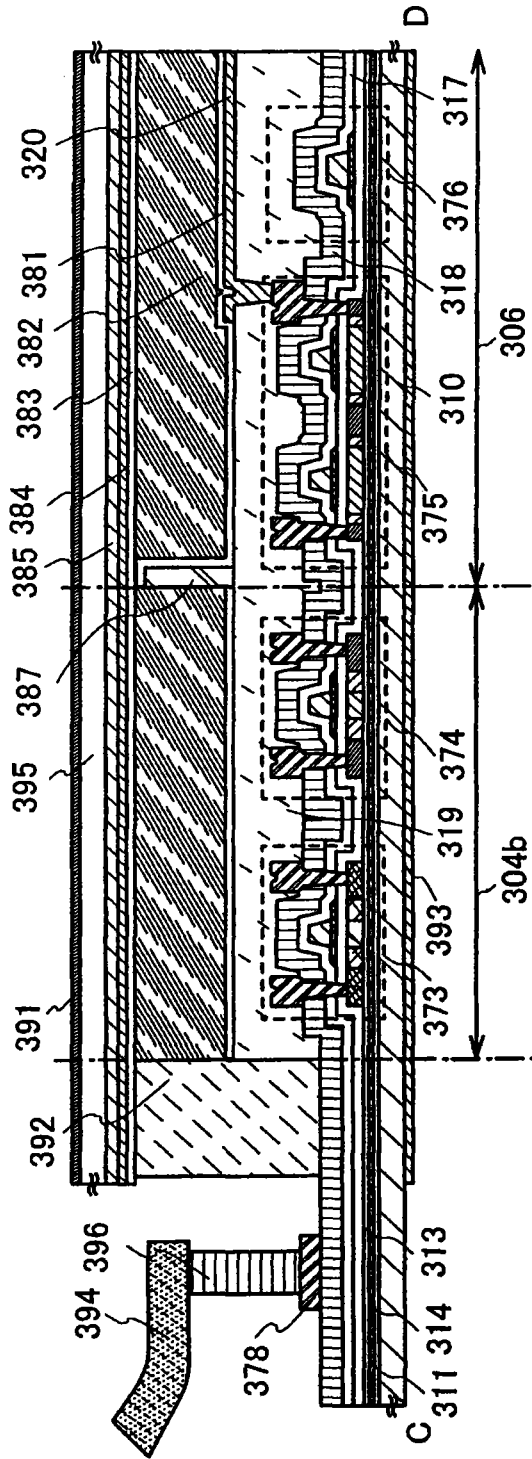
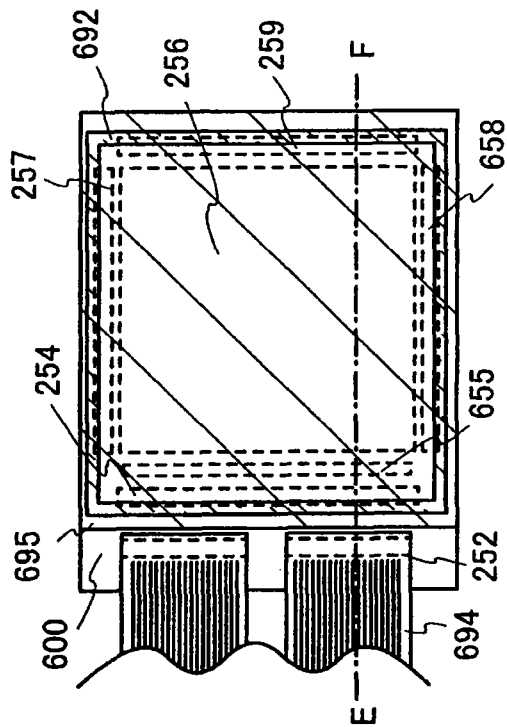
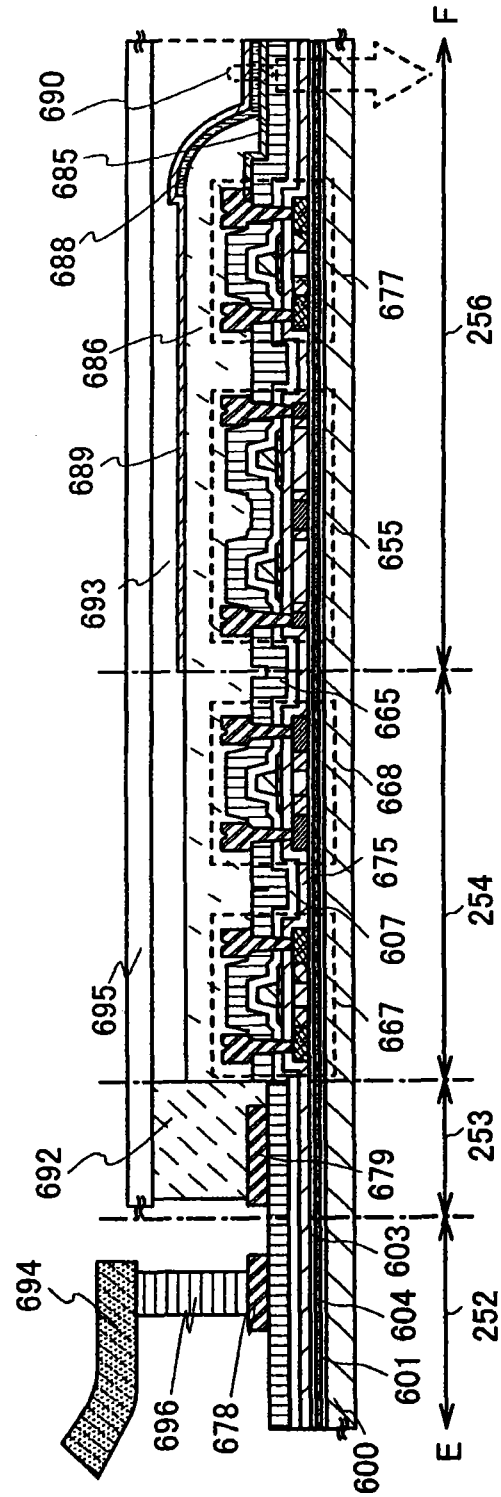


图 9B



10A



108

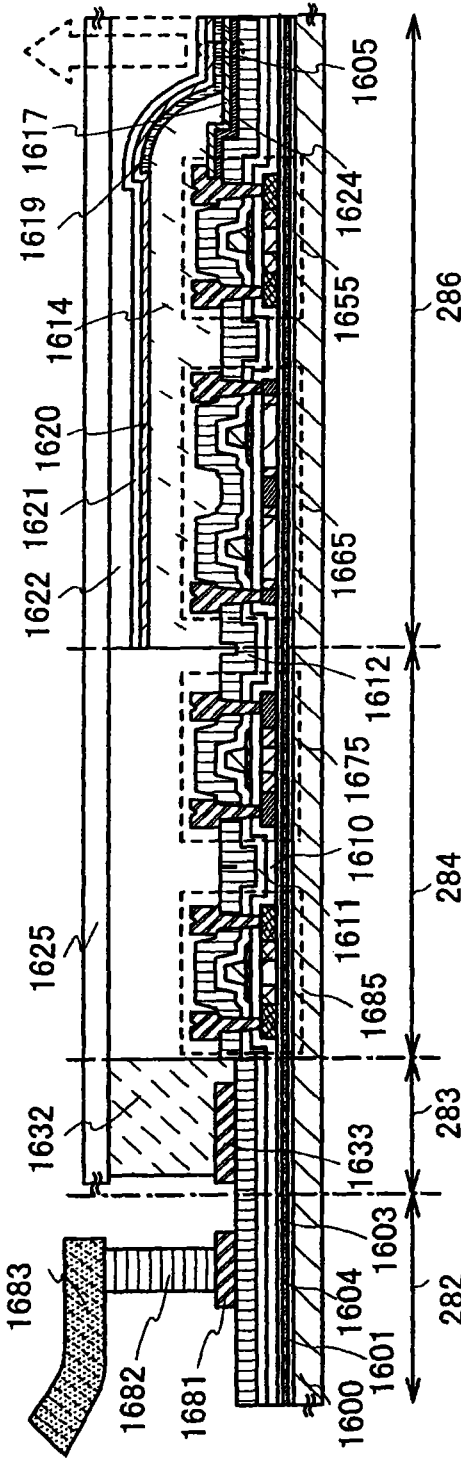


图 11A

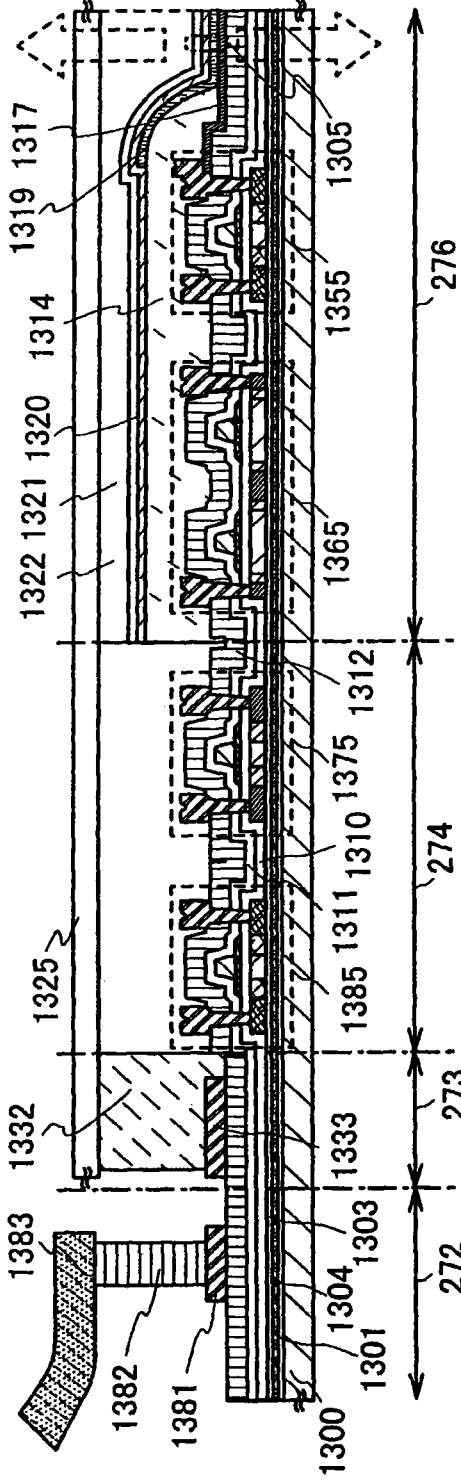


图 11B

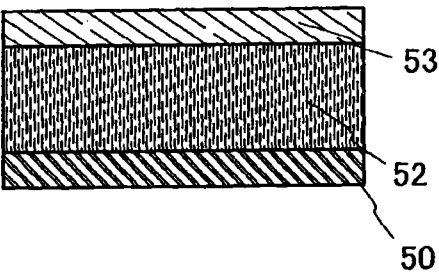


图 12A

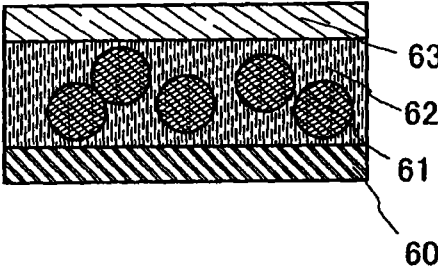


图 12D

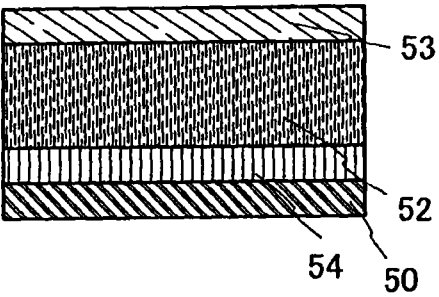


图 12B

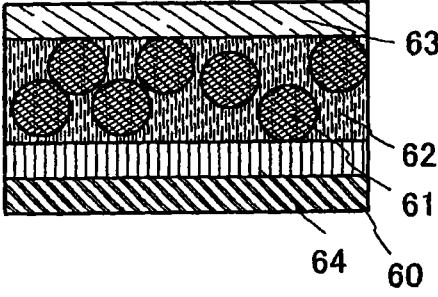


图 12E

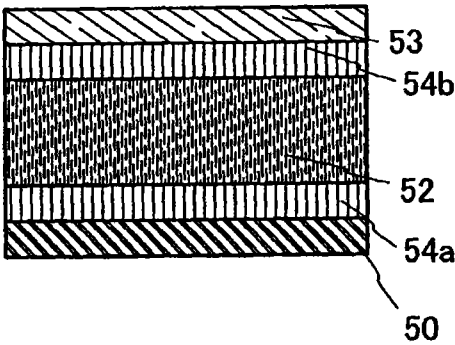


图 12C

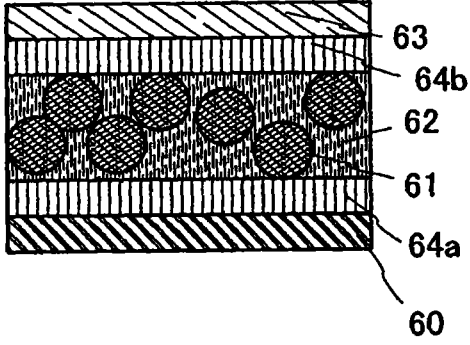


图 12F

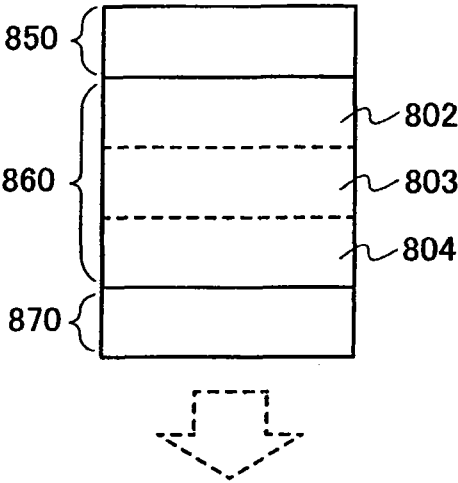


图 13A

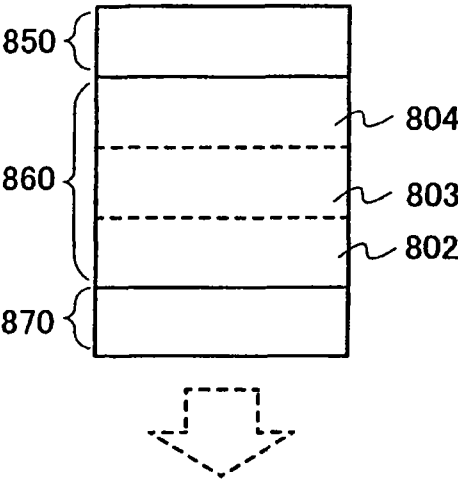


图 13B

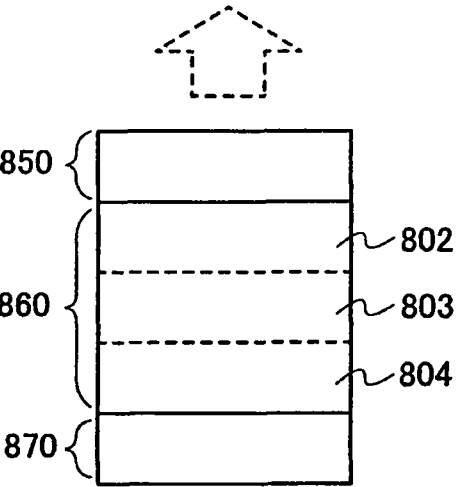


图 13C

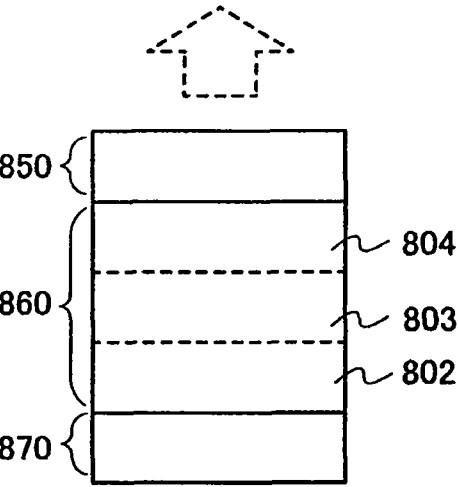


图 13D

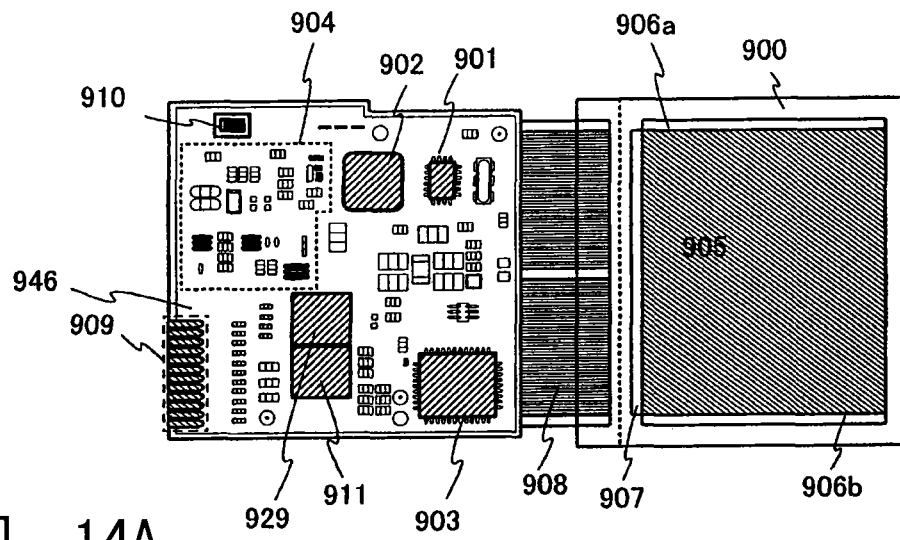


图 14A

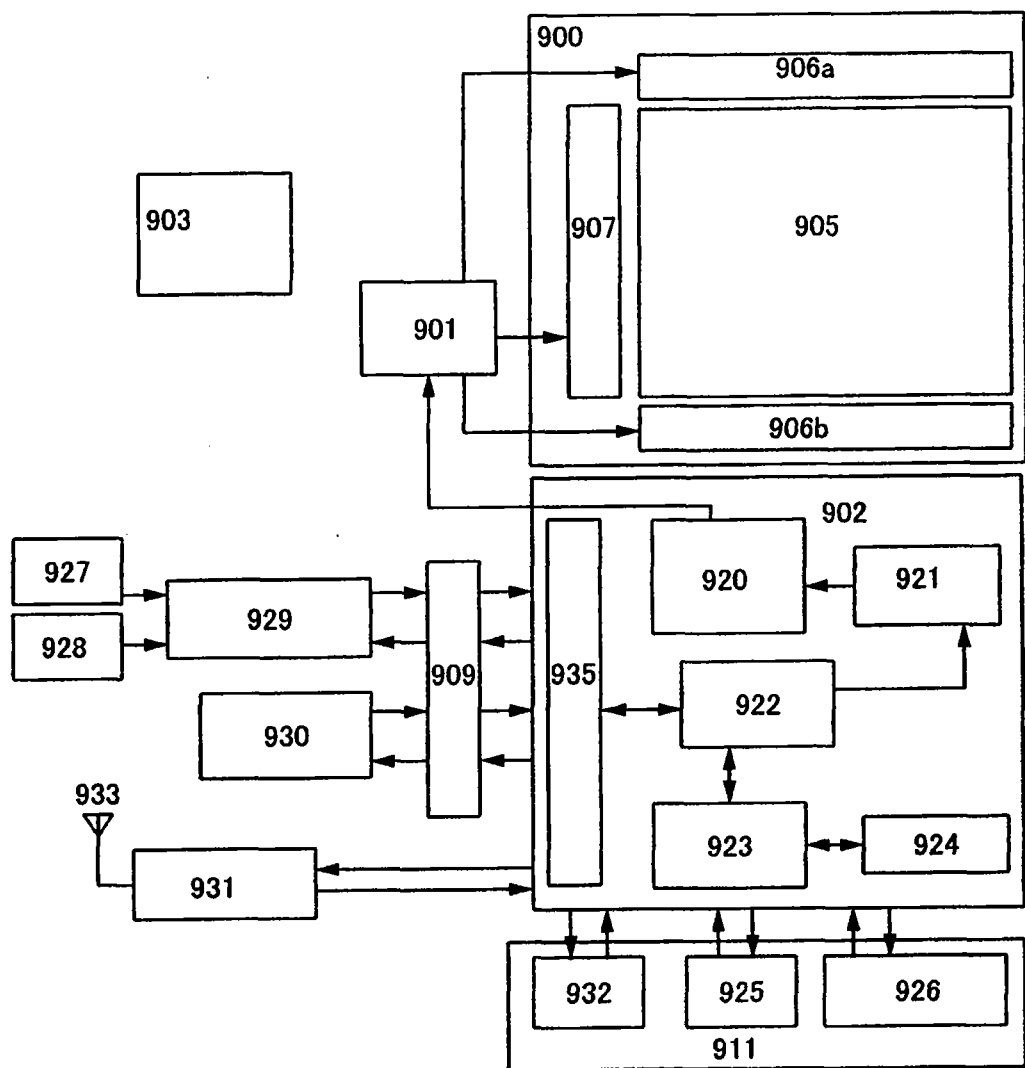


图 14B

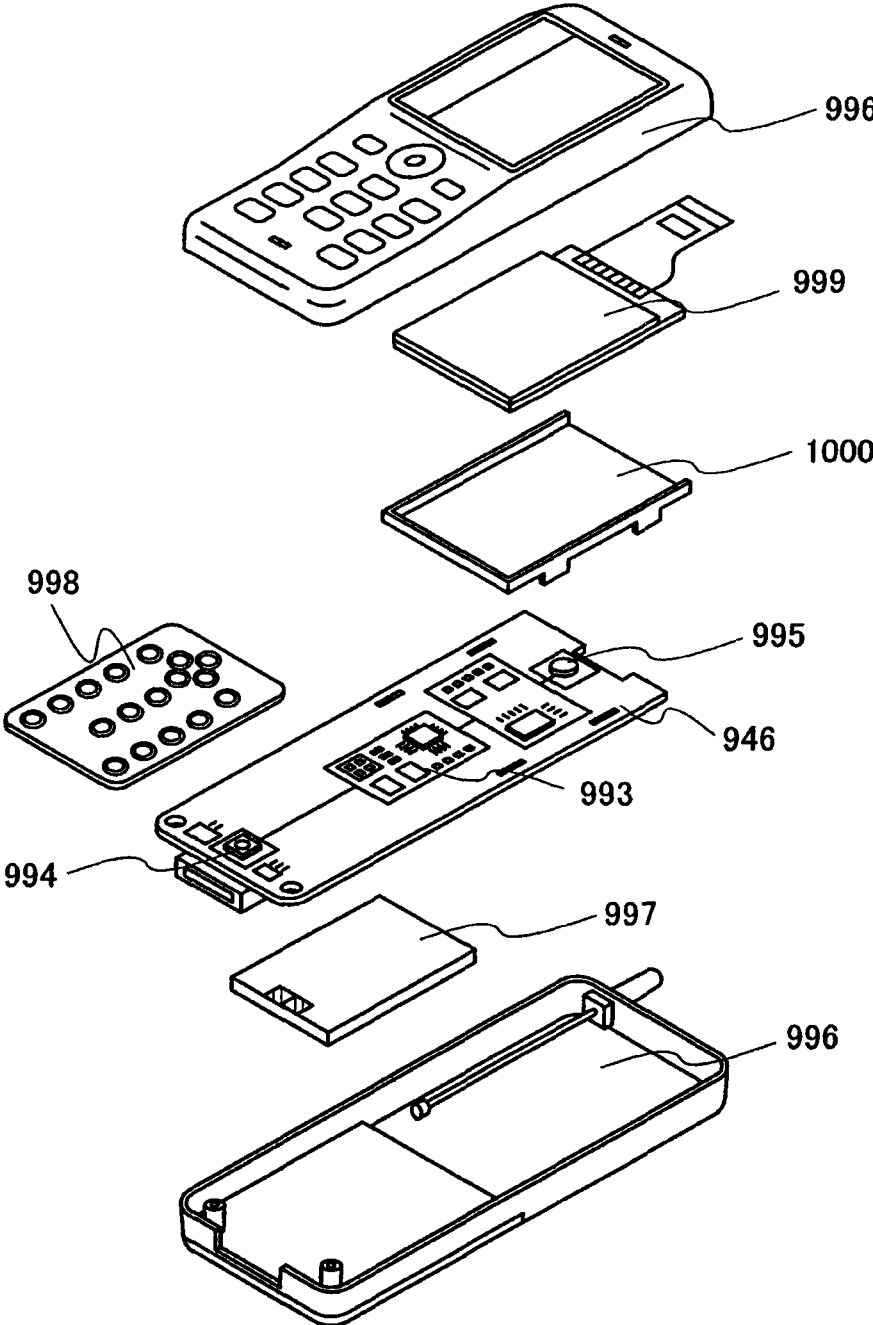


图 15

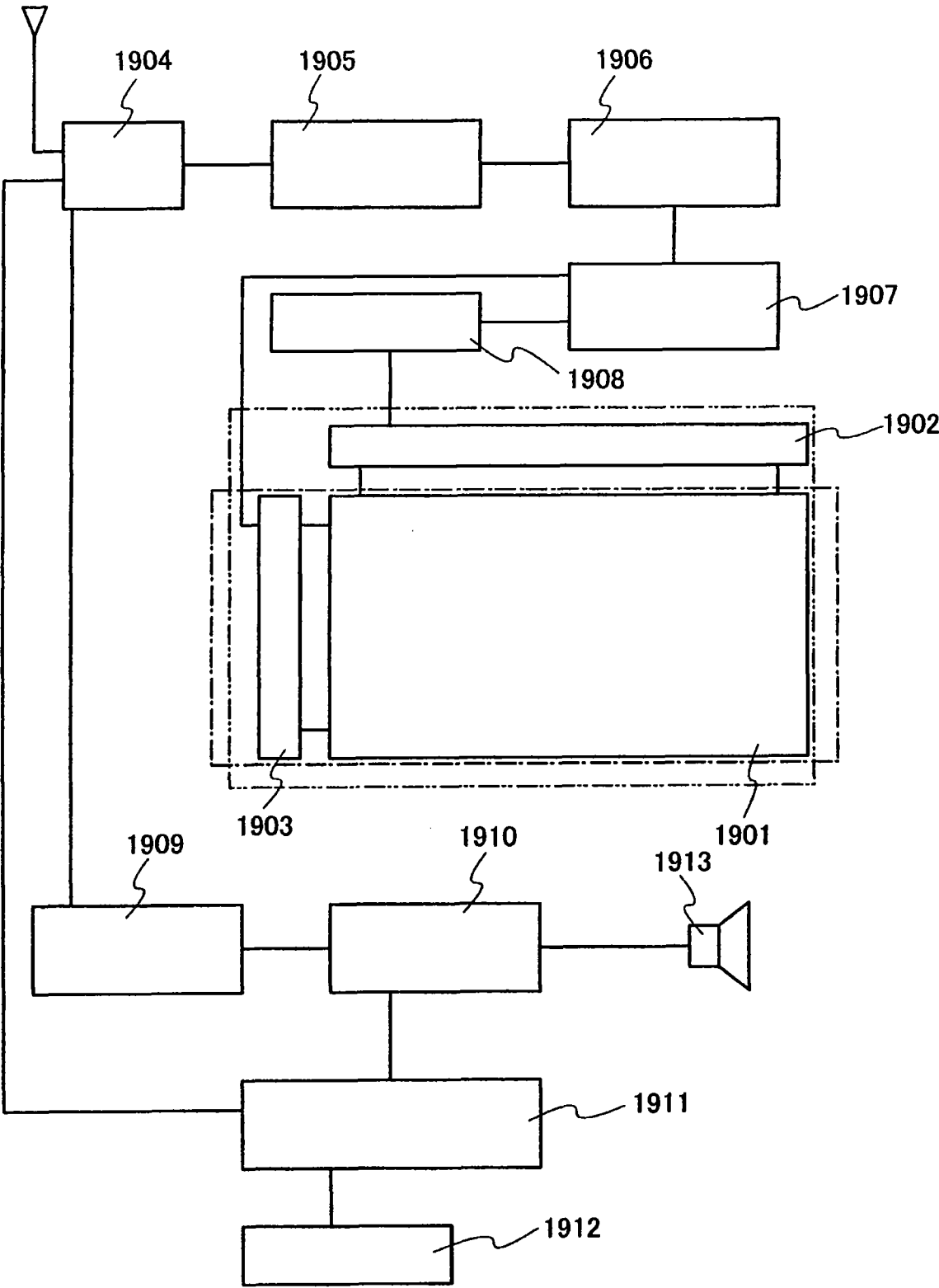


图 16

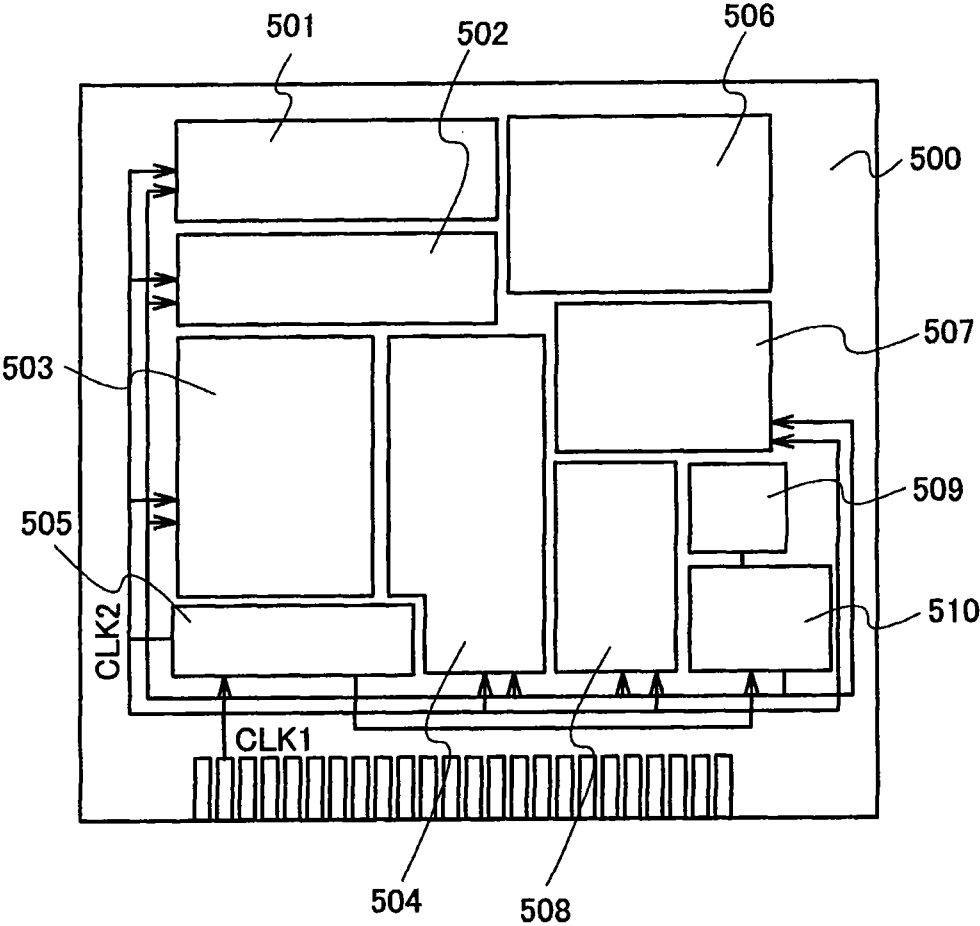


图 17

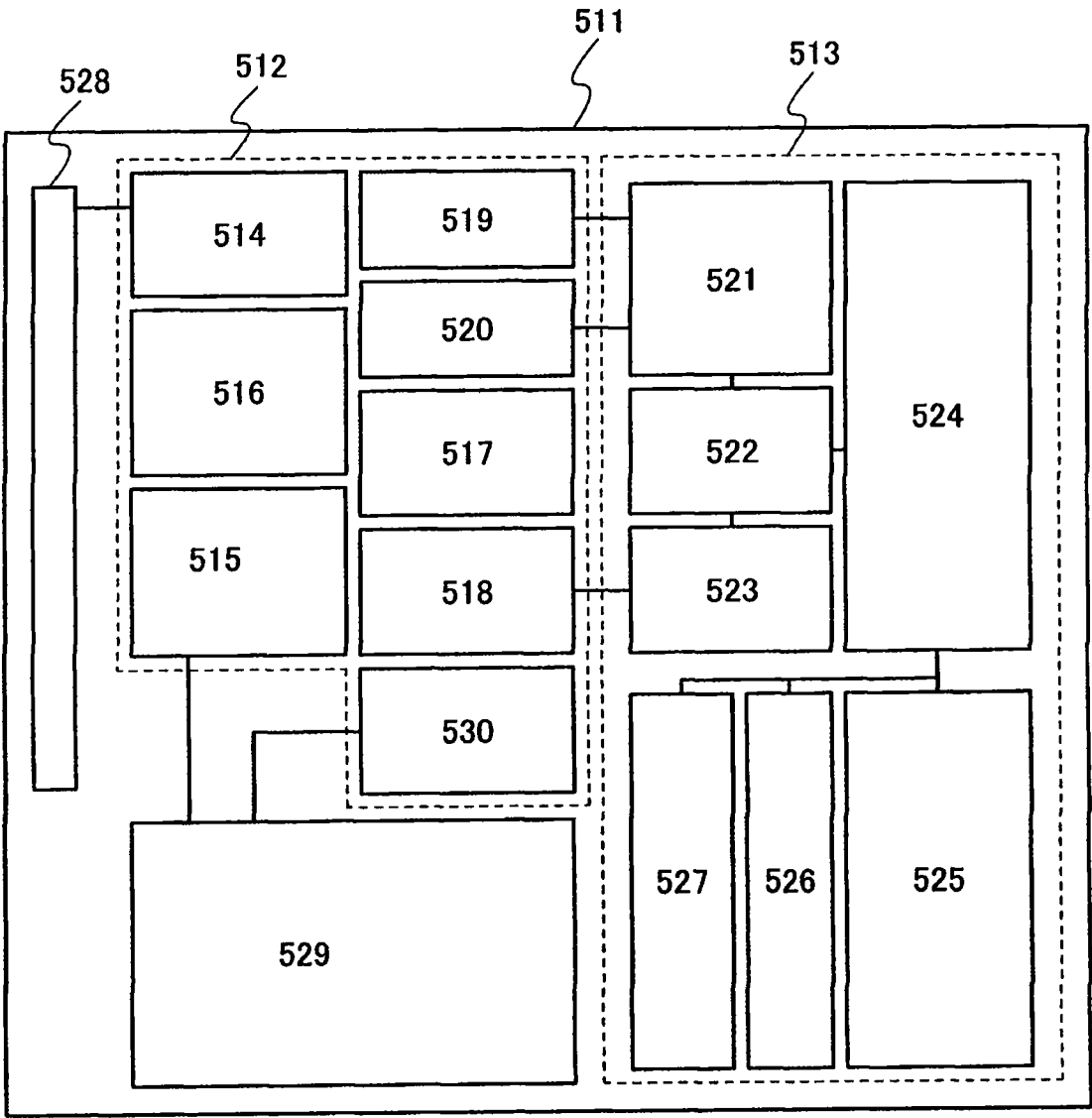


图 18

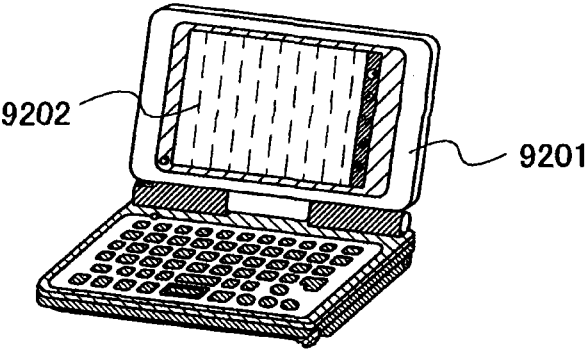


图 19A

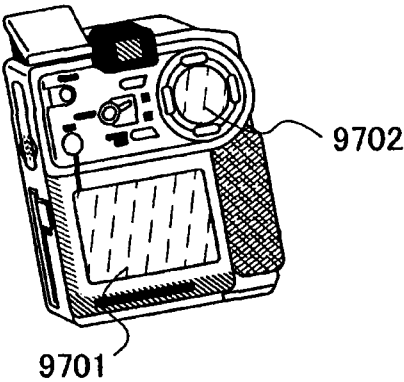


图 19B

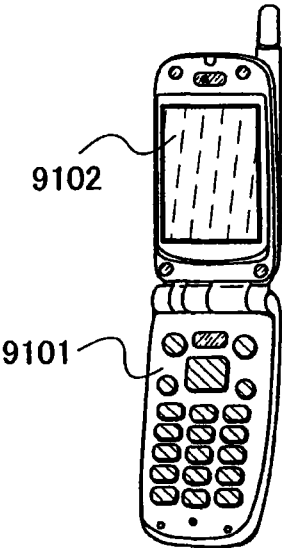


图 19C

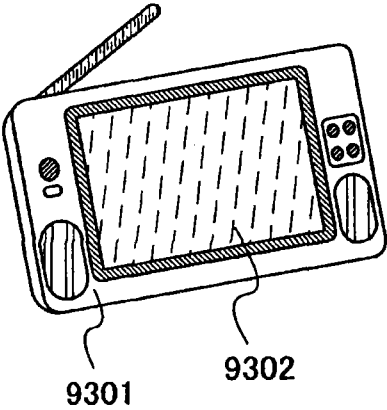


图 19D

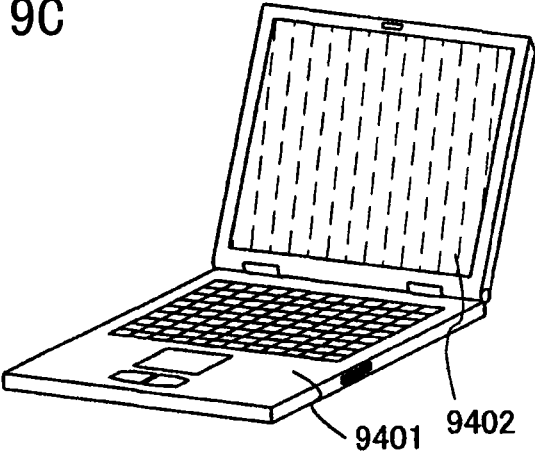


图 19E

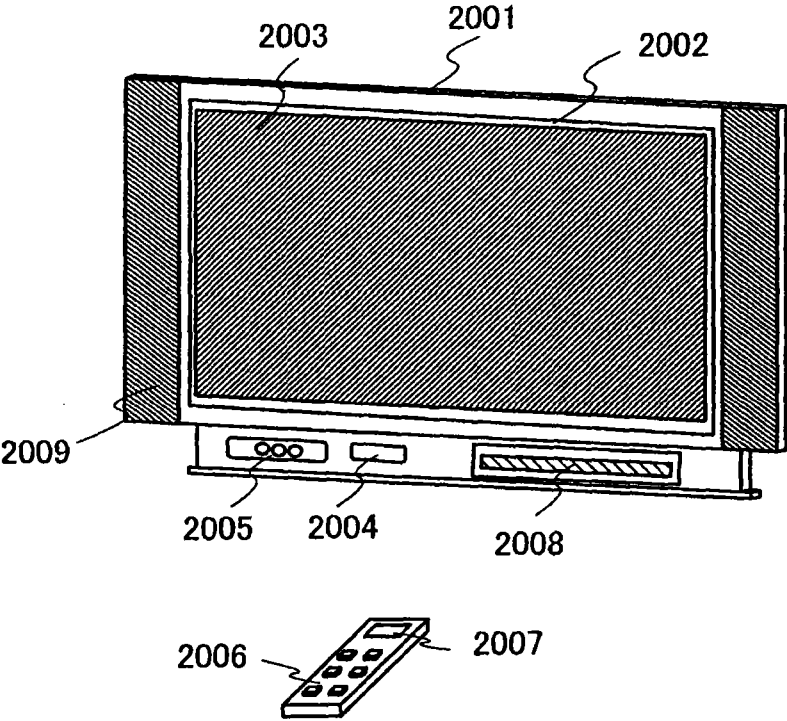


图 20A

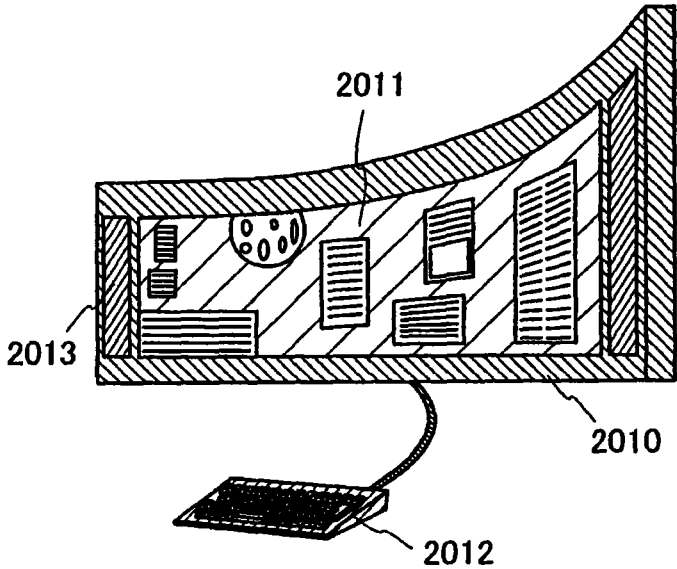
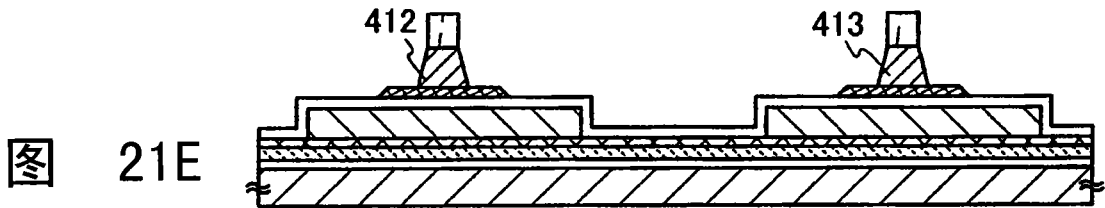
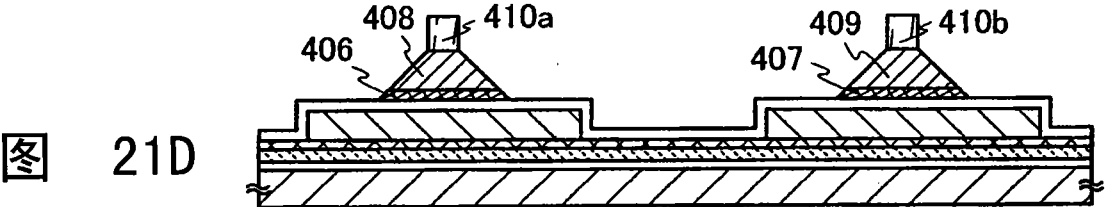
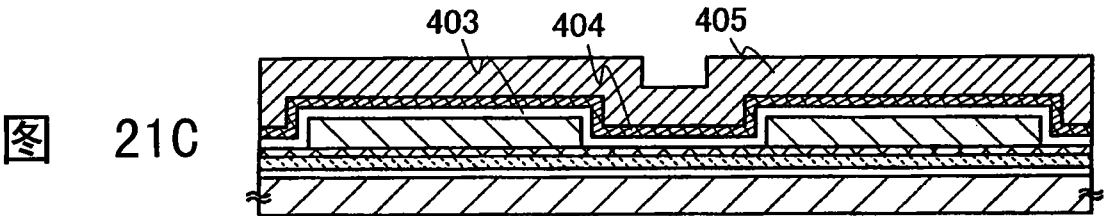
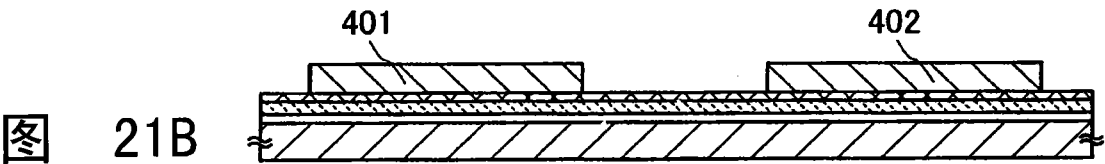
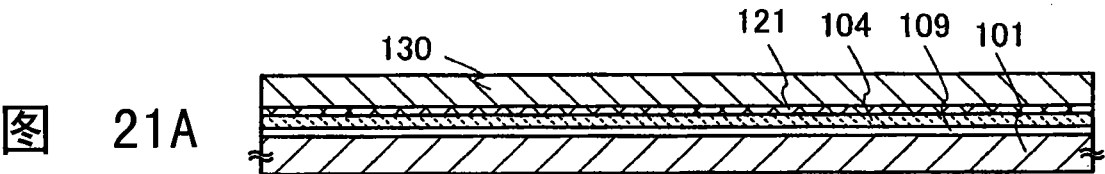
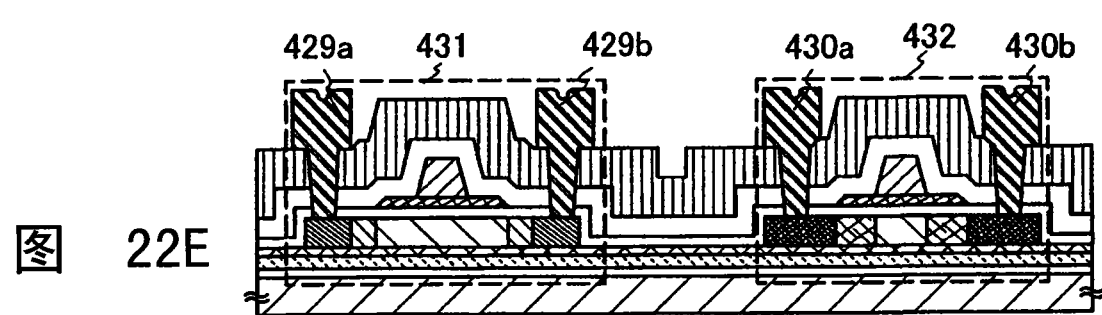
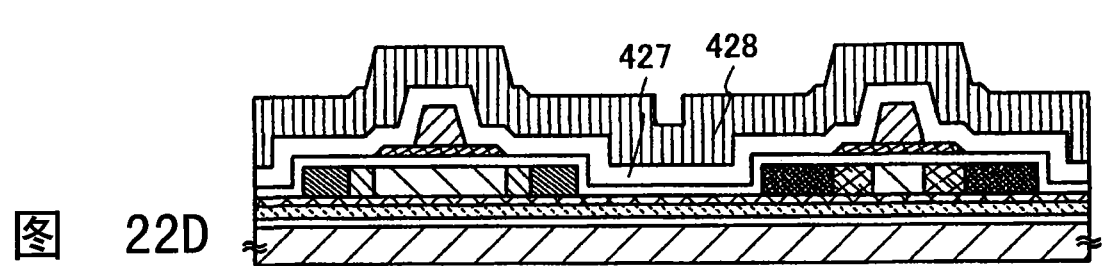
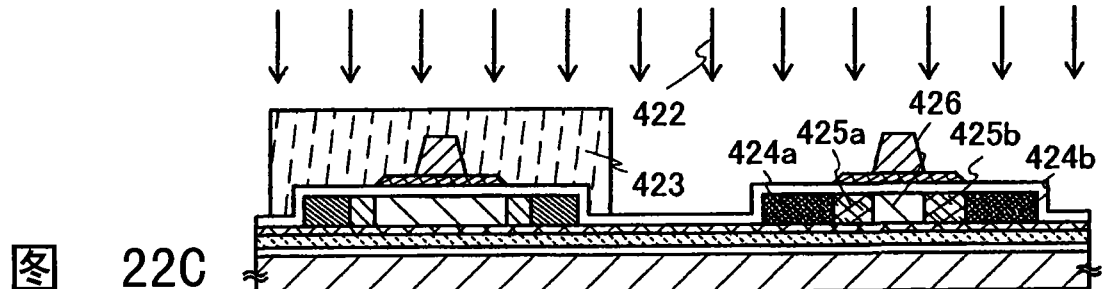
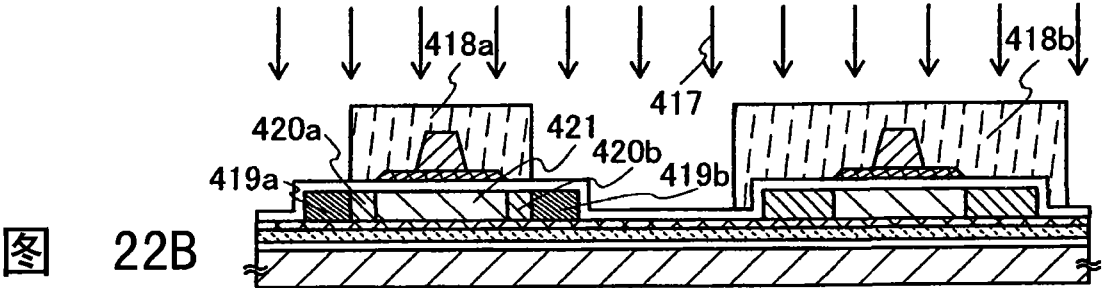
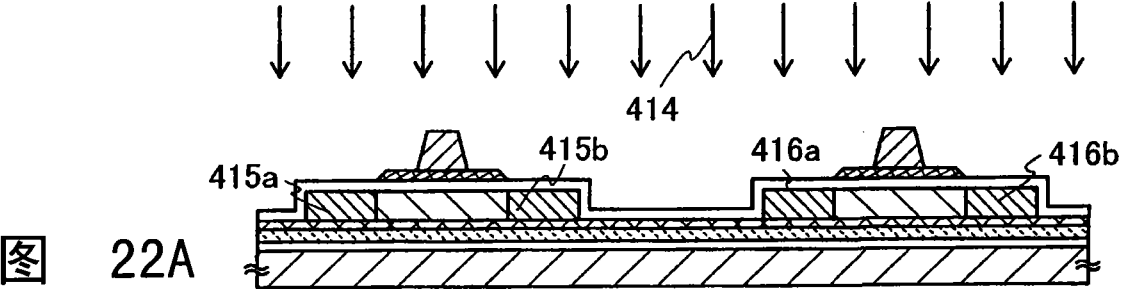


图 20B





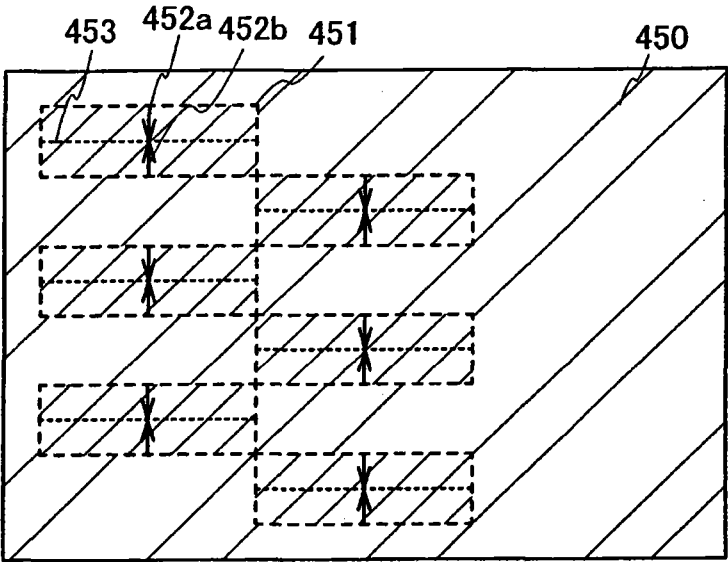


图 23A

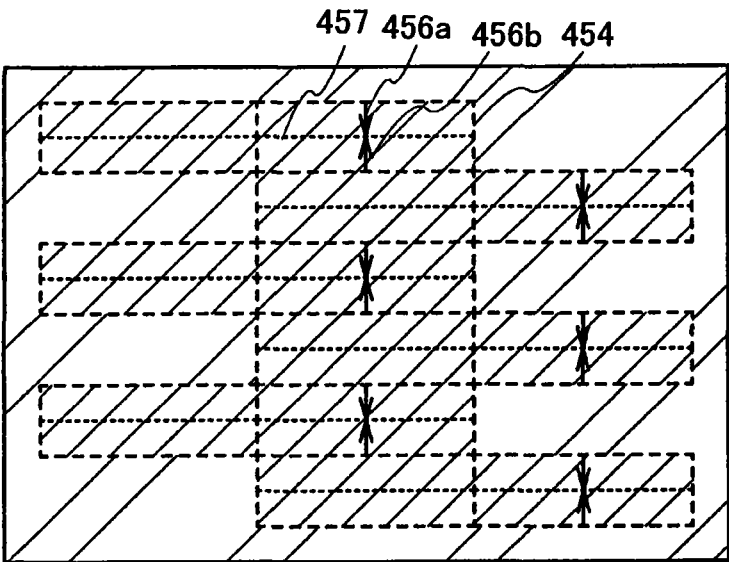


图 23B

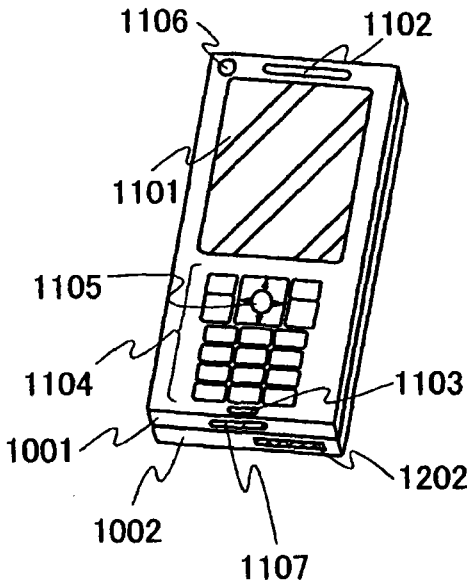


图 24A

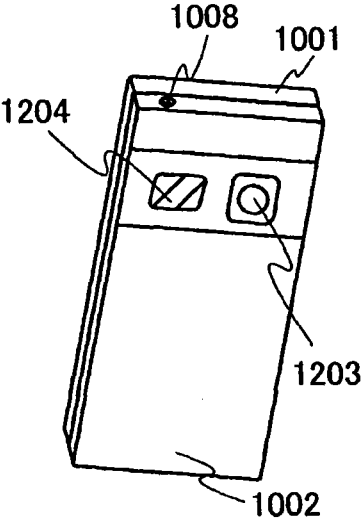


图 24B

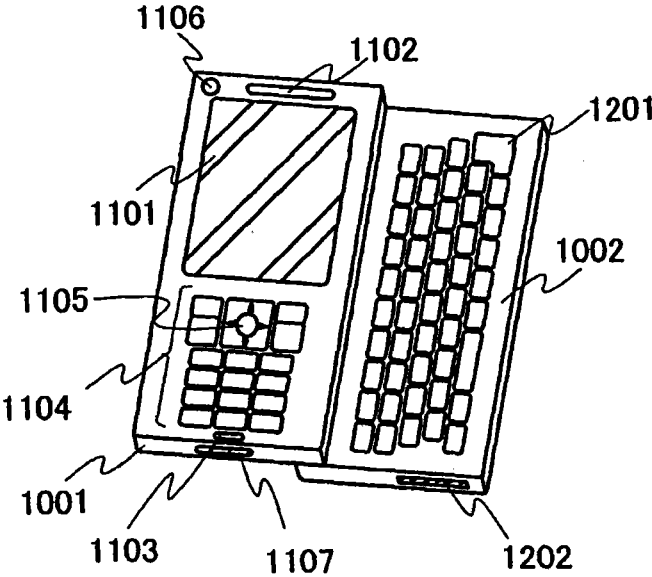


图 24C

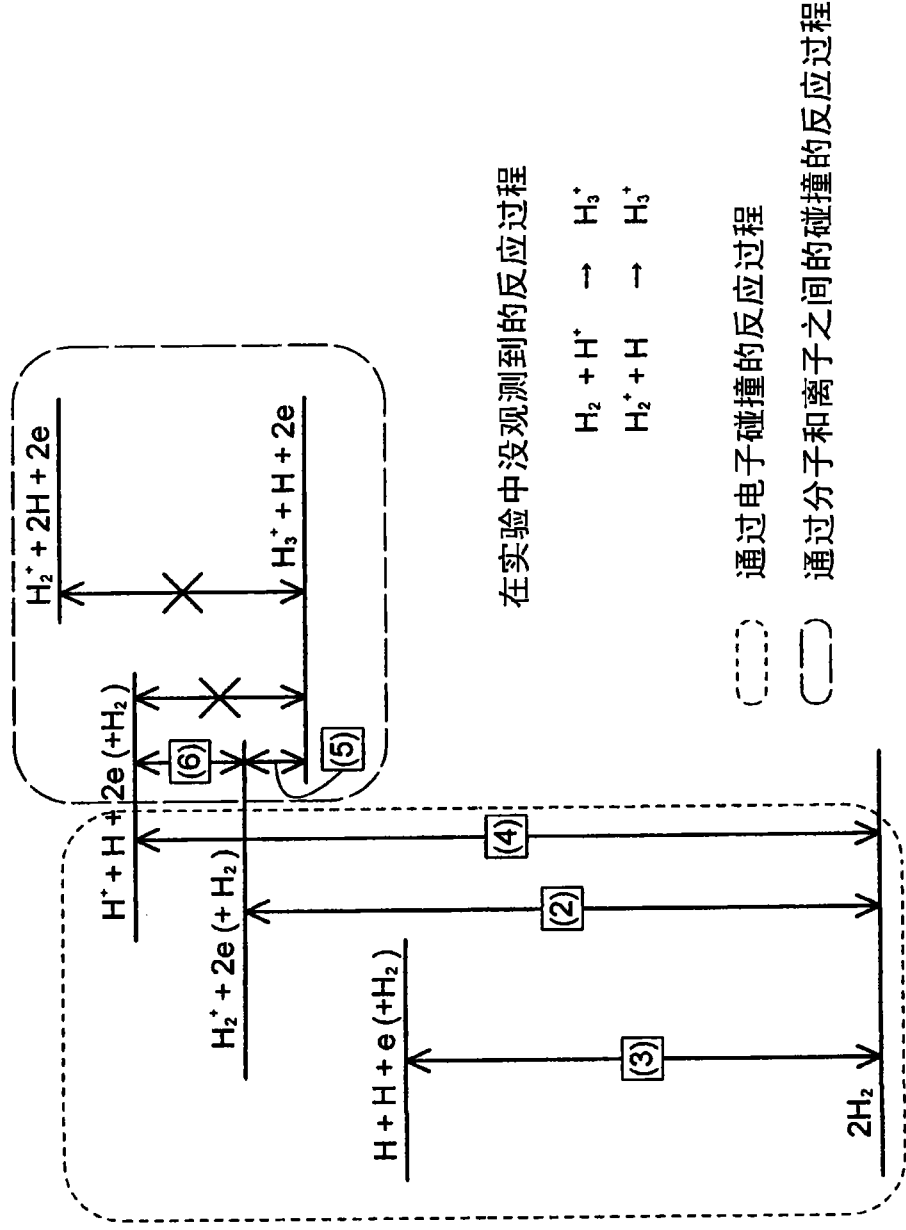


图 25

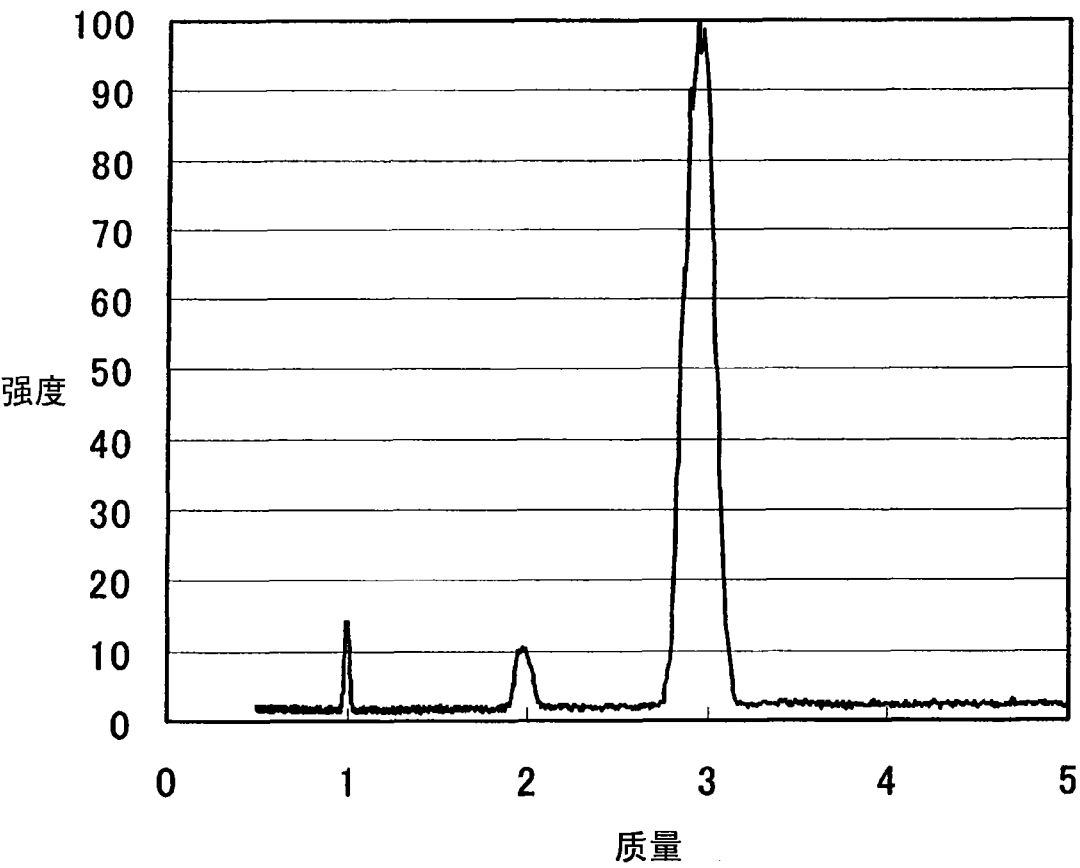


图 26

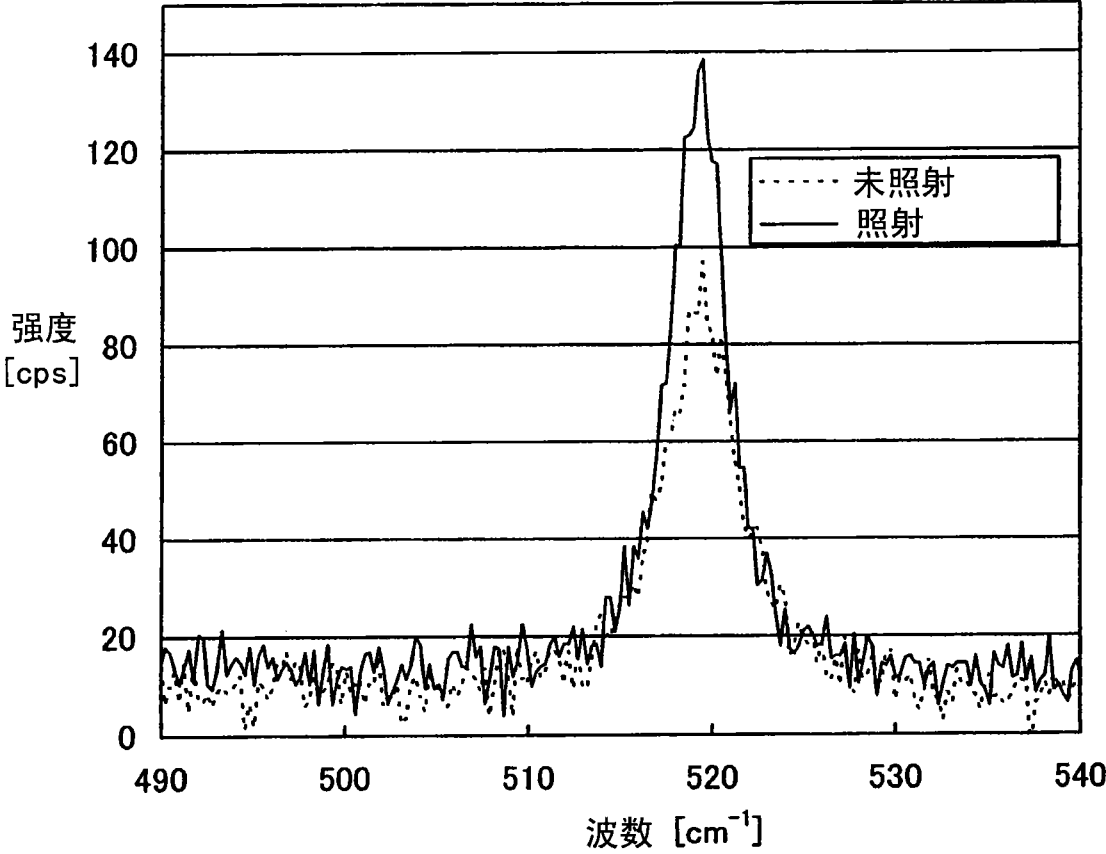


图 27

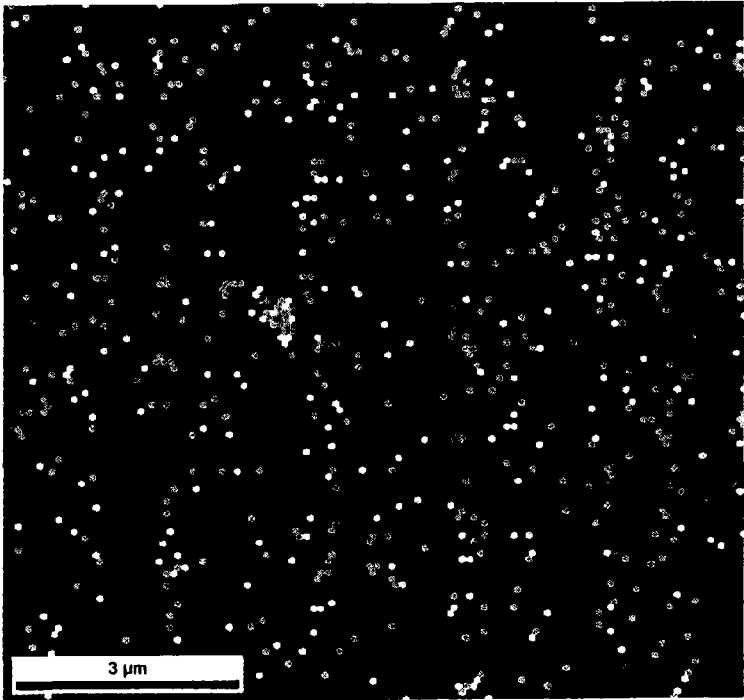


图 28A

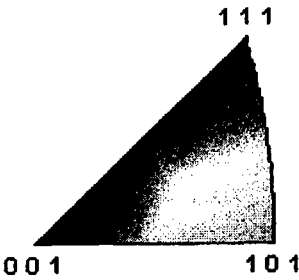


图 28B

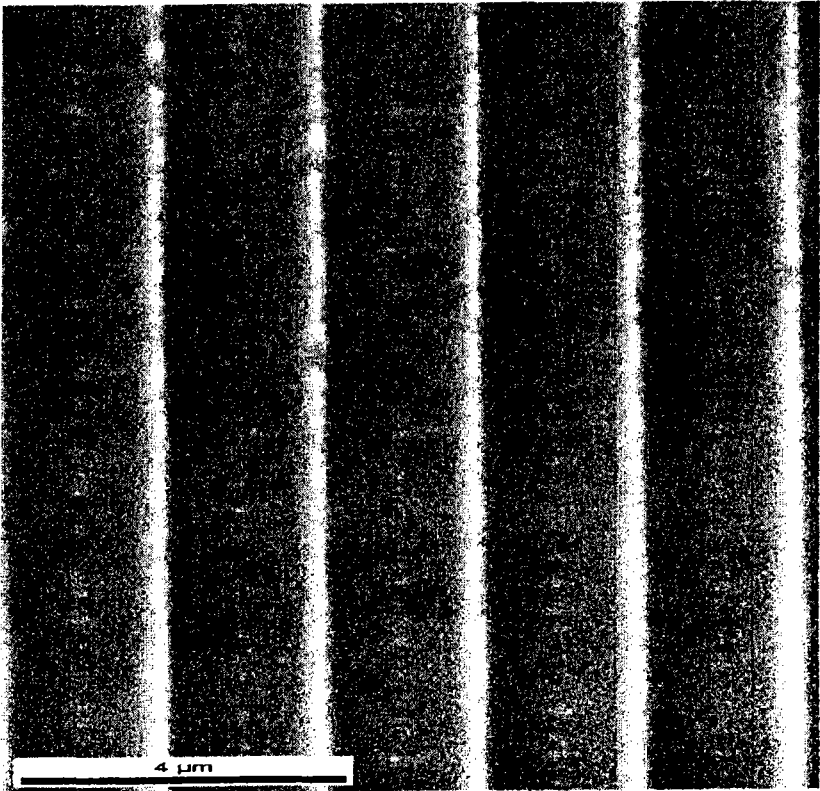


图 29

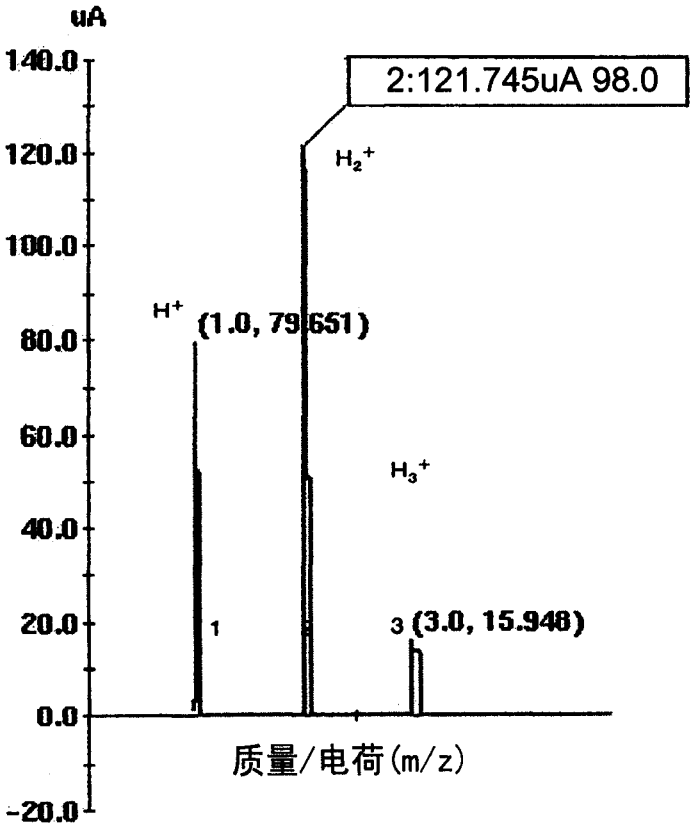


图 30

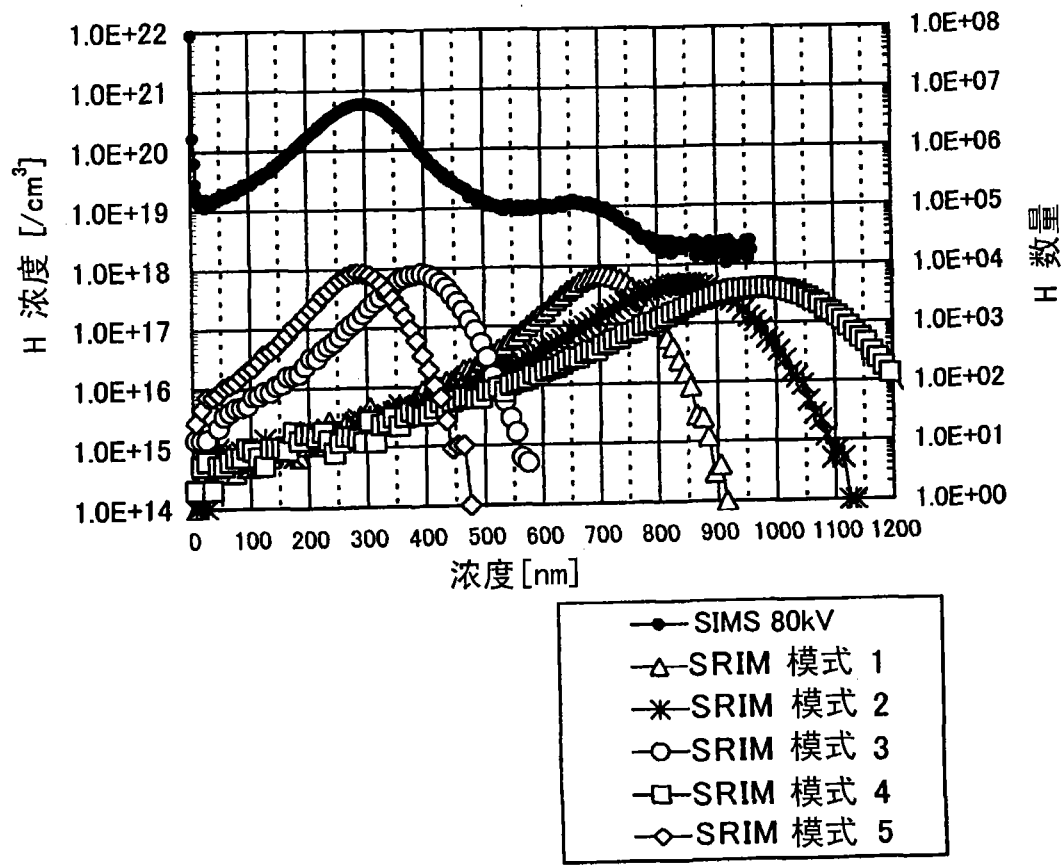


图 31

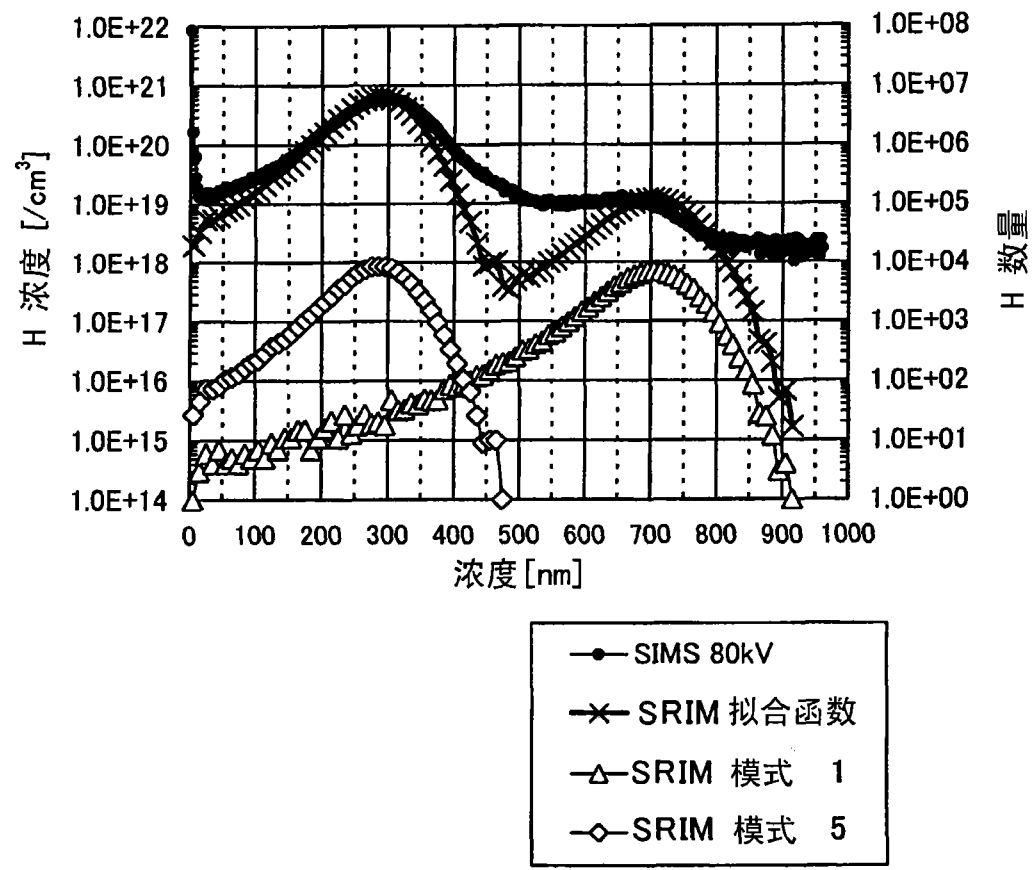


图 32

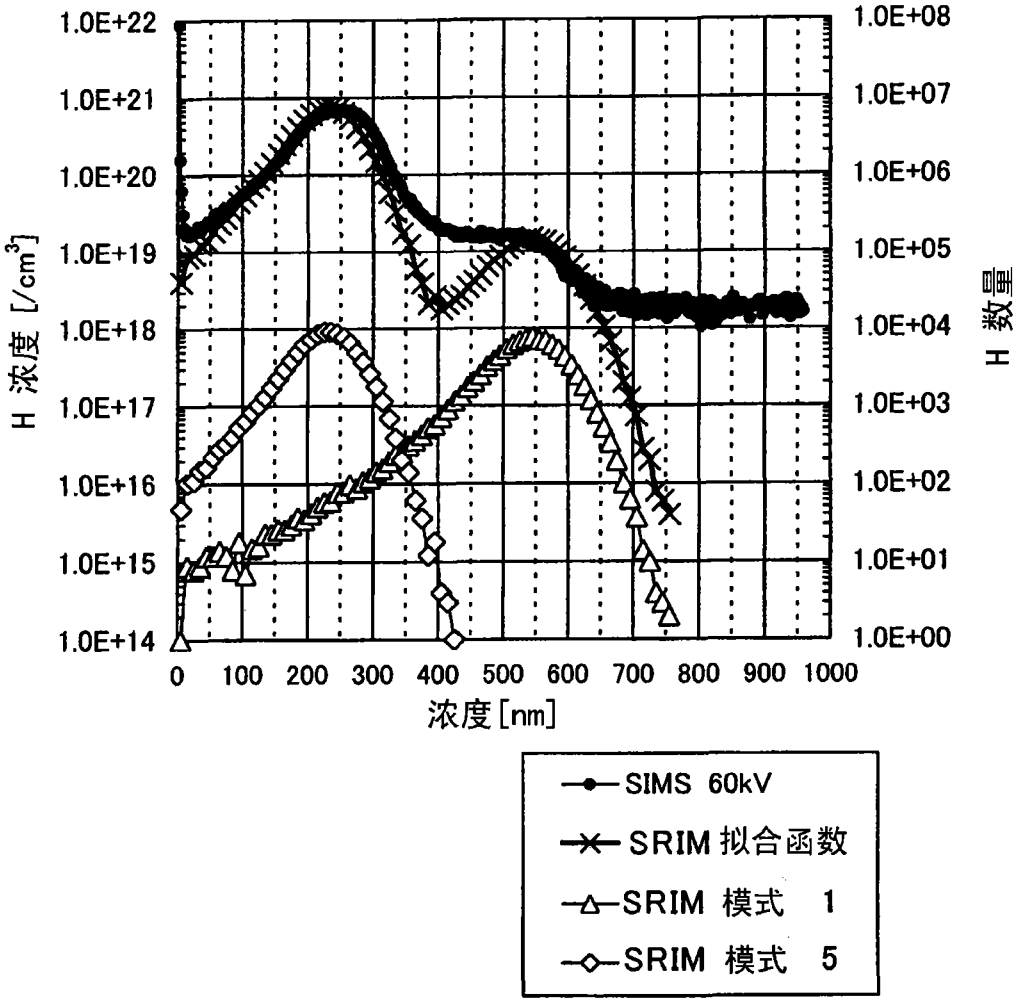


图 33

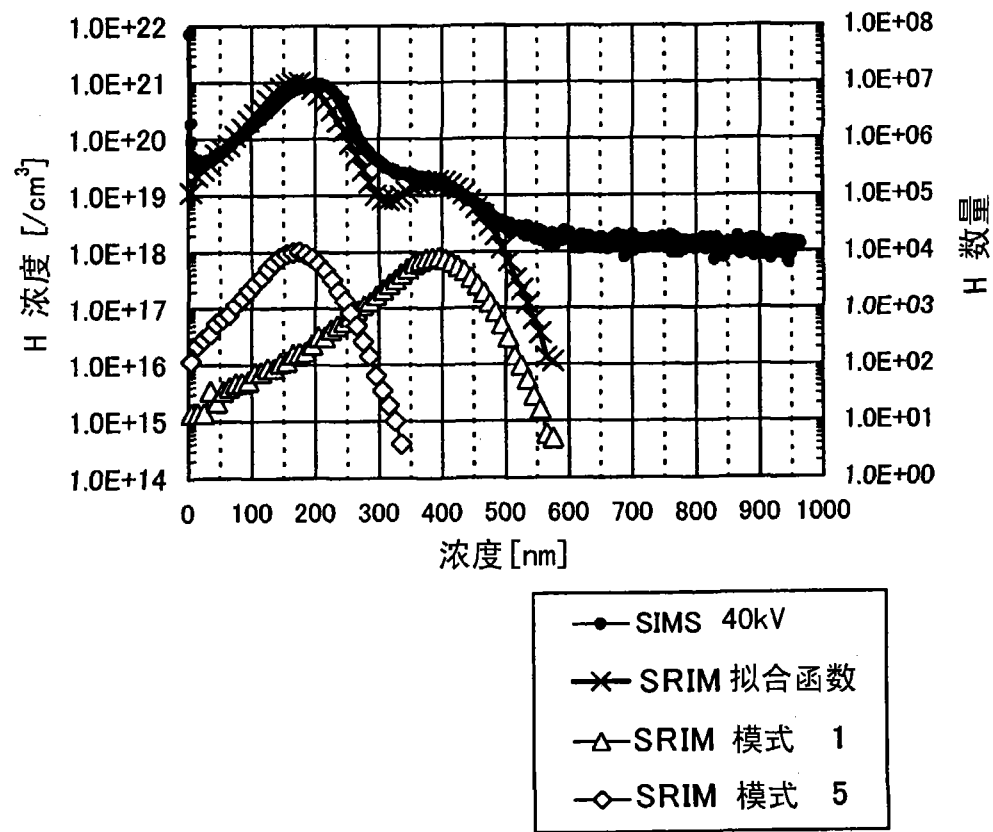


图 34

加速电压	氢元素 (H) 的比率 (X : Y)	离子种类 的比率 (X : Y / 3)
8 0 k V	1 : 4 4 . 1	1 : 1 4 . 7
6 0 k V	1 : 4 2 . 5	1 : 1 4 . 2
4 0 k V	1 : 4 3 . 5	1 : 1 4 . 5

图 35