

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7374459号
(P7374459)

(45)発行日 令和5年11月7日(2023.11.7)

(24)登録日 令和5年10月27日(2023.10.27)

(51)国際特許分類

F I

G O 6 N 10/00 (2022.01)

G O 6 N 10/00

G O 6 F 17/11 (2006.01)

G O 6 F 17/11

請求項の数 10 (全18頁)

(21)出願番号	特願2019-171290(P2019-171290)	(73)特許権者	520184088
(22)出願日	令和1年9月20日(2019.9.20)		株式会社シグマアイ
(65)公開番号	特開2021-47780(P2021-47780A)		東京都港区港南一丁目2番70号 品川
(43)公開日	令和3年3月25日(2021.3.25)		シーズンテラス
審査請求日	令和4年8月1日(2022.8.1)	(74)代理人	100141139
			弁理士 及川 周
		(74)代理人	100188558
			弁理士 飯田 雅人
		(74)代理人	100106909
			弁理士 棚井 澄雄
		(72)発明者	大関 真之
			宮城県仙台市青葉区片平二丁目1番1号
			国立大学法人東北大学内
		審査官	武田 広太郎

最終頁に続く

(54)【発明の名称】 組合せ最適化問題処理装置、組合せ最適化問題処理方法及びプログラム

(57)【特許請求の範囲】

【請求項1】

値が異なる2つの二値変数の積に比例する項を含む固有方程式における二値変数の値を表す物理量によって状態が表されるものを物理ビットとして、複数の前記物理ビットを有するビット体を備え、前記固有方程式が所定の変換によって変換された式であって、前記二値変数の1次以下の項だけを含む第1式と前記二値変数を含まない第2式とによって表される自己無撞着式である自己無撞着式における前記第1式の解をアニーリングの手法によって取得するアニーリング部と、

前記自己無撞着式における前記第2式の解を取得する第1場値取得部と、

前記自己無撞着式に関する所定の収束条件が満たされた場合に、前記第1式の解を前記自己無撞着式の解として取得する解取得部と、

を備え、

前記アニーリングの手法において前記物理ビットのそれぞれには、前記物理ビットと前記第2式の解とに応じた第1の場又は第1の熱が印加され、

前記固有方程式は、前記物理ビット間の関係を示す情報、を表す項を含む、組合せ最適化問題処理装置。

【請求項2】

前記アニーリング部は、

前記ビット体と、

前記第1の場又は第1の熱を印加する第1印加部と、

前記ビット体に第2の場又は第2の熱を印加する第2印加部と、
複数の前記物理ビットの状態を測定する測定部と、
を備え、
前記物理ビットのそれぞれに印加される前記第2の場又は熱は、前記物理ビットに依らず略同一である、

請求項1に記載の組合せ最適化問題処理装置。

【請求項3】

前記第2の場は、磁場又は電場である、
請求項2に記載の組合せ最適化問題処理装置。

【請求項4】

前記第1の場は、磁場又は電場である、
請求項1から3のいずれか一項に記載の組合せ最適化問題処理装置。

【請求項5】

前記アニーリングの手法は、量子アニーリングである、
請求項1から4のいずれか一項に記載の組合せ最適化問題処理装置。

【請求項6】

前記アニーリングの手法は、CMOSアニーリングである、
請求項1から4のいずれか一項に記載の組合せ最適化問題処理装置。

【請求項7】

前記第1場値取得部は、前記第2式の解を求根アルゴリズムによって取得する、
請求項1から6のいずれか一項に記載の組合せ最適化問題処理装置。

【請求項8】

前記所定の変換は、ハバード・ストラトノビッチ変換である、
請求項1から7のいずれか一項に記載の組合せ最適化問題処理装置。

【請求項9】

値が異なる2つの二値変数の積に比例する項を含む固有方程式における二値変数の値を表す物理量によって状態が表されるものを物理ビットとして、複数の前記物理ビットを有するビット体を備え、前記固有方程式が所定の変換によって変換された式であって、前記二値変数の1次以下の項だけを含む第1式と前記二値変数を含まない第2式とによって表される自己無撞着な式である自己無撞着式における前記第1式の解をアニーリングの手法によって取得するアニーリングステップと、

前記自己無撞着式における前記第2式の解を取得する第1場値取得ステップと、

前記自己無撞着式に関する所定の収束条件が満たされた場合に、前記第1式の解を前記自己無撞着式の解として取得する解取得ステップと、

を有し、

前記アニーリングの手法において前記物理ビットのそれぞれには、前記物理ビットと前記第2式の解とに応じた第1の場又は第1の熱が印加され、

前記固有方程式は、前記物理ビット間の関係を示す情報、を表す項を含む、
組合せ最適化問題処理方法。

【請求項10】

請求項1から8のいずれか一項に記載の組合せ最適化問題処理装置としてコンピュータを機能させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、組合せ最適化問題処理装置、組合せ最適化問題処理方法及びプログラムに関する。

【背景技術】

【0002】

近年、機械学習、深層学習又は人工知能の研究が進んでいる。機械学習、深層学習又は

10

20

30

40

50

人工知能においては、巡回セールスマン問題等の組合せ最適化問題を高速に処理することが重要な課題の一つとなっている。そのため、組合せ最適化問題を高速に処理する装置の実装への期待が高まっている。このような組合せ最適化問題を高速に処理する装置の1つは、量子アニーリングによって最適化問題を処理する量子アニーリングマシン（非特許文献1）である。量子アニーリングマシンは、量子ビットを基本素子とする計算機であり複数の量子ビットを備える計算機である。量子アニーリングマシンは、自装置が備える複数の量子ビットを含む系（以下「ビット系」という。）における所定の固有状態（例えば基底状態）を示す情報をビット系の測定によって取得する（量子アニーリング）。固有状態を示す情報とは、具体的には、固有状態における各量子ビットの示す値の分布を示す情報である。そして、量子アニーリングマシンは、取得結果を組合せ最適化問題の解として出力する。

10

【先行技術文献】

【非特許文献】

【0003】

【文献】”The D-Wave 2000Q System”、[online]、D W a v e T h e Q u a n t u m C o m p u t i n g C o m p a n y、[令和1年9月9日検索]、インターネット〈URL: <https://www.dwavesys.com/d-wave-two-system>〉

【発明の概要】

【発明が解決しようとする課題】

【0004】

20

量子アニーリングマシンは、例えばD-Wave（登録商標）として既に販売されている。しかしながら、これまで実装された量子アニーリングマシンの場合、イジングモデル型組合せ最適化問題については、量子ビットの位置関係を問題に合わせて最適化した装置でなければ、精度のよい解を出力できない場合があった。

【0005】

なぜなら、従来の量子アニーリングマシンは量子ビット間の相互作用を利用して最適化問題を解くため、問題を解くために利用される量子ビット同士が隣接している必要があるからである。なお、イジングモデル型最適化問題とは、異なる2つの変数の積に比例する項を含む固有方程式（以下「イジング型固有方程式」という。）によって表される最適化問題であってイジング型固有方程式の固有状態が問題の解に一致する組合せ最適化問題である。イジングモデル型最適化問題は、例えば、イジングモデルに帰着される組合せ最適化問題である。イジングモデルに帰着される組合せ最適化問題とは、イジングモデルを表す固有方程式の解が問題の解である組合せ最適化問題である。問題に合わせて最適化された量子アニーリングマシンとは、例えば、キメラグラフの形に量子ビットが位置する量子アニーリングマシンである。

30

【0006】

そのため、従来の量子アニーリングマシンは、1つの量子ビットに隣接する量子ビットの数によって解くことのできる問題の種類が限定されるという問題があった。また、2つの量子ビット間の波動関数の重なり具合が所定の度合よりも強いと、2つの量子ビットは独立した量子ビットと見なせない動作をしてしまう。このような場合、量子アニーリングマシンは適切な解を出力することができない。波動関数の重なり具合は量子ビット間の距離が近いほど高いため、量子アニーリングマシンが適切な解を出力する装置であるためには、量子アニーリングマシンにおける2つの量子ビットは所定の距離以上離れている必要がある。このように、1つの量子ビットに隣接する量子ビットの数には量子力学的な限界があり、このことが、量子アニーリングマシンが解くことができる問題の種類を決める要因の一つであった。

40

また、このような装置の制限に依存する問題は、量子アニーリングマシンに限らず、アニーリングの方法を利用して組合せ最適化問題の解を出力する装置について共通の課題であった。

【0007】

50

上記事情に鑑み、本発明は、組合せ最適化問題の解を出力する装置が解くことができる問題の種類を増大する技術を提供することを目的としている。

【課題を解決するための手段】

【0008】

本発明の一態様は、値が異なる2つの二値変数の積に比例する項を含む固有方程式における二値変数の値を表す物理量によって状態が表されるものを物理ビットとして、複数の前記物理ビットを有するビット体を備え、前記固有方程式が所定の変換によって変換された式であって、前記二値変数の1次以下の項だけを含む第1式と前記二値変数を含まない第2式とによって表される自己無撞着な式である自己無撞着式における前記第1式の解をアニーリングの手法によって取得するアニーリング部と、前記自己無撞着式における前記第2式の解を取得する第1場値取得部と、前記自己無撞着式に関する所定の収束条件が満たされた場合に、前記第1式の解を前記自己無撞着式の解として取得する解取得部と、を備え、前記アニーリングの手法において前記物理ビットのそれぞれには、前記物理ビットと前記第2式の解とに応じた第1の場又は第1の熱が印加され、前記固有方程式は、前記物理ビット間の関係を示す情報、を表す項を含む、組合せ最適化問題処理装置である。

10

【0009】

本発明の一態様は、上記の組合せ最適化問題処理装置であって、前記アニーリング部は、前記ビット体と、前記第1の場又は第1の熱を印加する第1印加部と、前記ビット体に第2の場又は第2の熱を印加する第2印加部と、複数の前記物理ビットの状態を測定する測定部と、を備え、前記物理ビットのそれぞれに印加される前記第2の場又は熱は、前記物理ビットに依らず略同一である。

20

【0010】

本発明の一態様は、上記の組合せ最適化問題処理装置であって、前記第2の場は、磁場又は電場である。

【0011】

本発明の一態様は、上記の組合せ最適化問題処理装置であって、前記第1の場は、磁場又は電場である。

【0012】

本発明の一態様は、上記の組合せ最適化問題処理装置であって、前記アニーリングの手法は、量子アニーリングである。

30

【0013】

本発明の一態様は、上記の組合せ最適化問題処理装置であって、前記アニーリングの手法は、CMOSアニーリングである。

【0014】

本発明の一態様は、上記の組合せ最適化問題処理装置であって、前記第1場値取得部は、前記第2式の解を求根アルゴリズムによって取得する。

【0015】

本発明の一態様は、上記の組合せ最適化問題処理装置であって、前記所定の変換は、ハバード・ストラトノビッチ変換である。

【0016】

40

本発明の一態様は、値が異なる2つの二値変数の積に比例する項を含む固有方程式における二値変数の値を表す物理量によって状態が表されるものを物理ビットとして、複数の前記物理ビットを有するビット体を備え、前記固有方程式が所定の変換によって変換された式であって、前記二値変数の1次以下の項だけを含む第1式と前記二値変数を含まない第2式とによって表される自己無撞着な式である自己無撞着式における前記第1式の解をアニーリングの手法によって取得するアニーリングステップと、前記自己無撞着式における前記第2式の解を取得する第1場値取得ステップと、前記自己無撞着式に関する所定の収束条件が満たされた場合に、前記第1式の解を前記自己無撞着式の解として取得する解取得ステップと、を有し、前記アニーリングの手法において前記物理ビットのそれぞれには、前記物理ビットと前記第2式の解とに応じた第1の場又は第1の熱が印加され、前記

50

固有方程式は、前記物理ビット間の関係を示す情報、を表す項を含む、組合せ最適化問題処理方法である。

【００１７】

本発明の一態様は、上記の組合せ最適化問題処理装置としてコンピュータを機能させるためのプログラムである。

【発明の効果】

【００１８】

本発明により、組合せ最適化問題の解を出力する装置が解くことができる問題の種類を増大する技術を提供することが可能となる。

【図面の簡単な説明】

【００１９】

【図１】実施形態の組合せ最適化問題処理装置１のハードウェア構成の一例を示す図。

【図２】実施形態における物理量子ビットと論理量子ビットとの関係を説明する説明図。

【図３】実施形態における状態測定部１５の一例を説明する説明図。

【図４】実施形態における複数の物理量子ビット１０１の位置関係の一例を示す図。

【図５】実施形態の制御部１１の一例を示す図。

【図６】実施形態の組合せ最適化問題処理装置１が実行する処理の流れの一例を示すフローチャート。

【発明を実施するための形態】

【００２０】

（実施形態）

図１は、実施形態の組合せ最適化問題処理装置１のハードウェア構成の一例を示す図である。まず、組合せ最適化問題処理装置１の概要を説明する。

【００２１】

<概要>

組合せ最適化問題処理装置１は、複数の物理ビットを備え、量子アニーリング等のアニーリングの手法を用いて巡回セールスマン問題等の組合せ最適化問題の解を取得する装置である。より具体的には、組合せ最適化問題処理装置１は、アニーリングの手法を用いて、異なる２つの変数の積に比例する項（以下「イジング項」という。）を含む固有方程式（以下「イジング型固有方程式」という。）の所定の固有状態を示す情報を取得する装置である。イジング型固有方程式は、例えば、式（１）で表されるイジングモデルを表す固有方程式である。物理ビットは、イジングモデルを表す固有方程式における二値変数の値を表す物理量である。物理ビットは、例えば、二準位量子系として動作するものである。二準位量子系として動作するものは、例えば、物理量子ビットである。物理量子ビットは、半導体中の原子のスピンであってもよいし、超電導量子ビットであってもよい。このような場合、スピンの向きがイジングモデルを表す固有方程式にける二値変数の値を表す物理量である。以下、説明の簡単のためアニーリングの手法が量子アニーリングである場合であって、物理ビットが物理量子ビットである場合を例に組合せ最適化問題処理装置１を説明する。

【００２２】

【数１】

$$f_0(q) = q^T Q q \quad \dots (1)$$

【００２３】

【数２】

$$q = (q_1, q_2, \dots, q_N) \quad \dots (2)$$

10

20

30

40

50

【0024】

式(2)において q_n は(n は1以上 N 以下の整数。 N は正の整数)0又は1を有する二値の値である。 q_n は例えばパウリ行列の Z 成分(すなわちイジング変数)である。式(1)において、 $f_0(q)$ は解析対象のイジングモデルにおけるハミルトニアンを表す。 $f_0(q)$ は、変数 q_n を変数に持つ関数である。

【0025】

上述したように組合せ最適化問題処理装置1はアニーリングの手法によってハミルトニアン $f_0(q)$ を解く。すなわち、組合せ最適化問題処理装置1は、複数の物理量子ビット(physical qubits)を含む系(以下「量子ビット系」という。)の基底状態を生成し、生成した基底状態に関する情報を取得することでハミルトニアン $f_0(q)$ の解を取得する。生成される基底状態はハミルトニアン $f_0(q)$ そのものの基底状態ではなく、組合せ最適化問題処理装置1における物理量子ビット間の相互作用の影響を受けた量子ビット系の基底状態である。そのため、組合せ最適化問題処理装置1は、組合せ最適化問題処理装置1における物理量子ビット間の関係を示す情報によって修正されたハミルトニアン $f_0(q)$ をまず解き、解いた結果に基づいてハミルトニアン $f_0(q)$ の解を取得する。以下、組合せ最適化問題処理装置1における物理量子ビット間の関係を示す情報をビット間関係情報という。物理量子ビット間の相互作用とは、物理量子ビットがスピンである場合、例えば、強磁性相互作用である。

10

【0026】

以下、修正されたハミルトニアン $f_0(q)$ を修正ハミルトニアン $f(q)$ という。以下、組合せ最適化問題処理装置1における修正ハミルトニアン $f(q)$ を説明する。

20

【0027】

組合せ最適化問題処理装置1が備える複数の物理量子ビットは、解析対象のイジング型固有方程式に応じて予め複数のグループ(以下「論理グループ」という。)に分類される。異なる論理グループに属する物理量子ビットは異なる論理量子ビット(logical qubits)を表し、同一の論理グループに属する物理量子ビットは同一の論理量子ビットを表す。論理量子ビットは、情報処理のアルゴリズムの内容を表すために用いられる記号である。物理量子ビットが論理量子ビットを表すとは、物理量子ビットの値が論理量子ビットの値であることを意味する。同一論理グループ内の物理量子ビット(すなわち同一の論理量子ビットを表す物理量子ビット)には同じ第1の場(field)が印加される。第1の場は、物理量子ビットと相互作用可能な場であればどのような場であってもよい。第1の場は磁場であってもよいし電場であってもよい。以下説明の簡単のため各物理量子ビットに印加される第1の場が磁場である場合を例に組合せ最適化問題処理装置1を説明する。

30

【0028】

物理量子ビットは、必ずしも隣接する物理量子ビット同士が同じ論理グループに分類される必要は無く、隣接しない(以下「非隣接」という。)物理量子ビットが同じ論理グループに分類されてもよい。論理量子ビットは、具体的には、変数 q_n である。同一グループ内の物理量子ビットに印加される第1の場は、同一の第1の場が印加され、異なるグループに属する物理量子ビットには異なる第1の場が印加され得る。そのため、第1の場は、物理量子ビットに応じた場である。より詳しくは、物理量子ビットは同一の位置に複数の物理量子ビットが存在することは無いので、第1の場は、各物理量子ビットの位置に応じた場である。

40

【0029】

図2は、実施形態における物理量子ビットと論理量子ビットとの関係を説明する説明図である。図2は、組合せ最適化問題処理装置1が有する6つの物理量子ビット101-1~101-6を示す。図2において、6つの物理量子ビット101-1~101-6は3つの論理グループに分類されている。具体的には、物理量子ビット101-1及び物理量子ビット101-3は、同一の論理グループに属する。物理量子ビット101-1の値と物理量子ビット101-3の値とは同一の値である。物理量子ビット101-1の値は論理量子ビット q_1 の値を表し、物理量子ビット101-3の値も論理量子ビット q_1 の値

50

を表す。物理量子ビット 101-2 及び物理量子ビット 101-5 は、同一の論理グループに属する。物理量子ビット 101-2 の値と物理量子ビット 101-5 の値とは同一の値である。物理量子ビット 101-2 の値は論理量子ビット q_2 の値を表し、物理量子ビット 101-5 の値も論理量子ビット q_2 の値を表す。物理量子ビット 101-4 及び物理量子ビット 101-6 は、同一の論理グループに属する。物理量子ビット 101-4 の値と物理量子ビット 101-6 の値とは同一の値である。物理量子ビット 101-4 の値は論理量子ビット q_3 の値を表し、物理量子ビット 101-6 の値も論理量子ビット q_3 の値を表す。例えば、物理量子ビット 101-4 と物理量子ビット 101-6 とは非隣接の物理量子ビットであるものの、同一の磁場が印加されるため、同一の値を有する。そのため、物理量子ビット 101-4 と物理量子ビット 101-6 とは、同一の論理量子ビット q_3 を表す。以下、組合せ最適化問題処理装置 1 が有する複数の物理量子ビットをそれぞれ区別しない場合、物理量子ビット 101 という。

10

【0030】

このように組合せ最適化問題処理装置 1 においては、非隣接の物理量子ビットが同一の論理量子ビットを表すという関係が物理量子ビット間に存在するため、修正ハミルトニアン $f(q)$ は、例えば、以下の式 (3) で表される。

【0031】

【数 3】

$$f(q) = f_0(q) - \frac{J_0}{2} \sum_n \sum_{i \neq j \in V_n} \sigma_i \sigma_j \quad \dots (3)$$

20

【0032】

式 (3) は以下のように変形される。

【0033】

【数 4】

$$f(q) = f_0(q) - \sum_n \left(\frac{J_0}{2} \sum_{i \neq j \in V_n} \sigma_i \sigma_j \right) \quad \dots (4)$$

30

【0034】

式 (3) 及び (4) における右辺の第 2 項は、ビット間関係情報の一例である。式 (3) 及び (4) において、 V_n は、 N 個の論理グループのうちの第 n の論理グループを表す。 i 及び j はそれぞれ、1 以上 M_n 以下の整数である。 M_n は、論理グループ V_n 内に属する物理量子ビットの数である。 σ_i は論理グループ V_n に属する第 i の物理量子ビットの値を表す。 σ_j は論理グループ V_n に属する第 j の物理量子ビットの値を表す。 σ_i 及び σ_j は、論理量子ビット q_n の値の 2 倍から 1 を引き算した値である。

40

【0035】

式 (4) において J_0 は、物理量子ビット間の相互作用の大きさを表す係数である。式 (4) において右辺の第 2 項は、物理量子ビット 101 のそれぞれには、物理量子ビット 101 に応じた場が印加されることを表す項である。式 (4) において右辺の第 2 項のかっこ内は、同一グループ V_k 内に属する物理量子ビット間の全ての相互作用エネルギーの合計値（以下「グループエネルギー」という。）を表す。 k は、1 以上 N 以下の整数である。式 (4) の右辺の第 2 項は、グループエネルギーの合計値を取得することを表す。式 (3) 又は式 (4) の $f(q)$ は、ハミルトニアン $f_0(q)$ とグループエネルギーの合計値との差を表す。

【0036】

50

式（４）は、以下の式（５）に変形される。

【００３７】

【数５】

$$f(q) = f_0(q) - \frac{J_0}{2} \sum_n \left\{ \left(\sum_{i \in V_n} \sigma_i \right)^2 - \sum_{i \in V_n} \sigma_i \right\} \quad \dots (5)$$

10

【００３８】

式（５）のハミルトニアンによって表される分配関数 Z は、以下の式（６）によって表される。

【００３９】

【数６】

$$Z = \sum_q \exp(-\beta f(q)) \quad \dots (6)$$

20

【００４０】

式（６）において β は逆温度を表す。式（６）の右辺において、式（５）における２乗の項に対するハバード・ストラノビッチ変換が行われると、式（６）は以下の式（７）に変形される。

【００４１】

【数７】

$$\prod_q \prod_n \int Dz_n \exp \left(\sum_n \sqrt{\beta J_0} \left(z_n - \frac{1}{2} \sqrt{\beta J_0} \right) \left(\sum_{i \in V_n} \sigma_i \right) - \beta f_0(q) \right) \quad \dots (7)$$

30

【００４２】

【数８】

$$\int Dz_n = \int dz_n \exp(-z_n^2 / 2) / \sqrt{2\pi} \quad \dots (8)$$

40

【００４３】

式（７）において、 z_n は、ハバード・ストラノビッチ変換における積分変数である。式（７）における以下の式（９）は、論理グループ V_n に属する物理量子ビットの値の和を取得することを意味する。

【００４４】

【数９】

$$\sum_{i \in V_n} \sigma_i \quad \dots (9)$$

50

【 0 0 4 5 】

式 (7) における z_n を以下の式 (1 0) の数式に置き換えると、分配関数 Z は以下の式 (1 1) に変形される。式 (1 0) における v_n は、論理量子ビット q_n を表す物理量子ビットに印加する第 1 の場の強さ及び向きを表す。以下、 v を第 1 場値という。第 1 場値 v は例えば、ベクトル値である。

【 0 0 4 6 】

【数 1 0】

$$\sqrt{\beta J_0} v_n \quad \cdots (10)$$

10

【 0 0 4 7 】

【数 1 1】

$$Z =$$

$$A \sum_q \prod_n \int dv_n \exp \left(- \sum_n \frac{\beta J_0}{2} v_n^2 + \beta J_0 \sum_n \left(v_n - \frac{1}{2} \right) \left(\sum_{i \in V_n} \sigma_i \right) - \beta f_0(q) \right) \quad \cdots (11)$$

20

【 0 0 4 8 】

式 (1 1) において A は比例係数である。

【 0 0 4 9 】

一般に、分配関数の肩 (冪指数) に (- 1) を乗算して逆温度で割り算した値は、ハミルトニアンである。そのため、式 (1 1) より、分配関数が式 (1 1) で表される分配関数 Z である系のハミルトニアン (以下「有効ハミルトニアン」という。) $H(q, v)$ は、以下の式 (1 2) で表される。

30

【 0 0 5 0 】

【数 1 2】

$$H(q, v) = \frac{J_0}{2} \sum_n v_n^2 - J_0 \sum_n \left(v_n - \frac{1}{2} \right) \sum_{i \in V_n} (2q_i - 1) + f_0(q) \quad \cdots (12)$$

【 0 0 5 1 】

式 (1 2) は、解析対象のイジングモデルの修正ハミルトニアンを論理量子ビット q の一次式で表す式である。式 (1 2) において第 1 場値 v は、 $v = (v_1, v_2, \cdots)$ である。式 (1 2) は、以下の式 (1 3) に変形される。

40

【 0 0 5 2 】

【数 1 3】

$$H(v) = \frac{J_0}{2} \sum_n v_n^2 + J_0 \sum_n \left(v_n - \frac{1}{2} \right) |V_n| - \frac{1}{\beta} \log Z(v) \quad \cdots (13)$$

50

【 0 0 5 3 】

【数 1 4】

$$Z(v) = \sum_q \exp \left(-\beta f_0(q) + \beta J_0 \sum_n (2v_n - 1) \sum_{i \in V_n} q_i \right) \quad \dots (14)$$

【 0 0 5 4 】

式 (14) は、論理量子ビット q の 1 次以下の項だけを含む式である。

10

式 (13) において、 $|V_n|$ は、以下の式 (15) で表される。

【 0 0 5 5 】

$|V_n|$ は論理グループ数を表す。

【 0 0 5 6 】

組合せ最適化問題処理装置 1 は、式 (14) の分配関数 Z を最大化する論理量子ビット q を量子アニーリングによって取得する。分配関数 Z を最大化する状態は、量子ビット系の基底状態である。次に、組合せ最適化問題処理装置 1 は、量子アニーリングによって取得した論理量子ビット q を用いて、式 (13) の極小値を与える第 1 場値 v を所定の求根アルゴリズムによって取得する。組合せ最適化問題処理装置 1 は、量子アニーリングによって取得した論理量子ビット q を用い、例えば式 (15) の関係を使って各第 1 場値 v_n の値を更新する。式 (15) は求根アルゴリズムのひとつである勾配法の式である。

20

【 0 0 5 7 】

【数 1 5】

$$v_n' = v_n - \eta \left(v_n - \sum_{i \in V_n} (2\langle q_i \rangle_q - 1) \right) \quad \dots (15)$$

【 0 0 5 8 】

式 (15) において v_n' は更新後の第 1 場値 v_n である。式 (15) においてブラケットは、量子アニーリングによって取得された論理量子ビット q の平均値を表す。式 (15) において η は、予め定められた更新幅である。ユーザーは予め更新幅を、適切に調整する必要がある。以下、説明の簡単のため、組合せ最適化問題処理装置 1 が式 (15) を用いて v の値を更新する場合を例に組合せ最適化問題処理装置 1 を説明する。式 (15) は、論理量子ビット q の平均値（すなわち値）は含むものの論理量子ビット q を変数としては含まない式である。

30

【 0 0 5 9 】

組合せ最適化問題処理装置 1 は、式 (15) によって取得した更新後の第 1 場値 v が表す第 1 の場を各物理量子ビットに印加する。組合せ最適化問題処理装置 1 は、印加した第 1 の場の元で量子ビット系の基底状態を生成し、生成した基底状態における論理量子ビット q の値を測定する。組合せ最適化問題処理装置 1 は、以下このような論理量子ビット q と第 1 場値 v とを取得する処理を所定の条件が満たされるまで繰り返す。なお、第 1 場値 v を取得するとは第 1 場値 v の値を式 (15) によって更新することを意味する。すなわち、組合せ最適化問題処理装置 1 は、式 (14) 及び式 (13) で表される自己無撞着な式（以下「自己無撞着式」という。）における式 (14) の解と式 (13) の解とを自己無撞着式に関する所定の収束条件が満たされるまで取得する。論理量子ビット q の値は式 (14) の解の一例であり、第 1 場値 v は式 (13) の解の一例である。

40

【 0 0 6 0 】

ここまでで組合せ最適化問題処理装置 1 の概要の説明を終了する。

50

【0061】

<詳細>

組合せ最適化問題処理装置1は、バスで接続されたCPU（Central Processing Unit）等のバスで接続されたCPU（Central Processing Unit）等のプロセッサ91とメモリ92とを備える制御部11を備え、プログラムを実行する。組合せ最適化問題処理装置1は、プログラムの実行によって制御部11、記憶部12、入力部13、出力部14及び状態測定部15を備える装置として機能する。より具体的には、プロセッサ91が記憶部12に記憶されているプログラムを読み出し、読み出したプログラムをメモリ92に記憶させる。プロセッサ91が、メモリ92に記憶させたプログラムを実行することによって、組合せ最適化問題処理装置1は、制御部11、記憶部12、入力部13、出力部14及び状態測定部15を備える装置として機能する。

10

【0062】

なお、組合せ最適化問題処理装置1の各機能の全て又は一部は、ASIC（Application Specific Integrated Circuit）やPLD（Programmable Logic Device）やFPGA（Field Programmable Gate Array）等のハードウェアを用いて実現されてもよい。プログラムは、コンピュータ読み取り可能な記録媒体に記録されてもよい。コンピュータ読み取り可能な記録媒体とは、例えばフレキシブルディスク、光磁気ディスク、ROM、CD-ROM等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置である。プログラムは、電気通信回線を介して送信されてもよい。

【0063】

制御部11は、組合せ最適化問題処理装置1の各機能部の動作を制御する。また、制御部11は、解析対象のイジング型固有方程式の解を取得する。

20

【0064】

記憶部12は、磁気ハードディスク装置や半導体記憶装置などの記憶装置を用いて構成される。記憶部12は、自装置に関する各種情報を記憶する。記憶部12は、例えば、解析対象のイジング型固有方程式の解を求めるための各種値を記憶する。記憶部12は、最適性対象の解析対象のイジング型固有方程式を記憶する。記憶部12は、例えば、論理量子ビット q の値を記憶する。記憶部12は、例えば、論理グループを示す情報を記憶する。記憶部12は、例えば、各論理グループに属する物理量子ビットを示す情報を記憶する。記憶部12は、例えば、式(14)及び式(13)で表される自己無撞着式を記憶する。記憶部12は、式(14)の解と式(13)の解とを記憶する。記憶部12は、例えば、第1場値 v の現在値を記憶する。記憶部12が記憶する第1場値 v の現在値は、第1場値 v が更新されるたびに更新される。記憶部12は、例えば、第1場値 v の初期値を記憶する。記憶部12は、例えば、第1場値 v の履歴を記憶してもよい。

30

【0065】

入力部13は、マウスやキーボード、タッチパネル等の入力装置を含んで構成される。入力部13は、これらの入力装置を無線又は有線を介して自装置に接続するインターフェースとして構成されてもよい。入力部13は、これらの入力装置を、ネットワークを介して自装置に接続するインターフェースとして構成されてもよい。入力部13は、自装置に対する各種情報の入力を受け付ける。入力部13は、解析対象のイジング型固有方程式を示す情報（以下「解析対象情報」という。）の入力を受け付ける。入力部13は、各物理量子ビットが属する論理グループを示す情報（以下「所属情報」という。）の入力を受け付ける。入力部13に入力された各種情報は、記憶部12に記憶される。入力部13は、第1場値 v の初期値の入力を受け付ける。

40

【0066】

出力部14は、取得された解を出力する。出力部14は、取得された解を出力可能であればどのようなものであってもよい。出力部14は、例えば、CRT（Cathode Ray Tube）ディスプレイや液晶ディスプレイ、有機EL（Electro-Luminescence）ディスプレイ等の表示装置を含んで構成される。出力部14は、これらの表示装置を自装置に接続するインターフェースとして構成されてもよい。

50

【0067】

状態測定部15は、記憶部12に記憶された第1場値 v_n の現在値が表す第1の場を、論理量子ビット q_n を表す各物理量子ビットに印加する。状態測定部15は、量子アニーリングの手法によって、第1場値 v_n の現在値が表す第1の場が印加された量子ビット系の基底状態における論理量子ビット q_n の値を取得する。量子アニーリングの手法では、例えば、物理量子ビットの位置に依らない場であって、第1の場と異なる第2の場を印加する。量子アニーリングの手法では、次に印加中の第2の場を変化させることで基底状態し、生成した基底状態における論理量子ビット q_n の値を基底状態の測定によって取得する。状態測定部15の測定結果は、記憶部12に記憶される。第2の場は、第1の場と異なる場であり、物理量子ビットに依らず略同一の場であり、物理量子ビットと相互作用可能な場であればどのような場であってもよい。例えば、第2の場は、第1の場と異なる磁場であり、物理量子ビットに依らず略同一の磁場であってもよい。例えば、第2の場は、第1の場と異なる電場であり、物理量子ビットに依らず略同一の電場であってもよい。

10

【0068】

図3は、実施形態における状態測定部15の一例を説明する説明図である。

状態測定部15は、量子ビット体501、第1場印加部502、第2場印加部503、測定装置504及びビット値取得部505を備える。

【0069】

量子ビット体501は、複数の物理量子ビット101を有する。量子ビット体501は、例えば、量子ドットを有する半導体基板である。このような場合、物理量子ビット101は、例えば、量子ドット中の電子のスピンである。量子ビット体501は、窒素欠陥を有するダイヤモンド基盤であってもよい。このような場合、物理量子ビット101は、例えば、窒素欠陥中の電子のスピンである。量子ビット体501は、超電導回路であってもよい。このような場合、物理量子ビット101は、例えば、超電導量子ビットである。量子ビット体501は、量子ビット系の一例である。

20

【0070】

第1場印加部502は、制御部11の制御によって動作し、量子ビット体501に第1の場を印加する。

【0071】

第2場印加部503は、制御部11の制御によって動作し、量子ビット体501に第2の場を印加する。

30

【0072】

測定装置504は、制御部11の制御によって動作し、量子ビット体501の量子状態を測定する。測定装置504は、量子ビット体501の量子状態を取得可能であればどのようなものであってもよい。量子ビット体501の量子状態とは、具体的には、複数の物理量子ビット101の量子状態である。測定装置504は、例えば、磁束計を備える装置であってもよいし、光センサを備える装置であってもよい。測定装置504の測定結果は、記憶部12に記憶されてもよい。

【0073】

ビット値取得部505は、測定装置504の測定結果に基づいて量子ビット体501の基底状態における論理量子ビット q_n の値を取得する。ビット値取得部505が取得した論理量子ビット q_n は、記憶部12に記憶される。ビット値取得部505が取得した論理量子ビット q_n は、制御部11に出力されてもよい。

40

【0074】

図4は、実施形態における複数の物理量子ビット101の位置関係の一例を示す図である。図4は、量子ビット体501内に位置する複数の物理量子ビット101の図である。図4は、複数の物理量子ビット101が格子状に位置することを示す。

【0075】

図5は、実施形態の制御部11の一例を示す図である。制御部11は、アニーリング制御部111、第1場値取得部112及び解取得部113を備える。

50

【0076】

アニーリング制御部111は、状態測定部15が備える各機能部の動作を制御する。状態測定部15が備える各機能部は、例えば、第1場印加部502、第2場印加部503、測定装置504及びビット値取得部505である。

【0077】

第1場値取得部112は、ビット値取得部505が取得した論理量子ビット q_n の値に基づいて、記憶部12に記憶されている第1場値 v の現在値を更新する。第1場値取得部112は、所定の求根アルゴリズムによって取得した第1場値 v によって第1場値 v の現在値を更新する。所定の求根アルゴリズムは、第1場値 v を取得可能であればどのような求根アルゴリズムであってもよい。所定の求根アルゴリズムは、例えば、2分法であってもよい。所定の求根アルゴリズムは、例えば、反復代入法であってもよい。第1場値取得部112は、例えば、式(15)に基づいて、第1場値 v の現在値を更新する。第1場値取得部112は、ビット値取得部505が取得した論理量子ビット q_n の値に基づいて第1場値 v を取得可能であれば、どのように動作してもよい。第1場値取得部112は、例えば、ノイマン型のコンピュータと同様の仕組みで動作をしてもよい。

【0078】

解取得部113は、所定のタイミングで、自己無撞着式に関する所定の収束条件が満たされたか否かを判定する。所定のタイミングは、例えば、ビット値取得部505が論理量子ビット q_n の値を取得したタイミングであってもよいし、第1場値取得部112が第1場値 v を更新したタイミングであってもよい。自己無撞着式に関する所定の収束条件は、例えば、第1場値 v の更新前の値と更新後の値との差が所定の値未満という条件である。所定の収束条件は、例えば、第1場値 v を所定の回数以上取得した、という条件であってもよい。

【0079】

解取得部113は、収束条件が満たされた場合に、記憶部12に記憶された論理量子ビット q_n を解析対象のイジング型固有方程式の解として取得する。

【0080】

図6は、実施形態の組合せ最適化問題処理装置1が実行する処理の流れの一例を示すフローチャートである。

入力部13が、解析対象情報及び所属情報を取得する(ステップS101)。次に、アニーリング制御部111の制御により、第1場印加部502が、記憶部12に記憶された第1場値 v の初期値が表す磁場を量子ビット体501に印加する(ステップS102)。アニーリング制御部111の制御により、第2場印加部503が、断熱的に変化させながら第2の場を量子ビット体501に印加する(ステップS103)。また、ステップS103の実行中は、アニーリング制御部111の制御により測定装置504が量子ビット体501の量子状態を測定する。ステップS103の次に、ビット値取得部505が、測定結果に基づいて基底状態における論理量子ビット q_n の値を取得する(ステップS104)。次に、第1場値取得部112が、取得された論理量子ビット q_n の値に基づいて、第1場値 v を更新する(ステップS105)。例えば、式(15)を用いて第1場値 v を更新する。ステップS105の次に、解取得部113が、収束条件が満たされたか否かを判定する(ステップS106)。収束した場合(ステップS106: YES)、解取得部113は、ステップS104において取得された論理量子ビット q_n を解析対象のイジング型固有方程式の解として取得する(ステップS107)。次に、出力部14が、ステップS107において取得された解を出力する(ステップS108)。

【0081】

一方、収束していない場合(ステップS106: NO)、更新後の第1場値 v が表す磁場を量子ビット体501に印加する(ステップS109)。ステップS109の次にステップS103の処理に戻る。

【0082】

このように構成された実施形態の組合せ最適化問題処理装置1は、第1場印加部502

10

20

30

40

50

を備え、アニーリングの手法を用いて式(14)及び式(13)で表される自己無撞着式を解くことで組合せ最適化問題の解を取得する。式(12)が表すように、式(14)及び式(13)はイジング項を含まない式であり、変数の一次の項のみを含む式である。このため、組合せ最適化問題処理装置1は、隣接する物理量子ビットだけでなく、非隣接の物理量子ビットも用いて組合せ最適化問題の解を取得することができる。そのため、アニーリングの方法を用いて組合せ最適化問題を処理する従来の装置よりも多くの種類の組合せ最適化問題を解くことができる。

【0083】

(変形例)

なお、組合せ最適化問題処理装置1が用いるアニーリングの手法は必ずしも量子アニーリングの手法でなくてもよく、非量子アニーリングの手法であってもよい。例えば、組合せ最適化問題処理装置1が用いるアニーリングの手法は、CMOS(Complementary MOS)を用いたアニーリングの手法であってもよい。このような場合、組合せ最適化問題処理装置1は、状態測定部15に代えてスピンの回路を備えてもよい。スピンの回路は、第1のSRAM(Static Random Access Memory)、第2のSRAM、第3のSRAM及びスピンドジタル回路を備える回路である。第1のSRAMは、イジングモデルにおけるスピンの状態を表す値を保持するSRAMである。第1のSRAMは、複数のビット半導体を備える。ビット半導体は、電荷が蓄積される半導体であって蓄積された電荷量によってイジングモデルにおけるスピンの状態を表す半導体である。第2のSRAMは、イジングモデルにおけるスピン間の相互作用の強さを表す値を保持するSRAMである。第3のSRAMは、イジングモデルにおける外部磁場の強さを表すSRAMである。スピンドジタル回路は、相互作用及び外部磁場によるスピンの動作を計算するデジタル回路である。スピンの回路では、イジングモデルを表すように乱数を組み込んだ所定のモデルで計算が実行される。

【0084】

CMOSアニーリングにおける物理ビットは、ビット半導体である。CMOSアニーリングにおけるイジングモデルを表す固有方程式にける二値変数の値を表す物理量は、ビット半導体に蓄積された電荷量である。CMOSアニーリングにおいては、第1のSRAM及び第2のSRAMが量子アニーリングにおける量子ビット体501に対応する。CMOSアニーリングにおいては、組合せ最適化問題処理装置1による計算時にデジタル回路が略同時にアクセスできる複数のビット半導体を表す情報(以下「ビット半導体間関係情報」という。)が、量子アニーリングにおけるビット間関係情報に対応する。アクセスできるとは、ビット半導体に蓄積された電荷量を取得することと、ビット半導体に蓄積する電荷量を変化させることを意味する。

【0085】

また、CMOSアニーリングにおいて第1の場は、SRAM内でビット半導体に印加される電場である。第1の場の印加によってビット半導体に蓄積される電荷量が増加する。CMOSアニーリングにおいて物理ビットの状態は、具体的には、第1のSRAMが備える*i*個のビット半導体をそれぞれ*S* − *i* (*i*は2以上の整数)として、ビット半導体*S* − *i*に電荷が*Q* − *i*蓄積された状態である。*Q* − *i*は0以上の実数である。また、CMOSアニーリングにおいて第2の場は、求根されて決まる解に応じて決まる電場である。

【0086】

CMOSアニーリングは、例えば、2分グラフ上にスピンを配置して左側と右側を同種のスピンとみなす方法であってもよい。このような場合、組合せ最適化問題処理装置1は、同種のスピンとみなすための結合を磁場に置き換える。このような場合、組合せ最適化問題処理装置1は、相互作用の代わりに、磁場をかけることでグループの中のスピンを固める。スピンを固めるとは、左側と右側のスピンをグループにすることを意味する。グループにすると、グループ内のスピンの同一の磁場を印加することを意味する。

【0087】

なお、物理量子ビットの値は、確率分布を有することや周囲の環境が必ずしも同一では

10

20

30

40

50

ないことから、同一の第1の場が印加されても同じ値であるとは限らない。したがって、同一の論理グループに属する複数の物理量子ビットの値は必ずしも全てが同一にはならない。このような場合、測定装置504は、同一論理グループ内の物理量子ビットの値の最頻値を当該同一論理グループに対応する論理量子ビットの値に決定してもよい。

【0088】

組合せ最適化問題処理装置1は、ネットワークを介して通信可能に接続された複数台の情報処理装置を用いて実装されてもよい。この場合、組合せ最適化問題処理装置1が備える各機能部は、複数の情報処理装置に分散して実装されてもよい。例えば、制御部11と状態測定部15とはそれぞれ異なる情報処理装置に実装されてもよい。

【0089】

なお、ビット値取得部505は必ずしも状態測定部15が備える必要は無く、制御部11が備えてもよい。

【0090】

なお、量子ビット体501には、第1の場に代えて、物理量子ビットに応じた熱量の熱（第1の熱）が作用してもよい。また、量子ビット体501には、第2の場に代えて物理量子ビットに依らず略同一の熱量の熱（第2の熱）が作用してもよい。

【0091】

なお、式(14)は第1式の一例である。式(13)は第2式の一例である。なお、第1場印加部502は、第1印加部の一例である。なお、第2場印加部503は、第2印加部の一例である。なお、測定装置504は測定部の一例である。なお、状態測定部15はアニーリング部の一例である。なお、制御部11がビット値取得部505を備える場合、量子ビット体501、第1場印加部502、第2場印加部503及び測定装置504と、ビット値取得部505とを備える機能部が、アニーリング部の一例である。なお、基底状態における論理量子ビット q_n の値は第1式の解の一例である。なお、量子ビット体501は、量子アニーリングの手法で解を取得する場合におけるビット体の一例である。

【0092】

なお、第1のSRAM及び第2のSRAMは、CMOSアニーリングの手法で解を取得する場合におけるビット体の一例である。なお、ビット間関係情報は、物理ビット間の関係を示す情報の一例である。なお、ビット半導体間関係情報は、物理ビット間の関係を示す情報の一例である。なお、量子ビット体501の量子状態は、量子アニーリングの手法で解を取得する場合における物理ビットの状態の一例である。なお、第1のSRAMが備える i 個のビット半導体をそれぞれ $S-i$ （ i は2以上の整数）として、ビット半導体 $S-i$ に電荷が $Q-i$ 蓄積された状態は、CMOSアニーリングの手法で解を取得する場合における物理ビットの状態の一例である。

【0093】

以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

【符号の説明】

【0094】

1…組合せ最適化問題処理装置、 11…制御部、 12…記憶部、 13…入力部、 14…出力部、 15…状態測定部、 111…アニーリング制御部、 112…第1場値取得部、 113…解取得部、 501…量子ビット体、 502…第1場印加部、 503…第2場印加部、 504…測定装置

10

20

30

40

50

【図面】

【図 1】

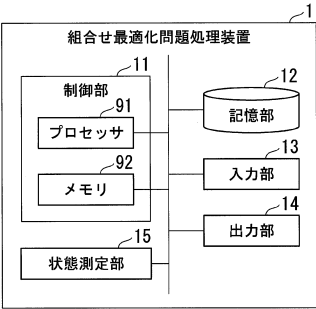


図 1

【図 2】

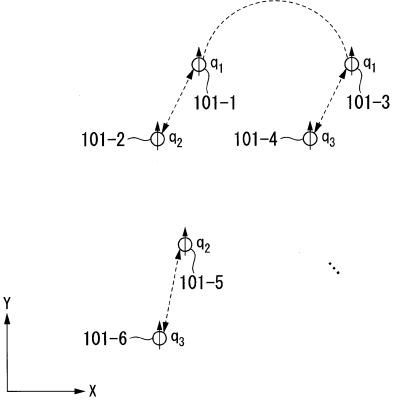


図 2

【図 3】

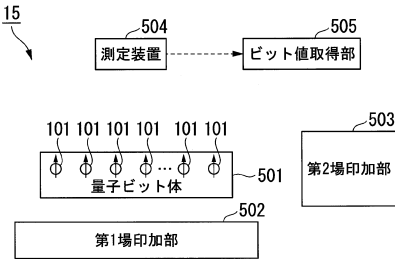


図 3

【図 4】

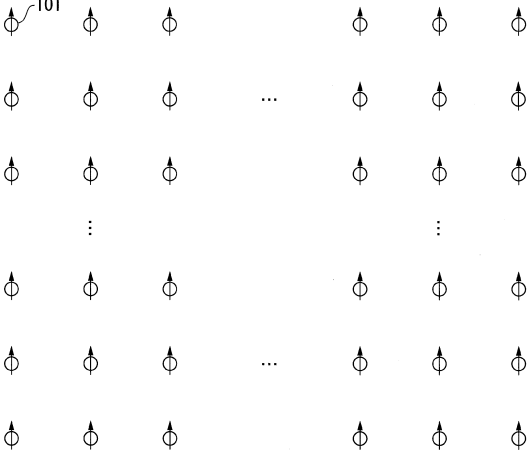


図 4

10

20

30

40

50

【図 5】



図5

【図 6】

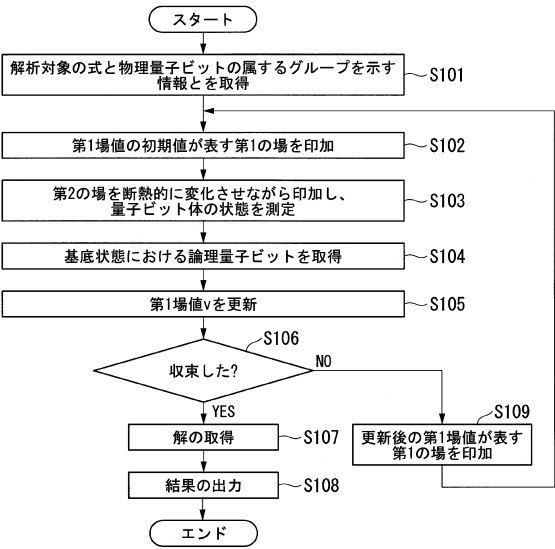


図6

10

20

30

40

50

フロントページの続き

- (56)参考文献 米国特許出願公開第 2 0 1 7 / 0 3 6 4 3 6 2 (U S , A 1)
MATSUURA, Shunji et al., Mean Field Analysis of Quantum Annealing Correction, Phys. R
ev. Lett. [online], 2016年, 116, 22, 220501, [https://link.aps.org/doi/10.1103/PhysRev
Lett.116.220501](https://link.aps.org/doi/10.1103/PhysRevLett.116.220501)
- (58)調査した分野 (Int.Cl., D B 名)
G 0 6 N 1 0 / 0 0
G 0 6 F 1 7 / 1 1