

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6061868号
(P6061868)

(45) 発行日 平成29年1月18日(2017. 1. 18)

(24) 登録日 平成28年12月22日(2016. 12. 22)

(51) Int.Cl.

F I

G 0 6 F 13/38 (2006.01)
H 0 4 L 29/08 (2006.01)G 0 6 F 13/38 3 5 0
H 0 4 L 13/00 3 0 7 D

請求項の数 15 (全 17 頁)

(21) 出願番号 特願2013-554005 (P2013-554005)
 (86) (22) 出願日 平成24年2月14日(2012. 2. 14)
 (65) 公表番号 特表2014-507035 (P2014-507035A)
 (43) 公表日 平成26年3月20日(2014. 3. 20)
 (86) 国際出願番号 PCT/GB2012/050324
 (87) 国際公開番号 W02012/110798
 (87) 国際公開日 平成24年8月23日(2012. 8. 23)
 審査請求日 平成27年2月16日(2015. 2. 16)
 (31) 優先権主張番号 1102594.7
 (32) 優先日 平成23年2月15日(2011. 2. 15)
 (33) 優先権主張国 英国 (GB)

(73) 特許権者 513183153
 ノルディック セミコンダクタ アーエス
 アー
 Nordic Semiconductor ASA
 ノルウェー王国、エヌー7004 トロン
 ハイム、オットー ニールセンズ ヴェー
 グ 12
 (74) 代理人 110001807
 特許業務法人磯野国際特許商標事務所
 (74) 代理人 100064414
 弁理士 磯野 道造

最終頁に続く

(54) 【発明の名称】 シリアル・インタフェース

(57) 【特許請求の範囲】

【請求項 1】

マスタ・デバイス、スレーブ・デバイス、及び、同期シリアル接続を含む、データ交換システムであって、

前記スレーブ・デバイスは、

スレーブ・マスタ・バイナリ・メッセージを前記マスタ・デバイスに送信し、

前記スレーブ・マスタ・バイナリ・メッセージは、データ本体と前記スレーブ・マスタ・バイナリ・メッセージの長さに関する情報であるメッセージ長さ情報とを含み、

前記マスタ・デバイスは、

前記スレーブ・マスタ・バイナリ・メッセージのマスタ・デバイスへの送信と同時に、
 データ本体を含むマスタ・スレーブ・バイナリ・メッセージを送信し、

(1) 前記スレーブ・デバイスから、前記メッセージ長さ情報に応じたビット数のビットを受信し、

(2) マスタ・スレーブ・バイナリ・メッセージの全ビットを送信したと判定したら、直ちに、

この判定に応じて、前記マスタ・デバイスが、前記スレーブ・デバイスに対して、送信終了信号を送信する

ことを特徴とするデータ交換システム。

【請求項 2】

さらに、前記スレーブ・マスタ・バイナリ・メッセージと前記マスタ・スレーブ・バイ

10

20

ナリ・メッセージの両方を同時に送信開始することを特徴とする、
請求項 1 に記載のデータ交換システム。

【請求項 3】

前記同期シリアル接続は、独立した 5 本の線を含み、

前記独立した 5 本の線は、各々、クロック線、リクエスト線、レディ線、前記マスタ・デバイスから前記スレーブ・デバイスにバイナリ・データを送信するためのマスタ・スレーブ・データ線、及び、前記スレーブ・デバイスから前記マスタ・デバイスにバイナリ・データを送信するためのスレーブ・マスタ・データ線からなり、

前記マスタ・デバイスは、

前記スレーブ・デバイスに対して、前記クロック線を介して、クロック信号を送信し、

前記スレーブ・デバイスに対して、前記リクエスト線を介して、マスタ送信リクエスト信号を送信し、

前記スレーブ・デバイスから、前記レディ線を介して、スレーブ送信アクセプト信号を受信し、

それに直接応答して、前記スレーブ・デバイスに対して、前記マスタ・スレーブ・データ線を介して、データ本体を含むマスタ・スレーブ・バイナリ・メッセージを送信する
請求項 1 または 2 に記載のデータ交換システム。

【請求項 4】

前記同期シリアル接続は、独立した 5 本の線を含み、

前記独立した 5 本の線が、各々、クロック線、リクエスト線、レディ線、前記マスタ・デバイスから前記スレーブ・デバイスにバイナリ・データを送信するためのマスタ・スレーブ・データ線、及び、前記スレーブ・デバイスから前記マスタ・デバイスにバイナリ・データを送信するためのスレーブ・マスタ・データ線からなり、

前記スレーブ・デバイスは、

前記マスタ・デバイスから、前記クロック線を介して、クロック信号を受信し、

前記マスタ・デバイスに対して、前記レディ線、または、前記リクエスト線を介して、スレーブ送信リクエスト信号を送信し、

前記マスタ・デバイスから、前記リクエスト線、または、前記レディ線を介して、マスタ送信アクセプト信号を受信し、

それに直接応答して、前記マスタ・デバイスに対して、前記スレーブ・マスタ・データ線を介して、データ本体とメッセージ長さ情報とを含む前記スレーブ・マスタ・バイナリ・メッセージを送信する

請求項 1 または 2 に記載のデータ交換システム。

【請求項 5】

前記マスタ・デバイスが、

何時トランザクションを終了させるかを決定するために、受信した前記メッセージ長さ情報を使用する

請求項 1 ~ 4 の何れか一項に記載のデータ交換システム。

【請求項 6】

前記マスタ・スレーブ・バイナリ・メッセージが、その長さに関する情報を含む

請求項 1 ~ 5 の何れか一項に記載のデータ交換システム。

【請求項 7】

前記スレーブ・デバイスが、

前記スレーブ・デバイスが前記送信終了信号を受信したとき、前記マスタ・スレーブ・バイナリ・メッセージのビット数に相当するビットの受信が完了しているか否かを判定するために、前記マスタ・デバイスから受信したメッセージ長さ情報を使用する

請求項 6 に記載のデータ交換システム。

【請求項 8】

前記スレーブ・デバイスが、

前記マスタ・スレーブ・バイナリ・メッセージの全てが前記スレーブ・デバイスによっ

10

20

30

40

50

て受信し終わる前に、前記マスタ・デバイスがトランザクションを終了したと、前記スレーブ・デバイスが判定した場合、

前記マスタ・デバイスから前記マスタ・スレーブ・バイナリ・メッセージを再送信することを要求する

請求項 6 または 7 に記載のデータ交換システム。

【請求項 9】

前記同期シリアル接続は、独立した 5 本の線を含み、

前記独立した 5 本の線が、各々、クロック線、リクエスト線、レディ線、前記マスタ・デバイスから前記スレーブ・デバイスにバイナリ・データを送信するためのマスタ・スレーブ・データ線、及び、前記スレーブ・デバイスから前記マスタ・デバイスにバイナリ・データを送信するためのスレーブ・マスタ・データ線からなり、

前記マスタ・デバイスは、前記スレーブ・デバイスに対して、前記クロック線を介して、クロック信号を送信し、

第一トランザクションにおいて、

前記マスタ・デバイスが、前記スレーブ・デバイスに対して、前記リクエスト線を介して、マスタ送信リクエスト信号を送信し、

前記スレーブ・デバイスが、前記マスタ送信リクエスト信号を受信し、それに応答して、前記マスタ・デバイスに対して、前記レディ線を介して、スレーブ送信アクセプト信号を送信し、

前記マスタ・デバイスが、前記スレーブ送信アクセプト信号を受信し、それに直接応答して、前記マスタ・スレーブ・データ線を介して、バイナリ・データを送信し、

第二トランザクションにおいて、

前記スレーブ・デバイスが、前記マスタ・デバイスに対して、前記レディ線、または、スレーブ・リクエスト線を介して、スレーブ送信リクエスト信号を送信し、

前記マスタ・デバイスが、前記スレーブ送信リクエスト信号を受信し、それに応答して、前記スレーブ・デバイスに対して、前記リクエスト線、または、前記レディ線を介して、マスタ送信アクセプト信号を送信し、

前記スレーブ・デバイスが、前記マスタ送信アクセプト信号を受信し、それに直接応答して、前記スレーブ・マスタ・データ線を介して、バイナリ・データを送信し、

前記マスタ・デバイスと前記スレーブ・デバイスが、第一、第二トランザクションの少なくとも一つにおいて、互いに同時にバイナリ・データを送信する能力を有することを特徴とする

請求項 1 ~ 8 の何れか一項に記載のデータ交換システム。

【請求項 10】

スレーブ・デバイスから、スレーブ・マスタ・バイナリ・メッセージを受信し、前記スレーブ・マスタ・バイナリ・メッセージは、データ本体と前記スレーブ・マスタ・バイナリ・メッセージの長さに関する情報であるメッセージ長さ情報とを含み、

前記スレーブ・マスタ・バイナリ・メッセージの送信と同時に、マスタ・デバイスが、データ本体を含むマスタ・スレーブ・バイナリ・メッセージを送信し、

(1) 前記スレーブ・デバイスから、前記メッセージ長さ情報に応じたビット数のビットを受信し、

(2) 前記マスタ・スレーブ・バイナリ・メッセージの全ビットを送信したと判定したら、直ちに、

この判定に応じて、前記マスタ・デバイスが、前記スレーブ・デバイスに対して、送信終了信号を送信する

ことを特徴とするマスタ・デバイス。

【請求項 11】

前記マスタ・デバイスは、5 つのシリアル・インターフェース接続を含み、

前記 5 つのシリアル・インターフェース接続は、各々、クロック接続、リクエスト接続、レディ接続、前記マスタ・デバイスから前記スレーブ・デバイスにバイナリ・データを

送信するためのマスタ・スレーブ・データ接続、及び、前記スレーブ・デバイスから前記マスタ・デバイスにバイナリ・データを送信するためのスレーブ・マスタ・データ接続からなり、

前記マスタ・デバイスは、

前記スレーブ・デバイスに対して、前記クロック接続で、クロック信号を送信し、

前記スレーブ・デバイスに対して、前記リクエスト接続で、マスタ送信リクエスト信号を送信し、

前記スレーブ・デバイスから、前記レディ接続で、スレーブ送信アクセプト信号を受信し、

それに直接応答し、前記スレーブ・デバイスに対して、前記マスタ・スレーブ・データ接続で、データ本体を含むマスタ・スレーブ・バイナリ・メッセージを送信する請求項 10 に記載のマスタ・デバイス。

【請求項 12】

前記マスタ・デバイスは、5つのシリアル・インターフェース接続を含み、

前記5つのシリアル・インターフェース接続が、各々、クロック接続、リクエスト接続、レディ接続、前記マスタ・デバイスから前記スレーブ・デバイスにバイナリ・データを送信するためのマスタ・スレーブ・データ接続、及び、前記スレーブ・デバイスから前記マスタ・デバイスにバイナリ・データを送信するためのスレーブ・マスタ・データ接続からなり、

前記マスタ・デバイスは、

前記スレーブ・デバイスに対して、前記クロック接続で、クロック信号を送信し、

前記スレーブ・デバイスから、前記レディ接続、または、前記リクエスト接続で、スレーブ送信リクエスト信号を受信し、

前記スレーブ・デバイスに対して、前記リクエスト接続、または、前記レディ接続で、マスタ送信アクセプト信号を送信し、

前記スレーブ・デバイスから、前記スレーブ・マスタ・データ接続で、データ本体とメッセージ長さ情報とを含む前記スレーブ・マスタ・バイナリ・メッセージを受信する請求項 10 または 11 に記載のマスタ・デバイス。

【請求項 13】

前記マスタ・デバイスが、

何時前記トランザクションを終了させるかを決定するために、受信した前記メッセージ長さ情報を使用する

請求項 10 ~ 12 の何れか一項に記載のマスタ・デバイス。

【請求項 14】

前記マスタ・スレーブ・バイナリ・メッセージが、その長さに関する情報を含む

請求項 10 ~ 13 の何れか一項に記載のマスタ・デバイス。

【請求項 15】

前記マスタ・デバイスは、5つのシリアル・インターフェース接続を含み、

前記5つのシリアル・インターフェース接続が、各々、クロック接続、リクエスト接続、レディ接続、前記マスタ・デバイスから前記スレーブ・デバイスにバイナリ・データを送信するためのマスタ・スレーブ・データ接続、及び、前記スレーブ・デバイスから前記マスタ・デバイスにバイナリ・データを送信するためのスレーブ・マスタ・データ接続からなり、

前記マスタ・デバイスは、

前記スレーブ・デバイスに対して、前記クロック接続で、クロック信号を送信し、

第一トランザクションにおいて、

前記スレーブ・デバイスに対して、前記リクエスト接続で、マスタ送信リクエスト信号を送信し、

前記スレーブ・デバイスから、前記レディ接続で、スレーブ送信アクセプト信号を受信し、

それに直接応答して、前記マスタ・スレーブ・データ接続で、バイナリ・データを送信し、

第二トランザクションにおいて、

前記スレーブ・デバイスから、前記レディ接続、または、スレーブ・リクエスト接続で、スレーブ送信リクエスト信号を受信し、

それに応答して、前記スレーブ・デバイスから、前記リクエスト接続、または、前記レディ接続で、スレーブ送信アクセプト信号を送信し、

前記スレーブ・デバイスから、前記スレーブ・マスタ・データ接続で、バイナリ・データを受信し、

第一、第二トランザクションの少なくとも一つにおいて、前記スレーブ・マスタ・データ接続でバイナリ・データを受信すると同時に、前記マスタ・スレーブ・データ接続でバイナリ・データを送信する能力を有する

請求項 10 ~ 14 の何れか一項に記載のマスタ・デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリアル・インタフェースに関する。

【背景技術】

【0002】

シリアル・インタフェースは、電子部品あるいは電子装置が、他とバイナリ・データを 1 ビットずつ通信するために一般に活用される。例えばマイクロ・プロセッサ・ユニット (MCU) とプリント回路基板 (PCB) に取り付けられた無線チップは、相互にデータ通信するために、PCB 回路を含むシリアル・インタフェースを使うことができる。シリアル・バスの利用は、例えば、集積回路のピン数を多くする必要がなく、スペースを節約する場合、パラレル・バスよりも望まれるであろう。

【0003】

一般的なシリアル・インタフェースの一つとしては、シリアル・ペリフェラル・インタフェース (SPI) がある。これは、マスタ・デバイスと、スレーブ・デバイスとの同期通信を提供するものである。マスタ・デバイスがクロック信号を送信するクロック線と、データ伝送の方向ごとに一本ずつ二本のデータ線を使用する。データ交換はクロック信号に同期している。

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記の SPI は、スレーブ・デバイスから、マスタ・デバイスへ通信を開始する機構が提供されていないという技術的な課題がある。

【0005】

本発明が解決しようとする課題は、当該問題点を解決することにある。

【課題を解決するための手段】

【0006】

上記技術的課題を解決するための本発明の第一の特徴は、クロック線、リクエスト線、レディ線、マスタ・スレーブ・データ線、スレーブ・マスタ・データ線の各独立した 5 本線を含むシリアル・インタフェースを介した、マスタ・デバイスとスレーブ・デバイスとの全二重通信方法であり、

前記マスタ・デバイスは、スレーブ・デバイスに対して、クロック線を介してクロック信号を送信し、

第一トランザクションにおいて、

前記マスタ・デバイスは、前記スレーブ・デバイスに対して、前記リクエスト線を介して、マスタ伝送リクエスト信号を送信し、

それに応答して、前記スレーブ・デバイスは、マスタ伝送リクエスト信号を受信し、前

10

20

30

40

50

記マスタ・デバイスに対して、前記レディ線を介して、スレーブ伝送アクセプト信号を送信し、

それに直接応答し、前記マスタ・デバイスは、スレーブ伝送アクセプト信号を受信し、前記マスタ・スレーブ・データ線を介して、バイナリ・データを伝送し、

第二トランザクションにおいて、

前記スレーブ・デバイスが、前記マスタ・デバイスに対して、前記レディ線、または、スレーブ・リクエスト線を介してスレーブ伝送リクエスト信号を送信し、

前記マスタ・デバイスが、前記スレーブ伝送リクエスト信号を受信し、それに応答して前記スレーブ・デバイスに対して、前記リクエスト線、または、前記マスタ・レディ線を介して、スレーブ伝送アクセプト信号を送信し、

10

それに直接応答して、前記スレーブ・デバイスが、マスタ伝送受領信号を受信し、前記スレーブ・マスタ・データ線を介して、バイナリ・データを伝送し、

第一、第二トランザクションの中の少なくとも一つにおいて、前記スレーブ・デバイスが、前記スレーブ・マスタ・データ線を介して、バイナリ・データを伝送すると同時に、前記マスタ・デバイスが、前記マスタ・スレーブ・データ線を介して、バイナリ・データを伝送する。

【0007】

本発明によるシリアル・インタフェースは、マスタ・デバイス、スレーブ・デバイスの何れからも通信を開始することが可能あり、同時に、どちらが最初に通信を開始するかについての衝突を避け、両デバイス間の全二重通信（すなわち、同時かつ双方向のデータの流れ）をサポートできることは、当業者ならば理解できることである。

20

【0008】

このような構成は、スレーブ・デバイスが、データ送信可能となる前に、マスタ・デバイスからのボール・コマンドを待つことなく、両方向に効果的な通信を行うことを可能にする。イベントがスレーブ（あるいはマスタ）デバイスに生じたとき、マスタ（あるいはスレーブ）デバイスにより、より速い応答時間が得られる。

【0009】

例えば、スレーブ・デバイスが、一体型無線送受信機であるとする、このスレーブ・デバイスが無線パケットを受信したとき、直ちに、MCU（マスタ・デバイス）に対して、受信したパケットの内容を伝えようとするリクエストが示され、MCUがスレーブ伝送リクエスト信号を認識するや否や、MCUによるボール・コマンドの発行を待つことなく、MCUに対して内容の伝送を開始できる。

30

【0010】

本発明の第二の特徴は、

マスタ・デバイス、スレーブ・デバイス、及び、シリアル・インタフェースを含む通信システムであって、

前記シリアル・インタフェースはクロック線、リクエスト線、レディ線、マスタ・スレーブ・データ線、スレーブ・マスタ・データ線を含む。

前記マスタ・デバイスは、前記スレーブ・デバイスに対して、前記クロック線を介してクロック信号を送信する。

40

前記マスタ・デバイスは、第一トランザクションにおいて、

前記スレーブ・デバイスに対して、前記リクエスト線を介してマスタ伝送リクエスト信号を送信し、前記スレーブ・デバイスが、マスタ伝送リクエスト信号を受信する。

それに応答して、前記マスタ・デバイスに対して、前記レディ線を介して、スレーブ伝送アクセプト信号を送信する。

さらに、それに直接応答して、前記マスタ・デバイスが、スレーブ伝送アクセプト信号を受信し、前記マスタ・スレーブ・データ線を介して、バイナリ・データを伝送する。

前記スレーブ・デバイスは、第二トランザクションにおいて、

前記スレーブ・デバイスが、前記マスタ・デバイスに対して、前記レディ線を介して、スレーブ伝送リクエスト信号を送信する。

50

前記マスタ・デバイスがスレーブ伝送リクエスト信号を受信し、それに応答して、前記スレーブ・デバイスに対して、前記リクエスト線を介して、スレーブ伝送アクセプト信号を送信する。

それに直接応答して、前記スレーブ・デバイスが、マスタ伝送受領信号を受信し、前記スレーブ・マスタ・データ線を介して、バイナリ・データを伝送する。

第一、第二トランザクションの少なくとも一つにおいて、バイナリ・データを相互に送信できる能力を持つことである。

【 0 0 1 1 】

また、本発明の、

クロック接続、リクエスト接続、レディ接続、マスタ・スレーブ・データ接続、及びスレーブ・マスタ・データ接続、の5つのシリアル・インタフェース接続を含む、マスタ・デバイスの特徴は、

前記マスタ・デバイスは、前記スレーブ・デバイスに対して、前記クロック接続から、前記マスタ・デバイスは、前記スレーブ・デバイスに対して、前記クロック接続から、クロック信号を送信し、

第一トランザクションにおいて、

前記マスタ・デバイスが、前記スレーブ・デバイスに対して、前記リクエスト接続から、マスタ伝送リクエスト信号を送信し、

前記レディ接続における前記マスタ伝送アクセプト信号を、前記スレーブ・デバイスから受信し、

それに直接応答し、前記マスタ・スレーブ・データ接続から、前記スレーブ・デバイスに対して、バイナリ・データを伝送し、

第二トランザクションにおいて、

前記マスタ・デバイスが、前記レディ接続、または、スレーブ・リクエスト接続に接続された前記スレーブ・デバイスから、スレーブ伝送リクエスト信号を受領し、

前記レディ接続に接続された前記スレーブ・デバイスから、スレーブ伝送アクセプト信号を受信し、

それに直接応答して、前記マスタ・スレーブ・データ接続から前記スレーブ・デバイスに対して、バイナリ・データを伝送することを含み、

前記マスタ・デバイスが、前記マスタ・スレーブ・データ接続からバイナリ・データを伝送すると同時に、前記スレーブ・マスタ・データ接続からも、バイナリ・データを同時に受信する能力を有することである。

【 0 0 1 2 】

また、本発明の

クロック接続、リクエスト接続、レディ接続、マスタ・スレーブ・データ接続、及びスレーブ・マスタ・データ接続、の5つのシリアル・インタフェース接続を含む、スレーブ・デバイスの特徴は、

前記スレーブ・デバイスは、前記マスタ・デバイスに対して、前記クロック接続から、クロック信号を送信し、

第一トランザクションにおいて、

前記スレーブ・デバイスが、前記マスタ伝送リクエスト信号を受信し、それに応答して前記マスタ・デバイスに対して、前記レディ接続された前記マスタ・デバイスに対して、スレーブ伝送アクセプト信号を送信し、

前記マスタ・スレーブ・データ接続に接続された前記マスタ・デバイスから、バイナリ・データを受信し、

第二トランザクションにおいて、

前記レディ接続、あるいは、スレーブ・リクエスト接続から、前記マスタ・デバイスに対して、スレーブ伝送リクエスト信号を送信し、

前記リクエスト接続、あるいは、マスタ・レディ接続から、マスタ伝送アクセプト信号を受信し、

それに直接応答して、前記スレーブ・マスタ・データ接続から、前記マスタ・デバイスに対して、バイナリ・データを伝送することを含み、

前記スレーブ・デバイスが、前記マスタ・スレーブ・データ接続からバイナリ・データを受信すると同時に、前記スレーブ・マスタ・データ接続からも、バイナリ・データを同時に伝送する能力を有することである。

【 0 0 1 3 】

クロック接続（例えば、ピン）はクロック線と（例えば、P C B回路）と接続される。同様に、任意あるいは全てのリクエスト接続、レディ接続、マスタ・スレーブ・データ接続、スレーブ・マスタ・データ接続も、各線と接続される。もしあるなら、スレーブ・リクエスト接続は、スレーブ・リクエスト線と、マスタ応答接続は、マスタ応答線と接続してもよい。

10

【 0 0 1 4 】

クロック接続、マスタ・スレーブ・データ線、及び、スレーブ・マスタ・データ線は、S P Iバスと接続できる。

【 0 0 1 5 】

マスタ・デバイスは、二つの取り得る状態の一方に、リクエスト線を保つ。これらは、簡単に言えば、ハイあるいはローである。これは、高い、または、低い電圧に、それぞれ対応させることができる。

マスタ伝送リクエスト信号は、リクエスト線の切り替えよりなる。いくつかの実施形態においては、マスタ伝送リクエスト信号は、ハイからローにリクエスト線の状態を下げるものもある。

20

【 0 0 1 6 】

スレーブ・デバイスは、二つの取り得る状態の一方に、レディ線を保つ。これらを簡単に言えば、ハイあるいはローである。これは、高い、または、低い電圧に、それぞれ対応させることができる。

スレーブ伝送アクセプト信号は、レディ線の切り替えよりなる。いくつかの実施形態においては、スレーブ伝送アクセプト信号は、ハイからローにリクエスト線の状態を下げるものもある。

【 0 0 1 7 】

スレーブ伝送リクエスト信号は、レディ線の切り替えよりなる。いくつかの実施形態においては、スレーブ伝送リクエスト信号は、ハイからローにレディ線の状態を下げるものもある。

30

【 0 0 1 8 】

マスタ伝送アクセプト信号は、リクエスト線の切り替えよりなる。いくつかの実施形態においては、マスタ伝送アクセプト信号は、ハイからローにリクエスト線の状態を下げるものもある。

【 0 0 1 9 】

マスタ・スレーブ・データ線、及び、スレーブ・マスタ・データ線は、互いに独立に操作できる。あるいは、システムは両方が同時に作動できるように構成する。

後述事例のように、デバイスの一つしか伝送するデータを持たないなら、他のデバイスは「N U L L」またはダミー・データを伝送してもよい。

40

【 0 0 2 0 】

マスタ・デバイスは、バイナリ・データを送受信するときに限り、クロック信号を伝送するように構成できる。

【 0 0 2 1 】

スレーブ・デバイスが、マスタ・デバイスに対して、互いに異なった長さのメッセージを伝送すると同時に、マスタ・デバイスが、スレーブ・デバイスに対して、メッセージを伝送できるように、マスタ・デバイスは構成できる。

もし、マスタ・スレーブ、スレーブ・マスタ、両線が常時作動状態なら、より短いメッセージを有する方が、例えば、長いデータと同じ長さのデータとするため、その短いメッ

50

ページの最後に「NULL」またはダミー・データを追加してもよい。

【0022】

メッセージには、その長さに関する情報を含むことができる。このメッセージは、全体のメッセージの長さを伝える「長さ数」を含むことができる。例えば、メッセージの最初の1バイトをメッセージの、あるいは、メッセージの可変長領域の全バイト数とすることができる。

【0023】

マスタ・デバイスは、スレーブ・マスタ・データ線を介して、スレーブ・デバイスから、メッセージ長さ情報を受信する。このメッセージ長さ情報は、トランザクションを何時終了させるか決定するのに使用される。マスタ・デバイスが、

(1) スレーブ・デバイスが、スレーブ・マスタ・データ線を介して、伝送するメッセージの全ビットを受信完了し、

(2) マスタ・スレーブ・データ線を介して伝送するメッセージの全ビットを伝送完了したとき、

トランザクションを終了させる。

【0024】

このようなことから、異なった長さのメッセージが、同時かつ完全に、交換できることが保証されている。そのため、ロバストかつ有効な通信機構を提供できる。

【0025】

この考えは新しく、それ自体で独創性がある。また、本発明のさらに他の特徴は、同期シリアル接続を介した、マスタ・デバイスとスレーブ・デバイスとの間でのデータ交換方法である。

マスタ・デバイスが、スレーブ・デバイスに対して、バイナリ・データを伝送すると同時に、メッセージ長さ情報を含むバイナリ・データを、前記マスタ・デバイスに伝送する、スレーブ・デバイスを含み、

マスタ・デバイスが、

(1) 前記スレーブ・デバイスから、前記メッセージ長さ情報に応じたビット数のビットメッセージを受信が完了し、

(2) 前記マスタ・デバイスが、前記スレーブ・デバイスに伝送しているメッセージの全ビットメッセージの伝送が完了したら、

マスタ・デバイスが、前記スレーブ・デバイスに対して、伝送終了信号を送信する。

【0026】

また、本発明のさらに他の特徴は、

マスタ・デバイス、スレーブ・デバイス、及び、同期シリアル接続を含む、データ交換システムである。

マスタ・デバイスが、スレーブ・デバイスに対して、バイナリ・データを伝送すると同時に、メッセージ長さ情報を含むバイナリ・データを、マスタ・デバイスに伝送する、スレーブ・デバイスを含み、

マスタ・デバイスが、

(1) 前記スレーブ・デバイスから、前記メッセージ長さ情報に応じたビット数のビットメッセージを受信が完了し、

(2) 前記マスタ・デバイスが、前記スレーブ・デバイスに伝送しているメッセージの全ビットメッセージの伝送が完了したら、

マスタ・デバイスが、前記スレーブ・デバイスに対して、伝送終了信号を送信する。

【0027】

また、本発明のさらに他の特徴は、

同期シリアル接続を介して、バイナリ・データを、スレーブ・デバイスから受信する、マスタ・デバイスである。

メッセージ長さ情報を含み、同時に、マスタ・デバイスが、スレーブ・デバイスに対して、同期シリアル接続を介して、バイナリ・データを伝送し、

10

20

30

40

50

さらに、前記マスタ・デバイスが

(1) 前記スレーブ・デバイスから、前記メッセージ長さ情報に応じたビット数のビットメッセージを受信が完了し、

(2) 前記マスタ・デバイスが、前記スレーブ・デバイスに伝送しているメッセージの全ビットメッセージの伝送が完了したら、

マスタ・デバイスが、前記スレーブ・デバイスに対して、伝送終了信号を送信する。

【 0 0 2 8 】

両メッセージの伝送は、同時に開始できることが好ましい。

さらに、最初のクロック信号で同時に伝送されるメッセージの各々の最小有効ビットを伴っていることが好ましい。

【 0 0 2 9 】

上記の任意の特徴は、これらの特徴に含めることが可能である。

【 0 0 3 0 】

上記の特徴は何れも、リクエスト線または終了信号線を介して、マスタ・デバイスが、スレーブ・デバイスに対して、マスタ伝送終了信号を送信することによって、トランザクション（すなわち、連続、または、持続した通信期間）が終了する。

代わりに、あるいは、付加的に、マスタ・デバイスが、クロック線を介して、クロック信号の送信を停止することによっても、トランザクションは終了する。

【 0 0 3 1 】

マスタ伝送終了信号は、リクエスト線の切り替えによりなる。また、ある実施形態は、マスタ伝送終了信号が、リクエスト線のローからハイへの上昇遷移を含む。

【 0 0 3 2 】

スレーブ・デバイスは、マスタ伝送終了信号の受信に対応して、マスタ伝送終了信号は、リクエスト線の切り替えによりなる。また、ある実施形態は、マスタ伝送終了信号が、リクエスト線のローからハイへの上昇遷移を含む。

【 0 0 3 3 】

マスタ・デバイスは、マスタ伝送リクエスト信号の送信前に、レディ、リクエスト両線的一方または両方の状態をチェックし、線の状態がマスタ伝送条件を満足している場合に限り、マスタ伝送リクエスト信号を送信できる。

【 0 0 3 4 】

同様に、スレーブ・デバイスは、スレーブ伝送リクエスト信号の送信前に、レディ、リクエスト両線的一方または両方の状態をチェックし、線の状態がスレーブ伝送条件を満足している場合に限り、マスタ伝送リクエスト信号を送信できる。

【 0 0 3 5 】

このようにして、トランザクションが既に開始されている間、伝送リクエストが送られないことを保証することによって、スレーブ・デバイスとマスタ・デバイスとの間の伝送リクエストの衝突を回避することができる。

【 0 0 3 6 】

マスタ・デバイスは、送信バッファと受信バッファを含むことが好ましい。

これらは、一つあるいは同一のバッファ（例えば、単 8 ビットバッファ）でよい。この場合、二値情報は、バッファの一端から伝送され、他端で受信される（巡回バッファ）。しかし、バッファは別々に設けることが好ましい。

【 0 0 3 7 】

マスタ・デバイスは、複数の伝送バッファ、複数の受信バッファ、の一方または両方を含む。マスタ・デバイス中のコントローラ（これは、ハードウェアあるいはソフトウェアよりなる）は、バッファの一つを作動伝送バッファとして選択し、この作動バッファを、現在か次の処理に使用する作動バッファとして使用できる。

【 0 0 3 8 】

同様に、スレーブ・デバイスは、一つの伝送バッファと、一つの受信バッファを含む。しかし、より好ましくは、一つ以上の伝送バッファと、一つ以上の個別受信バッファとを

10

20

30

40

50

含む。スレーブ・デバイスは、作動送信バッファ、作動受信バッファ、の両方または一方を選択するコントローラを含んでもよい。

【0039】

マスタ及びスレーブ・デバイス上のバッファは、全て同じサイズ（例えば、8ビット、あるいは、一定数のバイト）にしてもよいし、異なるサイズにしてもよい。

【0040】

マスタ・デバイス上、スレーブ・デバイス上の、両方または一方のバッファは、ハードウェア、ソフトウェアで実現できる。

【0041】

スレーブ・デバイスがメッセージを全て受信し終わる前に、マスタ・デバイスのトランザクションを終了することを、スレーブ・デバイスが決定したなら、スレーブ・デバイスは、マスタ・デバイスからのメッセージ再伝送を要求してもよい。

10

例えば、メッセージは、メッセージ長さ情報を含み、スレーブ・デバイスは、スレーブ・デバイスが、マスタ伝送終了信号を受信したとき、メッセージビット数と対応する長さ分を受信したか否かを決定するために、この情報を使うことができる。

伝送要求は、レディ線、スレーブ・マスタ・データ線の両方または一方を用いて、作られる。例えば、レディ線を介して、スレーブ・デバイスは、スレーブ伝送要求信号を送ることができる。また、事前再伝送要求を含むメッセージを、マスタ・デバイスに対して、伝送してもよい。

【0042】

20

マスタ・デバイスは、マイクロ・コントローラ・ユニットであってもよいし、これらを含むものでもよい。スレーブ・デバイスも、マイクロ・コントローラ・ユニットであってもよいし、これらを含むものでもよい。

本発明は、特に、マスタ・デバイス、スレーブ・デバイス、双方のソフトウェア制御に適している。

しかし、スレーブ・デバイスが、ハードウェア・デバイス、例えば、1チップ無線機、あるいは、汎用プロセッサを有する必要が必ずしもない、他のコンポーネントのような、連結性のチップ・セットであってもよいし、これらを含むものでもよい。

【0043】

インタフェースの接続線は、いくつか適切な形をとることができる。

30

これらは光学的手法でもよい。しかし、好ましくは、電気的手法が良い。

少なくとも5本の接続線を含むケーブルを用いて、マスタ・デバイスと、スレーブ・デバイスの間を接続できる。しかし、好ましい実施形態においては、マスタ・デバイスと、スレーブ・デバイスは、一つのシリコン・チップ上に集積される。そして、接続線が、シリコン・チップ上の電導体を含むことができる。

【0044】

データ・ビットは、クロック信号を同じ速さで伝送することが好ましい。すなわち、1クロック当たり1ビットである。データは、クロック信号の上昇・下降時に、伝送・読込できる。

実施形態には、クロックの上昇時にデータを受け、下降時に伝送するものもある。

40

【0045】

本発明では、一つのマスタ・デバイスと、一つのスレーブ・デバイスの例が述べられているが、代わりに、一つのマスタ・デバイスと、複数のスレーブ・デバイスを用いることもできることは明らかであろう。

スレーブ選択線は、マスタ・デバイスとスレーブ・デバイスとを接続してもよく、作動させるスレーブ・デバイスの一つを選択するために使用できる。これは、SPIとして、知られている。

もし、全てのスレーブ・デバイス間で線を共有するならば、作動していないスレーブ・デバイスは、リクエスト線、及び、マスタ・スレーブ・データ線の信号を無視することもできる。そして、レディ線、及び、スレーブ・マスタ・データ線の任意の信号を無視する

50

こともできる。

【 0 0 4 6 】

いくつかの実施形態では、複数のスレーブ・デバイスを含むものもある。各スレーブ・デバイスは、マスタ・デバイスと接続する、独自のレディ線、そして、任意で独自のリクエスト線を持つことが可能である。

このように、スレーブ・デバイスは、マスタ・デバイスと他のスレーブ・デバイスとのトランザクションの間であっても、マスタ・デバイスに対して、スレーブ伝送要求信号を送ることが可能である。また、マスタ伝送受領信号を待つことも可能である。

クロック線、マスタ・スレーブ・データ線、及び、スレーブ・マスタ・データ線は、それでも、複数のスレーブ・デバイス間で共有できる。それによって、スレーブ・デバイスの各々に対して独立したシリアル・インタフェースを完全に保持するのに比べて、場所を節約できる。

【 0 0 4 7 】

本発明の任意のまたは好ましい特徴は、他においても、任意のまたは好ましい特徴でもあることは明らかであろう。

本特徴の一部、あるいは、全てを一つの実施形態に取り入れることができる。

【図面の簡単な説明】

【 0 0 4 8 】

【図 1】マイクロ・コントローラ（MCU）、無線送受信機、及び、両者のシリアル接続の概略図である。

【図 2】無線送受信機の内部構成の概略図である。

【図 3】MCUによる通信開始を示したタイミング図である。

【図 4】無線送受信機による通信開始を示したタイミング図である。

【発明を実施するための形態】

【 0 0 4 9 】

図 1 には、MCU 1、及び、一体型 1 チップ無線トランシーバ 2 を示す。

これらは、例えば、共通のプリント回路基板（PCB）上に別々のパッケージとして、実装できる。

MCU 1 と無線機は、これらを結ぶ 5 本一組のシリアル・バス 3 を持つ。これは PCB 回路から形成できる。シリアル線は、リクエスト線（REQN）、レディ線（RDYN）、クロック線（CLK）、マスタイン・スレーブアウト・データ線（MOSI）、マスタアウト・スレーブイン・データ線（MISO）、よりなる。

【 0 0 5 0 】

【表 1】

信 号	MCU	無線機	記 述
MISO	入 力	出 力	SPI：マスタ・イン スレーブ・アウト
MOSI	出 力	入 力	SPI：マスタ・イン スレーブ・アウト
CLK	出 力	入 力	SPI：シリアル・データ・クロック
REQN	出 力	入 力	MCU から無線機へのハンドシェイク信号
RDYN	入 力	出 力	無線機から MCU へのハンドシェイク信号

【 0 0 5 1 】

MCU 1 上で実行されるソフトウェア・アプリケーションは、無線機 2 に対して、コマンドやメッセージのように無線機 2 によって伝送されるデータを送信するために、シリアル接続を使う。そして、無線機 2 から、無線機によって受信されるメッセージや、状態情報などのデータを受信する。

【 0 0 5 2 】

図 2 は、シリアル・インタフェースを制御するための、無線機 2 内の構成要素を示す。

【 0 0 5 3 】

クロック線、リクエスト線、レディ線は、アプリケーション・コントローラ・インタフェース（ＡＣＩ）制御部４と接続している。

マスタアウト・スレーブイン・データ線は、マスタアウト・スレーブイン・バッファ制御部５と接続している。一方、マスタイン・スレーブアウト・データ線は、マスタイン・スレーブアウト・バッファ制御部６と接続している。

マスタアウト・スレーブイン・バッファ制御部５は、 n 個の受信（ＲＸ）バッファ７の任意のものに対して、書き込み可能である。マスタイン・スレーブアウト・バッファ制御部６は、 m 個の伝送（ＴＸ）バッファ８の任意のものから、読み込み可能である。

n と m は同じでも異なってもよい。各々のバッファは x バイト長である。

ＡＣＩを使用する実装されたソフトウェア・プロトコルに対して、 x は最大（断片化）長さとなる。

一つの例として、 $n = 5$ 、 $m = 2$ なら、 $x = 32$ となる。他の例として、 $n = m = 10$ なら、 $x = 4$ となる。

ＡＣＩ制御部４、バッファ制御部５、６、及び、ＲＸバッファ７、ＴＸバッファ８は、全てハードウェアで実装できる。

【００５４】

ＡＣＩ制御部４は、二つのバッファ制御部５、６とＲＸバッファ７、ＴＸバッファ８、及び、アプリケーション・コントローラ・インタフェース（ＡＣＩ）ドライバ制御部９と接続しており、これらはハードウェアあるいはソフトウェアで実装できる。

ＡＣＩドライバ制御部９は、シリアル接続バッファと他の無線送受信機の構成要素とをインタフェース接続している。

【００５５】

ＭＣＵ１は、図２に示されるように、各接続線の配置が反転しているものの、同様の、あるいは、全く同一の配置でもよい。

【００５６】

ＭＣＵ１が使用されているとき、ＲＥＱＮ線を接地させることで、無線機２との通信を要求できる。

無線機２は、通信できる状態になっていれば、ＲＤＹＮ線を接地させる。そうでなければ、通信できる状態になるまで、ハイに保つ。

ＭＣＵ１は、ＲＤＹＮ線が接地されたなら、データ伝送を開始する。

【００５７】

無線機２は、ＲＤＹＮ線を接地されることで、ＭＣＵ１との通信を要求できる。

ＭＣＵ１は、ＲＥＱＮ線を接地させることで、了知したことを応答する。そしてデータ伝送を開始する。

【００５８】

データ伝送は、常に、ＭＣＵ１によって調整される。ＭＣＵ１は、ＣＬＫ線のクロック信号を管理する。

【００５９】

無線機２が、ＭＣＵ１に対してメッセージを送送したいことを示すために、ＲＤＹＮ線を接地されたとき、無線機２は、また、ＭＩＳＯ線上に、メッセージの最下位のデータ・ビットを置く。もし、ＭＣＵ１も、また、無線機２に対して送信すべきデータを持っていれば、ＭＯＳＩ線上に、メッセージの最下位のデータ・ビットを置き、ＣＬＫ線をハイに上昇させる。無線機２がクロック信号を受信し、ＭＯＳＩ線からデータを読み込んだら、それと同時に、ＭＣＵ１もＭＩＳＯ線から最下位のデータ・ビットを読み込む。

【００６０】

ＭＣＵ１はＣＬＫ線を下降・接地させ、ＭＯＳＩ線上に最下位のデータ・ビットを配置する。スレーブは、読み込みデータ・ビットを作動中のＲＸバッファに移動させて、ＭＩＳＯ線上に、第二下位のデータ・ビットを配置する。

【００６１】

この処理は、要求されるデータ・ビット数（すなわち、双方のメッセージ全体量）が、

10

20

30

40

50

双方向に伝送完了されるまで続けられる。

【 0 0 6 2 】

各データ・ビットは、クロック信号の下降時に伝送され、クロックの上昇時に受信される。

【 0 0 6 3 】

A C I 制御部 4 はフロー制御、折衝、非対称データの伝送、再伝送を取り扱う。また、再伝送に関連して、バッファ制御部 5 , 6 を管理する。

【 0 0 6 4 】

無線機 2 が M C U 1 によって要求されたデータ伝送が受信可能になると、A C I 制御部 4 は R D Y N 線の信号を認識できる。また、無線機 2 が伝送するデータを持つとき、M C U 1 が、データ伝送の開始の要求を有することを、R D Y N 線上に示すことができる。

【 0 0 6 5 】

非対称のデータ伝送に対しては、A C I 制御部 4 は、M O S I 線と M I S O 線に、独立してバッファ制御部 5 , 6 を持つ。もし、A C I 制御部 4 が、伝送・受信を、成功・完了したならば、A C I 制御部 4 は、M O S I バッファ制御部 5 に対し、次の受信、伝送バッファを作動バッファにするように処理を進める。

【 0 0 6 6 】

R D Y N 線上の信号を送る前に、A C I 制御部 4 は、M O S I バッファ制御部 5、M I S O バッファ制御部 6 をチェックする。これにより、一方向あるいは双方向で十分なバッファ容量があることを保証される。

【 0 0 6 7 】

バッファ制御部 5 , 6 は、データ伝送の間、独立シフトロジックの役目を果たす。A C I 制御部 4 は、どのバッファから、あるいは、どのバッファに、データ・ビットを受信し、あるいは、シフトするかを示す。

【 0 0 6 8 】

A C I ドライバ 9 は、A C I 制御部 4 に対してアクセスし、M C U 1、無線機 2 で要求された全ての入出力データ伝送を取り扱う。

【 0 0 6 9 】

図 3 には、次の順序の複数のイベントに関して、M C U 1 から無線機 2 に対して送られたパケットのタイミングを示す。

- R E Q N ピンを接地させることで、データ伝送のための権利を要求する。
- M C U 1 からの要求を承認して、データ転送を開始するとき、無線チップ 2 は、R D Y N 端子を接地させる。
M C U 1 がクロック信号を C L K ピンに送り、M O S I ピンからデータ伝送を開始する。
M C U 1 からの最初の 1 バイトはメッセージ長と定義されている。
第 2 バイトは、メッセージの最初の 1 バイトである。
第 n 番目のバイトがメッセージデータの最後のバイトになる。
- M C U 1 はクロックを停止し、R E Q N ピンをハイに設定し、データ伝送を終了する。
- 無線機 2 は R D Y N ピンをハイに再設定する。

【 0 0 7 0 】

もし、無線機 2 に M C U 1 への送信待ちのデータがあれば、M C U 1 から伝送と同時にこれを伝送できる。

【 0 0 7 1 】

図 4 には、次の順序の複数のイベントに関して、無線機 2 から M C U 1 に対して送られたパケットのタイミングを示す。

- 無線チップ 2 の R D Y N ピンを接地する。
- M C U 1 が R E Q N ピンを接地させ、クロック信号を C L K ピンに送信開始し、M O S I ピンでデータ受信を開始する。

無線機 2 からの最初の 1 バイトは、MCU 1 では捨てられる内部デバッグ・バイトである。第 2 バイトは、メッセージ長と定義されている。

第 3 バイトは、メッセージの最初の 1 バイトである。

第 n 番目のバイトがメッセージデータの最後のバイトになる。

- MCU 1 がメッセージ全体を受信したなら、クロックを停止し、REQN ピンをハイに設定して、データ・トランザクションを停止する。
- 無線機 2 は RDYN ピンをハイに再設定する。

【0072】

もし、MCU 1 が無線機 2 への送信待ちのデータがあれば、無線機 2 から伝送と同時にこれを伝送できる。

10

【0073】

パケットの最大長は、有効なバッファ・サイズに基づいて実装するように決定できる。

【0074】

REQN 線、RDYN 線、CLK 線、MOSI 線、MISO 線を使うことで、MCU 1 及び無線機 2 は全二重モードで送受信できる。

【0075】

伝送されるデータにメッセージ長さを組み込んだことで、同時に伝送されたメッセージの最大長を測ることができる。それ故、全てのデータが無線機 1 及び MCU 1 に届くことが保証される。

【0076】

20

もし、MCU 1 が全ての予期されるデータ・ビットを測ることができなくても、組み込まれた伝送長さに従えば、ACI 制御部 4（かつ、あるいは、付加的な高レベル・ソフトウェア）が未完の伝送を見つけることができる。これによって、無線機 2 に再送信を要求することができる。

【0077】

エラー検出は、高プロトコル・レベルで実装できる。

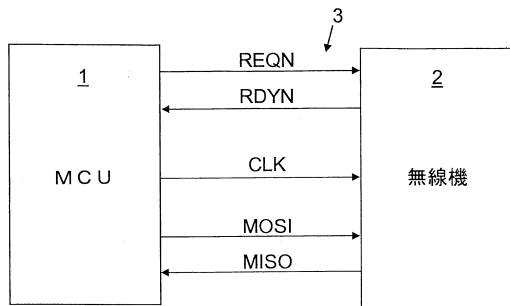
【符号の説明】

【0078】

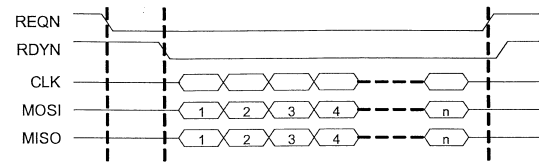
- 1 MCU
- 2 無線送受信機
- 3 5 線シリアル・バス
- 4 アプリケーションコントローラインタフェース（ACI）制御部
- 5 マスタアウト・スレーブイン（MOSI）バッファ制御部
- 6 マスライン・スレーブアウト（MISO）バッファ制御部
- 7 受信バッファ
- 8 送信バッファ
- 9 アプリケーションコントローラインタフェース（ACI）ドライバ

30

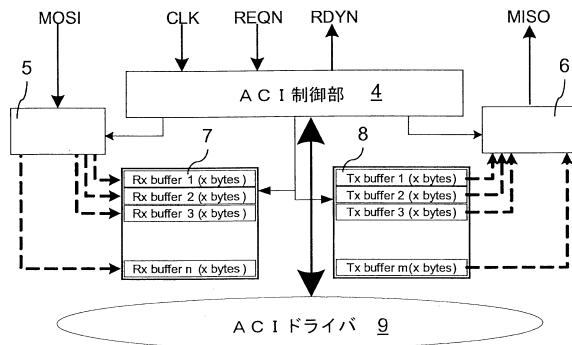
【図 1】



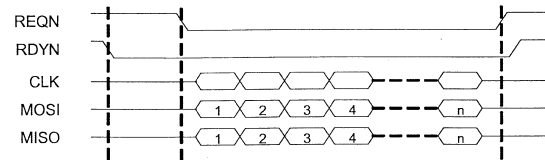
【図 3】



【図 2】



【図 4】



フロントページの続き

- (72)発明者 ケッティマーダ、ピナヤーク カリアツパ
ノルウェー王国、エヌ - 7 0 3 3 トロンハイム、オシーリエンボルクヴァイエ ン 5 5 アー
- (72)発明者 タラルドセン、ビョルン トーレ
ノルウェー王国、エヌ - 7 0 7 5 ティレル、クロッパンマルカ 1 1 0
- (72)発明者 スコグルンド、ペル カルステン
ノルウェー王国、エヌ - 7 2 2 4 メルハス、ブレーケスマルカ 1 0

審査官 田中 啓介

- (56)参考文献 特開 2 0 0 4 - 2 7 2 3 8 6 (J P , A)
特開平 0 8 - 0 1 6 5 1 2 (J P , A)
米国特許出願公開第 2 0 0 5 / 0 2 3 9 5 0 3 (U S , A 1)
特開平 0 3 - 1 9 4 6 4 0 (J P , A)
特開 2 0 0 8 - 0 0 9 6 0 8 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 0 6 F 1 3 / 3 8 - 1 3 / 4 2
H 0 4 L 1 3 / 0 2 - 1 3 / 1 8
2 9 / 0 0 - 2 9 / 1 2