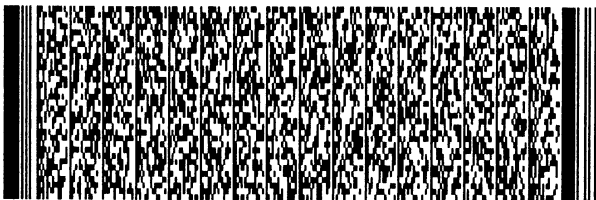


申請日期: 92.3.21	IPC分類 G11C11/4091
申請案號: 9206411	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	單一位元線半導體記憶元件之感測電路
	英文	SENSE OUT CIRCUIT FOR SINGLE-BITLINE SEMICONDUCTOR MEMORY DEVICE
二、 發明人 (共1人)	姓名 (中文)	1. 黃世煌
	姓名 (英文)	1. Huang, Shih-Huang
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹市東南街二一〇巷一弄二十二號
	住居所 (英文)	1. No. 22, Lane 210, Tung-Nan St., Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 聯發科技股份有限公司
	名稱或 姓名 (英文)	1. MediaTek Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市新竹科學工業園區創新一路13號1F (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Tsai, Ming-Kai



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



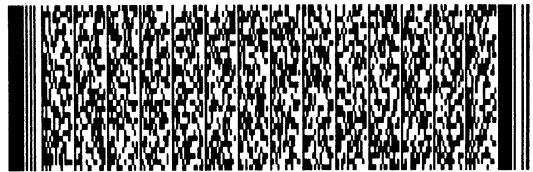
五、發明說明 (1)

發明所屬之技術領域

本發明提供一種感測電路 (Sense Out Circuit)，尤指一種使用於一單一位元線之半導體記憶元件、且包含有一電壓維持模組 (Keeper) 之感測電路。

先前技術

於目前市面上之各種電子產品中，記憶體向來為其中十分重要而不可或缺的元件之一。記憶體依照儲存資料方式的不同可分為揮發性記憶體及非揮發性記憶體兩大類，其中揮發性記憶體係指儲存於該記憶體中之數位資料於切斷電源供應之後即會消失不見之資料儲存裝置，揮發性記憶體的優點在於其存取速度快，常用來作為高速之處理單元與其他電路之間的緩衝器，但是揮發性記憶體卻具有無法於切斷電源供應的狀態下繼續保有資料，例如 DRAM、SDRAM 等產品均屬於揮發性記憶體的一種。而非揮發性記憶體則指儲存於該記憶體中之數位資料於切斷電源供應之後仍能夠繼續保存之資料儲存裝置，非揮發性記憶體的優點即在於其能於切斷電源供應的狀態下持續保有資料，而缺點則為其存取速度不似揮發性記憶體一般快速，如 ROM、快閃記憶體等產品則屬於非揮發性記憶體的範疇。

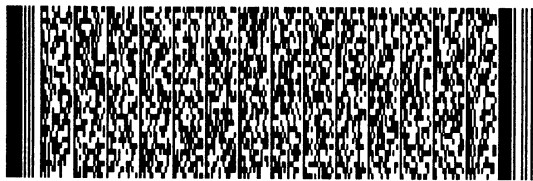


五、發明說明 (2)

記憶體應用之領域非常廣泛，除了於一般個人電腦中發揮作為資料儲存裝置的功能之外，隨著資訊科技產業的日漸成熟，上述之各式各樣的記憶體均被大量地運用於如筆記型電腦、個人數位助理 (Personal Digital Assistant, PDA)、行動電話、數位照相機等的電子產品當中，以作為上述各種電子產品儲存數位資料的工具。

一般來說，設置於一電子產品中之記憶體會依照該電子產品之控制訊號來進行下列數種主要之操作模式，即寫入模式 (Write Mode or Program Mode)、消除模式 (Erase Mode)、及讀取模式 (Read Mode)。其中於寫入模式中，該電子產品會依照上述控制訊號之指示將數位資料寫入該記憶體中特定之儲存位址中；於消除模式中，該電子產品會依照上述控制訊號之指示將該記憶體中特定之儲存位址中所儲存之數位資料予以清除；而於讀取模式中，該電子產品則會依照上述控制訊號之指示將該記憶體中特定之儲存位址中所儲存之數位資料讀取出來。

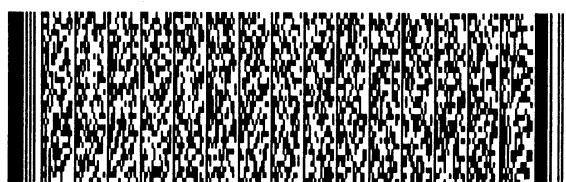
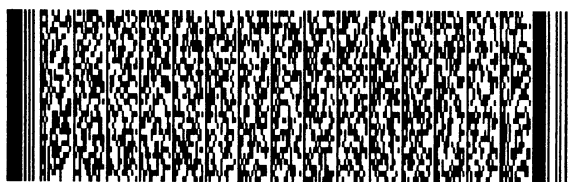
在一記憶體當中，通常包含有一感測電路 (Sense Out Circuit or Sensing Amplifier)，電連接於該記憶體中用來儲存數位資料之記憶體單元陣列，以依照控制訊號之指示將該記憶體單元陣列中特定之儲存位址所



五、發明說明 (3)

儲存的資料讀取出來。在 1998 Symposium on VLSI Circuits Digest of Technical Papers第 158~161頁中即揭露了一感測電路之架構，請參閱圖一，圖一中顯示習知技術之單一位元線唯讀記憶體 (Single Bit Line ROM) 的感測電路之電路圖。於圖一中，該唯讀記憶體包含有一感測電路 10 及一記憶體單元陣列 20，其中記憶體單元陣列 20 包含有複數個記憶體單元 22，記憶體單元 22 之位址係經由複數條字元線 (Word Line) $WL_1 \sim WLn$ 及複數條位元線 $BL_1 \sim BLm$ 來定義，亦即每一條字元線及每一條位元線之交叉處均具有一記憶體單元 22 電連接至該字元線及該位元線。於圖一中，記憶體單元 22 係為一 NMOS 電晶體，其汲極電連接於該位元線，其閘極電連接於該字元線，而其源極則接地。

接下來將以上述之位元線 $BL_1 \sim BLm$ 中之其中一條為例 (例如位元線 BL_1) 進行說明，位元線 BL_1 係電連接於感測電路 10，感測電路 10 包含有一第一預先充電模組 12，電連接於位元線 BL_1 ，用來對位元線 BL_1 進行預先充電，此處第一預先充電模組 12 為一 NMOS 電晶體，其汲極電連接於位元線 BL_1 ，其閘極電連接於一控制訊號 $Y1b$ ，其源極則接地，用來將位元線 BL_1 預先充電至 0V；一選擇模組 14，電連接於位元線 $Y1b$ 及一資料線 DL 之間，用來依據互補之控制訊號 $Y1$ 及 $Y1b$ 將位元線 $Y1b$ 之訊號傳送至資料線 DL ，此處選擇模組 14 係為由一 NMOS 電晶體及一 PMOS 電晶



五、發明說明 (4)

體所組成之傳輸閘 (Transmission Gate)，並由控制訊號 Y1及 Y1b控制其開閉；一第二預先充電模組 16，用來對資料線 DL進行預先充電，此處第二預先充電模組 16為一 PMOS電晶體，其汲極電連接於資料線 DL，其閘極電連接於一控制訊號 PRE，其源極則電連接於一電源供應電壓 V_{DD} ，用來將資料線 DL預先充電至 V_{DD} ；以及一感測門鎖模組 18，如圖一所示，電連接於資料線 DL，用來感測資料線 DL上之數位訊號並門鎖該數位訊號以於一輸出訊號線 OUT上產生一輸出訊號。

請注意，於上一段中雖僅以一條位元線 BL為例說明，但是於實際應用中通常會有複數條位元線分別透過選擇模組 14電連接於同一條資料線 DL上，如圖一所示。

接下來將說明圖一中該唯讀記憶體利用感測電路 10讀取資料的流程。當該唯讀記憶體欲讀取記憶體單元陣列 20中所儲存之數位資料時，其控制單元（未顯示於圖一中）會利用控制訊號控制第一預先充電模組 12以將與所欲讀取之位址相對應之位元線（例如位元線 BL_1 ）預先充電至 0V，再利用控制訊號 Y1及 Y1b開啟選擇模組 14。接下來，再利用控制訊號 PRE控制第二預先充電模組 16以將資料線 DL及位元線 BL預先充電至 V_{DD} 。最後，其控制單元會將高電位輸入至與所欲讀取之位址相對應之字元線（例如字元線 WL_1 ），以將被選取之記憶體單元 22（此時

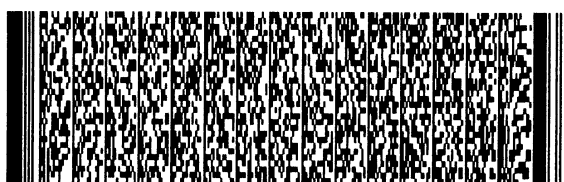
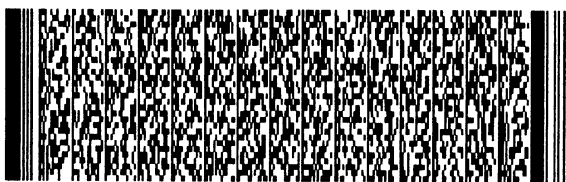
五、發明說明 (5)

為字元線 WL 及位元線 BL 之交叉處的記憶體單元 22) 中所儲存之數位資料，透過位元線 BL₁、資料線 DL、及感測門鎖模組 18 輸出至輸出訊號線 OUT。

然而，圖一中之感測電路 10 卻具有以下重大的缺陷。首先，當記憶體單元 22 中所儲存之數位資料為邏輯值 "0" 時，記憶體單元 22 係被程式化於低臨界電壓 (Low Threshold Voltage) 的狀態，此時若欲將此一記憶體單元 22 中所儲存之邏輯值 "0" 讀取出來的話，被選取的位元線 BL 及資料線 DL 必須先被充電至 V_{DD} ，再經由被開啟之記憶體單元 22 連接至地的路徑放電至 0V，才能完成讀取的動作。由於位元線 BL 係電連接於十分大量的記憶體單元 22 而資料線 DL 亦電連接於許多的選擇模組 14，因此位元線 BL 及資料線 DL 均因具有十分長之佈局圖形而代表著非常大的寄生電容。故於讀取邏輯值 "0" 的過程當中，不論是第二預先充電模組 16 或者是被選取之記憶體單元 22 均須對位元線 BL 及資料線 DL 之龐大電容充放電，而這將造成該唯讀記憶體讀取資料的速度受到很大的限制。同時對位元線 BL 及資料線 DL 之龐大電容進行充放電，亦將造成十分大量的動態功率 (Active Power) 消耗。

發明內容

因此本發明之主要目的在於提供一種使用於一單一



五、發明說明 (6)

位元線之半導體記憶元件、且包含有一電壓維持模組 (Keeper) 之感測電路，以解決上述習知的問題。

根據本發明之申請專利範圍，係揭露一種一種半導體記憶元件之感測電路，用來感測該半導體記憶元件之記憶體單元中所儲存之邏輯資料，該記憶體單元係電連接於一位元線，該感測電路包含有一第一預先充電模組，電連接於該位元線，用來對該位元線進行預先充電；一選擇模組，電連接於該位元線及一第一資料線之間，用來依據一第一控制訊號將該位元線之訊號傳送至該第一資料線，並隔離該位元線及該第一資料線之電容；一第二預先充電模組，電連接於該第一資料線，用來對該第一資料線進行預先充電；一第一電壓維持模組，電連接於該第一資料線，用來於該記憶體單元中儲存邏輯值 "1" 時，將該第一資料線之訊號維持於高電壓準位；一隔離模組，電連接於該第一資料線及一第二資料線之間，用來依據一第二控制訊號將該第一資料線之訊號傳送至該第二資料線，並隔離該第一資料線及該第二資料線之電容；以及一第三預先充電模組，電連接於該第二資料線，用來對該第二資料線進行預先充電。

本發明之感測電路利用一選擇模組及一隔離模組之設計，於該記憶體單元中儲存邏輯值 "1" 時，將一位元線及一第一資料線之間之寄生電容、以及該第一資料線及



五、發明說明 (7)

一 第二資料線之間之寄生電容隔離開來，並利用一電壓維持模組將資料線上之訊號維持於高電壓準位，如此則資料線上之寄生電容效應將不似習知技術之感測電路一般龐大，進而能夠減少讀取資料所須之時間。

實施方式

請參閱圖二，圖二中顯示本發明之單一位元線半導體記憶元件之感測電路之電路圖。於圖二中，該半導體記憶元件包含有一感測電路 30 及一記憶體單元陣列 50，其中記憶體單元陣列 50 係與上述習知技術之圖一中的記憶體單元陣列 20 相同，記憶體單元陣列 50 包含有複數個記憶體單元 52，記憶體單元 52 之位址係經由複數條字元線 $WL_1 \sim WLn$ 及複數條位元線 $BL_1 \sim BLm$ 來定義，亦即每一條字元線及每一條位元線之交叉處均具有一記憶體單元 52 電連接至該字元線及該位元線。於圖二中記憶體單元 52 係為一 NMOS 電晶體，其汲極電連接於該位元線，其閘極電連接於該字元線，而其源極則接地。

接下來將以上述之位元線 $BL_1 \sim BLm$ 中之其中一條為例（例如位元線 BL_1 ）進行說明。於圖二中，位元線 BL_1 係電連接於感測電路 30，感測電路 30 包含有一第一預先充電模組 32，電連接於位元線 BL_1 ，用來對位元線 BL_1 進行預先充電；一選擇模組 34，電連接於位元線 BL_1 及一第一資



五、發明說明 (8)

料線 DL 之間，用來依據一第一控制訊號 Y1 將位元線 BL 之訊號傳送至第一資料線 DL₁，並隔離位元線 BL 及第一資料線 DL₁ 之電容；一第二預先充電模組 36，電連接於第一資料線 DL₁，用來對第一資料線 DL 進行預先充電；一第一電壓維持模組 (Keeper) 38，電連接於第一資料線 DL₁，用來於所欲讀取之記憶體單元 52 中儲存邏輯值 "1" 時，將第一資料線 DL 之訊號維持於高電壓準位；一隔離模組 40，電連接於第一資料線 DL 及一第二資料線 DL₂ 之間，用來依據一第二控制訊號 SAIB 將第一資料線 DL 之訊號傳送至第二資料線 DL₂，並隔離第一資料線 DL 及第二資料線 DL₂ 之電容；以及一第三預先充電模組 42，電連接於第二資料線 DL₂，用來對第二資料線 DL 進行預先充電。

請注意，於先前段落中雖僅以一條位元線 BL 為例說明，但是於實際應用中通常會有複數條位元線分別透過選擇模組 34 電連接於同一條第一資料線 DL₁ 上，如圖二所示。

如圖二所示，於本實施例中，第一預先充電模組 32 係為一 NMOS 電晶體，其汲極電連接於位元線 BL₁，其閘極電連接於第一控制訊號 Y1 之反相訊號 Y1b，其源極則接地，第一預先充電模組 32 會依據第一控制訊號 Y1 之反相訊號 Y1b 之控制而開啟以對位元線 BL 進行預先充電。選擇模組 34 為一 NMOS 電晶體，其汲極電連接於第一資料線



五、發明說明 (9)

DL₁，其閘極電連接於第一控制訊號 Y1，其源極則電連接於位元線 BL₁。第二預先充電模組 36 為一 PMOS 電晶體，其汲極電連接於第一資料線 DL₁，其閘極電連接於第二控制訊號 SAIB，其源極則電連接於一電源供應電壓 V_{DD}，第二預先充電模組 36 會依據第二控制訊號 SAIB 之控制而開啟以對第一資料線 DL 進行預先充電。隔離模組 40 為一 NMOS 電晶體，其汲極電連接於第二資料線 DL₂，其閘極電連接於第二控制訊號 SAIB，其源極則電連接於第一資料線 DL₁。而第三預先充電模組 42 為一 PMOS 電晶體，其汲極電連接於第二資料線 DL₂，其閘極電連接於第二控制訊號 SAIB，其源極則電連接於電源供應電壓 V_{DD}，第三預先充電模組 42 則會依據第二控制訊號 SAIB 之控制而開啟以對第二資料線 DL₂ 進行預先充電。

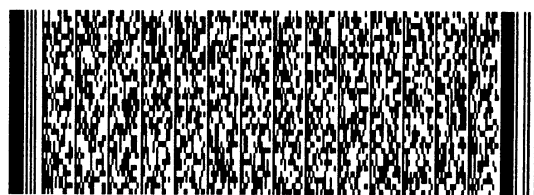
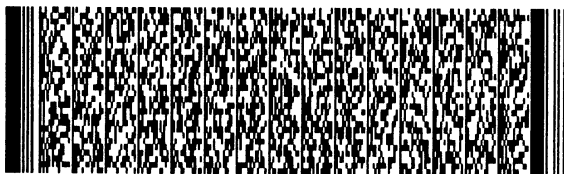
又如圖二所示，於本實施例中，第一電壓維持模組 38 則包含有一 PMOS 電晶體 54，其源極電連接於電源供應電壓 V_{DD}，其汲極電連接於第一資料線 DL₁；以及一 NAND 邏輯閘 56，包含有二輸入端及一輸出端，該二輸入端電連接於第一資料線 DL₁，該輸出端電連接於 PMOS 電晶體 54 之閘極。於如上述之第一電壓維持模組 38 的組態下，當位於第一資料線 DL₁ 上之訊號為一較接近電源供應電壓 V_{DD} 之電壓值時，由於 NAND 邏輯閘 56 會將此一電壓值判斷為邏輯值 "1"，故 NAND 邏輯閘 56 之輸出端會輸出邏輯值 "0" (即 0V)，而 PMOS 電晶體 54 則會因此開啟，使得電源供

五、發明說明 (10)

應電壓 V_{DD} 會持續透過 PMOS 電晶體 54 之通道對第一資料線 DL_1 進行充電，而使第一資料線 DL_1 之訊號趨近於 V_{DD} 而維持於高電壓準位。而當位於第一資料線 DL_1 之訊號為一較接近接地值 (0V) 之電壓值時，由於 NAND 邏輯閘 56 會將此一電壓值判斷為邏輯值 "0"，故 NAND 邏輯閘 56 之輸出端會輸出邏輯值 "1" (即 V_{DD})，而 PMOS 電晶體 54 則會因此關閉，使得第一電壓維持模組 38 不會對第一資料線 DL_1 造成任何影響。

為了使本發明之感測電路 30 讀取資料之速度更快，感測電路 30 亦可另包含有一第二電壓維持模組 44 及一波形整形模組 (Waveform Reshape Module) 46，如圖二所示。其中第二電壓維持模組 44 係電連接於第二資料線 DL_2 ，用來於所欲讀取之記憶體單元 52 中儲存邏輯值 "1" 時，將第二資料線 DL_2 之訊號維持於高電壓準位。而波形整形模組 46 則電連接於第二資料線 DL_2 ，用來感測第二資料線 DL_2 之訊號以於一輸出訊號線 OUT 產生一輸出訊號。

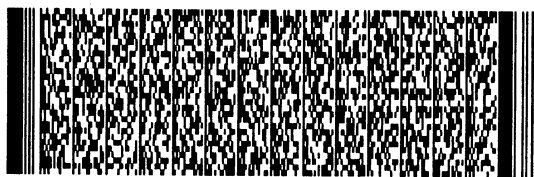
如圖二所示，於本實施例中，第二電壓維持模組 44 之組態及功能係與第一電壓維持模組 38 相同，包含有一 PMOS 電晶體 58，其源極電連接於電源供應電壓 V_{DD} ，其汲極電連接於第二資料線 DL_2 ；以及一 NAND 邏輯閘 60，包含有二輸入端及一輸出端，該二輸入端電連接於第二資料線 DL_2 ，該輸出端電連接於 PMOS 電晶體 58 之閘極。於如上



五、發明說明 (11)

述之第一電壓維持模組 44 的組態下，當位於第二資料線 DL_2 上之訊號為一較接近電源供應電壓 V_{DD} 之電壓值時，由於 NAND 邏輯閘 60 會將此一電壓值判斷為邏輯值 "1"，故 NAND 邏輯閘 60 之輸出端會輸出邏輯值 "0" (即 0V)，而 PMOS 電晶體 58 則會因此開啟，使得電源供應電壓 V_{DD} 會持續透過 PMOS 電晶體 58 之通道對第二資料線 DL_2 進行充電，而使第二資料線 DL_2 上之訊號趨近於 V_{DD} 而維持於高電壓準位。而當位於第二資料線 DL_2 上之訊號為一較接近接地值 (0V) 之電壓值時，由於 NAND 邏輯閘 60 會將此一電壓值判斷為邏輯值 "0"，故 NAND 邏輯閘 60 之輸出端會輸出邏輯值 "1" (即 V_{DD})，而 PMOS 電晶體 58 則會因此關閉，使得第二電壓維持模組 44 不會對第二資料線 DL_2 造成任何影響。

又如圖二所示，於本實施例中，波形整形模組 46 包含有一第一反向器 62，包含有一輸入端及一輸出端，第一反向器 62 之輸入端電連接於第二資料線 DL_2 ；一第二反向器 64，包含有一輸入端及一輸出端，第二反向器 64 之輸入端電連接於輸出訊號線 OUT；一第一 NMOS 電晶體 66，其汲極電連接於第二資料線 DL_2 ，其閘極電連接於第二反向器 64 之輸出端；以及一第二 NMOS 電晶體 68，其汲極電連接於輸出訊號線 OUT，其閘極電連接於第一反向器 62 之輸出端。於如上述之波形整形模組 46 的組態下，當波形整形模組 46 被致能 (Enable) 時，其會感測位於第二資料線 DL_2 上之訊號，而經由波形整形模組 46 中由二反向器

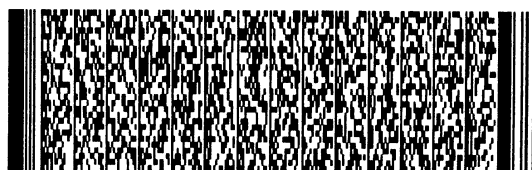
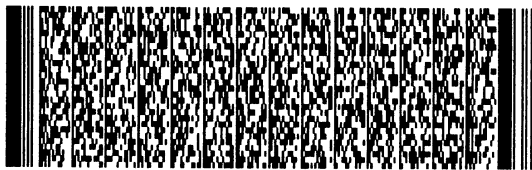


五、發明說明 (12)

62、64及二 NMOS電晶體 66、68所組成之電路組態，於輸出訊號線 OUT上產生相對應於所欲讀取之記憶體單元 52中所儲存之數位資料的輸出訊號。

請注意，依據電路設計上之需要，波形整形模組 46亦可包含有一第三 NMOS電晶體 70，其汲極電連接於第一 NMOS電晶體 66之源極，其閘極電連接於一第三控制訊號 SAE，其源極則接地；以及一第四 NMOS電晶體 72，其汲極電連接於第二 NMOS電晶體 68之源極，其閘極電連接於第三控制訊號 SAE，其源極亦接地。此處第三 NMOS電晶體 70及第四 NMOS電晶體 72之功能係在於依據第三控制訊號 SAE來開啟及關閉其通道，以使波形整形模組 46致能 (Enable) 及失能 (Disable)，換句話說，第三及第四 NMOS電晶體 70、72係用來控制波形整形模組 46功能之啟動。波形整形模組 46亦可包含有一第四預先充電模組 74，電連接於輸出訊號線 OUT，用來對輸出訊號線 OUT進行預先充電，此處第四預先充電模組 74為一 PMOS電晶體，其汲極電連接於輸出訊號線 OUT，其閘極電連接於第二控制訊號 SAIB，其源極則電連接於電源供應電壓 V_{DD} ，第四預先充電模組 74會依據第二控制訊號 SAIB之控制而開啟以對輸出訊號線 OUT進行預先充電。

最後，如圖二所示，波形整形模組 46另包含有一 PMOS電晶體 76，其汲極電連接於輸出訊號線 OUT，其閘極



五、發明說明 (13)

電連接於第二電壓維持模組 44 之 NAND 邏輯閘 60 之輸出端，其源極則電連接於電源供應電壓 V_{DD} 。於此一組態下，當位於第二資料線 DL_2 上之訊號為一較接近電源供應電壓 V_{DD} 之電壓值時，由於 NAND 邏輯閘 60 會將此一電壓值判斷為邏輯值 "1"，故 NAND 邏輯閘 60 之輸出端會輸出邏輯值 "0" (即 0V)，而 PMOS 電晶體 76 則會因此開啟，使得電源供應電壓 V_{DD} 會持續透過 PMOS 電晶體 76 之通道對輸出訊號線 OUT 進行充電，而使輸出訊號線 OUT 上之訊號趨近於 V_{DD} 而維持於高電壓準位。而當位於第二資料線 DL_2 上之訊號為一較接近接地值 (0V) 之電壓值時，由於 NAND 邏輯閘 60 會將此一電壓值判斷為邏輯值 "0"，故 NAND 邏輯閘 60 之輸出端會輸出邏輯值 "1" (即 V_{DD})，而 PMOS 電晶體 76 則會因此關閉，使得第二電壓維持模組 44 不會對輸出訊號線 OUT 造成任何影響。

接下來請參閱圖二、圖三及圖四以詳細說明本發明之感測電路 30 的操作原理，圖三中顯示本發明之感測電路 30 於讀取記憶體單元陣列 50 中其中一個記憶體單元 52 (例如字元線 WL 及位元線 BL 之交叉處的記憶體單元 52) 中所儲存之數位資料 "1" 時，圖二中各個控制訊號及訊號線之時序圖，而圖四中則顯示讀取該記憶體單元 52 中所儲存之數位資料 "0" 時之時序圖。圖三及圖四中係分別依序列出第一控制訊號 Y1、第二控制訊號 SAIB、第三控制訊號 SAE、位元線 BL 之訊號、第一資料線 DL 之訊號、第



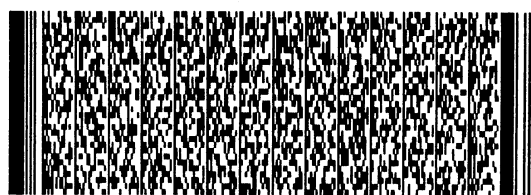
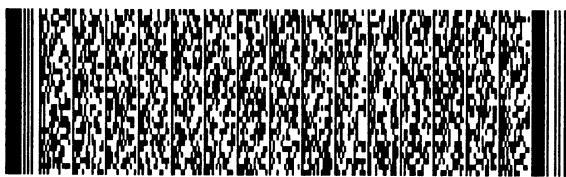
五、發明說明 (14)

二資料線 DL_2 之訊號、及輸出訊號線 OUT 之訊號。

請注意，為了說明及比較之方便，於圖三及圖四當中係分別將三個主動之控制訊號 Y1、SAIB、SAE 放置於同一時間軸上，而將其他被動之訊號 BL_1 、 DL_1 、 DL_2 、及 OUT 放置於另一時間軸上。而於本實施例中，上述之第一控制訊號 Y1 的反相訊號 Y1b 由於與第一控制訊號 Y1 呈互補，故無須列於圖三及圖四中，又字元線 WL 之訊號係與第一控制訊號 Y1 為同步，故亦不於圖三及圖四中列出。

接下來請參閱圖三以說明本發明之感測電路 30 於讀取記憶體單元陣列 50 之記憶體單元 52 中所儲存之數位資料 "1" 時的動作原理，此時該記憶體單元 52 係處於高臨界電壓狀態。在開始讀取動作之前，第一控制訊號 Y1 為邏輯值 "0" (即 0V，而因此其反相訊號 Y1b 為邏輯值 "1"，即 V_{DD})、第二控制訊號 SAIB 為邏輯值 "0"、第三控制訊號 SAE 為邏輯值 "0"、而字元線 WL 之訊號係與第一控制訊號同步故為邏輯值 "0"。在此一狀態下，選擇模組 34 及隔離模組 40 會被關閉，而第一、第二、第三及第四預先充電模組 32、36、42、74 則會被開啟，而使得位元線 BL 被預先充電至 0V，且第一資料線 DL_1 、第二資料線 DL_2 、及輸出訊號線 OUT 均被預先充電至 V_{DD} 。

當開始讀取動作後，首先第一控制訊號 Y1 及字元線

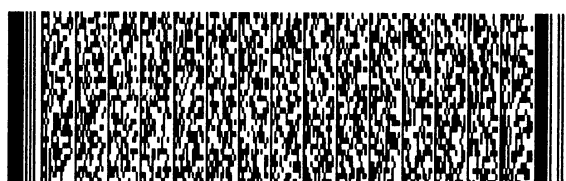
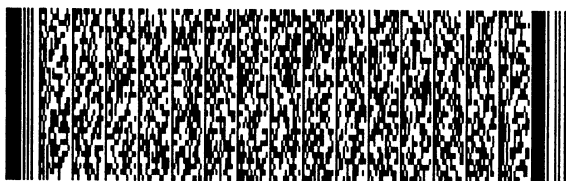


五、發明說明 (15)

WL同時被切換為邏輯值 "1"，則第一預先充電模組 32 會被關閉而選擇模組 34 則被開啟，但是由於記憶體單元 52 乃處於高臨界電壓狀態故仍保持於關閉狀態，此時位元線 BL 上之訊號會開始往上升，然而由於選擇模組 34 之作用，位元線 BL 上之訊號最多只能到達 $(V_{DD} - V_{TH})$ （此處係為選擇模組 34 之臨界電壓）。

接下來，第二控制訊號 SAIB 將會被切換為邏輯值 "1"，則第二、第三、第四預先充電模組 36、42、74 均會被關閉，而隔離模組 40 則被開啟，此時由於位於第一資料線 DL 及第二資料線 DL₂ 上之訊號係小於 V_{DD} 卻較接近於 V_{DD} ，則第一及第二電壓維持模組 38、44 將發揮功用，開始將第一資料線 DL 及第二資料線 DL₂ 上之訊號逐漸往 V_{DD} 之方向提升，同時由於選擇模組 34 及隔離模組 40 均處於飽和狀態 (Saturation)，流過該二者之電流量非常小，而使得選擇模組 34 及隔離模組 40 表現出大電阻之特性，因而能夠將位元線 BL 和第一資料線 DL 的電容、以及第一資料線 DL 和第二資料線 DL 的電容隔離開來，如此則位元線 BL 上之龐大的寄生電容將不易與第一資料線 DL 進行電荷分配，使得第一及第二電壓維持模組 38、44 更能發揮其功能。同樣地，此時第二電壓維持模組 44 亦能透過 PMOS 電晶體 76 之作用而將輸出訊號線 OUT 維持在 V_{DD} 。

最後，當第二資料線 DL₂ 上之訊號到達適當之數值

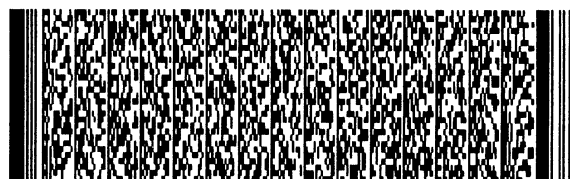
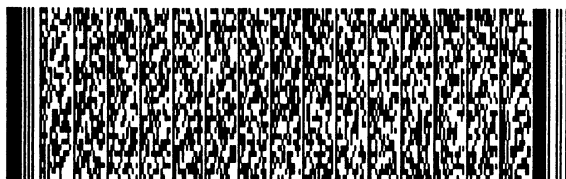


五、發明說明 (16)

後，第三控制訊號將會被切換至邏輯值 "1"，則波形整形模組 46 將由於第三及第四 NMOS 電晶體之開啟而開始動作，在透過由二反向器 62、64 及二 NMOS 電晶體 66、68 所組成之電路組態的作用後，第二資料線 DL_2 及輸出訊號線 OUT 上之訊號將快速地穩定在 V_{DD} ，如此則可於輸出訊號線 OUT 上讀取出邏輯值 "1" 之輸出訊號，而完成了資料讀取之動作。當資料讀取完畢後，第一控制訊號 Y1、第二控制訊號 SAIB 及第三控制訊號 SAE 會依序被切換回邏輯值 "0"，以準備下一次之資料讀取動作。

接下來請參閱圖四以說明本發明之感測電路 30 於讀取記憶體單元陣列 50 之記憶體單元 52 中所儲存之數位資料 "0" 時的動作原理，此時該記憶體單元 52 係處於低臨界電壓狀態。在開始讀取動作之前，第一控制訊號 Y1 為邏輯值 "0"（因此其反相訊號 Y1b 為邏輯值 "1"）、第二控制訊號 SAIB 為邏輯值 "0"、第三控制訊號 SAE 為邏輯值 "0"、而字元線 WL_1 之訊號係與第一控制訊號同步故為邏輯值 "0"。在此一狀態下，選擇模組 34 及隔離模組 40 會被關閉，而第一、第二、第三及第四預先充電模組 32、36、42、74 則會被開啟，而使得位元線 BL 被預先充電至 0V，且第一資料線 DL_1 、第二資料線 DL_2 、及輸出訊號線 OUT 均被預先充電至 V_{DD} 。

當開始讀取動作後，首先第一控制訊號 Y1 及字元線

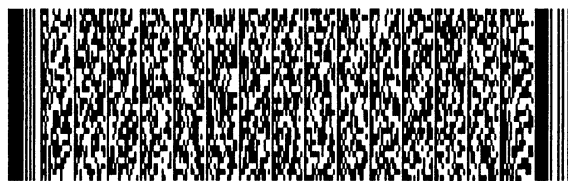
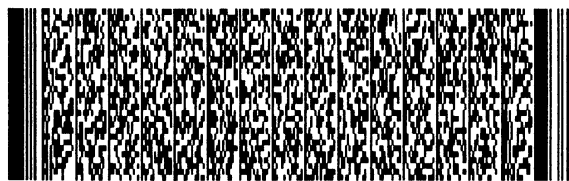


五、發明說明 (17)

WL同時被切換為邏輯值 "1"，則第一預先充電模組 32 會被關閉而選擇模組 34 則被開啟，由於記憶體單元 52 乃處於低臨界電壓狀態故其將被開啟而開始透過其通道對位元線 BL 進行放電，此時位元線 BL 上之訊號會開始往上升，然而由於選擇模組 34 之作用，位元線 BL 上之訊號最多只能到達 $(V_{DD} - V_{TH})$ （此處係為選擇模組 34 之臨界電壓）。

接下來，第二控制訊號 SAIB 將會被切換為邏輯值 "1"，則第二、第三、第四預先充電模組 36、42、74 均會被關閉，而隔離模組 40 則被開啟，此時由於位於第一資料線 DL 及第二資料線 DL₂ 上之訊號係小於 V_{DD} 且較接近於 0V，則第一及第二電壓維持模組 38、44 將不會發揮功用，而第一資料線 DL 及第二資料線 DL₂ 上之訊號會因為與位元線 BL 上之龐大寄生電容進行電荷分配而很快地與位元線 BL 上之訊號同步，而開始被已開啟之記憶體單元 52 放電，進而逐漸往 0V 之方向下降。

最後，當第二資料線 DL₂ 上之訊號到達適當之數值後，第三控制訊號將會被切換至邏輯值 "1"，則波形整形模組 46 將由於第三及第四 NMOS 電晶體之開啟而開始動作，在透過由二反向器 62、64 及二 NMOS 電晶體 66、68 所組成之電路組態的作用後，第二資料線 DL 及輸出訊號線 OUT 上之訊號將快速地穩定在 0V，如此則可於輸出訊號線

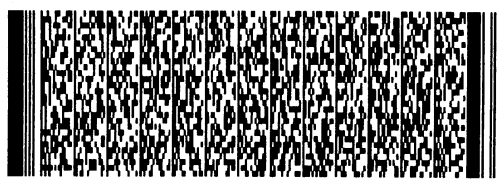
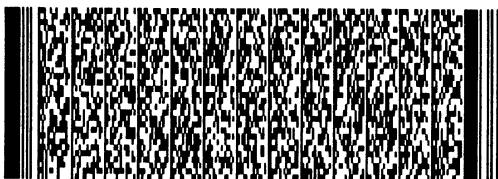


五、發明說明 (18)

OUT上讀取出邏輯值 "0" 之輸出訊號，而完成了資料讀取之動作。當資料讀取完畢後，第一控制訊號 Y1、第二控制訊號 SAIB及第三控制訊號 SAE會依序被切換回邏輯值 "0"，以準備下一次之資料讀取動作。

相較於習知技術，本發明之感測電路於讀取邏輯資料 "1" 時，係利用一選擇模組及一隔離模組將一位元線和一第一資料線的電容、以及該第一資料線和一第二資料線的電容隔離開來，並利用至少一個電壓維持模組之作用以將該資料線上之訊號維持於高電壓準位，而本發明之感測電路於讀取邏輯資料 "0" 時，則利用該位元線上之龐大寄生電容，使得該第一資料線及該第二資料線上之訊號迅速與該位元線上之訊號同步，最後再利用一波形整形模組加快資料感測之速度，而使得本發明之感測電路能具有較習知技術之感測電路為迅速之資料讀取速度。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變與修飾，皆屬於本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明：

圖一為習知之單一位元線唯讀記憶體之感測電路之電路圖。

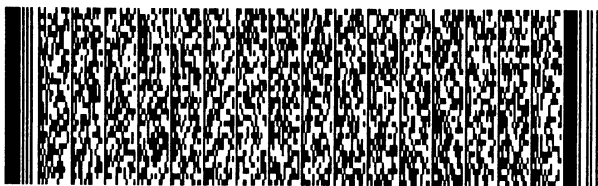
圖二為本發明之單一位元線半導體記憶元件之感測電路之電路圖。

圖三為圖二中之感測電路於讀取邏輯資料 "1" 之時序圖。

圖四為圖二中之感測電路於讀取邏輯資料 "0" 之時序圖。

圖示之符號說明：

10、30	感測電路	12、32	第一預先充電模組
14、34	選擇模組	16、36	第二預先充電模組
18	感測門鎖模組	20、50	記憶體單元陣列
22、52	記憶體單元	38	第一電壓維持模組
40	隔離模組	42	第三預先充電模組
44	第二電壓維持模組	46	波形整形模組
54、58、76			PMOS電晶體
56、60	NAND邏輯閘	62、64	反向器
66、68、70、72			NMOS電晶體
74	第四預先充電模組		



四、中文發明摘要 (發明名稱：單一位元線半導體記憶元件之感測電路)

一種感測電路，用來感測邏輯資料，一記憶體單元係電連接於一位元線，該感測電路包含有一第一預先充電模組，電連接於該位元線，用來進行預先充電；一選擇模組，電連接於該位元線及一第一資料線之間，用來傳送訊號並隔離電容；一第二預先充電模組，電連接於該第一資料線，用來進行預先充電；一第一電壓維持模組，電連接於該第一資料線，用來將該第一資料線之訊號維持於高電壓準位；一隔離模組，電連接於該第一資料線及一第二資料線之間，用來傳送訊號並隔離電容；以及一第三預先充電模組，電連接於該第二資料線，用來進行預先充電。

伍、(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：

30 感測電路

32 第一預先充電模組

六、英文發明摘要 (發明名稱：SENSE OUT CIRCUIT FOR SINGLE-BITLINE SEMICONDUCTOR MEMORY DEVICE)

A sense out circuit for sensing logic data. A memory cell is electrically connected to a bit line. The sense out circuit contains a first pre-charging module electrically connected to the bit line, for pre-charging the bit line; a selecting module electrically connected between the bit line and a first data line, for transmitting signals and for isolating

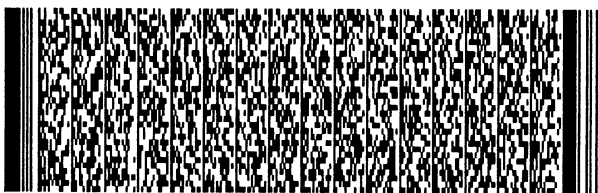


四、中文發明摘要 (發明名稱：單一位元線半導體記憶元件之感測電路)

- | | |
|-------------|-------------|
| 34 選擇模組 | 36 第二預先充電模組 |
| 50 記憶體單元陣列 | 52 記憶體單元 |
| 38 第一電壓維持模組 | 40 隔離模組 |
| 42 第三預先充電模組 | 44 第二電壓維持模組 |
| 46 波形整形模組 | |
| 54、58、76 | PMOS電晶體 |
| 56、60 | NAND邏輯閘 |
| 62、64 | 反向器 |
| 66、68、70、72 | NMOS電晶體 |
| 74 第四預先充電模組 | |

六、英文發明摘要 (發明名稱：SENSE OUT CIRCUIT FOR SINGLE-BITLINE SEMICONDUCTOR MEMORY DEVICE)

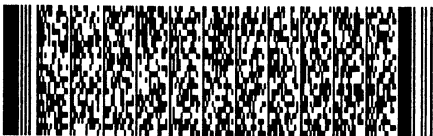
capacitances; a second pre-charging module electrically connected to the first data line, for pre-charging the first data line; a first keeper electrically connected to the first data line, for maintaining the signal on the first data line at a high voltage level; a isolating module electrically connected between the first data line and a second data line, for



四、中文發明摘要 (發明名稱：單一位元線半導體記憶元件之感測電路)

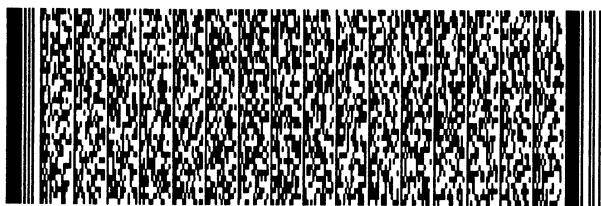
六、英文發明摘要 (發明名稱：SENSE OUT CIRCUIT FOR SINGLE-BITLINE SEMICONDUCTOR MEMORY DEVICE)

transmitting signals and for isolating capacitances; and a third pre-charging module electrically connected to the second data line, for pre-charging the second data line.



六、申請專利範圍

1. 一種半導體記憶元件之感測電路，用來感測該半導體記憶元件之記憶體單元中所儲存之邏輯資料，該記憶體單元係電連接於一位元線，該感測電路包含有：
 - 一第一預先充電模組，電連接於該位元線，用來對該位元線進行預先充電；
 - 一選擇模組，電連接於該位元線及一第一資料線之間，用來依據一第一控制訊號將該位元線之訊號傳送至該第一資料線，並隔離該位元線及該第一資料線之電容；
 - 一第二預先充電模組，電連接於該第一資料線，用來對該第一資料線進行預先充電；
 - 一第一電壓維持模組，電連接於該第一資料線，用來於該記憶體單元中儲存邏輯值 "1" 時，將該第一資料線之訊號維持於高電壓準位；
 - 一隔離模組，電連接於該第一資料線及一第二資料線之間，用來依據一第二控制訊號將該第一資料線之訊號傳送至該第二資料線，並隔離該第一資料線及該第二資料線之電容；以及
 - 一第三預先充電模組，電連接於該第二資料線，用來對該第二資料線進行預先充電。
2. 如申請專利範圍第 1 項所述之感測電路，其中該第一電壓維持模組包含有：
 - 一 PMOS 電晶體，其源極電連接於一電源供應電壓，其汲



六、申請專利範圍

極電連接於該第一資料線；以及

一 NAND邏輯閘，包含有二輸入端及一輸出端，該二輸入端電連接於該第一資料線，該輸出端電連接於該 PMOS電晶體之閘極。

3. 如申請專利範圍第 1項所述之感測電路，其另包含有一第二電壓維持模組，電連接於該第二資料線，用來於該記憶體單元中儲存邏輯值 "1"時，將該第二資料線之訊號維持於高電壓準位。

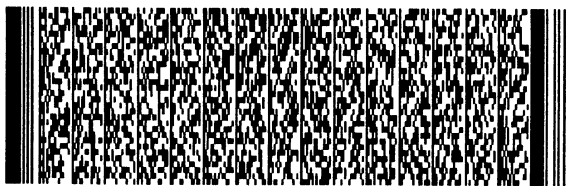
4. 如申請專利範圍第 3項所述之感測電路，其中該第二電壓維持模組包含有：

一 PMOS電晶體，其源極電連接於一電源供應電壓，其汲極電連接於該第二資料線；以及

一 NAND邏輯閘，包含有二輸入端及一輸出端，該二輸入端電連接於該第二資料線，該輸出端電連接於該 PMOS電晶體之閘極。

5. 如申請專利範圍第 4項所述之感測電路，其另包含有一波形整形模組，電連接於該第二資料線，用來感測該第二資料線之訊號以於一輸出訊號線產生一輸出訊號。

6. 如申請專利範圍第 5項所述之感測電路，其中該波形整形模組包含有：



六、申請專利範圍

一 第一反向器，包含有一輸入端及一輸出端，該第一反向器之輸入端電連接於該第二資料線；

一 第二反向器，包含有一輸入端及一輸出端，該第二反向器之輸入端電連接於該輸出訊號線；

一 第一 NMOS電晶體，其汲極電連接於該第二資料線，其閘極電連接於該第二反向器之輸出端；以及

一 第二 NMOS電晶體，其汲極電連接於該輸出訊號線，其閘極電連接於該第一反向器之輸出端。

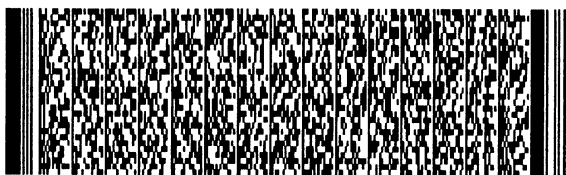
7. 如申請專利範圍第 6 項所述之感測電路，其中該波形整形模組另包含有：

一 第三 NMOS電晶體，其汲極電連接於該第一 NMOS電晶體之源極，其閘極電連接於一第三控制訊號，其源極則接地；以及

一 第四 NMOS電晶體，其汲極電連接於該第二 NMOS電晶體之源極，其閘極電連接於該第三控制訊號，其源極則接地。

8. 如申請專利範圍第 5 項所述之感測電路，其中該波形整形模組另包含有一第四預先充電模組，電連接於該輸出訊號線，用來對該輸出訊號線進行預先充電。

9. 如申請專利範圍第 8 項所述之感測電路，其中該第四預先充電模組為一 PMOS電晶體，其汲極電連接於該輸出



六、申請專利範圍

訊號線，其閘極電連接於該第二控制訊號，其源極則電連接於一電源供應電壓。

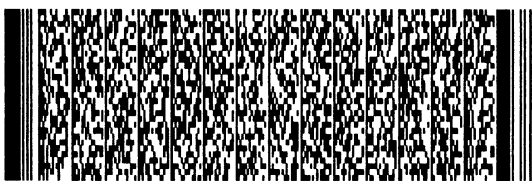
10. 如申請專利範圍第5項所述之感測電路，其中該波形整形模組另包含有一PMOS電晶體，其汲極電連接於該輸出訊號線，其閘極電連接於該第二電壓維持模組之NAND邏輯閘之輸出端，其源極則電連接於一電源供應電壓。

11. 如申請專利範圍第1項所述之感測電路，其中該第一預先充電模組為一NMOS電晶體，其汲極電連接於該位元線，其閘極電連接於該第一控制訊號之反相訊號，其源極則接地。

12. 如申請專利範圍第1項所述之感測電路，其中該選擇模組為一NMOS電晶體，其汲極電連接於該第一資料線，其閘極電連接於該第一控制訊號，其源極則電連接於該位元線。

13. 如申請專利範圍第1項所述之感測電路，其中該第二預先充電模組為一PMOS電晶體，其汲極電連接於該第一資料線，其閘極電連接於該第二控制訊號，其源極則電連接於一電源供應電壓。

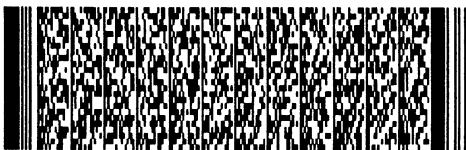
14. 如申請專利範圍第1項所述之感測電路，其中該隔離

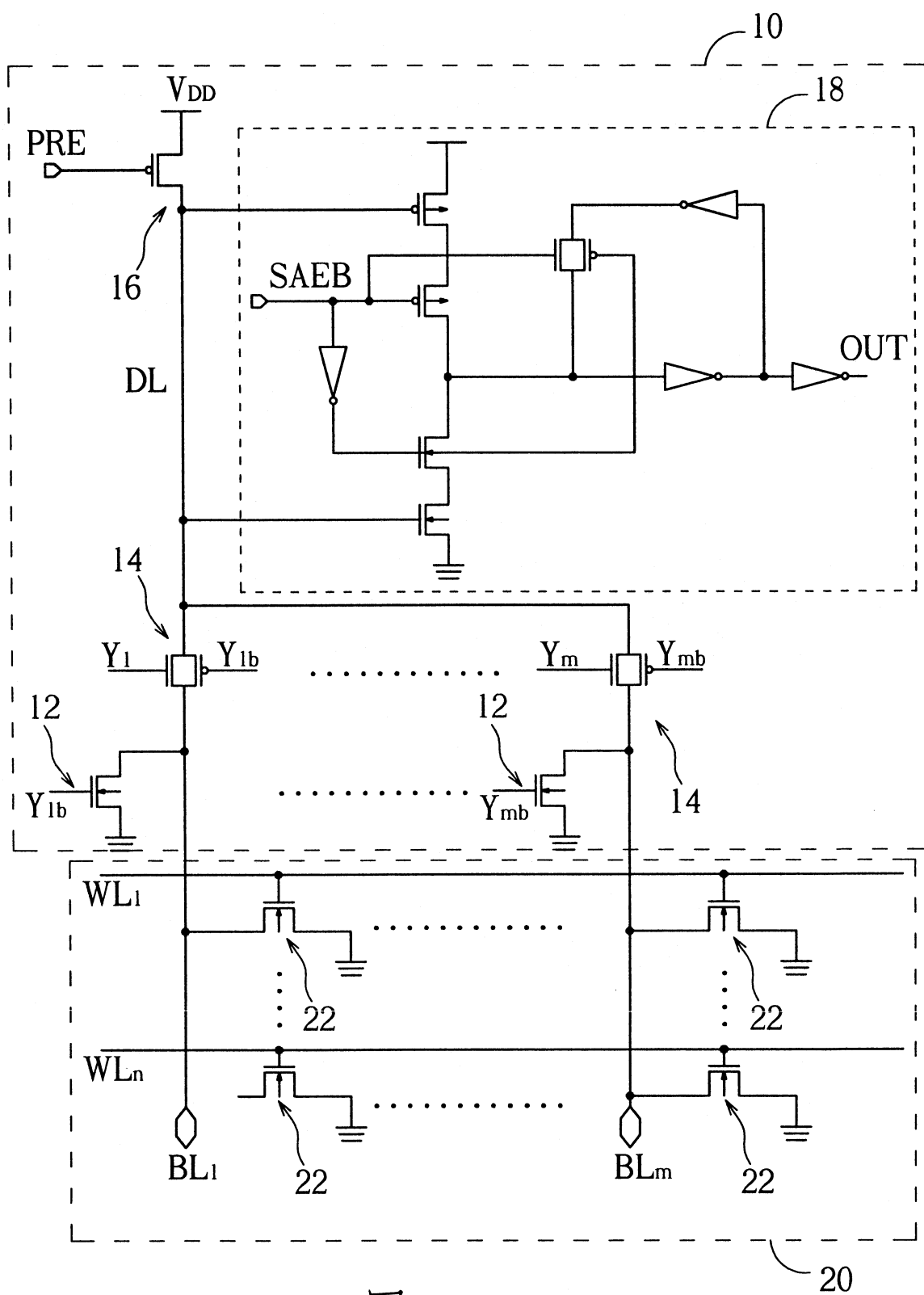


六、申請專利範圍

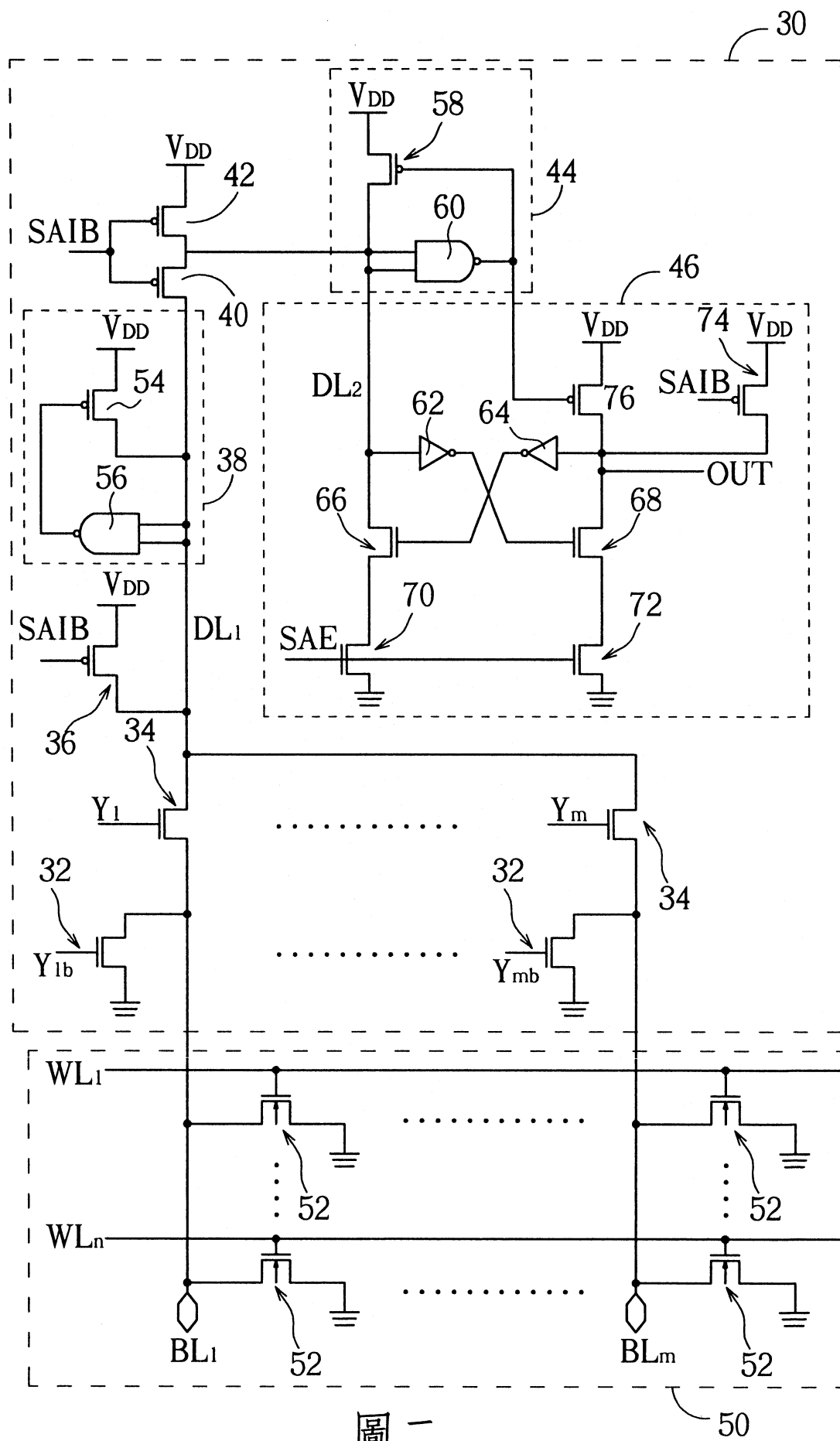
模組為一 NMOS電晶體，其汲極電連接於該第二資料線，其閘極電連接於該第二控制訊號，其源極則電連接於該第一資料線。

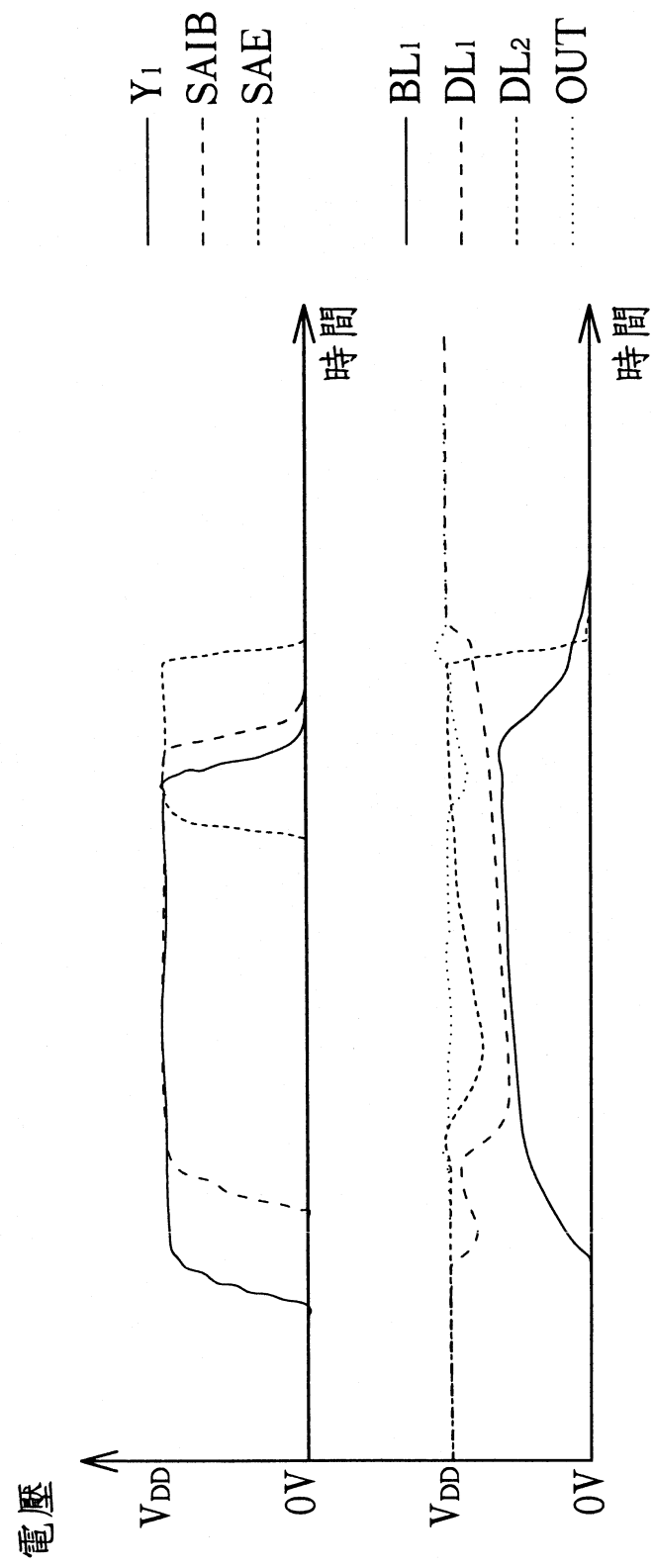
15. 如申請專利範圍第 1 項所述之感測電路，其中該第三預先充電模組為一 PMOS電晶體，其汲極電連接於該第二資料線，其閘極電連接於該第二控制訊號，其源極則電連接於一電源供應電壓。



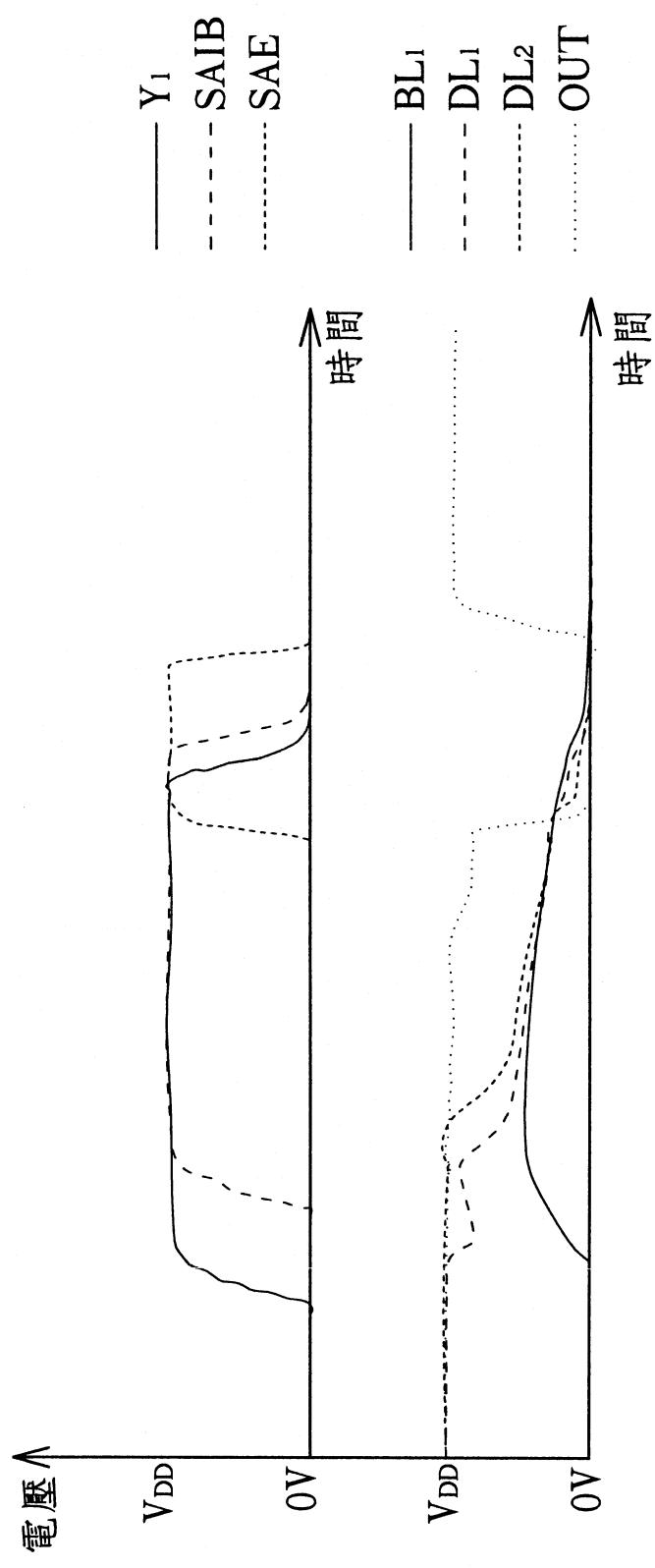


圖一





圖三



圖四

四、中文發明摘要 (發明名稱：單一位元線半導體記憶元件之感測電路)

一種感測電路，用來感測邏輯資料，一記憶體單元係電連接於一位元線，該感測電路包含有一第一預先充電模組，電連接於該位元線，用來進行預先充電；一選擇模組，電連接於該位元線及一第一資料線之間，用來傳送訊號並隔離電容；一第二預先充電模組，電連接於該第一資料線，用來進行預先充電；一第一電壓維持模組，電連接於該第一資料線，用來將該第一資料線之訊號維持於高電壓準位；一隔離模組，電連接於該第一資料線及一第二資料線之間，用來傳送訊號並隔離電容；以及一第三預先充電模組，電連接於該第二資料線，用來進行預先充電。

伍、(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：

30 感測電路

32 第一預先充電模組

六、英文發明摘要 (發明名稱：SENSE OUT CIRCUIT FOR SINGLE-BITLINE SEMICONDUCTOR MEMORY DEVICE)

A sense out circuit for sensing logic data. A memory cell is electrically connected to a bit line. The sense out circuit contains a first pre-charging module electrically connected to the bit line, for pre-charging the bit line; a selecting module electrically connected between the bit line and a first data line, for transmitting signals and for isolating



四、中文發明摘要 (發明名稱：單一位元線半導體記憶元件之感測電路)

- | | |
|-------------|-------------|
| 34 選擇模組 | 36 第二預先充電模組 |
| 50 記憶體單元陣列 | 52 記憶體單元 |
| 38 第一電壓維持模組 | 40 隔離模組 |
| 42 第三預先充電模組 | 44 第二電壓維持模組 |
| 46 波形整形模組 | |
| 54、58、76 | PMOS電晶體 |
| 56、60 | NAND邏輯閘 |
| 62、64 | 反向器 |
| 66、68、70、72 | NMOS電晶體 |
| 74 第四預先充電模組 | |

六、英文發明摘要 (發明名稱：SENSE OUT CIRCUIT FOR SINGLE-BITLINE SEMICONDUCTOR MEMORY DEVICE)

capacitances; a second pre-charging module electrically connected to the first data line, for pre-charging the first data line; a first keeper electrically connected to the first data line, for maintaining the signal on the first data line at a high voltage level; a isolating module electrically connected between the first data line and a second data line, for

