

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年9月11日(2008.9.11)

【公開番号】特開2008-177586(P2008-177586A)

【公開日】平成20年7月31日(2008.7.31)

【年通号数】公開・登録公報2008-030

【出願番号】特願2008-23418(P2008-23418)

【国際特許分類】

H 0 1 L 21/205 (2006.01)

C 3 0 B 29/38 (2006.01)

C 2 3 C 16/34 (2006.01)

H 0 1 S 5/343 (2006.01)

【F I】

H 0 1 L 21/205

C 3 0 B 29/38 D

C 2 3 C 16/34

H 0 1 S 5/343 6 1 0

【手続補正書】

【提出日】平成20年7月22日(2008.7.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板あるいは前記基板上に形成された G a N 系半導体膜の表面に、マスク材料により成長領域を形成する工程と、

前記成長領域に、ファセット構造の G a N 系半導体を形成する工程と、

複数の前記ファセット構造の G a N 系半導体を成長させるとともに転位を曲げ、前記マスク材料の上部で複数の G a N 系半導体を合体させる工程と、を有することを特徴とする半導体素子の製造方法。

【請求項 2】

基板あるいは前記基板上に形成された G a N 系半導体層の表面に、マスク材料により成長領域を形成する工程と、

前記成長領域に、ファセット構造の G a N 系半導体を形成する工程と、

複数の前記ファセット構造の G a N 系半導体を成長させるとともに転位を曲げ、前記マスク材料を覆う工程と、

前記マスク材料の上部の G a N 系半導体の膜厚を増加させる工程と、を有することを特徴とする半導体素子の製造方法。

【請求項 3】

基板あるいは前記基板上に形成された G a N 系半導体層の表面に、マスク材料により成長領域を形成する工程と、

前記成長領域に、ファセット構造の G a N 系半導体を形成する工程と、

複数の前記ファセット構造の G a N 系半導体を成長させるとともに転位を曲げ、前記マスク材料の上部で複数の G a N 系半導体を合体させる工程と、

前記マスク材料の上部の G a N 系半導体の膜厚を増加させる工程と、を有することを特徴とする半導体素子の製造方法。

## 【請求項 4】

基板あるいは前記基板上に形成された G a N 系半導体層の表面に、前記表面に垂直な G a N 系半導体のエピタキシャル成長を可能とする第一の領域と、前記表面に垂直な G a N 系半導体のエピタキシャル成長を抑制する第二の領域と、を形成する工程と、  
前記第一の領域に、ファセット構造の G a N 系半導体を形成する工程と、  
複数の前記ファセット構造の G a N 系半導体を成長させるとともに転位を曲げ、前記第二の領域を覆う工程と、  
前記第二の領域の上部の G a N 系半導体の膜厚を増加させる工程と、を有することを特徴とする半導体素子の製造方法。

## 【請求項 5】

基板あるいは前記基板上に形成された G a N 系半導体層の表面に前記表面に垂直な G a N 系半導体のエピタキシャル成長を可能とする第一の領域と、前記表面に垂直な G a N 系半導体のエピタキシャル成長を抑制する第二の領域と、を形成する工程と、  
前記第一の領域に、ファセット構造の G a N 系半導体を形成する工程と、  
複数の前記ファセット構造の G a N 系半導体を成長させるとともに転位を曲げ、前記第二の領域の上部で複数の G a N 系半導体を合体させる工程と、  
前記第二の領域の上部の G a N 系半導体の膜厚を増加させる工程と、を有することを特徴とする半導体素子の製造方法。

## 【請求項 6】

基板あるいは前記基板上に形成された G a N 系半導体層の表面にマスク材料により成長領域を形成する工程と、  
前記成長領域に、ファセット構造の G a N 系半導体を形成する工程と、  
複数の前記ファセット構造の G a N 系半導体を成長させるとともに転位を曲げ、前記マスク材料を覆う工程と、  
少なくとも前記基板と前記マスク材料とを除去する工程と、を有することを特徴とする半導体素子の製造方法。

## 【請求項 7】

基板あるいは前記基板上に形成された G a N 系半導体層の表面にマスク材料により成長領域を形成する工程と、  
前記成長領域に、ファセット構造の G a N 系半導体を形成する工程と、  
複数の前記ファセット構造の G a N 系半導体を成長させるとともに転位を曲げ、前記マスク材料の上部で複数の G a N 系半導体を合体させる工程と、  
少なくとも前記基板と前記マスク材料とを除去する工程と、を有することを特徴とする半導体素子の製造方法。

## 【請求項 8】

基板あるいは前記基板上に形成された G a N 系半導体層の表面に、前記表面に垂直な G a N 系半導体のエピタキシャル成長を可能とする第一の領域と、前記表面に垂直な G a N 系半導体のエピタキシャル成長を抑制する第二の領域と、を形成する工程と、  
前記第一の領域に、ファセット構造の G a N 系半導体を形成する工程と、  
複数の前記ファセット構造の G a N 系半導体を成長させるとともに転位を曲げ、前記第二の領域を覆う工程と、  
少なくとも前記基板を除去する工程と、を有することを特徴とする半導体素子の製造方法。

## 【請求項 9】

基板あるいは前記基板上に形成された G a N 系半導体層の表面に、前記表面に垂直な G a N 系半導体のエピタキシャル成長を可能とする第一の領域と、前記表面に垂直な G a N 系半導体のエピタキシャル成長を抑制する第二の領域と、を形成する工程と、  
前記成長領域に、ファセット構造の G a N 系半導体を形成する工程と、  
複数の前記ファセット構造の G a N 系半導体を成長させるとともに転位を曲げ、前記非成長領域の上部で複数の G a N 系半導体を合体させる工程と、

少なくとも前記基板を除去する工程と、を有することを特徴とする半導体素子の製造方法。

【請求項 10】

更に、活性層を含む積層構造を積層する工程を有する、請求項 6 乃至 9 に記載の半導体素子の製造方法。

【請求項 11】

更に、電極を形成する工程を有する請求項 10 に記載の半導体素子の製造方法。

【請求項 12】

前記電極は、請求項 6 乃至 9 に記載の半導体素子が有する面のうち、前記積層構造が積層される面と対向する面に形成されることを特徴とする請求項 11 に記載の半導体素子の製造方法。

【請求項 13】

基板と、

前記基板あるいは前記基板上に形成された G a N 系半導体層の表面に成長領域を形成するマスク材料と、

前記成長領域に形成されたファセット構造の G a N 系半導体を成長させて転位を曲げ、前記マスク材料の上部で複数の G a N 系半導体を合体させることで形成された G a N 系半導体と、を有することを特徴とする半導体素子。

【請求項 14】

基板と、

前記基板あるいは前記基板上に形成された G a N 系半導体層の表面に成長領域を形成するマスク材料と、

前記成長領域に形成されたファセット構造の G a N 系半導体を成長させて転位を曲げ、前記マスク材料を覆い、前記マスク材料の上部の G a N 系半導体の膜厚を増加させることで形成された G a N 系半導体と、を有することを特徴とする半導体素子。

【請求項 15】

基板と、

前記基板あるいは前記基板上に形成された G a N 系半導体層の表面に成長領域を形成するマスク材料と、

前記成長領域に形成されたファセット構造の G a N 系半導体を成長させて転位を曲げ、前記マスク材料の上部で複数の G a N 系半導体を合体させ、前記マスク材料の上部の G a N 系半導体の膜厚を増加させることで形成された G a N 系半導体と、を有することを特徴とする半導体素子。

【請求項 16】

基板と、

前記基板あるいは前記基板上に形成された G a N 系半導体層の表面に形成された前記表面に垂直な G a N 系半導体のエピタキシャル成長を可能とする第一の領域と、前記表面に垂直な G a N 系半導体のエピタキシャル成長を抑制する第二の領域と、

前記成長領域に形成されたファセット構造の G a N 系半導体を成長させて転位を曲げ、前記非成長領域を覆い、前記非成長領域の上部の G a N 系半導体の膜厚を増加させることで形成された G a N 系半導体と、を有することを特徴とする半導体素子。

【請求項 17】

基板と、

前記基板あるいは前記基板上に形成された G a N 系半導体層の表面に形成された前記表面に垂直な G a N 系半導体のエピタキシャル成長を可能とする第一の領域と、前記表面に垂直な G a N 系半導体のエピタキシャル成長を抑制する第二の領域と、

前記成長領域に形成されたファセット構造の G a N 系半導体を成長させて転位を曲げ、前記非成長領域の上部で複数の G a N 系半導体を合体させ、前記非成長領域の上部の G a N 系半導体の膜厚を増加させることで形成された G a N 系半導体と、を有することを特徴とする半導体素子。

## 【請求項 18】

基板と、

前記基板あるいは前記基板上に形成された G a N 系半導体層の表面に成長領域を形成するマスク材料と、

前記成長領域に形成されたファセット構造の G a N 系半導体を成長させて転位を曲げて前記マスク材料を覆うことで形成された G a N 系半導体と、を有し、

少なくとも前記基板と前記マスク材料とが除去されたことを特徴とする半導体素子。

## 【請求項 19】

活性層を含む積層構造を更に有することを特徴とする請求項 18 に記載の半導体素子。

## 【請求項 20】

電極を更に有することを特徴とする請求項 19 に記載の半導体素子。

## 【請求項 21】

前記電極は、請求項 18 に記載の半導体素子が有する面のうち、前記積層構造が積層される面と対向する面に形成されていることを特徴とする請求項 20 に記載の半導体素子。

## 【請求項 22】

請求項 18 に記載の半導体素子に、活性層を含む積層構造を形成する工程を有することを特徴とする半導体素子の製造方法。

## 【請求項 23】

電極を形成する工程を有することを特徴とする請求項 22 に記載の半導体素子の製造方法。

## 【請求項 24】

請求項 19 に記載の半導体素子に、電極を形成する工程を有することを特徴とする半導体素子の製造方法。

## 【請求項 25】

前記電極は、請求項 18 に記載の半導体素子が有する面のうち、前記積層構造が積層される面と対向する面に形成されることを特徴とする請求項 23 または 24 に記載の半導体素子。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明の半導体素子の成長方法は、基板あるいは前記基板上に形成された G a N 系半導体膜の表面に、マスク材料により成長領域を形成する工程と、前記成長領域に、ファセット構造の G a N 系半導体を形成する工程と、複数の前記ファセット構造の G a N 系半導体を成長させるとともに転位を曲げ、前記マスク材料の上部で複数の G a N 系半導体を合体させる工程と、を有することを特徴とする。

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

本発明の半導体素子の成長方法は、基板あるいは前記基板上に形成された G a N 系半導体層の表面に、マスク材料により成長領域を形成する工程と、前記成長領域に、ファセット構造の G a N 系半導体を形成する工程と、複数の前記ファセット構造の G a N 系半導体を成長させるとともに転位を曲げ、前記マスク材料を覆う工程と、前記マスク材料の上部の

G a N系半導体の膜厚を増加させる工程と、を有することを特徴とする。

【手続補正４】

【補正対象書類名】明細書

【補正対象項目名】００１２

【補正方法】変更

【補正の内容】

【００１２】

本発明の半導体素子の成長方法は、基板あるいは前記基板上に形成されたG a N系半導体層の表面に、前記表面に垂直なG a N系半導体のエピタキシャル成長を可能とする第一の領域と、前記表面に垂直なG a N系半導体のエピタキシャル成長を抑制する第二の領域と、を形成する工程と、前記第一の領域に、ファセット構造のG a N系半導体を形成する工程と、複数の前記ファセット構造のG a N系半導体を成長させるとともに転位を曲げ、前記第二の領域を覆う工程と、前記第二の領域の上部のG a N系半導体の膜厚を増加させる工程と、を有することを特徴とする。

【手続補正５】

【補正対象書類名】明細書

【補正対象項目名】００１３

【補正方法】変更

【補正の内容】

【００１３】

本発明の半導体素子は、基板と、前記基板あるいは前記基板上に形成されたG a N系半導体層の表面に成長領域を形成するマスク材料と、前記成長領域に形成されたファセット構造のG a N系半導体を成長させて転位を曲げ、前記マスク材料の上部で複数のG a N系半導体を合体させることで形成されたG a N系半導体と、を有することを特徴とする。

【手続補正６】

【補正対象書類名】明細書

【補正対象項目名】００１４

【補正方法】変更

【補正の内容】

【００１４】

本発明の半導体素子は、基板と、前記基板あるいは前記基板上に形成されたG a N系半導体層の表面に成長領域を形成するマスク材料と、前記成長領域に形成されたファセット構造のG a N系半導体を成長させて転位を曲げ、前記マスク材料を覆い、前記マスク材料の上部のG a N系半導体の膜厚を増加させることで形成されたG a N系半導体と、を有することを特徴とする。

【手続補正７】

【補正対象書類名】明細書

【補正対象項目名】００１５

【補正方法】変更

【補正の内容】

【００１５】

本発明の半導体素子は、基板と、前記基板あるいは前記基板上に形成されたG a N系半導体層の表面に形成された前記表面に垂直なG a N系半導体のエピタキシャル成長を可能とする第一の領域と、前記表面に垂直なG a N系半導体のエピタキシャル成長を抑制する第二の領域と、前記成長領域に形成されたファセット構造のG a N系半導体を成長させて転位を曲げ、前記非成長領域を覆い、前記非成長領域の上部のG a N系半導体の膜厚を増加

させることで形成された G a N 系半導体と、を有することを特徴とする。