

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7565409号
(P7565409)

(45)発行日 令和6年10月10日(2024.10.10)

(24)登録日 令和6年10月2日(2024.10.2)

(51)国際特許分類		F I	
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78 6 1 9 A
H 0 1 L	29/786 (2006.01)	H 0 1 L	29/78 6 1 7 K
H 1 0 B	12/00 (2023.01)	H 0 1 L	29/78 6 1 8 B
H 1 0 B	41/70 (2023.01)	H 1 0 B	12/00 6 7 1 C
H 1 0 B	99/00 (2023.01)	H 1 0 B	12/00 6 7 1 Z
請求項の数 1 (全78頁) 最終頁に続く			
(21)出願番号	特願2023-100498(P2023-100498)	(73)特許権者	000153878
(22)出願日	令和5年6月20日(2023.6.20)		株式会社半導体エネルギー研究所
(62)分割の表示	特願2021-79810(P2021-79810)の分割	(72)発明者	笹川 慎也
原出願日	平成27年9月17日(2015.9.17)		神奈川県厚木市長谷3 9 8 番地 株式会
(65)公開番号	特開2023-112034(P2023-112034 A)	(72)発明者	社半導体エネルギー研究所内
(43)公開日	令和5年8月10日(2023.8.10)	(72)発明者	下村 明久
審査請求日	令和5年7月18日(2023.7.18)		神奈川県厚木市長谷3 9 8 番地 株式会
(31)優先権主張番号	特願2014-191690(P2014-191690)	(72)発明者	社半導体エネルギー研究所内
(32)優先日	平成26年9月19日(2014.9.19)	(72)発明者	梶林 克明
(33)優先権主張国・地域又は機関	日本国(JP)		神奈川県厚木市長谷3 9 8 番地 株式会
		(72)発明者	社半導体エネルギー研究所内
		(72)発明者	遠藤 佑太
			神奈川県厚木市長谷3 9 8 番地 株式会
			社半導体エネルギー研究所内
			最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

絶縁層上の酸化物半導体層と、
前記酸化物半導体層上に接して設けられたソース電極と、
前記酸化物半導体層上に接して設けられたドレイン電極と、
前記ソース電極上に接して設けられた第1の絶縁体と、
前記ドレイン電極上に接して設けられた第2の絶縁体と、
前記第1の絶縁体及び前記第2の絶縁体上に設けられたゲート絶縁層と、
前記ゲート絶縁層を介して前記酸化物半導体層上に位置するゲート電極と、を有し、
前記ソース電極と前記ドレイン電極との間、及び前記第1の絶縁体と前記第2の絶縁体との間に、前記ゲート絶縁層と前記ゲート電極とが位置し、
前記第1の絶縁体は、第1の領域と、第2の領域と、第3の領域と、第4の領域と、を有し、
前記第1の領域は、平坦な領域であり、
前記第3の領域は、傾斜を有する領域であり、
前記第2の領域は、前記第3の領域における傾斜よりも緩やかな傾斜を有する領域であり、
前記第2の絶縁体は、第5の領域と、第6の領域と、第7の領域と、第8の領域と、を有し、
前記第5の領域は、平坦な領域であり、
前記第7の領域は、傾斜を有する領域であり、

前記第 6 の領域は、前記第 7 の領域における傾斜よりも緩やかな傾斜を有する領域であり、
前記ゲート絶縁層及び前記ゲート電極を介した前記第 2 の領域の上端部と前記第 6 の領域
の上端部との距離は、前記ゲート絶縁層及び前記ゲート電極を介した前記第 2 の領域の下
端部と前記第 6 の領域の下端部との距離よりも大きく、
前記第 4 の領域において前記第 1 の絶縁体の下端部は、前記ソース電極の上端部と一致し、
前記第 8 の領域において前記第 2 の絶縁体の下端部は、前記ドレイン電極の上端部と一致
し、
前記絶縁層は前記酸化物半導体層と上面で接する第 9 の領域と、前記ソース電極またはド
レイン電極と上面で接する第 10 の領域とを、を有し、
前記絶縁層の前記第 9 の領域における膜厚は、前記絶縁層の前記第 10 の領域における膜
厚より大きく、
平面視において、前記第 9 の領域は、前記第 3 の領域と前記第 7 の領域の間の領域である
半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、半導体、導電体、絶縁体、トランジスタおよび半導体装置に関する。
または、本発明は、例えば、半導体、導電体、絶縁体、トランジスタおよび半導体装置の
製造方法に関する。または、本発明は、例えば、半導体、導電体、絶縁体、表示装置、発
光装置、照明装置、蓄電装置、記憶装置、プロセッサ、電子機器に関する。または、半導
体、導電体、絶縁体、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の製造方
法に関する。または、半導体装置、表示装置、液晶表示装置、発光装置、記憶装置、電子
機器の駆動方法に関する。

20

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の
一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明
の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・
オブ・マター）に関するものである。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置
全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器
は、半導体装置を有する場合がある。

30

【背景技術】

【0004】

絶縁表面を有する基板上の半導体を用いて、トランジスタを構成する技術が注目されてい
る。当該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。
トランジスタに適用可能な半導体としてシリコンが知られている。

【0005】

トランジスタの半導体に用いられるシリコンは、用途によって非晶質シリコンと多結晶シ
リコンとが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用
する場合、大面積基板への成膜技術が確立されている非晶質シリコンを用いると好適であ
る。一方、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を構成
するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能
な多結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンに対し高温
での熱処理、またはレーザ光処理を行うことで形成する方法が知られる。

40

【0006】

近年では、酸化物半導体（代表的には In-Ga-Zn 酸化物）を用いたトランジスタの
開発が活発化している。

【0007】

酸化物半導体の歴史は古く、1988年には、結晶 In-Ga-Zn 酸化物を半導体素子

50

へ利用することが開示されている（特許文献 1 参照。）。また、1995 年には、酸化物半導体を用いたトランジスタが発明されており、その電気特性が開示されている（特許文献 2 参照。）。

【0008】

酸化物半導体を用いたトランジスタは、非晶質シリコンを用いたトランジスタ、および多結晶シリコンを用いたトランジスタとは異なる特徴を有する。例えば、酸化物半導体を用いたトランジスタを適用した表示装置は、消費電力が低いことが知られている。酸化物半導体は、スパッタリング法などを用いて成膜できるため、大型の表示装置を構成するトランジスタに用いることができる。また、酸化物半導体を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を実現できる。また、非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

10

【先行技術文献】

【特許文献】

【0009】

【文献】特開昭 63 - 239117

【文献】特表平 11 - 505377

【発明の概要】

【発明が解決しようとする課題】

【0010】

微細な形状を提供することを課題の一とする。チャンネル長の小さいトランジスタを提供することを課題の一とする。または、サブスレッショルドスイング値の小さいトランジスタを提供することを課題の一とする。または、短チャンネル効果の小さいトランジスタを提供することを課題の一とする。または、ノーマリーオフの電気特性を有するトランジスタを提供することを課題の一とする。または、非導通時のリーク電流の小さいトランジスタを提供することを課題の一とする。または、電気特性の優れたトランジスタを提供することを課題の一とする。または、信頼性の高いトランジスタを提供することを課題の一とする。または、高い周波数特性を有するトランジスタを提供することを課題の一とする。

20

【0011】

または、該トランジスタを有する半導体装置を提供することを課題の一とする。または、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。または、新規なモジュールを提供することを課題の一とする。または、新規な電子機器を提供することを課題の一とする。

30

【0012】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

40

【0013】

本発明の一態様は、基板上に半導体を形成し、半導体上に、第 1 の導電体を成膜し、第 1 の導電体上に第 1 の絶縁体を成膜し、第 1 の絶縁体上にレジストを成膜し、レジストを露光および現像することで、レジストの第 2 の領域および第 3 の領域を残存させて第 1 の絶縁体の一部を露出し、基板の上面に垂直な方向のバイアスを印加し、かつ炭素およびハロゲンを含むガスを導入してプラズマを生成し、プラズマによって、有機物を堆積させるとともに、有機物をエッチングした後、有機物、第 2 の領域および第 3 の領域をマスクとして第 1 の絶縁体をエッチングすることで、第 2 の絶縁体および第 3 の絶縁体を形成し、かつ第 1 の導電体を露出させ、第 2 の絶縁体および第 3 の絶縁体をマスクとして第 1 の導電体をエッチングすることで、第 2 の導電体および第 3 の導電体を形成し、かつ半導体を露

50

出させ、有機物、第2の領域および第3の領域を除去し、半導体の露出部に第4の絶縁体を成膜し、第4の絶縁体上に第4の導電体を形成し、有機物は、第1の絶縁体の露出部においてはエッチング速度が堆積速度を上回り、第2の領域の側面においては堆積速度がエッチング速度を上回る半導体装置の作製方法である。

【0014】

本発明の一態様は、上記構成において、第2の導電体と第3の導電体との間の距離が、第2の領域と第3の領域との間の距離の80%以下である。

【発明の効果】

【0015】

微細な形状を提供することができる。チャネル長の小さいトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、短チャネル効果の小さいトランジスタを提供することができる。または、ノーマリーオフの電気特性を有するトランジスタを提供することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。または、電気特性の優れたトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。または、高い周波数特性を有するトランジスタを提供することができる。

10

【0016】

または、該トランジスタを有する半導体装置を提供することができる。または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。または、新規な半導体装置を提供することができる。または、新規なモジュールを提供することができる。または、新規な電子機器を提供することができる。

20

【0017】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0018】

30

【図1】本発明の一態様に係る半導体装置の作製方法を説明する断面図。

【図2】本発明の一態様に係る半導体装置の作製方法を説明する断面図。

【図3】本発明の一態様に係る半導体装置の作製方法を説明する断面図。

【図4】本発明の一態様に係る半導体装置の作製方法を説明する断面図。

【図5】本発明の一態様に係る半導体装置の作製方法を説明する断面図。

【図6】本発明の一態様に係る半導体装置の作製方法を説明する断面図。

【図7】本発明の一態様に係る半導体装置の作製方法を説明する断面図。

【図8】本発明の一態様に係るトランジスタの作製方法を説明する上面図および断面図。

【図9】本発明の一態様に係るトランジスタの作製方法を説明する上面図および断面図。

【図10】本発明の一態様に係るトランジスタの作製方法を説明する上面図および断面図。

40

【図11】本発明の一態様に係るトランジスタの作製方法を説明する上面図および断面図。

【図12】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図13】本発明の一態様に係るトランジスタを示す断面図およびバンド図。

【図14】本発明の一態様に係るトランジスタの作製方法を説明する上面図および断面図。

【図15】本発明の一態様に係るトランジスタの作製方法を説明する上面図および断面図。

【図16】本発明の一態様に係るトランジスタの作製方法を説明する上面図および断面図。

【図17】本発明の一態様に係るトランジスタの作製方法を説明する上面図および断面図。

【図18】本発明の一態様に係るトランジスタの作製方法を説明する上面図および断面図。

【図19】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図20】本発明の一態様に係る半導体装置を示す回路図。

50

- 【図 2 1】本発明の一態様に係る半導体装置を示す断面図。
【図 2 2】本発明の一態様に係る半導体装置を示す断面図。
【図 2 3】本発明の一態様に係る半導体装置を示す断面図。
【図 2 4】本発明の一態様に係る記憶装置を示す回路図。
【図 2 5】本発明の一態様に係る半導体装置を示す断面図。
【図 2 6】本発明の一態様に係る半導体装置を示す断面図。
【図 2 7】本発明の一態様に係る半導体装置を示す断面図。
【図 2 8】本発明の一態様に係る半導体装置を示す上面図。
【図 2 9】本発明の一態様に係る半導体装置を示すブロック図。
【図 3 0】本発明の一態様に係る半導体装置を示す断面図。 10
【図 3 1】本発明の一態様に係る半導体装置を示す断面図。
【図 3 2】本発明の一態様に係る半導体装置を示す斜視図および断面図。
【図 3 3】本発明の一態様に係る半導体装置を示すブロック図。
【図 3 4】本発明の一態様に係る半導体装置を示す回路図。
【図 3 5】本発明の一態様に係る半導体装置を示す回路図、上面図および断面図。
【図 3 6】本発明の一態様に係る半導体装置を示す回路図および断面図。
【図 3 7】本発明の一態様に係る電子機器を示す斜視図。
【図 3 8】C A A C - O S の断面における C s 補正高分解能 T E M 像、および C A A C - O S の断面模式図。
【図 3 9】C A A C - O S の平面における C s 補正高分解能 T E M 像。 20
【図 4 0】C A A C - O S および単結晶酸化物半導体の X R D による構造解析を説明する図。
【図 4 1】C A A C - O S の電子回折パターンを示す図。
【図 4 2】I n - G a - Z n 酸化物の電子照射による結晶部の変化を示す図。
【図 4 3】C A A C - O S および n c - O S の成膜モデルを説明する模式図。
【図 4 4】I n G a Z n O ₄ の結晶、およびペレットを説明する図。
【図 4 5】C A A C - O S の成膜モデルを説明する模式図。
【図 4 6】断面 S T E M 像。
【図 4 7】断面 S T E M 像。
【図 4 8】トランジスタの上面図および断面図。 30
【図 4 9】トランジスタの I d - V g 特性。
【図 5 0】トランジスタの I d - V g 特性。
【図 5 1】本発明の一態様に係るトランジスタを示す断面図。
【図 5 2】本発明の一態様に係るトランジスタを示す断面図。
【図 5 3】本発明の一態様に係るトランジスタを示す断面図。
【発明を実施するための形態】

【 0 0 1 9 】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【 0 0 2 0 】

なお、図において、大きさ、膜（層）の厚さ、または領域は、明瞭化のために誇張されている場合がある。

【 0 0 2 1 】

なお、本明細書において、「膜」という表記と、「層」という表記と、を互いに入れ替えることが可能である。

【 0 0 2 2 】

10

20

30

40

50

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。一般的に、電位（電圧）は、相対的なものであり、基準の電位からの相対的な大きさによって決定される。したがって、「接地電位」などと記載されている場合であっても、電位が0Vであるとは限らない。例えば、回路で最も低い電位が、「接地電位」となる場合もある。または、回路で中間くらいの電位が、「接地電位」となる場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定される。

【0023】

なお、第1、第2として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

10

【0024】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

【0025】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「導電体」と言い換えることができる場合がある。同様に、本明細書に記載の「導電体」は、「半導体」と言い換えることができる場合がある。

20

【0026】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of State) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

30

【0027】

なお、本明細書において、Aが濃度Bの領域を有する、と記載する場合、例えば、Aのある領域における深さ方向全体の濃度がBである場合、Aのある領域における深さ方向の濃度の平均値がBである場合、Aのある領域における深さ方向の濃度の中央値がBである場合、Aのある領域における深さ方向の濃度の最大値がBである場合、Aのある領域における深さ方向の濃度の最小値がBである場合、Aのある領域における深さ方向の濃度の収束値がBである場合、測定上Aそのものの確からしい値の得られる領域における濃度がBである場合などを含む。

40

【0028】

また、本明細書において、Aが大きさB、長さB、厚さB、幅Bまたは距離Bの領域を有する、と記載する場合、例えば、Aのある領域における全体の大きさ、長さ、厚さ、幅、または距離がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の平均値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の中央値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の最

50

大値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の最小値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の収束値がBである場合、測定上Aそのものの確からしい値の得られる領域での大きさ、長さ、厚さ、幅、または距離がBである場合などを含む。

【0029】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

10

【0030】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【0031】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

30

【0032】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0033】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが互いに重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

40

【0034】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

50

【 0 0 3 5 】

なお、本明細書において、AがBより迫り出した形状を有すると記載する場合、上面図または断面図において、Aの少なくとも一端が、Bの少なくとも一端よりも外側にある形状を有することを示す場合がある。したがって、AがBより迫り出した形状を有すると記載されている場合、例えば上面図において、Aの一端が、Bの一端よりも外側にある形状を有すると読み替えることができる。

【 0 0 3 6 】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【 0 0 3 7 】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【 0 0 3 8 】

< 加工方法 1 >

以下では、本発明の一態様に係る導電体、絶縁体または半導体の加工方法について説明する。

【 0 0 3 9 】

まず、層116と、層116上の層110と、を準備する(図1(A)参照。)。層116としては、導電体、絶縁体または半導体を用いればよい。また、層110としては、導電体、絶縁体または半導体を用いればよい。

【 0 0 4 0 】

導電体としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【 0 0 4 1 】

絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。特に、シリコンを有する酸化物を用いることが好ましい。

【 0 0 4 2 】

半導体としては、シリコン、ゲルマニウムなどの第14族半導体、炭化シリコン、ケイ化ゲルマニウム、ヒ化ガリウム、リン化インジウム、セレン化亜鉛、硫化カドミウム、酸化物半導体などの化合物半導体、および有機半導体を用いればよい。酸化物半導体については後述する。

【 0 0 4 3 】

次に、反射防止層(BARC: Bottom Anti Reflective Coating)を成膜する。次に、レジストを成膜する。次に、レジストを加工する。レジストの加工は、まずフォトリソグレイドなどを用いてレジストを露光する。このとき、反射防止層

10

20

30

40

50

の作用によって、ハレーションを抑制することができる。次に、露光された領域を、現像液を用いて除去または残存させてレジスト122を形成する。レジストの露光には、例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV(Extreme Ultraviolet)光などを用いればよい。また、基板と投影レンズとの間に液体(例えば水)を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、フォトマスクは不要となる。

【0044】

次に、レジスト122をマスクとして用いて反射防止層をエッチングし、反射防止層120を形成する(図1(B)参照。)。ただし、反射防止層120に替えて、反射防止層の機能を有さない有機物または無機物を用いてもよい場合がある。または、反射防止層120を有さなくてもよい場合がある。

10

【0045】

レジスト122の間の距離をL0とする。最小となるL0の寸法(最小加工寸法ともいう。)は、露光機やレジストなどによって決定する。

【0046】

次に、プラズマ処理を行う。プラズマ処理は、平行平板型反応性イオンエッチング(RIE: Reactive Ion Etching)法や、誘導結合型プラズマ(ICP: Inductively Coupled Plasma)エッチング法などによって行うことができる。

20

【0047】

プラズマは、炭素およびハロゲンを含むガスを有するガスを生成する。該プラズマは、レジスト122などに含まれる炭素および水素などと反応し、被処理面(例えば、レジスト122の上面および側面、反射防止層120の側面、ならびに層110の露出部など)に有機物を堆積させる。有機物の堆積は、等方的に起こる。ここで、層116および層110の上面に垂直な方向のバイアスを印加すると、有機物の堆積と、有機物のエッチングと、が同時に起こる。有機物のエッチングは、バイアスの印加される方向のエッチング速度が高くなるため、異方的に起こる。

【0048】

炭素およびハロゲンを有するガスとしては、例えば、三フッ化メタンガス、四フッ化メタンガス、六フッ化エタンガス、六フッ化プロパンガス、八フッ化プロパンガスおよびハフッ化シクロブタンガスなどの炭素およびフッ素を有するガス、ならびに四塩化炭素などの炭素および塩素を有するガスなどを用いればよい。また、ヘリウムまたはアルゴンなどの希ガス、水素などを混合して用いてもよい。

30

【0049】

有機物の堆積速度およびエッチング速度は、様々な条件が複合的に作用して決定される。例えば、プラズマの生成に用いるガス中の炭素の割合が高いと堆積速度が高くなり、ハロゲンの割合が高いとエッチング速度が高くなる。また、例えば、バイアスを弱くするとエッチング速度が低くなり、バイアスを強くするとエッチング速度が高くなる。ここでは、バイアスの印加される方向において、エッチング速度が堆積速度よりも高くなる条件を用いる。したがって、レジスト122の上面および層110の露出部では、有機物は堆積するのとはほとんど同時にエッチングされる。また、層110の露出部もエッチングされる。ただし、プラズマ処理の条件によって、層110の露出部をエッチングさせないこともできる。また、プラズマ処理の条件を2段階、3段階などの多段階で変化させることもできる。

40

【0050】

一方、レジスト122の側面および反射防止層120の側面では、有機物のエッチング速度が堆積速度よりも遅くなる。したがって、該領域では有機物124が堆積する(図1(C)参照。)。

【0051】

50

次に、有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 をマスクとして用いて、層 1 1 0 および層 1 1 6 をエッチングし、層 1 1 0 a および層 1 1 0 b、ならびに層 1 1 6 a および層 1 1 6 b を形成する（図 1（D）参照。）。層 1 1 0 および層 1 1 6 のエッチングは、ドライエッチング法またはノおよびウェットエッチング法によって行うことができる。このときに、有機物 1 2 4 を除去してもよい。なお、層 1 1 0 a と層 1 1 0 b とが奥行き方向で繋がっていても構わない。また、層 1 1 6 a と層 1 1 6 b とが奥行き方向で繋がっていても構わない。

【0052】

層 1 1 6 a と層 1 1 6 b との間の距離を L_1 とする。 L_1 は、有機物 1 2 4 の分だけ L_0 よりも小さくなる。即ち、露光機やレジストなどによって決定する最小の寸法よりも小さい形状を得ることができる。

10

【0053】

次に、有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 を除去することで最小加工寸法よりも小さい穴を形成することができる（図 1（E）参照。）。有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 の除去には、プラズマアッシングなどのドライエッチング法またはノおよびウェットエッチング法を用いることができる。

【0054】

このとき、層 1 1 0 a は、第 1 の領域と、第 2 の領域と、第 3 の領域と、を有する。第 2 の領域は、第 1 の領域と第 3 の領域との間に位置する。第 1 の領域は、平坦な領域である。第 2 の領域および第 3 の領域は傾斜を有する領域である。第 2 の領域は、第 3 の領域よりも傾斜が緩やかである。第 2 の領域における傾斜は、第 1 の領域近傍から第 3 の領域近傍にかけて傾斜の度合いが変化する場合がある。例えば、第 1 の領域の近傍では傾斜がきつく、第 3 の領域の近傍では傾斜が緩くなるような形状を有する場合がある。層 1 1 0 a が、このような形状を有することにより、層 1 1 0 a よりも上方に形成する層などの段差被覆性を高くすることができる。そのため、形状不良などが起こりにくくなる。層 1 1 0 b についても同様である。なお、傾斜とは、厚さの変化のことをいい、その角度が直角である場合も傾斜を有すると表記する。

20

【0055】

<加工方法 2>

また、図 2 に示すように、プラズマ処理の条件を変更することにより、図 1（E）とは異なる形状を得ることもできる。

30

【0056】

図 2（A）および図 2（B）は、それぞれ図 1（A）および図 1（B）と同じであるため、説明を省略する。

【0057】

次に、プラズマ処理を行う。プラズマ処理によって、有機物の堆積とエッチングが起こる。また、層 1 1 0 の露出部もエッチングされる。ここでは、レジスト 1 2 2 の側面および反射防止層 1 2 0 の側面に有機物 1 2 4 を堆積させながら、層 1 1 6 が露出するまで層 1 1 0 をエッチングすることで、層 1 1 0 a および層 1 1 0 b を形成する（図 2（C）参照。）。なお、層 1 1 0 a と層 1 1 0 b とが奥行き方向で繋がっていても構わない。

40

【0058】

次に、有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 をマスクとして用いて、層 1 1 6 をエッチングし、層 1 1 6 a および層 1 1 6 b を形成する（図 2（D）参照。）。層 1 1 6 のエッチングは、ドライエッチング法またはノおよびウェットエッチング法によって行うことができる。このときに、有機物 1 2 4 を除去してもよい。なお、層 1 1 6 a と層 1 1 6 b とが奥行き方向で繋がっていても構わない。

【0059】

層 1 1 6 a と層 1 1 6 b との間の距離を L_1 とする。 L_1 は、有機物 1 2 4 の分だけ L_0 よりも小さくなる。即ち、露光機やレジストなどによって決定する最小の寸法よりも小さい形状を得ることができる。

50

【 0 0 6 0 】

次に、有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 を除去することで最小加工寸法よりも小さい穴を形成することができる（図 2（E）参照。）。有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 の除去には、プラズマアッシングなどのドライエッチング法または / およびウェットエッチング法を用いることができる。

【 0 0 6 1 】

このとき、層 1 1 0 a は、第 1 の領域と、第 2 の領域と、を有する。第 1 の領域は、平坦な領域である。第 2 の領域は傾斜を有する領域である。第 2 の領域は、傾斜の度合いが変化する場合がある。例えば、第 1 の領域の近傍では傾斜がきつく、第 1 の領域から遠ざかるほど傾斜が緩くなるような形状を有する場合がある。層 1 1 0 a が、このような形状を有することにより、層 1 1 0 a よりも上方に形成する層などの段差被覆性を高くすることができる。そのため、形状不良などが起こりにくくなる。層 1 1 0 b についても同様である。

10

【 0 0 6 2 】

< 加工方法 3 >

また、図 3 に示すように、プラズマ処理の条件を変更することにより、図 1（E）および図 2（E）とは異なる形状を得ることもできる。

【 0 0 6 3 】

図 3（A）および図 3（B）は、それぞれ図 1（A）および図 1（B）と同じであるため、説明を省略する。

20

【 0 0 6 4 】

次に、プラズマ処理を行う。プラズマ処理によって、有機物の堆積とエッチングが起こる。また、層 1 1 0 の露出部もエッチングされる。ここでは、レジスト 1 2 2 の側面および反射防止層 1 2 0 の側面に有機物 1 2 4 を堆積させながら、層 1 1 0 および層 1 1 6 をエッチングすることで、層 1 1 0 a および層 1 1 0 b、ならびに層 1 1 6 a および層 1 1 6 b を形成する（図 3（C）参照。）。なお、層 1 1 0 a と層 1 1 0 b とが奥行き方向で繋がっていても構わない。また、層 1 1 6 a と層 1 1 6 b とが奥行き方向で繋がっていても構わない。

【 0 0 6 5 】

層 1 1 6 a と層 1 1 6 b との間の距離を L 1 とする。L 1 は、有機物 1 2 4 の分だけ L 0 よりも小さくなる。即ち、露光機やレジストなどによって決定する最小の寸法よりも小さい形状を得ることができる。

30

【 0 0 6 6 】

次に、有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 を除去することで最小加工寸法よりも小さい穴を形成することができる（図 3（D）参照。）。有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 の除去には、プラズマアッシングなどのドライエッチング法または / およびウェットエッチング法を用いることができる。

【 0 0 6 7 】

このとき、層 1 1 0 a は、第 1 の領域と、第 2 の領域と、を有する。第 1 の領域は、平坦な領域である。第 2 の領域は傾斜を有する領域である。第 2 の領域は、傾斜の度合いが変化する場合がある。例えば、第 1 の領域の近傍では傾斜がきつく、第 1 の領域から遠ざかるほど傾斜が緩くなるような形状を有する場合がある。また、層 1 1 6 a は、第 3 の領域と、第 4 の領域と、を有する。第 3 の領域は、平坦な領域である。第 4 の領域は傾斜を有する領域である。第 4 の領域は、傾斜の度合いが変化する場合がある。例えば、第 3 の領域の近傍では傾斜がきつく、第 3 の領域から遠ざかるほど傾斜が緩くなるような形状を有する場合がある。層 1 1 0 a および層 1 1 6 a が、このような形状を有することにより、層 1 1 0 a および層 1 1 6 a よりも上方に形成する層などの段差被覆性を高くすることができる。そのため、形状不良などが起こりにくくなる。層 1 1 0 b および層 1 1 6 b についても同様である。

40

【 0 0 6 8 】

50

<加工方法 4>

また、図 4 に示すように、エッチングの工程を追加することにより、図 1 (E)、図 2 (E) および図 3 (D) とは異なる形状を得ることもできる。

【 0 0 6 9 】

図 4 (A) および図 4 (B) は、それぞれ図 1 (A) および図 1 (B) と同じであるため、説明を省略する。

【 0 0 7 0 】

次に、レジスト 1 2 2 および反射防止層 1 2 0 をマスクとして用いて、層 1 1 6 が露出するように層 1 1 0 をエッチングすることで、層 1 1 0 a および層 1 1 0 b を形成する (図 4 (C) 参照。)。層 1 1 0 のエッチングは、ドライエッチング法または / およびウェットエッチング法によって行うことができる。なお、層 1 1 0 a と層 1 1 0 b とが奥行き方向で繋がっていても構わない。

【 0 0 7 1 】

次に、プラズマ処理を行う。プラズマ処理によって、有機物の堆積とエッチングが起こる。また、層 1 1 6 の露出部もエッチングされる。ただし、プラズマ処理の条件によって、層 1 1 6 の露出部をエッチングさせないこともできる。

【 0 0 7 2 】

一方、レジスト 1 2 2 の側面、反射防止層 1 2 0 の側面、層 1 1 0 a の側面および層 1 1 0 b の側面では、有機物のエッチング速度が堆積速度よりも遅くなる。したがって、該領域では有機物 1 2 4 が堆積する。

【 0 0 7 3 】

次に、有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 をマスクとして用いて、層 1 1 6 をエッチングし、層 1 1 6 a および層 1 1 6 b を形成する (図 4 (D) 参照。)。層 1 1 6 のエッチングは、ドライエッチング法または / およびウェットエッチング法によって行うことができる。このときに、有機物 1 2 4 を除去してもよい。なお、層 1 1 6 a と層 1 1 6 b とが奥行き方向で繋がっていても構わない。

【 0 0 7 4 】

層 1 1 6 a と層 1 1 6 b との間の距離を L_1 とする。 L_1 は、有機物 1 2 4 の分だけ L_0 よりも小さくなる。即ち、露光機やレジストなどによって決定する最小の寸法よりも小さい形状を得ることができる。

【 0 0 7 5 】

次に、有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 を除去することで最小加工寸法よりも小さい穴を形成することができる (図 4 (E) 参照。)。有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 の除去には、プラズマアッシングなどのドライエッチング法または / およびウェットエッチング法を用いることができる。

【 0 0 7 6 】

このとき、層 1 1 6 a は、第 1 の領域と、第 2 の領域と、第 3 の領域と、を有する。第 2 の領域は、第 1 の領域と第 3 の領域との間に位置する。第 1 の領域は、平坦な領域である。第 2 の領域および第 3 の領域は傾斜を有する領域である。第 2 の領域は、第 3 の領域よりも傾斜が緩やかである。第 2 の領域における傾斜は、第 1 の領域近傍から第 3 の領域近傍にかけて傾斜の度合いが変化する場合がある。例えば、第 1 の領域の近傍では傾斜がきつく、第 3 の領域の近傍では傾斜が緩くなるような形状を有する場合がある。層 1 1 6 a が、このような形状を有することにより、層 1 1 6 a よりも上方に形成する層などの段差被覆性を高くすることができる。そのため、形状不良などが起こりにくくなる。層 1 1 6 b についても同様である。

【 0 0 7 7 】

<加工方法 5>

また、図 5 に示すように、エッチングの工程を追加し、プラズマ処理の条件を変更することにより、図 1 (E)、図 2 (E)、図 3 (D) および図 4 (E) とは異なる形状を得ることもできる。

【 0 0 7 8 】

図 5 (A) および図 5 (B) は、それぞれ図 1 (A) および図 1 (B) と同じであるため、説明を省略する。また、図 5 (C) は、図 4 (C) と同じであるため、説明を省略する。

【 0 0 7 9 】

次に、プラズマ処理を行う。プラズマ処理によって、有機物の堆積とエッチングが起こる。また、層 1 1 6 の露出部をエッチングすることで、層 1 1 6 a および層 1 1 6 b を形成する。なお、層 1 1 6 a と層 1 1 6 b とが奥行き方向で繋がっていても構わない。

【 0 0 8 0 】

一方、レジスト 1 2 2 の側面、反射防止層 1 2 0 の側面、層 1 1 0 a の側面および層 1 1 0 b の側面では、有機物のエッチング速度が堆積速度よりも遅くなる。したがって、該領域では有機物 1 2 4 が堆積する（図 5 (D) 参照。）。 10

【 0 0 8 1 】

層 1 1 6 a と層 1 1 6 b との間の距離を L_1 とする。 L_1 は、有機物 1 2 4 の分だけ L_0 よりも小さくなる。即ち、露光機やレジストなどによって決定する最小の寸法よりも小さい形状を得ることができる。

【 0 0 8 2 】

次に、有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 を除去することで最小加工寸法よりも小さい穴を形成することができる（図 5 (E) 参照。）。有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 の除去には、プラズマアッシングなどのドライエッチング法または / およびウェットエッチング法を用いることができる。 20

【 0 0 8 3 】

このとき、層 1 1 6 a は、第 1 の領域と、第 2 の領域と、を有する。第 1 の領域は、平坦な領域である。第 2 の領域は傾斜を有する領域である。第 2 の領域は、傾斜の度合いが変化する場合がある。例えば、第 1 の領域の近傍では傾斜がきつく、第 1 の領域から遠ざかるほど傾斜が緩くなるような形状を有する場合がある。層 1 1 6 a が、このような形状を有することにより、層 1 1 6 a よりも上方に形成する層などの段差被覆性を高くすることができる。そのため、形状不良などが起こりにくくなる。層 1 1 6 b についても同様である。

【 0 0 8 4 】

< 加工方法 6 >

また、図 6 に示すように、層 1 1 0 を有さないことにより、図 1 (E)、図 2 (E)、図 3 (D)、図 4 (E) および図 5 (E) とは異なる形状を得ることもできる。

【 0 0 8 5 】

まず、層 1 1 6 を準備する（図 6 (A) 参照。）。 30

【 0 0 8 6 】

次に、反射防止層を成膜する。次に、レジストを成膜する。次に、レジストを加工し、レジスト 1 2 2 を形成する。

【 0 0 8 7 】

次に、レジスト 1 2 2 をマスクとして用いて反射防止層をエッチングし、反射防止層 1 2 0 を形成する（図 6 (B) 参照。）。ただし、反射防止層 1 2 0 を有さなくてもよい場合がある。 40

【 0 0 8 8 】

レジスト 1 2 2 の間の距離を L_0 とする。

【 0 0 8 9 】

次に、プラズマ処理を行う。プラズマ処理によって、有機物の堆積とエッチングが起こる。また、層 1 1 0 の露出部もエッチングされる。ただし、プラズマ処理の条件によって、層 1 1 0 の露出部をエッチングさせないこともできる。

【 0 0 9 0 】

一方、レジスト 1 2 2 の側面および反射防止層 1 2 0 の側面では、有機物のエッチング速 50

度が堆積速度よりも遅くなる。したがって、該領域では有機物 1 2 4 が堆積する（図 6（C）参照。）。

【0091】

次に、有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 をマスクとして用いて、層 1 1 6 をエッチングし、層 1 1 6 a および層 1 1 6 b を形成する（図 6（D）参照。）。層 1 1 6 のエッチングは、ドライエッチング法または / およびウェットエッチング法によって行うことができる。このときに、有機物 1 2 4 を除去してもよい。なお、層 1 1 6 a と層 1 1 6 b とが奥行き方向で繋がっていても構わない。

【0092】

層 1 1 6 a と層 1 1 6 b との間の距離を L_1 とする。 L_1 は、有機物 1 2 4 の分だけ L_0 よりも小さくなる。即ち、露光機やレジストなどによって決定する最小の寸法よりも小さい形状を得ることができる。

10

【0093】

次に、有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 を除去することで最小加工寸法よりも小さい穴を形成することができる（図 6（E）参照。）。有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 の除去には、プラズマアッシングなどのドライエッチング法または / およびウェットエッチング法を用いることができる。なお、図 4（E）の形状を得た後に、層 1 1 0 a および層 1 1 0 b を除去することでも、図 6（E）と同様の形状を得ることができる。

【0094】

20

このとき、層 1 1 6 a は、第 1 の領域と、第 2 の領域と、第 3 の領域と、を有する。第 2 の領域は、第 1 の領域と第 3 の領域との間に位置する。第 1 の領域は、平坦な領域である。第 2 の領域および第 3 の領域は傾斜を有する領域である。第 2 の領域は、第 3 の領域よりも傾斜が緩やかである。第 2 の領域における傾斜は、第 1 の領域近傍から第 3 の領域近傍にかけて傾斜の度合いが変化する場合がある。例えば、第 1 の領域の近傍では傾斜がきつく、第 3 の領域の近傍では傾斜が緩くなるような形状を有する場合がある。層 1 1 6 a が、このような形状を有することにより、層 1 1 6 a よりも上方に形成する層などの段差被覆性を高くすることができる。そのため、形状不良などが起こりにくくなる。層 1 1 6 b についても同様である。

【0095】

30

<加工方法 7>

また、図 7 に示すように、プラズマ処理の条件などを変更することにより、図 1（E）、図 2（E）、図 3（D）、図 4（E）、図 5（E）および図 6（E）とは異なる形状を得ることもできる。

【0096】

図 7（A）および図 7（B）は、それぞれ図 6（A）および図 6（B）と同じであるため、説明を省略する。

【0097】

次に、プラズマ処理を行う。プラズマ処理によって、有機物の堆積とエッチングが起こる。また、層 1 1 6 の露出部もエッチングすることで、層 1 1 6 a および層 1 1 6 b を形成する。なお、層 1 1 6 a と層 1 1 6 b とが奥行き方向で繋がっていても構わない。

40

【0098】

一方、レジスト 1 2 2 の側面および反射防止層 1 2 0 の側面では、有機物のエッチング速度が堆積速度よりも遅くなる。したがって、該領域では有機物 1 2 4 が堆積する（図 7（C）参照。）。

【0099】

層 1 1 6 a と層 1 1 6 b との間の距離を L_1 とする。 L_1 は、有機物 1 2 4 の分だけ L_0 よりも小さくなる。即ち、露光機やレジストなどによって決定する最小の寸法よりも小さい形状を得ることができる。

【0100】

50

次に、有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 を除去することで最小加工寸法よりも小さい穴を形成することができる（図 7（D）参照。）。有機物 1 2 4、レジスト 1 2 2 および反射防止層 1 2 0 の除去には、プラズマアッシングなどのドライエッチング法または / およびウェットエッチング法を用いることができる。なお、図 5（E）の形状を得た後に、層 1 1 0 a および層 1 1 0 b を除去することでも、図 7（D）と同様の形状を得ることができる。

【0101】

このとき、層 1 1 6 a は、第 1 の領域と、第 2 の領域と、を有する。第 1 の領域は、平坦な領域である。第 2 の領域は傾斜を有する領域である。第 2 の領域は、傾斜の度合いが変化する場合がある。例えば、第 1 の領域の近傍では傾斜がきつく、第 1 の領域から遠ざかるほど傾斜が緩くなるような形状を有する場合がある。層 1 1 6 a が、このような形状を有することにより、層 1 1 6 a よりも上方に形成する層などの段差被覆性を高くすることができる。そのため、形状不良などが起こりにくくなる。層 1 1 6 b についても同様である。

10

【0102】

以上に示したように、本発明の一態様に係る加工方法によって、層の形状を最小加工寸法よりも小さい寸法で加工することが可能となる。また、形状不良が起こりにくい形状の層を形成することができる。

【0103】

<トランジスタ 1>

20

以下では、本発明の一態様に係るトランジスタについて説明する。

【0104】

図 8（A）、図 9（A）、図 10（A）および図 11（A）は、トランジスタの作製方法を説明する上面図である。各上面図には、一点鎖線 A 1 - A 2 および一点鎖線 A 3 - A 4 が記され、それに対応した断面図を図 8（B）、図 9（B）、図 10（B）および図 11（B）に示す。

【0105】

まずは、基板 4 0 0 を準備する。

【0106】

基板 4 0 0 としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

30

40

【0107】

また、基板 4 0 0 として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板 4 0 0 に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板 4 0 0 として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板 4 0 0 が伸縮性を有してもよい。また、基板 4 0 0 は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板 4

50

00の厚さは、例えば、5 μm 以上700 μm 以下、好ましくは10 μm 以上500 μm 以下、さらに好ましくは15 μm 以上300 μm 以下とする。基板400を薄くすると、半導体装置を軽量化することができる。また、基板400を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板400上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

【0108】

可とう性基板である基板400としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板400は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板400としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、または $1 \times 10^{-5} / \text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板400として好適である。

【0109】

次に、導電体を成膜する。導電体の成膜は、スパッタリング法、化学気相成長（CVD：Chemical Vapor Deposition）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法またはパルスレーザ堆積（PLD：Pulsed Laser Deposition）法、原子層堆積（ALD：Atomic Layer Deposition）法などを用いて行うことができる。

【0110】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

【0111】

PECVD法は、比較的低温で高品質の膜が得られる。また、TCVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いないTCVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、TCVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0112】

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0113】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

【0114】

10

20

30

40

50

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、所望の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

【0115】

次に、導電体上にレジストなどを形成し、該レジストを用いて加工し、導電体413を形成する。なお、単にレジストを形成するという場合、レジストの下に反射防止層を形成する場合も含まれる。

10

【0116】

レジストは、対象物をエッチングなどによって加工した後で除去する。レジストの除去には、プラズマ処理または/およびウェットエッチングを用いる。なお、プラズマ処理としては、プラズマアッシングが好適である。レジストなどの除去が不十分な場合、0.001 volume %以上1 volume %以下の濃度のフッ化水素酸または/およびオゾン水などによって取り残したレジストなどを除去しても構わない。

【0117】

導電体を加工して導電体413を形成する際、図1乃至図7のいずれかに記載の加工方法を用いてもよい。

20

【0118】

導電体413となる導電体としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0119】

次に、絶縁体402を成膜する。絶縁体402の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

30

【0120】

絶縁体402としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体402としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

【0121】

絶縁体402は、基板400からの不純物の拡散を防止する機能を有してもよい。

40

【0122】

次に、半導体を成膜する。半導体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0123】

次に、加熱処理を行うことが好ましい。加熱処理を行うことで、半導体中の水素濃度を低減させることができる場合がある。また、半導体中の酸素欠損を低減させることができる場合がある。

【0124】

次に、半導体上にレジストなどを形成し、該レジストを用いて加工し、半導体406を形

50

成する（図 8（A）および図 8（B）参照。）。このとき、半導体 406 と重ならない絶縁体 402 の一部をエッチングしても構わない。こうすることで、絶縁体 402 に凸部が形成される。絶縁体 402 に凸部が形成されることで、後述する s - c h a n n e l 構造を実現しやすくなる。

【0125】

半導体を加工して半導体 406 を形成する際、図 1 乃至図 7 のいずれかに記載の加工方法を用いてもよい。

【0126】

次に、導電体 416 を成膜する。導電体 416 の成膜は、スパッタリング法、CVD 法、MBE 法または PLD 法、ALD 法などを用いて行うことができる。

10

【0127】

導電体 416 としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0128】

次に、絶縁体 410 を成膜する（図 9（A）および図 9（B）参照。）。絶縁体 410 の成膜は、スパッタリング法、CVD 法、MBE 法または PLD 法、ALD 法などを用いて行うことができる。

20

【0129】

絶縁体 410 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 410 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

30

【0130】

次に、絶縁体 410 上にレジストなどを形成し、該レジストを用いて加工し、絶縁体 410a および絶縁体 410b、ならびに導電体 416a および導電体 416b を形成する（図 10（A）および図 10（B）参照。）。

【0131】

この際、図 1 乃至図 7 のいずれかに記載の加工方法を用いてもよい。例えば、図 1 乃至図 7 において、層 116 を導電体 416 に、層 110 を絶縁体 410 に置き換えればよい。ここでは、図 1 に示した加工方法と同様の方法により、絶縁体 410 および導電体 416 を加工した場合を図示している。

【0132】

例えば、導電体 413 をゲート電極、絶縁体 402 をゲート絶縁体、導電体 416a をソース電極、導電体 416b をドレイン電極とすれば、図 10 までで工程を完了し、ボトムゲート構造を有するトランジスタとしてもよい。

40

【0133】

次に、絶縁体を成膜する。絶縁体の成膜は、スパッタリング法、CVD 法、MBE 法または PLD 法、ALD 法などを用いて行うことができる。

【0134】

次に、導電体を成膜する。導電体の成膜は、スパッタリング法、CVD 法、MBE 法または PLD 法、ALD 法などを用いて行うことができる。

【0135】

50

次に、導電体上にレジストなどを形成し、該レジストを用いて加工し、導電体 404 を形成する。また、該レジストまたは導電体 404 を用いて絶縁体を加工し、絶縁体 412 を形成する（図 11（A）および図 11（B）参照。）。なお、ここでは絶縁体 412 と導電体 404 とが上面から見たときに同様の形状となるよう加工しているが、この形状に限定されるものではない。例えば、絶縁体 412 と導電体 404 とを別のレジストを用いて加工してもよい。例えば、絶縁体 412 を形成してから、導電体 404 となる導電体を成膜してもよいし、導電体 404 を形成した後で絶縁体 412 となる絶縁体上に別途レジストなどを形成してもよい。

【0136】

この際、図 1 乃至図 7 のいずれかに記載の加工方法を用いてもよい。例えば、図 1 乃至図 7 において、層 116 を絶縁体 412 となる絶縁体に、層 110 を導電体 404 となる導電体に置き替えればよい。

10

【0137】

絶縁体 412 となる絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 412 となる絶縁体としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

20

【0138】

導電体 404 となる導電体としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0139】

次に、絶縁体を成膜してもよい。絶縁体の成膜は、スパッタリング法、CVD 法、MBE 法または PLD 法、ALD 法などを用いて行うことができる。

30

【0140】

絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。絶縁体は、好ましくは酸化アルミニウム、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを含む絶縁体を、単層で、または積層で用いればよい。

40

【0141】

絶縁体は、バリア層としての機能を有することが好ましい。絶縁体は、例えば、酸素または / および水素をブロックする機能を有する。または、絶縁体は、例えば、絶縁体 402 または絶縁体 412 よりも、酸素または / および水素をブロックする能力が高いことが好ましい。

【0142】

以上の工程により、本発明の一態様に係るトランジスタを作製することができる。

【0143】

図 11（B）に示したトランジスタは、導電体 416a と導電体 404 との間に絶縁体 410a を有し、導電体 416b と導電体 404 との間に絶縁体 410b を有する。即ち、

50

導電体 4 1 6 a および導電体 4 1 6 b などに起因する寄生容量が小さい。そのため、図 1 1 (B) に示したトランジスタを用いた半導体装置は、高い周波数特性を有する。

【 0 1 4 4 】

図 1 1 (B) に示すように、半導体 4 0 6 の側面は、導電体 4 1 6 a および導電体 4 1 6 b と接する。また、導電体 4 0 4 の電界によって、半導体 4 0 6 を電氣的に取り囲むことができる (導電体から生じる電界によって、半導体を電氣的に取り囲むトランジスタの構造を、*surrounded channel (s - channel)* 構造とよぶ。) 。そのため、半導体 4 0 6 の全体 (上面、下面および側面) にチャンネルが形成される。*s - channel* 構造では、トランジスタのソース - ドレイン間に大電流を流すことができ、導通時の電流 (オン電流) を高くすることができる。

10

【 0 1 4 5 】

なお、トランジスタが *s - channel* 構造を有する場合、半導体 4 0 6 の側面にもチャンネルが形成される。したがって、半導体 4 0 6 が厚いほどチャンネル領域は大きくなる。即ち、半導体 4 0 6 が厚いほど、トランジスタのオン電流を高くすることができる。また、半導体 4 0 6 が厚いほど、キャリアの制御性の高い領域の割合が増えるため、サブスレッショルドスイング値を小さくすることができる。例えば、10 nm 以上、好ましくは 20 nm 以上、さらに好ましくは 40 nm 以上、より好ましくは 60 nm 以上、より好ましくは 100 nm 以上の厚さの領域を有する半導体 4 0 6 とすればよい。ただし、半導体装置の生産性が低下する場合があるため、例えば、300 nm 以下、好ましくは 200 nm 以下、さらに好ましくは 150 nm 以下の厚さの領域を有する半導体 4 0 6 とすればよい。なお、チャンネル形成領域が縮小していくと、半導体 4 0 6 が薄いほうがトランジスタの電気特性が向上する場合もある。よって、半導体 4 0 6 の厚さが 10 nm 未満であってもよい。

20

【 0 1 4 6 】

高いオン電流が得られるため、*s - channel* 構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタは、チャンネル長が好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下、より好ましくは 20 nm 以下の領域を有し、かつ、トランジスタは、チャンネル幅が好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下、より好ましくは 20 nm 以下の領域

30

【 0 1 4 7 】

なお、導電体 4 1 3 を形成しなくてもよい (図 1 2 (A) 参照。) 。また、絶縁体 4 1 2 が導電体 4 0 4 から迫り出した形状としてもよい (図 1 2 (B) 参照。) 。また、絶縁体 4 1 2 となる絶縁体を加工しなくてもよい (図 1 2 (C) 参照。) 。

【 0 1 4 8 】

図 1 1 (B) などには、代表例として図 1 と同様の形状の導電体 4 1 6 a および導電体 4 1 6 b、ならびに絶縁体 4 1 0 a および絶縁体 4 1 0 b を示したが、本発明の一態様はこれに限定されるものではない。例えば、図 5 1 (A) に示すように、図 2 (E) と同様の形状としてもよい。また、図 5 1 (B) に示すように、図 3 (D) と同様の形状としてもよい。また、図 5 1 (C) に示すように、図 4 (D) と同様の形状としてもよい。また、図 5 2 (A) に示すように、図 5 (E) と同様の形状としてもよい。また、図 5 2 (B) に示すように、図 6 (E) と同様の形状としてもよい。また、図 5 2 (C) に示すように、図 7 (D) と同様の形状としてもよい。また、図 5 3 (A) に示すように、絶縁体 4 1 0 a および絶縁体 4 1 0 b が端部に向かって徐々に傾斜がきつくなる形状としてもよい。また、図 5 3 (B) に示すように、絶縁体 4 1 0 a の端部および絶縁体 4 1 0 b の端部において、段階的に傾斜角が変化する領域を有してもよい。また、図 5 3 (C) に示すように、導電体 4 1 6 a および導電体 4 1 6 b が積層構造を有してもよい。そのとき、例えば、下層が上層よりも迫り出しているとしてもよい。また、これらの形状を部分的に組み合わせることもできる。こういった形状の作りわけは、プラズマ処理の条件の変更やエッチング工

40

50

程の追加などによって実現することができる。

【0149】

<半導体>

半導体406の上下に半導体を配置することで、トランジスタの電気特性を向上させることができる場合がある。以下では、半導体406、およびその上下に配置する半導体について、図13を用いて詳細に説明する。

【0150】

図13(A)は、図11(B)に示したトランジスタの、チャンネル長方向における半導体406近傍を拡大した断面図である。また、図13(B)は、図11(B)に示したトランジスタの、チャンネル幅方向における半導体406近傍を拡大した断面図である。

10

【0151】

図13(A)および図13(B)に示すトランジスタの構造では、絶縁体402と半導体406との間に、半導体406aが配置される。また、導電体416a、導電体416bおよび絶縁体412と、半導体406と、の間に半導体406cが配置される。

【0152】

または、トランジスタが図13(C)および図13(D)に示す構造を有しても構わない。

【0153】

図13(C)は、図11(B)に示したトランジスタの、チャンネル長方向における半導体406近傍を拡大した断面図である。また、図13(D)は、図11(B)に示したトランジスタの、チャンネル幅方向における半導体406近傍を拡大した断面図である。

20

【0154】

図13(C)および図13(D)に示すトランジスタの構造では、絶縁体402と半導体406との間に、半導体406aが配置される。また、絶縁体402、導電体416a、導電体416b、半導体406aおよび半導体406と、絶縁体412と、の間に半導体406cが配置される。

【0155】

半導体406は、例えば、インジウムを含む酸化物半導体である。半導体406は、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。また、半導体406は、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体406は、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

30

【0156】

ただし、半導体406は、インジウムを含む酸化物半導体に限定されない。半導体406は、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

40

【0157】

半導体406は、例えば、エネルギーギャップが大きい酸化物を用いる。半導体406のエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。

【0158】

例えば、半導体406aおよび半導体406cは、半導体406を構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。半導体406を構成す

50

る酸素以外の元素一種以上、または二種以上から半導体406aおよび半導体406cが構成されるため、半導体406aと半導体406との界面、および半導体406と半導体406cとの界面において、欠陥準位が形成されにくい。

【0159】

半導体406a、半導体406および半導体406cは、少なくともインジウムを含むと好ましい。なお、半導体406aがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高いとする。また、半導体406がIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが25atomic%より高く、Mが75atomic%未満、さらに好ましくはInが34atomic%より高く、Mが66atomic%未満とする。また、半導体406cがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高くする。なお、半導体406cは、半導体406aと同種の酸化物を用いても構わない。ただし、半導体406aまたは/および半導体406cがインジウムを含まなくても構わない場合がある。例えば、半導体406aまたは/および半導体406cが酸化ガリウムであっても構わない。なお、半導体406a、半導体406および半導体406cに含まれる各元素の原子数が、簡単な整数比にならなくても構わない。

【0160】

半導体406は、半導体406aおよび半導体406cよりも電子親和力の大きい酸化物を用いる。例えば、半導体406として、半導体406aおよび半導体406cよりも電子親和力の0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0161】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、半導体406cがインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga/(In+Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

【0162】

このとき、ゲート電圧を印加すると、半導体406a、半導体406、半導体406cのうち、電子親和力の大きい半導体406にチャネルが形成される。

【0163】

ここで、半導体406aと半導体406との間には、半導体406aと半導体406との混合領域を有する場合がある。また、半導体406と半導体406cの間には、半導体406と半導体406cとの混合領域を有する場合がある。混合領域は、欠陥準位密度が低くなる。そのため、半導体406a、半導体406および半導体406cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる（図13（E）参照。）。なお、半導体406a、半導体406および半導体406cは、それぞれの界面を明確に判別できない場合がある。

【0164】

このとき、電子は、半導体406a中および半導体406c中ではなく、半導体406中を主として移動する。上述したように、半導体406aと半導体406との界面における欠陥準位密度、および半導体406と半導体406cとの界面における欠陥準位密度を低くすることによって、半導体406中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

【0165】

トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることが

10

20

30

40

50

できる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャネル形成領域の物理的な凹凸が大きい場合にも阻害される。

【0166】

トランジスタのオン電流を高くするためには、例えば、半導体406の上面または下面（被形成面、ここでは半導体406a）の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根（RMS: Root Mean Square）粗さが1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における平均面粗さ（Raともいう。）が1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における最大高低差（P-Vともいう。）が10nm未満、好ましくは9nm未満、さらに好ましくは8nm未満、より好ましくは7nm未満とすればよい。RMS粗さ、RaおよびP-Vは、エスアイアイ・ナノテクノロジー株式会社製走査型プローブ顕微鏡システムSPA-500などを用いて測定することができる。

10

【0167】

また、トランジスタのオン電流を高くするためには、半導体406cの厚さは小さいほど好ましい。例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有する半導体406cとすればよい。一方、半導体406cは、チャネルの形成される半導体406へ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。そのため、半導体406cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する半導体406cとすればよい。また、半導体406cは、絶縁体402などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

20

【0168】

また、信頼性を高くするためには、半導体406aは厚く、半導体406cは薄いことが好ましい。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有する半導体406aとすればよい。半導体406aの厚さを、厚くすることで、隣接する絶縁体と半導体406aとの界面からチャネルの形成される半導体406までの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有する半導体406aとすればよい。

30

【0169】

例えば、半導体406と半導体406aとの間に、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）において、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下のシリコン濃度となる領域を有する。また、半導体406と半導体406cとの間に、SIMSにおいて、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下のシリコン濃度となる領域を有する。

40

【0170】

また、半導体406は、SIMSにおいて、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$

50

以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の水素濃度となる領域を有する。また、半導体 406 の水素濃度を低減するために、半導体 406 a および半導体 406 c の水素濃度を低減すると好ましい。半導体 406 a および半導体 406 c は、SIMS において、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。また、半導体 406 は、SIMS において、 $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。また、半導体 406 の窒素濃度を低減するために、半導体 406 a および半導体 406 c の窒素濃度を低減すると好ましい。半導体 406 a および半導体 406 c は、SIMS において、 $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。

【0171】

上述の 3 層構造は一例である。例えば、半導体 406 a または半導体 406 c のない 2 層構造としても構わない。または、半導体 406 a の上もしくは下、または半導体 406 c 上もしくは下に、半導体 406 a、半導体 406 および半導体 406 c として例示した半導体のいずれか一を有する 4 層構造としても構わない。または、半導体 406 a の上、半導体 406 a の下、半導体 406 c の上、半導体 406 c の下のいずれか二箇所に、半導体 406 a、半導体 406 および半導体 406 c として例示した半導体のいずれか一以上を有する n 層構造 (n は 5 以上の整数) としても構わない。

【0172】

< 酸化物半導体の構造 >

以下では、酸化物半導体の構造について説明する。

【0173】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。

【0174】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

【0175】

< CAAC-OS >

まずは、CAAC-OS について説明する。なお、CAAC-OS を、CANO (C-Axis Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

【0176】

CAAC-OS は、c 軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一つである。

【0177】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS の明視野像と回折パターンとの複合解析像 (高分

10

20

30

40

50

解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0178】

以下では、TEMによって観察したCAAC-OSについて説明する。図38(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

10

【0179】

図38(A)の領域(1)を拡大したCs補正高分解能TEM像を図38(B)に示す。図38(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OSの膜を形成する面(被形成面ともいう。)または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

【0180】

図38(B)に示すように、CAAC-OSは特徴的な原子配列を有する。図38(C)は、特徴的な原子配列を、補助線で示したものである。図38(B)および図38(C)より、ペレット一つの大きさは1nm以上3nm以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶(nc:nanocrystal)と呼ぶこともできる。

20

【0181】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-OSのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる(図38(D)参照。)。図38(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図38(D)に示す領域5161に相当する。

【0182】

また、図39(A)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図39(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図39(B)、図39(C)および図39(D)に示す。図39(B)、図39(C)および図39(D)より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

30

【0183】

次に、X線回折(XRD:X-Ray Diffraction)によって解析したCAAC-OSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図40(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OSの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

40

【0184】

なお、CAAC-OSのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-OSは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

【0185】

一方、CAAC-OSに対し、c軸に略垂直な方向からX線を入射させるin-plane

50

e 法による構造解析を行うと、 2θ が 56° 近傍にピークが現れる。このピークは、 InGaZnO_4 の結晶の (110) 面に帰属される。 CAAC-OS の場合は、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸（ ω 軸）として試料を回転させながら分析（スキャン）を行っても、図 40（B）に示すように明瞭なピークは現れない。これに対し、 InGaZnO_4 の単結晶酸化物半導体であれば、 2θ を 56° 近傍に固定してスキャンした場合、図 40（C）に示すように (110) 面と等価な結晶面に帰属されるピークが 6 本観察される。したがって、XRD を用いた構造解析から、 CAAC-OS は、 a 軸および b 軸の配向が不規則であることが確認できる。

【0186】

次に、電子回折によって解析した CAAC-OS について説明する。例えば、 InGaZnO_4 の結晶を有する CAAC-OS に対し、試料面に平行にプローブ径が 300 nm の電子線を入射させると、図 41（A）に示すような回折パターン（制限視野透過電子回折パターンともいう。）が現れる場合がある。この回折パターンには、 InGaZnO_4 の結晶の (009) 面に起因するスポットが含まれる。したがって、電子回折によっても、 CAAC-OS に含まれるペレットが c 軸配向性を有し、 c 軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が 300 nm の電子線を入射させたときの回折パターンを図 41（B）に示す。図 41（B）より、リング状の回折パターンが確認される。したがって、電子回折によっても、 CAAC-OS に含まれるペレットの a 軸および b 軸は配向性を有さないことがわかる。なお、図 41（B）における第 1 リングは、 InGaZnO_4 の結晶の (010) 面および (100) 面などに起因すると考えられる。また、図 41（B）における第 2 リングは (110) 面などに起因すると考えられる。

【0187】

また、 CAAC-OS は、欠陥準位密度の低い酸化物半導体である。酸化物半導体の欠陥としては、例えば、不純物に起因する欠陥や、酸素欠損などがある。したがって、 CAAC-OS は、不純物濃度の低い酸化物半導体ということもできる。また、 CAAC-OS は、酸素欠損の少ない酸化物半導体ということもできる。

【0188】

酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0189】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0190】

また、欠陥準位密度の低い（酸素欠損が少ない）酸化物半導体は、キャリア密度を低くすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。 CAAC-OS は、不純物濃度が低く、欠陥準位密度が低い。即ち、高純度真性または実質的に高純度真性な酸化物半導体となりやすい。したがって、 CAAC-OS を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性な酸化物半導体は、キャリアトラップが少ない。酸化物半導体のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体を用いたトランジスタは、電気特性が不安定となる場合がある。一方、 CAAC-OS を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

【0191】

また、CAAC-OSは欠陥準位密度が低いため、光の照射などによって生成されたキャリアが、欠陥準位に捕獲されることが少ない。したがって、CAAC-OSを用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0192】

<微結晶酸化物半導体>

次に、微結晶酸化物半導体について説明する。

【0193】

微結晶酸化物半導体は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶を有する酸化物半導体を、nc-OS(nanocrystalline Oxide Semiconductor)と呼ぶ。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

10

【0194】

nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OSに対し、ペレットよりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OSに対し、ペレットよりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSに対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。さらに、リン

20

30

【0195】

このように、ペレット(ナノ結晶)間では結晶方位が規則性を有さないことから、nc-OSを、RANC(Random Aligned nanocrystals)を有する酸化物半導体、またはNANC(Non-Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

【0196】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

40

【0197】

<非晶質酸化物半導体>

次に、非晶質酸化物半導体について説明する。

【0198】

非晶質酸化物半導体は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体である。石英のような無定形状態を有する酸化物半導体が一例である。

【0199】

非晶質酸化物半導体は、高分解能TEM像において結晶部を確認することができない。

【0200】

50

非晶質酸化物半導体に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンのみが観測される。

【0201】

非晶質構造については、様々な見解が示されている。例えば、原子配列に全く秩序性を有さない構造を完全な非晶質構造 (completely amorphous structure) と呼ぶ場合がある。また、最近接原子間距離または第2近接原子間距離まで秩序性を有し、かつ長距離秩序性を有さない構造を非晶質構造と呼ぶ場合もある。したがって、最も厳格な定義によれば、僅かでも原子配列に秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。また、少なくとも、長距離秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。よって、結晶部を有することから、例えば、CAAC-OSおよびnc-OSを、非晶質酸化物半導体または完全な非晶質酸化物半導体と呼ぶことはできない。

【0202】

<非晶質ライク酸化物半導体>

なお、酸化物半導体は、nc-OSと非晶質酸化物半導体との間の構造を有する場合がある。そのような構造を有する酸化物半導体を、特に非晶質ライク酸化物半導体 (a-like OS: amorphous-like Oxide Semiconductor) と呼ぶ。

【0203】

a-like OSは、高分解能TEM像において鬆 (ボイドともいう。) が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0204】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0205】

電子照射を行う試料として、a-like OS (試料Aと表記する。)、nc-OS (試料Bと表記する。) およびCAAC-OS (試料Cと表記する。) を準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0206】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0207】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔 (d値ともいう。) と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO₄の結晶部と見なすことができる。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

【0208】

図42は、各試料の結晶部 (22箇所から45箇所) の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図42より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図42中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部 (初期核ともいう。) が、累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}$

10

20

30

40

50

²においては2.6 nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図42中の(2)および(3)で示すように、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.4 nm程度および2.1 nm程度であることがわかる。

【0209】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

10

【0210】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

【0211】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、a-like OSの密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

20

【0212】

なお、同じ組成の単結晶が存在しない場合がある。その場合、所望の割合で組成の異なる単結晶を組み合わせることで、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせて見積もることが好ましい。

30

【0213】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like OS、微結晶酸化物半導体、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

【0214】

<成膜モデル>

以下では、CAAC-OSおよびnc-OSの成膜モデルの一例について説明する。

【0215】

図43(A)は、スパッタリング法によりCAAC-OSが成膜される様子を示した成膜室内の模式図である。

40

【0216】

ターゲット5130は、バックリングプレートに接着されている。バックリングプレートを介してターゲット5130と向かい合う位置には、複数のマグネットが配置される。該複数のマグネットによって磁場が生じている。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグネトロンスパッタリング法と呼ばれる。

【0217】

基板5120は、ターゲット5130と向かい合うように配置しており、その距離d(ターゲット-基板間距離(T-S間距離)ともいう。)は0.01 m以上1 m以下、好ましくは0.02 m以上0.5 m以下とする。成膜室内は、ほとんどが成膜ガス(例えば、酸

50

素、アルゴン、または酸素を5体積%以上の割合で含む混合ガス)で満たされ、0.01 Pa以上100 Pa以下、好ましくは0.1 Pa以上10 Pa以下に制御される。ここで、ターゲット5130に一定以上の電圧を印加することで、放電が始まり、プラズマが確認される。なお、ターゲット5130の近傍には磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン5101が生じる。イオン5101は、例えば、酸素の陽イオン(O^+)やアルゴンの陽イオン(Ar^+)などである。

【0218】

ここで、ターゲット5130は、複数の結晶粒を有する多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる。図44(A)に、一例として、ターゲット5130に含まれる $InGaZnO_4$ の結晶の構造を示す。なお、図44(A)は、b軸に平行な方向から $InGaZnO_4$ の結晶を観察した場合の構造である。図44(A)より、近接する二つのGa-Zn-O層において、それぞれの層における酸素原子同士が近距離に配置されていることがわかる。そして、酸素原子が負の電荷を有することにより、近接する二つのGa-Zn-O層の間には斥力が生じる。その結果、 $InGaZnO_4$ の結晶は、近接する二つのGa-Zn-O層の間に劈開面を有する。

10

【0219】

高密度プラズマ領域で生じたイオン5101は、電界によってターゲット5130側に加速され、やがてターゲット5130と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット5100aおよびペレット5100bが剥離し、叩き出される。なお、ペレット5100aおよびペレット5100bは、イオン5101の衝突の衝撃によって、構造に歪みが生じる場合がある。

20

【0220】

ペレット5100aは、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。また、ペレット5100bは、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。なお、ペレット5100aおよびペレット5100bなどの平板状またはペレット状のスパッタ粒子を総称してペレット5100と呼ぶ。ペレット5100の平面の形状は、三角形、六角形に限定されない。例えば、三角形が複数個合わさった形状となる場合がある。例えば、三角形(例えば、正三角形)が2個合わさった四角形(例えば、ひし形)となる場合もある。

30

【0221】

ペレット5100は、成膜ガスの種類などに応じて厚さが決定する。理由は後述するが、ペレット5100の厚さは、均一にすることが好ましい。また、スパッタ粒子は厚みのないペレット状である方が、厚みのあるサイコロ状であるよりも好ましい。例えば、ペレット5100は、厚さを0.4 nm以上1 nm以下、好ましくは0.6 nm以上0.8 nm以下とする。また、例えば、ペレット5100は、幅を1 nm以上3 nm以下、好ましくは1.2 nm以上2.5 nm以下とする。ペレット5100は、上述の図42中の(1)で説明した初期核に相当する。例えば、 $In-Ga-Zn$ 酸化物を有するターゲット5130にイオン5101を衝突させると、図44(B)に示すように、Ga-Zn-O層、In-O層およびGa-Zn-O層の3層を有するペレット5100が剥離する。図44(C)に、剥離したペレット5100をc軸に平行な方向から観察した構造を示す。ペレット5100は、二つのGa-Zn-O層(パン)と、In-O層(具)と、を有するナノサイズのサンドイッチ構造と呼ぶこともできる。

40

【0222】

ペレット5100は、プラズマを通過する際に、側面が負または正に帯電する場合がある。ペレット5100は、例えば、側面に位置する酸素原子が負に帯電する可能性がある。側面が同じ極性の電荷を有することにより、電荷同士の反発が起こり、平板状またはペレット状の形状を維持することが可能となる。なお、CAAC-OSが、 $In-Ga-Zn$ 酸化物である場合、インジウム原子と結合した酸素原子が負に帯電する可能性がある。または、インジウム原子、ガリウム原子または亜鉛原子と結合した酸素原子が負に帯電する

50

可能性がある。また、ペレット 5 1 0 0 は、プラズマを通過する際に、プラズマ中のインジウム原子、ガリウム原子、亜鉛原子および酸素原子などと結合することで成長する場合がある。上述の図 4 2 中の (2) と (1) の大きさの違いが、プラズマ中での成長分に相当する。ここで、基板 5 1 2 0 が室温程度である場合、基板 5 1 2 0 上におけるペレット 5 1 0 0 の成長が起これにくいため $nc - OS$ となる (図 4 3 (B) 参照。)。室温程度で成膜できることから、基板 5 1 2 0 が大面積である場合でも $nc - OS$ の成膜が可能である。なお、ペレット 5 1 0 0 をプラズマ中で成長させるためには、スパッタリング法における成膜電力を高くすることが有効である。成膜電力を高くすることで、ペレット 5 1 0 0 の構造を安定にすることができる。

【 0 2 2 3 】

図 4 3 (A) および図 4 3 (B) に示すように、例えば、ペレット 5 1 0 0 は、プラズマ中を風のように飛翔し、ひらひらと基板 5 1 2 0 上まで舞い上がっていく。ペレット 5 1 0 0 は電荷を帯びているため、ほかのペレット 5 1 0 0 が既に堆積している領域が近づくと、斥力が生じる。ここで、基板 5 1 2 0 の上面では、基板 5 1 2 0 の上面に平行な向きの磁場 (水平磁場ともいう。) が生じている。また、基板 5 1 2 0 およびターゲット 5 1 3 0 間には、電位差が与えられるため、基板 5 1 2 0 からターゲット 5 1 3 0 に向かう方向に電流が流れる。したがって、ペレット 5 1 0 0 は、基板 5 1 2 0 の上面において、磁場および電流の作用によって、力 (ローレンツ力) を受ける。このことは、フレミングの左手の法則によって理解できる。

【 0 2 2 4 】

ペレット 5 1 0 0 は、原子一つと比べると質量が大きい。そのため、基板 5 1 2 0 の上面を移動するためには何らかの力を外部から印加することが重要となる。その力の一つが磁場および電流の作用で生じる力である可能性がある。なお、ペレット 5 1 0 0 に、基板 5 1 2 0 の上面を移動するために十分な力を与えるには、基板 5 1 2 0 の上面において、基板 5 1 2 0 の上面に平行な向きの磁場が 1 0 G 以上、好ましくは 2 0 G 以上、さらに好ましくは 3 0 G 以上、より好ましくは 5 0 G 以上となる領域を設けるとよい。または、基板 5 1 2 0 の上面において、基板 5 1 2 0 の上面に平行な向きの磁場が、基板 5 1 2 0 の上面に垂直な向きの磁場の 1 . 5 倍以上、好ましくは 2 倍以上、さらに好ましくは 3 倍以上、より好ましくは 5 倍以上となる領域を設けるとよい。

【 0 2 2 5 】

このとき、マグネットと基板 5 1 2 0 とが相対的に移動すること、または回転することによって、基板 5 1 2 0 の上面における水平磁場の向きは変化し続ける。したがって、基板 5 1 2 0 の上面において、ペレット 5 1 0 0 は、様々な方向から力を受け、様々な方向へ移動することができる。

【 0 2 2 6 】

また、図 4 3 (A) に示すように基板 5 1 2 0 が加熱されている場合、ペレット 5 1 0 0 と基板 5 1 2 0 との間で摩擦などによる抵抗が小さい状態となっている。その結果、ペレット 5 1 0 0 は、基板 5 1 2 0 の上面を滑空するように移動する。ペレット 5 1 0 0 の移動は、平板面を基板 5 1 2 0 に向けた状態で起こる。その後、既に堆積しているほかのペレット 5 1 0 0 の側面まで到達すると、側面同士が結合する。このとき、ペレット 5 1 0 0 の側面にある酸素原子が脱離する。脱離した酸素原子によって、 $CAAC - OS$ 中の酸素欠損が埋まる場合があるため、欠陥準位密度の低い $CAAC - OS$ となる。なお、基板 5 1 2 0 の上面の温度は、例えば、1 0 0 以上 5 0 0 未満、1 5 0 以上 4 5 0 未満、または 1 7 0 以上 4 0 0 未満とすればよい。したがって、基板 5 1 2 0 が大面積である場合でも $CAAC - OS$ の成膜は可能である。

【 0 2 2 7 】

また、ペレット 5 1 0 0 は、基板 5 1 2 0 上で加熱されることにより、原子が再配列し、イオン 5 1 0 1 の衝突で生じた構造の歪みが緩和される。歪みの緩和されたペレット 5 1 0 0 は、ほとんど単結晶となる。ペレット 5 1 0 0 がほとんど単結晶となることにより、ペレット 5 1 0 0 同士が結合した後に加熱されたとしても、ペレット 5 1 0 0 自体の伸縮

10

20

30

40

50

はほとんど起こり得ない。したがって、ペレット 5 1 0 0 間の隙間が広がることで結晶粒界などの欠陥を形成し、クレバス化することがない。

【 0 2 2 8 】

また、C A A C - O S は、単結晶酸化物半導体が一枚板のようにになっているのではなく、ペレット 5 1 0 0 (ナノ結晶) の集合体がレンガまたはブロックが積み重なったような配列をしている。また、ペレット 5 1 0 0 同士の間には結晶粒界を有さない。そのため、成膜時の加熱、成膜後の加熱または曲げなどで、C A A C - O S に縮みなどの変形が生じた場合でも、局部応力を緩和する、または歪みを逃がすことが可能である。したがって、可とう性を有する半導体装置に用いることに適した構造である。なお、n c - O S は、ペレット 5 1 0 0 (ナノ結晶) が無秩序に積み重なったような配列となる。

10

【 0 2 2 9 】

ターゲット 5 1 3 0 をイオン 5 1 0 1 でスパッタした際に、ペレット 5 1 0 0 だけでなく、酸化亜鉛などが剥離する場合がある。酸化亜鉛はペレット 5 1 0 0 よりも軽量であるため、先に基板 5 1 2 0 の上面に到達する。そして、0 . 1 n m 以上 1 0 n m 以下、0 . 2 n m 以上 5 n m 以下、または 0 . 5 n m 以上 2 n m 以下の酸化亜鉛層 5 1 0 2 を形成する。図 4 5 に断面模式図を示す。

【 0 2 3 0 】

図 4 5 (A) に示すように、酸化亜鉛層 5 1 0 2 上にはペレット 5 1 0 5 a と、ペレット 5 1 0 5 b と、が堆積する。ここで、ペレット 5 1 0 5 a とペレット 5 1 0 5 b とは、互いに側面が接するように配置している。また、ペレット 5 1 0 5 c は、ペレット 5 1 0 5 b 上に堆積した後、ペレット 5 1 0 5 b 上を滑るように移動する。また、ペレット 5 1 0 5 a の別の側面において、酸化亜鉛とともにターゲットから剥離した複数の粒子 5 1 0 3 が、基板 5 1 2 0 からの加熱により結晶化し、領域 5 1 0 5 a 1 を形成する。なお、複数の粒子 5 1 0 3 は、酸素、亜鉛、インジウムおよびガリウムなどを含む可能性がある。

20

【 0 2 3 1 】

そして、図 4 5 (B) に示すように、領域 5 1 0 5 a 1 は、ペレット 5 1 0 5 a と一体化し、ペレット 5 1 0 5 a 2 となる。また、ペレット 5 1 0 5 c は、その側面がペレット 5 1 0 5 b の別の側面と接するように配置する。

【 0 2 3 2 】

次に、図 4 5 (C) に示すように、さらにペレット 5 1 0 5 d がペレット 5 1 0 5 a 2 上およびペレット 5 1 0 5 b 上に堆積した後、ペレット 5 1 0 5 a 2 上およびペレット 5 1 0 5 b 上を滑るように移動する。また、ペレット 5 1 0 5 c の別の側面に向けて、さらにペレット 5 1 0 5 e が酸化亜鉛層 5 1 0 2 上を滑るように移動する。

30

【 0 2 3 3 】

そして、図 4 5 (D) に示すように、ペレット 5 1 0 5 d は、その側面がペレット 5 1 0 5 a 2 の側面と接するように配置する。また、ペレット 5 1 0 5 e は、その側面がペレット 5 1 0 5 c の別の側面と接するように配置する。また、ペレット 5 1 0 5 d の別の側面において、酸化亜鉛とともにターゲット 5 1 3 0 から剥離した複数の粒子 5 1 0 3 が基板 5 1 2 0 からの加熱により結晶化し、領域 5 1 0 5 d 1 を形成する。

【 0 2 3 4 】

以上のように、堆積したペレット同士が接するように配置し、ペレットの側面において成長が起こることで、基板 5 1 2 0 上に C A A C - O S が形成される。したがって、C A A C - O S は、n c - O S よりも一つ一つのペレットが大きくなる。上述の図 4 2 中の (3) と (2) の大きさの違いが、堆積後の成長分に相当する。

40

【 0 2 3 5 】

また、ペレット同士の隙間が極めて小さくなることで、一つの大きなペレットが形成される場合がある。一つの大きなペレットは、単結晶構造を有する。例えば、ペレットの大きさが、上面から見て 1 0 n m 以上 2 0 0 n m 以下、1 5 n m 以上 1 0 0 n m 以下、または 2 0 n m 以上 5 0 n m 以下となる場合がある。このとき、微細なトランジスタに用いる酸化物半導体において、チャネル形成領域が一つの大きなペレットに収まる場合がある。即

50

ち、単結晶構造を有する領域をチャンネル形成領域として用いることができる。また、ペレットが大きくなることで、単結晶構造を有する領域をトランジスタのチャンネル形成領域、ソース領域およびドレイン領域として用いることができる場合がある。

【0236】

このように、トランジスタのチャンネル形成領域などが、単結晶構造を有する領域に形成されることによって、トランジスタの周波数特性を高くすることができる場合がある。

【0237】

以上のようなモデルにより、ペレット5100が基板5120上に堆積していくと考えられる。被形成面が結晶構造を有さない場合においても、CAAC-OSの成膜が可能であることから、エピタキシャル成長とは異なる成長機構であることがわかる。また、CAAC-OSは、レーザ結晶化が不要であり、大面積のガラス基板などであっても均一な成膜が可能である。例えば、基板5120の上面（被形成面）の構造が非晶質構造（例えば非晶質酸化シリコン）であっても、CAAC-OSを成膜することは可能である。

【0238】

また、CAAC-OSは、被形成面である基板5120の上面に凹凸がある場合でも、その形状に沿ってペレット5100が配列することがわかる。例えば、基板5120の上面が原子レベルで平坦な場合、ペレット5100はa-b面と平行な平面である平板面を下に向けて並置する。ペレット5100の厚さが均一である場合、厚さが均一で平坦、かつ高い結晶性を有する層が形成される。そして、当該層がn段（nは自然数。）積み重なることで、CAAC-OSを得ることができる。

【0239】

一方、基板5120の上面が凹凸を有する場合でも、CAAC-OSは、ペレット5100が凹凸に沿って並置した層がn段（nは自然数。）積み重なった構造となる。基板5120が凹凸を有するため、CAAC-OSは、ペレット5100間に隙間が生じやすい場合がある。ただし、この場合でも、ペレット5100間で分子間力が働き、凹凸があってもペレット間の隙間はなるべく小さくなるように配列する。したがって、凹凸があっても高い結晶性を有するCAAC-OSとすることができる。

【0240】

このようなモデルによってCAAC-OSが成膜されるため、スパッタ粒子が厚みのないペレット状である方が好ましい。なお、スパッタ粒子が厚みのあるサイコロ状である場合、基板5120上に向ける面が一定とならず、厚さや結晶の配向を均一にできない場合がある。

【0241】

以上に示した成膜モデルにより、非晶質構造を有する被形成面上であっても、高い結晶性を有するCAAC-OSを得ることができる。

【0242】

<トランジスタ2>

次に、一部形状の異なるトランジスタの作製方法について説明する。図14(A)、図15(A)、図16(A)、図17(A)および図18(A)は、トランジスタの作製方法を説明する上面図である。各上面図には、一点鎖線F1-F2および一点鎖線F3-F4が記され、それに対応した断面図を図14(B)、図15(B)、図16(B)、図17(B)および図18(B)に示す。

【0243】

まずは、基板500を準備する。基板500は、基板400についての記載を参照する。

【0244】

次に、絶縁体を成膜する。絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0245】

次に、絶縁体上にレジストなどを形成し、該レジストを用いて加工し、絶縁体503を形成する。

10

20

30

40

50

【 0 2 4 6 】

絶縁体を加工して絶縁体 5 0 3 を形成する際、図 1 乃至図 7 のいずれかに記載の加工方法を用いてもよい。

【 0 2 4 7 】

次に、導電体を成膜する。導電体の成膜は、スパッタリング法、C V D 法、M B E 法または P L D 法、A L D 法などを用いて行うことができる。

【 0 2 4 8 】

次に、導電体の上面から下面に向けて、基板 5 0 0 の下面と平行な形状となるようにエッチングを行うことで、絶縁体 5 0 3 の溝部に導電体 5 1 3 を形成する（埋め込む）ことができる（図 1 4（A）および図 1 4（B）参照。）。このような方法で導電体 5 1 3 を形成することで、導電体 5 1 3 の上面の高さと、絶縁体 5 0 3 の上面の高さと、を同程度にすることができる。したがって、後の工程における形状不良を抑制することができる。

10

【 0 2 4 9 】

絶縁体 5 0 3 は、絶縁体 4 0 2 についての記載を参照する。導電体 5 1 3 は、導電体 4 1 3 について記載を参照する。

【 0 2 5 0 】

次に、絶縁体 5 0 2 を成膜する。絶縁体 5 0 2 の成膜は、スパッタリング法、C V D 法、M B E 法または P L D 法、A L D 法などを用いて行うことができる。絶縁体 5 0 2 は、絶縁体 4 0 2 についての記載を参照する。

【 0 2 5 1 】

次に、半導体 5 3 6 を成膜する。半導体 5 3 6 の成膜は、スパッタリング法、C V D 法、M B E 法または P L D 法、A L D 法などを用いて行うことができる。半導体 5 3 6 は、半導体 4 0 6 についての記載を参照する。

20

【 0 2 5 2 】

次に、加熱処理を行うことが好ましい。

【 0 2 5 3 】

次に、導電体 5 4 6 を成膜する。導電体 5 4 6 の成膜は、スパッタリング法、C V D 法、M B E 法または P L D 法、A L D 法などを用いて行うことができる。導電体 5 4 6 は、導電体 4 1 6 についての記載を参照する。

【 0 2 5 4 】

次に、絶縁体 5 4 0 を成膜する（図 1 5（A）および図 1 5（B）参照。）。絶縁体 5 4 0 の成膜は、スパッタリング法、C V D 法、M B E 法または P L D 法、A L D 法などを用いて行うことができる。絶縁体 5 4 0 は、絶縁体 5 1 0 についての記載を参照する。

30

【 0 2 5 5 】

次に、絶縁体 5 4 0 上にレジストなどを形成し、該レジストを用いて加工し、絶縁体 5 1 0、導電体 5 1 6 および半導体 5 0 6 を形成する（図 1 6（A）および図 1 6（B）参照。）。このとき、導電体 5 1 6 またはノおよび半導体 5 0 6 は、レジストを除去してから絶縁体 5 1 0 を用いて加工してもよい。このとき、半導体 5 0 6 と重ならない絶縁体 5 0 2 の一部をエッチングしても構わない。こうすることで、絶縁体 5 0 2 に凸部が形成される。

40

【 0 2 5 6 】

この際、図 1 乃至図 7 のいずれかに記載の加工方法を用いてもよい。例えば、図 1 乃至図 7 において、層 1 1 6 を導電体 5 1 6 に、層 1 1 0 を絶縁体 5 1 0 に置き換えればよい。

【 0 2 5 7 】

次に、絶縁体 5 1 0 上にレジストなどを形成し、該レジストを用いて加工し、絶縁体 5 1 0 a および絶縁体 5 1 0 b、ならびに導電体 5 1 6 a および導電体 5 1 6 b を形成する（図 1 7（A）および図 1 7（B）参照。）。ここでは、図 4 に示した加工方法と同様の方法により、絶縁体 5 1 0 および導電体 5 1 6 を加工した場合を図示している。ただし図 1 1、図 5 1、図 5 2 および図 5 3 などに示した形状に、導電体 5 1 6 a および導電体 5 1 6 b、ならびに絶縁体 5 1 0 a および絶縁体 5 1 0 b を加工しても構わない。

50

【 0 2 5 8 】

次に、絶縁体を成膜する。絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【 0 2 5 9 】

次に、導電体を成膜する。導電体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【 0 2 6 0 】

次に、導電体上にレジストなどを形成し、該レジストを用いて加工し、導電体504を形成する。また、該レジストまたは導電体504を用いて絶縁体を加工し、絶縁体512を形成する(図18(A)および図18(B)参照。)。なお、ここでは絶縁体512と導電体504とが上面から見たときに同様の形状となるよう加工しているが、この形状に限定されるものではない。例えば、絶縁体512と導電体504とを別のレジストを用いて加工してもよい。例えば、絶縁体512を形成してから、導電体504となる導電体を成膜してもよいし、導電体504を形成した後で絶縁体512となる絶縁体上に別途レジストなどを形成してもよい。

10

【 0 2 6 1 】

この際、図1乃至図7のいずれかに記載の加工方法を用いてもよい。例えば、図1乃至図7において、層116を絶縁体512となる絶縁体に、層110を導電体504となる導電体に置き替えればよい。

【 0 2 6 2 】

絶縁体512は、絶縁体412についての記載を参照する。導電体504は、導電体404について記載を参照する。

20

【 0 2 6 3 】

次に、絶縁体を成膜してもよい。絶縁体の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【 0 2 6 4 】

絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。絶縁体は、好ましくは酸化アルミニウム、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを含む絶縁体を、単層で、または積層で用いればよい。

30

【 0 2 6 5 】

絶縁体は、バリア層としての機能を有することが好ましい。絶縁体は、例えば、酸素または/および水素をブロックする機能を有する。または、絶縁体は、例えば、絶縁体502または絶縁体512よりも、酸素または/および水素をブロックする能力が高いことが好ましい。

【 0 2 6 6 】

以上の工程により、本発明の一態様に係るトランジスタを作製することができる。

40

【 0 2 6 7 】

図18(B)に示したトランジスタは、導電体516aと導電体504との間に絶縁体510aを有し、導電体516bと導電体504との間に絶縁体510bを有する。即ち、導電体516aおよび導電体516bなどに起因する寄生容量が小さい。そのため、図18(B)に示したトランジスタを用いた半導体装置は、高い周波数特性を有する。また、導電体516aの絶縁体510aから迫り出す長さを、絶縁体512の厚さの70%以上130%以下、好ましくは80%以上120%以下、さらに好ましくは90%以上110%以下とすることで、寄生容量を小さく、かつオン抵抗を小さくすることができる。導電体516bについても同様である。

【 0 2 6 8 】

50

図 18 (B) に示すように、トランジスタは s - c h a n n e l 構造を有する。また、導電体 504 からの電界が、半導体 506 の側面において導電体 516 a および導電体 516 b などによって阻害されにくい構造である。

【0269】

なお、導電体 513 を形成しなくてもよい (図 19 (A) 参照。)。また、絶縁体 512 が導電体 504 から迫り出した形状としてもよい (図 19 (B) 参照。)。また、絶縁体 512 となる絶縁体を加工しなくてもよい (図 19 (C) 参照。)。

【0270】

< 回路 >

以下では、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について説明する。

【0271】

< CMOS インバータ >

図 20 (A) に示す回路図は、p チャネル型のトランジスタ 2200 と n チャネル型のトランジスタ 2100 を直列に接続し、かつそれぞれのゲートを接続した、いわゆる CMOS インバータの構成を示している。

【0272】

< 半導体装置の構造 1 >

図 21 は、図 20 (A) に対応する半導体装置の断面図である。図 21 に示す半導体装置は、トランジスタ 2200 と、トランジスタ 2100 と、を有する。また、トランジスタ 2100 は、トランジスタ 2200 の上方に配置する。なお、トランジスタ 2100 として、図 18 に示したトランジスタを用いた例を示しているが、本発明の一態様に係る半導体装置は、これに限定されるものではない。例えば、図 11、図 12、図 19、図 51、図 52 または図 53 に示したトランジスタなどを、トランジスタ 2100 として用いても構わない。よって、トランジスタ 2100 については、適宜上述したトランジスタについての記載を参酌する。

【0273】

図 21 に示すトランジスタ 2200 は、半導体基板 450 を用いたトランジスタである。トランジスタ 2200 は、半導体基板 450 中の領域 472 a と、半導体基板 450 中の領域 472 b と、絶縁体 462 と、導電体 454 と、を有する。

【0274】

トランジスタ 2200 において、領域 472 a および領域 472 b は、ソース領域およびドレイン領域としての機能を有する。また、絶縁体 462 は、ゲート絶縁体としての機能を有する。また、導電体 454 は、ゲート電極としての機能を有する。したがって、導電体 454 に印加する電位によって、チャネル形成領域の抵抗を制御することができる。即ち、導電体 454 に印加する電位によって、領域 472 a と領域 472 b との間の導通・非導通を制御することができる。

【0275】

半導体基板 450 としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの化合物半導体基板などを用いればよい。好ましくは、半導体基板 450 として単結晶シリコン基板を用いる。

【0276】

半導体基板 450 は、n 型の導電型を付与する不純物を有する半導体基板を用いる。ただし、半導体基板 450 として、p 型の導電型を付与する不純物を有する半導体基板を用いても構わない。その場合、トランジスタ 2200 となる領域には、n 型の導電型を付与する不純物を有するウェルを配置すればよい。または、半導体基板 450 が i 型であっても構わない。

【0277】

半導体基板 450 の上面は、(110) 面を有することが好ましい。こうすることで、ト

10

20

30

40

50

ランジスタ 2 2 0 0 のオン特性を向上させることができる。

【 0 2 7 8 】

領域 4 7 2 a および領域 4 7 2 b は、p 型の導電性を付与する不純物を有する領域である。このようにして、トランジスタ 2 2 0 0 は p チャネル型トランジスタを構成する。

【 0 2 7 9 】

なお、トランジスタ 2 2 0 0 は、領域 4 6 0 などによって隣接するトランジスタと分離される。領域 4 6 0 は、絶縁性を有する領域である。

【 0 2 8 0 】

図 2 1 に示す半導体装置は、絶縁体 4 6 4 と、絶縁体 4 6 6 と、絶縁体 4 6 8 と、導電体 4 8 0 a と、導電体 4 8 0 b と、導電体 4 8 0 c と、導電体 4 7 8 a と、導電体 4 7 8 b と、導電体 4 7 8 c と、導電体 4 7 6 a と、導電体 4 7 6 b と、導電体 4 7 4 a と、導電体 4 7 4 b と、導電体 4 7 4 c と、導電体 4 9 6 a と、導電体 4 9 6 b と、導電体 4 9 6 c と、導電体 4 9 6 d と、導電体 4 9 8 a と、導電体 4 9 8 b と、導電体 4 9 8 c と、絶縁体 4 9 0 と、絶縁体 4 9 2 と、絶縁体 4 9 4 と、を有する。

10

【 0 2 8 1 】

絶縁体 4 6 4 は、トランジスタ 2 2 0 0 上に配置する。また、絶縁体 4 6 6 は、絶縁体 4 6 4 上に配置する。また、絶縁体 4 6 8 は、絶縁体 4 6 6 上に配置する。また、絶縁体 4 9 0 は、絶縁体 4 6 8 上に配置する。また、トランジスタ 2 1 0 0 は、絶縁体 4 9 0 上に配置する。また、絶縁体 4 9 2 は、トランジスタ 2 1 0 0 上に配置する。また、絶縁体 4 9 4 は、絶縁体 4 9 2 上に配置する。

20

【 0 2 8 2 】

絶縁体 4 6 4 は、領域 4 7 2 a に達する開口部と、領域 4 7 2 b に達する開口部と、導電体 4 5 4 に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 8 0 a、導電体 4 8 0 b または導電体 4 8 0 c が埋め込まれている。

【 0 2 8 3 】

また、絶縁体 4 6 6 は、導電体 4 8 0 a に達する開口部と、導電体 4 8 0 b に達する開口部と、導電体 4 8 0 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 7 8 a、導電体 4 7 8 b または導電体 4 7 8 c が埋め込まれている。

【 0 2 8 4 】

また、絶縁体 4 6 8 は、導電体 4 7 8 b に達する開口部と、導電体 4 7 8 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 7 6 a または導電体 4 7 6 b が埋め込まれている。

30

【 0 2 8 5 】

また、絶縁体 4 9 0 は、トランジスタ 2 1 0 0 のチャネル形成領域と重なる開口部と、導電体 4 7 6 a に達する開口部と、導電体 4 7 6 b に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 7 4 a、導電体 4 7 4 b または導電体 4 7 4 c が埋め込まれている。

【 0 2 8 6 】

導電体 4 7 4 a は、トランジスタ 2 1 0 0 のゲート電極としての機能を有しても構わない。または、例えば、導電体 4 7 4 a に一定の電位を印加することで、トランジスタ 2 1 0 0 のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体 4 7 4 a とトランジスタ 2 1 0 0 のゲート電極としての機能を有する導電体 4 0 4 とを電氣的に接続しても構わない。こうすることで、トランジスタ 2 1 0 0 のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ 2 1 0 0 の飽和領域における電気特性を安定にすることができる。

40

【 0 2 8 7 】

また、絶縁体 4 9 2 は、トランジスタ 2 1 0 0 のソース電極またはドレイン電極の一方である導電体 4 1 6 b を通って、導電体 4 7 4 b に達する開口部と、トランジスタ 2 1 0 0 のソース電極またはドレイン電極の他方である導電体 4 1 6 a に達する開口部と、トランジスタ 2 1 0 0 のゲート電極である導電体 4 0 4 に達する開口部と、導電体 4 7 4 c に達

50

する開口部と、を有する。また、開口部には、それぞれ導電体 4 9 6 a、導電体 4 9 6 b、導電体 4 9 6 c または導電体 4 9 6 d が埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ 2 1 0 0 などの構成要素のいずれかを介する場合がある。

【 0 2 8 8 】

また、絶縁体 4 9 4 は、導電体 4 9 6 a に達する開口部と、導電体 4 9 6 b および導電体 4 9 6 d に達する開口部と、導電体 4 9 6 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 9 8 a、導電体 4 9 8 b または導電体 4 9 8 c が埋め込まれている。

【 0 2 8 9 】

絶縁体 4 6 4、絶縁体 4 6 6、絶縁体 4 6 8、絶縁体 4 9 0、絶縁体 4 9 2 および絶縁体 4 9 4 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 4 0 1 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

【 0 2 9 0 】

絶縁体 4 6 4、絶縁体 4 6 6、絶縁体 4 6 8、絶縁体 4 9 0、絶縁体 4 9 2 または絶縁体 4 9 4 の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁体を有することが好ましい。トランジスタ 2 1 0 0 の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ 2 1 0 0 の電気特性を安定にすることができる。

【 0 2 9 1 】

水素などの不純物および酸素をブロックする機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

【 0 2 9 2 】

導電体 4 8 0 a、導電体 4 8 0 b、導電体 4 8 0 c、導電体 4 7 8 a、導電体 4 7 8 b、導電体 4 7 8 c、導電体 4 7 6 a、導電体 4 7 6 b、導電体 4 7 4 a、導電体 4 7 4 b、導電体 4 7 4 c、導電体 4 9 6 a、導電体 4 9 6 b、導電体 4 9 6 c、導電体 4 9 6 d、導電体 4 9 8 a、導電体 4 9 8 b および導電体 4 9 8 c としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【 0 2 9 3 】

なお、図 2 2 に示す半導体装置は、図 2 1 に示した半導体装置のトランジスタ 2 2 0 0 の構造が異なるのみである。よって、図 2 2 に示す半導体装置については、図 2 1 に示した半導体装置の記載を参酌する。具体的には、図 2 2 に示す半導体装置は、トランジスタ 2 2 0 0 が F i n 型である場合を示している。トランジスタ 2 2 0 0 を F i n 型とすることにより、実効上のチャネル幅が増大することによりトランジスタ 2 2 0 0 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 2 2 0 0 のオフ特性を向上させることができる。

【 0 2 9 4 】

また、図 2 3 に示す半導体装置は、図 2 1 に示した半導体装置のトランジスタ 2 2 0 0 の構造が異なるのみである。よって、図 2 3 に示す半導体装置については、図 2 1 に示した

10

20

30

40

50

半導体装置の記載を参酌する。具体的には、図 2 3 に示す半導体装置は、トランジスタ 2 2 0 0 が S O I 基板に設けられた場合を示している。図 2 3 には、絶縁体 4 5 2 によって領域 4 5 6 が半導体基板 4 5 0 と分離されている構造を示す。S O I 基板を用いることによって、パンチスルー現象などを抑制することができるためトランジスタ 2 2 0 0 のオフ特性を向上させることができる。なお、絶縁体 4 5 2 は、半導体基板 4 5 0 の一部を絶縁体化させることによって形成することができる。例えば、絶縁体 4 5 2 としては、酸化シリコンを用いることができる。

【 0 2 9 5 】

図 2 1 乃至図 2 3 に示した半導体装置は、半導体基板を用いて p チャネル型トランジスタを作製し、その上方に n チャネル型トランジスタを作製するため、素子の占有面積を縮小することができる。即ち、半導体装置の集積度を高くすることができる。また、n チャネル型トランジスタと、p チャネル型トランジスタとを同一の半導体基板を用いて作製した場合と比べて、工程を簡略化することができるため、半導体装置の生産性を高くすることができる。また、半導体装置の歩留まりを高くすることができる。また、p チャネル型トランジスタは、L D D (L i g h t l y D o p e d D r a i n) 領域、シャロートレンチ構造、歪み設計などの複雑な工程を省略できる場合がある。そのため、n チャネル型トランジスタを、半導体基板を用いて作製する場合と比べて、生産性および歩留まりを高くすることができる場合がある。

【 0 2 9 6 】

< C M O S アナログスイッチ >

また図 2 0 (B) に示す回路図は、トランジスタ 2 1 0 0 とトランジスタ 2 2 0 0 のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆる C M O S アナログスイッチとして機能させることができる。

【 0 2 9 7 】

< 記憶装置 1 >

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図 2 4 に示す。

【 0 2 9 8 】

図 2 4 (A) に示す半導体装置は、第 1 の半導体を用いたトランジスタ 3 2 0 0 と第 2 の半導体を用いたトランジスタ 3 3 0 0、および容量素子 3 4 0 0 を有している。なお、トランジスタ 3 3 0 0 としては、上述したトランジスタを用いることができる。

【 0 2 9 9 】

トランジスタ 3 3 0 0 は、オフ電流の小さいトランジスタが好ましい。トランジスタ 3 3 0 0 は、例えば、酸化物半導体を用いたトランジスタを用いることができる。トランジスタ 3 3 0 0 のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

【 0 3 0 0 】

図 2 4 (A) において、第 1 の配線 3 0 0 1 はトランジスタ 3 2 0 0 のソースと電氣的に接続され、第 2 の配線 3 0 0 2 はトランジスタ 3 2 0 0 のドレインと電氣的に接続される。また、第 3 の配線 3 0 0 3 はトランジスタ 3 3 0 0 のソース、ドレインの一方と電氣的に接続され、第 4 の配線 3 0 0 4 はトランジスタ 3 3 0 0 のゲートと電氣的に接続されている。そして、トランジスタ 3 2 0 0 のゲート、およびトランジスタ 3 3 0 0 のソース、ドレインの他方は、容量素子 3 4 0 0 の電極の一方と電氣的に接続され、第 5 の配線 3 0 0 5 は容量素子 3 4 0 0 の電極の他方と電氣的に接続されている。

【 0 3 0 1 】

図 2 4 (A) に示す半導体装置は、トランジスタ 3 2 0 0 のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能であ

10

20

30

40

50

る。

【0302】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300が導通状態となる電位にして、トランジスタ3300を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート、および容量素子3400の電極の一方と電気的に接続するノードFGに与えられる。即ち、トランジスタ3200のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300が非導通状態となる電位にして、トランジスタ3300を非導通状態とすることにより、ノードFGに電荷が保持される（保持）。

10

【0303】

トランジスタ3300のオフ電流が小さいため、ノードFGの電荷は長期間にわたって保持される。

【0304】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、第2の配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ3200のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ3200を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 （ $> V_{th_H}$ ）となれば、トランジスタ3200は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 （ $< V_{th_L}$ ）となっても、トランジスタ3200は「非導通状態」のままである。このため、第2の配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

20

30

【0305】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。ほかのメモリセルの情報を読み出さないためには、ノードFGに与えられた電荷によらずトランジスタ3200が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えればよい。または、ノードFGに与えられた電荷によらずトランジスタ3200が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えればよい。

【0306】

<半導体装置の構造2>

40

図25は、図24(A)に対応する半導体装置の断面図である。図25に示す半導体装置は、トランジスタ3200と、トランジスタ3300と、容量素子3400と、を有する。また、トランジスタ3300および容量素子3400は、トランジスタ3200の上方に配置する。なお、トランジスタ3300としては、上述したトランジスタ2100についての記載を参照する。また、トランジスタ3200としては、図21に示したトランジスタ2200についての記載を参照する。なお、図21では、トランジスタ2200がpチャネル型トランジスタである場合について説明したが、トランジスタ3200がnチャネル型トランジスタであっても構わない。

【0307】

図25に示すトランジスタ3200は、半導体基板450を用いたトランジスタである。

50

トランジスタ 3 2 0 0 は、半導体基板 4 5 0 中の領域 4 7 2 a と、半導体基板 4 5 0 中の領域 4 7 2 b と、絶縁体 4 6 2 と、導電体 4 5 4 と、を有する。

【 0 3 0 8 】

図 2 5 に示す半導体装置は、絶縁体 4 6 4 と、絶縁体 4 6 6 と、絶縁体 4 6 8 と、導電体 4 8 0 a と、導電体 4 8 0 b と、導電体 4 8 0 c と、導電体 4 7 8 a と、導電体 4 7 8 b と、導電体 4 7 8 c と、導電体 4 7 6 a と、導電体 4 7 6 b と、導電体 4 7 4 a と、導電体 4 7 4 b と、導電体 4 7 4 c と、導電体 4 9 6 a と、導電体 4 9 6 b と、導電体 4 9 6 c と、導電体 4 9 6 d と、導電体 4 9 8 a と、導電体 4 9 8 b と、導電体 4 9 8 c と、導電体 4 9 8 d と、絶縁体 4 9 0 と、絶縁体 4 9 2 と、絶縁体 4 9 4 と、を有する。

【 0 3 0 9 】

絶縁体 4 6 4 は、トランジスタ 3 2 0 0 上に配置する。また、絶縁体 4 6 6 は、絶縁体 4 6 4 上に配置する。また、絶縁体 4 6 8 は、絶縁体 4 6 6 上に配置する。また、絶縁体 4 9 0 は、絶縁体 4 6 8 上に配置する。また、トランジスタ 3 3 0 0 は、絶縁体 4 9 0 上に配置する。また、絶縁体 4 9 2 は、トランジスタ 3 3 0 0 上に配置する。また、絶縁体 4 9 4 は、絶縁体 4 9 2 上に配置する。

【 0 3 1 0 】

絶縁体 4 6 4 は、領域 4 7 2 a に達する開口部と、領域 4 7 2 b に達する開口部と、導電体 4 5 4 に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 8 0 a、導電体 4 8 0 b または導電体 4 8 0 c が埋め込まれている。

【 0 3 1 1 】

また、絶縁体 4 6 6 は、導電体 4 8 0 a に達する開口部と、導電体 4 8 0 b に達する開口部と、導電体 4 8 0 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 7 8 a、導電体 4 7 8 b または導電体 4 7 8 c が埋め込まれている。

【 0 3 1 2 】

また、絶縁体 4 6 8 は、導電体 4 7 8 b に達する開口部と、導電体 4 7 8 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 7 6 a または導電体 4 7 6 b が埋め込まれている。

【 0 3 1 3 】

また、絶縁体 4 9 0 は、トランジスタ 3 3 0 0 のチャネル形成領域と重なる開口部と、導電体 4 7 6 a に達する開口部と、導電体 4 7 6 b に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 7 4 a、導電体 4 7 4 b または導電体 4 7 4 c が埋め込まれている。

【 0 3 1 4 】

導電体 4 7 4 a は、トランジスタ 3 3 0 0 のボトムゲート電極としての機能を有しても構わない。または、例えば、導電体 4 7 4 a に一定の電位を印加することで、トランジスタ 3 3 0 0 のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体 4 7 4 a とトランジスタ 3 3 0 0 のトップゲート電極である導電体 4 0 4 とを電氣的に接続しても構わない。こうすることで、トランジスタ 3 3 0 0 のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ 3 3 0 0 の飽和領域における電気特性を安定にすることができる。

【 0 3 1 5 】

また、絶縁体 4 9 2 は、トランジスタ 3 3 0 0 のソース電極またはドレイン電極の一方である導電体 4 1 6 b を通って、導電体 4 7 4 b に達する開口部と、トランジスタ 3 3 0 0 のソース電極またはドレイン電極の他方である導電体 4 1 4 に達する開口部と、トランジスタ 3 3 0 0 のゲート電極である導電体 4 0 4 に達する開口部と、トランジスタ 3 3 0 0 のソース電極またはドレイン電極の他方である導電体 4 1 6 a を通って、導電体 4 7 4 c に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 9 6 a、導電体 4 9 6 b、導電体 4 9 6 c または導電体 4 9 6 d が埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ 3 3 0 0 などの構成要素のいずれかを介する場合がある。

【 0 3 1 6 】

また、絶縁体 4 9 4 は、導電体 4 9 6 a に達する開口部と、導電体 4 9 6 b に達する開口部と、導電体 4 9 6 c に達する開口部と、導電体 4 9 6 d に達する開口部と、を有する。また、開口部には、それぞれ導電体 4 9 8 a、導電体 4 9 8 b、導電体 4 9 8 c または導電体 4 9 8 d が埋め込まれている。

【0317】

絶縁体 4 6 4、絶縁体 4 6 6、絶縁体 4 6 8、絶縁体 4 9 0、絶縁体 4 9 2 または絶縁体 4 9 4 の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁体を有することが好ましい。トランジスタ 3 3 0 0 の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ 3 3 0 0 の電気特性を安定にすることができる。

10

【0318】

導電体 4 9 8 d としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0319】

トランジスタ 3 2 0 0 のソースまたはドレインは、導電体 4 8 0 b と、導電体 4 7 8 b と、導電体 4 7 6 a と、導電体 4 7 4 b と、導電体 4 9 6 c と、を介してトランジスタ 3 3 0 0 のソース電極またはドレイン電極の一方である導電体 4 1 6 b と電氣的に接続する。また、トランジスタ 3 2 0 0 のゲート電極である導電体 4 5 4 は、導電体 4 8 0 c と、導電体 4 7 8 c と、導電体 4 7 6 b と、導電体 4 7 4 c と、導電体 4 9 6 d と、を介してトランジスタ 3 3 0 0 のソース電極またはドレイン電極の他方である導電体 4 1 6 a と電氣的に接続する。

20

【0320】

容量素子 3 4 0 0 は、トランジスタ 3 3 0 0 のソース電極またはドレイン電極の他方と電氣的に接続する電極と、導電体 4 1 4 と、絶縁体 4 1 1 と、を有する。なお、絶縁体 4 1 1 は、トランジスタ 3 3 0 0 のゲート絶縁体と同一工程を経て形成できるため、生産性を高めることができる。また、導電体 4 1 4 として、トランジスタ 3 3 0 0 のゲート電極と同一工程を経て形成した層を用いると、生産性を高めることができる。

30

【0321】

そのほかの構造については、適宜図 2 1 などについての記載を参酌することができる。

【0322】

なお、図 2 6 に示す半導体装置は、図 2 5 に示した半導体装置のトランジスタ 3 2 0 0 の構造が異なるのみである。よって、図 2 6 に示す半導体装置については、図 2 5 に示した半導体装置の記載を参酌する。具体的には、図 2 6 に示す半導体装置は、トランジスタ 3 2 0 0 が F i n 型である場合を示している。F i n 型であるトランジスタ 3 2 0 0 については、図 2 2 に示したトランジスタ 2 2 0 0 の記載を参照する。なお、図 2 2 では、トランジスタ 2 2 0 0 が p チャネル型トランジスタである場合について説明したが、トランジスタ 3 2 0 0 が n チャネル型トランジスタであっても構わない。

40

【0323】

また、図 2 7 に示す半導体装置は、図 2 5 に示した半導体装置のトランジスタ 3 2 0 0 の構造が異なるのみである。よって、図 2 7 に示す半導体装置については、図 2 5 に示した半導体装置の記載を参酌する。具体的には、図 2 7 に示す半導体装置は、トランジスタ 3 2 0 0 が S O I 基板である半導体基板 4 5 0 に設けられた場合を示している。S O I 基板である半導体基板 4 5 0 に設けられたトランジスタ 3 2 0 0 については、図 2 3 に示したトランジスタ 2 2 0 0 の記載を参照する。なお、図 2 3 では、トランジスタ 2 2 0 0 が p チャネル型トランジスタである場合について説明したが、トランジスタ 3 2 0 0 が n チャ

50

ネル型トランジスタであっても構わない。

【 0 3 2 4 】

< 記憶装置 2 >

図 2 4 (B) に示す半導体装置は、トランジスタ 3 2 0 0 を有さない点で図 2 4 (A) に示した半導体装置と異なる。この場合も図 2 4 (A) に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【 0 3 2 5 】

図 2 4 (B) に示す半導体装置における、情報の読み出しについて説明する。トランジスタ 3 3 0 0 が導通状態になると、浮遊状態である第 3 の配線 3 0 0 3 と容量素子 3 4 0 0 とが導通し、第 3 の配線 3 0 0 3 と容量素子 3 4 0 0 の間で電荷が再分配される。その結果、第 3 の配線 3 0 0 3 の電位が変化する。第 3 の配線 3 0 0 3 の電位の変化量は、容量素子 3 4 0 0 の電極の一方の電位 (または容量素子 3 4 0 0 に蓄積された電荷) によって、異なる値をとる。

10

【 0 3 2 6 】

例えば、容量素子 3 4 0 0 の電極の一方の電位を V 、容量素子 3 4 0 0 の容量を C 、第 3 の配線 3 0 0 3 が有する容量成分を C_B 、電荷が再分配される前の第 3 の配線 3 0 0 3 の電位を V_{B0} とすると、電荷が再分配された後の第 3 の配線 3 0 0 3 の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ となる。したがって、メモリセルの状態として、容量素子 3 4 0 0 の電極の一方の電位が V_1 と V_0 ($V_1 > V_0$) の 2 つの状態をとるとすると、電位 V_1 を保持している場合の第 3 の配線 3 0 0 3 の電位 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の第 3 の配線 3 0 0 3 の電位 ($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$) よりも高くなることがわかる。

20

【 0 3 2 7 】

そして、第 3 の配線 3 0 0 3 の電位を所定の電位と比較することで、情報を読み出すことができる。

【 0 3 2 8 】

この場合、メモリセルを駆動させるための駆動回路に上記第 1 の半導体が適用されたトランジスタを用い、トランジスタ 3 3 0 0 として第 2 の半導体が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。

【 0 3 2 9 】

30

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合 (ただし、電位は固定されていることが好ましい) であっても、長期にわたって記憶内容を保持することが可能である。

【 0 3 3 0 】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

40

【 0 3 3 1 】

< 撮像装置 >

以下では、本発明の一態様に係る撮像装置について説明する。

【 0 3 3 2 】

図 2 8 (A) は、本発明の一態様に係る撮像装置 2 0 0 の例を示す平面図である。撮像装置 2 0 0 は、画素部 2 1 0 と、画素部 2 1 0 を駆動するための周辺回路 2 6 0 と、周辺回

50

路 270、周辺回路 280 と、周辺回路 290 と、を有する。画素部 210 は、 p 行 q 列（ p および q は 2 以上の整数）のマトリクス状に配置された複数の画素 211 を有する。周辺回路 260、周辺回路 270、周辺回路 280 および周辺回路 290 は、それぞれ複数の画素 211 に接続し、複数の画素 211 を駆動するための信号を供給する機能を有する。なお、本明細書等において、周辺回路 260、周辺回路 270、周辺回路 280 および周辺回路 290 などの全てを指して「周辺回路」または「駆動回路」と呼ぶ場合がある。例えば、周辺回路 260 は周辺回路の一部といえる。

【0333】

また、撮像装置 200 は、光源 291 を有することが好ましい。光源 291 は、検出光 P1 を放射することができる。

10

【0334】

また、周辺回路は、少なくとも、論理回路、スイッチ、バッファ、増幅回路、または変換回路の 1 つを有する。また、周辺回路は、画素部 210 を形成する基板上に作製してもよい。また、周辺回路の一部または全部に IC チップ等の半導体装置を用いてもよい。なお、周辺回路は、周辺回路 260、周辺回路 270、周辺回路 280 および周辺回路 290 のいずれか一以上を省略してもよい。

【0335】

また、図 28 (B) に示すように、撮像装置 200 が有する画素部 210 において、画素 211 を傾けて配置してもよい。画素 211 を傾けて配置することにより、行方向および列方向の画素間隔（ピッチ）を短くすることができる。これにより、撮像装置 200 における撮像の品質をより高めることができる。

20

【0336】

< 画素の構成例 1 >

撮像装置 200 が有する 1 つの画素 211 を複数の副画素 212 で構成し、それぞれの副画素 212 に特定の波長帯域の光を透過するフィルタ（カラーフィルタ）を組み合わせることで、カラー画像表示を実現するための情報を取得することができる。

【0337】

図 29 (A) は、カラー画像を取得するための画素 211 の一例を示す平面図である。図 29 (A) に示す画素 211 は、赤 (R) の波長帯域を透過するカラーフィルタが設けられた副画素 212（以下、「副画素 212 R」ともいう）、緑 (G) の波長帯域を透過するカラーフィルタが設けられた副画素 212（以下、「副画素 212 G」ともいう）および青 (B) の波長帯域を透過するカラーフィルタが設けられた副画素 212（以下、「副画素 212 B」ともいう）を有する。副画素 212 は、フォトセンサとして機能させることができる。

30

【0338】

副画素 212（副画素 212 R、副画素 212 G、および副画素 212 B）は、配線 231、配線 247、配線 248、配線 249、配線 250 と電氣的に接続される。また、副画素 212 R、副画素 212 G、および副画素 212 B は、それぞれが独立した配線 253 に接続している。また、本明細書等において、例えば n 行目の画素 211 に接続された配線 248 および配線 249 を、それぞれ配線 248 [n] および配線 249 [n] と記載する。また、例えば m 列目の画素 211 に接続された配線 253 を、配線 253 [m] と記載する。なお、図 29 (A) において、 m 列目の画素 211 が有する副画素 212 R に接続する配線 253 を配線 253 [m] R、副画素 212 G に接続する配線 253 を配線 253 [m] G、および副画素 212 B に接続する配線 253 を配線 253 [m] B と記載している。副画素 212 は、上記配線を介して周辺回路と電氣的に接続される。

40

【0339】

また、撮像装置 200 は、隣接する画素 211 の、同じ波長帯域を透過するカラーフィルタが設けられた副画素 212 同士がスイッチを介して電氣的に接続する構成を有する。図 29 (B) に、 n 行（ n は 1 以上 p 以下の整数） m 列（ m は 1 以上 q 以下の整数）に配置された画素 211 が有する副画素 212 と、該画素 211 に隣接する $n + 1$ 行 m 列に配置

50

された画素 2 1 1 が有する副画素 2 1 2 の接続例を示す。図 2 9 (B) において、 n 行 m 列に配置された副画素 2 1 2 R と、 $n + 1$ 行 m 列に配置された副画素 2 1 2 R がスイッチ 2 0 1 を介して接続されている。また、 n 行 m 列に配置された副画素 2 1 2 G と、 $n + 1$ 行 m 列に配置された副画素 2 1 2 G がスイッチ 2 0 2 を介して接続されている。また、 n 行 m 列に配置された副画素 2 1 2 B と、 $n + 1$ 行 m 列に配置された副画素 2 1 2 B がスイッチ 2 0 3 を介して接続されている。

【 0 3 4 0 】

なお、副画素 2 1 2 に用いるカラーフィルタは、赤 (R)、緑 (G)、青 (B) に限定されず、それぞれシアン (C)、黄 (Y) およびマゼンダ (M) の光を透過するカラーフィルタを用いてもよい。1 つの画素 2 1 1 に 3 種類の異なる波長帯域の光を検出する副画素 2 1 2 を設けることで、フルカラー画像を取得することができる。

10

【 0 3 4 1 】

または、それぞれ赤 (R)、緑 (G) および青 (B) の光を透過するカラーフィルタが設けられた副画素 2 1 2 に加えて、黄 (Y) の光を透過するカラーフィルタが設けられた副画素 2 1 2 を有する画素 2 1 1 を用いてもよい。または、それぞれシアン (C)、黄 (Y) およびマゼンダ (M) の光を透過するカラーフィルタが設けられた副画素 2 1 2 に加えて、青 (B) の光を透過するカラーフィルタが設けられた副画素 2 1 2 を有する画素 2 1 1 を用いてもよい。1 つの画素 2 1 1 に 4 種類の異なる波長帯域の光を検出する副画素 2 1 2 を設けることで、取得した画像の色の再現性をさらに高めることができる。

20

【 0 3 4 2 】

また、例えば、図 2 9 (A) において、赤の波長帯域を検出する副画素 2 1 2、緑の波長帯域を検出する副画素 2 1 2、および青の波長帯域を検出する副画素 2 1 2 の画素数比 (または受光面積比) は、1 : 1 : 1 でなくても構わない。例えば、画素数比 (受光面積比) を赤 : 緑 : 青 = 1 : 2 : 1 とする Bayer 配列としてもよい。または、画素数比 (受光面積比) を赤 : 緑 : 青 = 1 : 6 : 1 としてもよい。

【 0 3 4 3 】

なお、画素 2 1 1 に設ける副画素 2 1 2 は 1 つでもよいが、2 つ以上が好ましい。例えば、同じ波長帯域を検出する副画素 2 1 2 を 2 つ以上設けることで、冗長性を高め、撮像装置 2 0 0 の信頼性を高めることができる。

【 0 3 4 4 】

30

また、可視光を吸収または反射して、赤外光を透過する IR (I R : I n f r a r e d) フィルタを用いることで、赤外光を検出する撮像装置 2 0 0 を実現することができる。

【 0 3 4 5 】

また、ND (N D : N e u t r a l D e n s i t y) フィルタ (減光フィルタ) を用いることで、光電変換素子 (受光素子) に大光量光が入射した時に生じる出力飽和することを防ぐことができる。減光量の異なる ND フィルタを組み合わせることで、撮像装置のダイナミックレンジを大きくすることができる。

【 0 3 4 6 】

また、前述したフィルタ以外に、画素 2 1 1 にレンズを設けてもよい。ここで、図 3 0 の断面図を用いて、画素 2 1 1、フィルタ 2 5 4、レンズ 2 5 5 の配置例を説明する。レンズ 2 5 5 を設けることで、光電変換素子が入射光を効率よく受光することができる。具体的には、図 3 0 (A) に示すように、画素 2 1 1 に形成したレンズ 2 5 5、フィルタ 2 5 4 (フィルタ 2 5 4 R、フィルタ 2 5 4 G およびフィルタ 2 5 4 B)、および画素回路 2 3 0 等を通して光 2 5 6 を光電変換素子 2 2 0 に入射させる構造とすることができる。

40

【 0 3 4 7 】

ただし、一点鎖線で囲んだ領域に示すように、矢印で示す光 2 5 6 の一部が配線 2 5 7 の一部によって遮光されてしまうことがある。したがって、図 3 0 (B) に示すように光電変換素子 2 2 0 側にレンズ 2 5 5 およびフィルタ 2 5 4 を配置して、光電変換素子 2 2 0 が光 2 5 6 を効率良く受光させる構造が好ましい。光電変換素子 2 2 0 側から光 2 5 6 を光電変換素子 2 2 0 に入射させることで、検出感度の高い撮像装置 2 0 0 を提供すること

50

ができる。

【0348】

図30に示す光電変換素子220として、pn型接合またはpin型の接合が形成された光電変換素子を用いてもよい。

【0349】

また、光電変換素子220を、放射線を吸収して電荷を発生させる機能を有する物質を用いて形成してもよい。放射線を吸収して電荷を発生させる機能として、セレン、ヨウ化鉛、ヨウ化水銀、ヒ化ガリウム、テルル化カドミウム、カドミウム亜鉛合金等がある。

【0350】

例えば、光電変換素子220にセレンを用いると、可視光や、紫外光、赤外光に加えて、X線や、ガンマ線といった幅広い波長帯域にわたって光吸収係数を有する光電変換素子220を実現できる。

【0351】

ここで、撮像装置200が有する1つの画素211は、図29に示す副画素212に加えて、第1のフィルタを有する副画素212を有してもよい。

【0352】

<画素の構成例2>

以下では、シリコンを用いたトランジスタと、酸化物半導体を用いたトランジスタと、を用いて画素を構成する一例について説明する。

【0353】

図31(A)、図31(B)は、撮像装置を構成する素子の断面図である。図31(A)に示す撮像装置は、シリコン基板300に設けられたシリコンを用いたトランジスタ351、トランジスタ351上に積層して配置された酸化物半導体を用いたトランジスタ352およびトランジスタ353、ならびにシリコン基板300に設けられたフォトダイオード360を含む。各トランジスタおよびフォトダイオード360は、種々のプラグ370および配線371と電気的な接続を有する。また、フォトダイオード360のアノード361は、低抵抗領域363を介してプラグ370と電気的に接続を有する。

【0354】

また撮像装置は、シリコン基板300に設けられたトランジスタ351およびフォトダイオード360を有する層310と、層310と接して設けられ、配線371を有する層320と、層320と接して設けられ、トランジスタ352およびトランジスタ353を有する層330と、層330と接して設けられ、配線372および配線373を有する層340を備えている。

【0355】

なお図31(A)の断面図の一例では、シリコン基板300において、トランジスタ351が形成された面とは逆側の面にフォトダイオード360の受光面を有する構成とすることができる。該構成とすることで、各種トランジスタや配線などの影響を受けずに光路を確保することができる。そのため、高開口率の画素を形成することができる。なお、フォトダイオード360の受光面をトランジスタ351が形成された面と同じとすることもできる。

【0356】

なお、酸化物半導体を用いたトランジスタを用いて画素を構成する場合には、層310を、酸化物半導体を用いたトランジスタを有する層とすればよい。または層310を省略し、酸化物半導体を用いたトランジスタのみで画素を構成してもよい。

【0357】

なおシリコンを用いたトランジスタを用いて画素を構成する場合には、層330を省略すればよい。層330を省略した断面図の一例を図31(B)に示す。層330を省略する場合、層340の配線372も省略することができる。

【0358】

なお、シリコン基板300は、SOI基板であってもよい。また、シリコン基板300に

10

20

30

40

50

替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、ヒ化アルミニウムガリウム、リン化インジウム、窒化ガリウムまたは有機半導体を有する基板を用いることもできる。

【0359】

ここで、トランジスタ351およびフォトダイオード360を有する層310と、トランジスタ352およびトランジスタ353を有する層330と、の間には絶縁体380が設けられる。ただし、絶縁体380の位置は限定されない。

【0360】

トランジスタ351のチャネル形成領域近傍に設けられる絶縁体中の水素はシリコンのダングリングボンドを終端し、トランジスタ351の信頼性を向上させる効果がある。一方、トランジスタ352およびトランジスタ353などの近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、トランジスタ352およびトランジスタ353などの信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素をブロックする機能を有する絶縁体380を設けることが好ましい。絶縁体380より下層に水素を閉じ込めることで、トランジスタ351の信頼性が向上させることができる。さらに、絶縁体380より下層から、絶縁体380より上層に水素が拡散することを抑制できるため、トランジスタ352およびトランジスタ353などの信頼性を向上させることができる。

【0361】

絶縁体380としては、例えば、酸素または水素をブロックする機能を有する絶縁体を用いる。

【0362】

また、図31(A)の断面図において、層310に設けるフォトダイオード360と、層330に設けるトランジスタとを重なるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

【0363】

また、図32(A1)および図32(B1)に示すように、撮像装置の一部または全部を湾曲させてもよい。図32(A1)は、撮像装置を同図中の一点鎖線X1-X2の方向に湾曲させた状態を示している。図32(A2)は、図32(A1)中の一点鎖線X1-X2で示した部位の断面図である。図32(A3)は、図32(A1)中の一点鎖線Y1-Y2で示した部位の断面図である。

【0364】

図32(B1)は、撮像装置を同図中の一点鎖線X3-X4の方向に湾曲させ、かつ、同図中の一点鎖線Y3-Y4の方向に湾曲させた状態を示している。図32(B2)は、図32(B1)中の一点鎖線X3-X4で示した部位の断面図である。図32(B3)は、図32(B1)中の一点鎖線Y3-Y4で示した部位の断面図である。

【0365】

撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた電子機器などの小型化や軽量化を実現することができる。また、撮像された画像の品質を向上させる事ができる。

【0366】

<CPU>

以下では、上述したトランジスタや上述した記憶装置などの半導体装置を含むCPUについて説明する。

【0367】

図33は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

10

20

30

40

50

【0368】

図33に示すCPUは、基板1190上に、ALU1191（ALU：Arithmetic logic unit、演算回路）、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198、書き換え可能なROM1199、およびROMインターフェース1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図33に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図33に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

10

【0369】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0370】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

20

【0371】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

30

【0372】

図33に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

【0373】

図33に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。即ち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

40

【0374】

図34は、レジスタ1196として用いることのできる記憶素子1200の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ12

50

10と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

【0375】

ここで、回路1202には、上述した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートにはGND(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

【0376】

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1213の導通状態または非導通状態)が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1214の導通状態または非導通状態)が選択される。

【0377】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一对の電極のうちの一方、およびトランジスタ1210のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線(例えばGND線)に電氣的に接続され、他方は、スイッチ1203の第1の端子(トランジスタ1213のソースとドレインの一方)と電氣的に接続される。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)はスイッチ1204の第1の端子(トランジスタ1214のソースとドレインの一方)と電氣的に接続される。スイッチ1204の第2の端子(トランジスタ1214のソースとドレインの他方)は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)と、スイッチ1204の第1の端子(トランジスタ1214のソースとドレインの一方)と、論理素子1206の入力端子と、容量素子1207の一对の電極のうちの一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子1207の一对の電極のうちの他方は、低電源電位を供給することのできる配線(例えばGND線)と電氣的に接続される。容量素子1208の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子1208の一对の電極のうちの他方は、低電源電位を供給することのできる配線(例えばGND線)と電氣的に接続される。

【0378】

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0379】

トランジスタ1209のゲートには、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2

10

20

30

40

50

の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

【 0 3 8 0 】

トランジスタ 1 2 0 9 のソースとドレインの他方には、回路 1 2 0 1 に保持されたデータに対応する信号が入力される。図 3 4 では、回路 1 2 0 1 から出力された信号が、トランジスタ 1 2 0 9 のソースとドレインの他方に入力される例を示した。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 1 2 0 6 によってその論理値が反転された反転信号となり、回路 1 2 2 0 を介して回路 1 2 0 1 に入力される。

【 0 3 8 1 】

なお、図 3 4 では、スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 1 2 0 6 および回路 1 2 2 0 を介して回路 1 2 0 1 に入力する例を示したがこれに限定されない。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路 1 2 0 1 に入力されてもよい。例えば、回路 1 2 0 1 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

【 0 3 8 2 】

また、図 3 4 において、記憶素子 1 2 0 0 に用いられるトランジスタのうち、トランジスタ 1 2 0 9 以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板 1 1 9 0 にチャネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子 1 2 0 0 に用いられるトランジスタ全てを、チャネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子 1 2 0 0 は、トランジスタ 1 2 0 9 以外にも、チャネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる膜または基板 1 1 9 0 にチャネルが形成されるトランジスタとすることもできる。

【 0 3 8 3 】

図 3 4 における回路 1 2 0 1 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1 2 0 6 としては、例えばインバータやクロックドインバータ等を用いることができる。

【 0 3 8 4 】

本発明の一態様に係る半導体装置では、記憶素子 1 2 0 0 に電源電圧が供給されない間は、回路 1 2 0 1 に記憶されていたデータを、回路 1 2 0 2 に設けられた容量素子 1 2 0 8 によって保持することができる。

【 0 3 8 5 】

また、酸化物半導体にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1 2 0 9 として用いることによって、記憶素子 1 2 0 0 に電源電圧が供給されない間も容量素子 1 2 0 8 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1 2 0 0 は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

【 0 3 8 6 】

また、スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1 2 0 1 が元のデータを保持しなおすまでの時間を短くすることができる。

【 0 3 8 7 】

また、回路 1 2 0 2 において、容量素子 1 2 0 8 によって保持された信号はトランジスタ

10

20

30

40

50

1 2 1 0 のゲートに入力される。そのため、記憶素子 1 2 0 0 への電源電圧の供給が再開された後、容量素子 1 2 0 8 によって保持された信号を、トランジスタ 1 2 1 0 の状態（導通状態、または非導通状態）に変換して、回路 1 2 0 2 から読み出すことができる。それ故、容量素子 1 2 0 8 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【 0 3 8 8 】

このような記憶素子 1 2 0 0 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

10

【 0 3 8 9 】

記憶素子 1 2 0 0 を CPU に用いる例として説明したが、記憶素子 1 2 0 0 は、DSP (Digital Signal Processor)、カスタム LSI、PLD (Programmable Logic Device) 等の LSI、RF (Radio Frequency) デバイスにも応用可能である。

【 0 3 9 0 】

< 表示装置 >

以下では、本発明の一態様に係る表示装置について、図 3 5 および図 3 6 を用いて説明する。

20

【 0 3 9 1 】

表示装置に用いられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機 EL (Electroluminescence)、有機 EL などを含む。以下では、表示装置の一例として EL 素子を用いた表示装置（EL 表示装置）および液晶素子を用いた表示装置（液晶表示装置）について説明する。

【 0 3 9 2 】

なお、以下に示す表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含む IC などを実装した状態にあるモジュールとを含む。

30

【 0 3 9 3 】

また、以下に示す表示装置は画像表示デバイス、または光源（照明装置含む）を指す。また、コネクタ、例えば FPC、TCP が取り付けられたモジュール、TCP の先にプリント配線板を有するモジュールまたは表示素子に COG 方式により IC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【 0 3 9 4 】

図 3 5 は、本発明の一態様に係る EL 表示装置の一例である。図 3 5 (A) に、EL 表示装置の画素の回路図を示す。図 3 5 (B) は、EL 表示装置全体を示す上面図である。

【 0 3 9 5 】

図 3 5 (A) は、EL 表示装置に用いられる画素の回路図の一例である。

40

【 0 3 9 6 】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であるといえる。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先として複数の箇所が想定される場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素

50

子など)などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

【0397】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であるといえる。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

10

【0398】

図35(A)に示すEL表示装置は、スイッチ素子743と、トランジスタ741と、容量素子742と、発光素子719と、を有する。

【0399】

なお、図35(A)などは、回路構成の一例であるため、さらに、トランジスタを追加することが可能である。逆に、図35(A)の各ノードにおいて、トランジスタ、スイッチ、受動素子などを追加しないようにすることも可能である。

【0400】

トランジスタ741のゲートはスイッチ素子743の一端および容量素子742の一方の電極と電気的に接続される。トランジスタ741のソースは容量素子742の他方の電極と電気的に接続され、発光素子719の一方の電極と電気的に接続される。トランジスタ741のドレインは電源電位VDDが与えられる。スイッチ素子743の他端は信号線744と電気的に接続される。発光素子719の他方の電極は定電位が与えられる。なお、定電位は接地電位GNDまたはそれより小さい電位とする。

20

【0401】

スイッチ素子743としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高いEL表示装置とすることができる。また、スイッチ素子743として、トランジスタ741と同一工程を経て作製されたトランジスタを用いると、EL表示装置の生産性を高めることができる。なお、トランジスタ741または/およびスイッチ素子743としては、例えば、上述したトランジスタを適用することができる。

30

【0402】

図35(B)は、EL表示装置の上面図である。EL表示装置は、基板700と、基板750と、シール材734と、駆動回路735と、駆動回路736と、画素737と、FPC732と、を有する。シール材734は、画素737、駆動回路735および駆動回路736を囲むように基板700と基板750との間に配置される。なお、駆動回路735または/および駆動回路736をシール材734の外側に配置しても構わない。

【0403】

図35(C)は、図35(B)の一点鎖線M-Nの一部に対応するEL表示装置の断面図である。

40

【0404】

図35(C)には、トランジスタ741として、基板700上の導電体704aと、導電体704a上の絶縁体712aと、絶縁体712a上の絶縁体712bと、絶縁体712b上にあり導電体704aと重なる半導体706と、半導体706と接する導電体716aおよび導電体716bと、導電体716a上の絶縁体710aと、導電体716b上の絶縁体710bと、半導体706上、導電体716a上、導電体716b上、絶縁体710a上および絶縁体710b上の絶縁体718aと、絶縁体718a上の絶縁体718bと、絶縁体718b上の絶縁体718cと、絶縁体718c上にあり半導体706と重な

50

る導電体 714a と、を有する構造を示す。なお、トランジスタ 741 の構造は一例であり、図 35 (C) に示す構造と異なる構造であっても構わない。

【0405】

したがって、図 35 (C) に示すトランジスタ 741 において、導電体 704a はゲート電極としての機能を有し、絶縁体 712a および絶縁体 712b はゲート絶縁体としての機能を有し、導電体 716a はソース電極としての機能を有し、導電体 716b はドレイン電極としての機能を有し、絶縁体 718a、絶縁体 718b および絶縁体 718c はゲート絶縁体としての機能を有し、導電体 714a はゲート電極としての機能を有する。なお、半導体 706 は、光が当たることで電気特性が変動する場合がある。したがって、導電体 704a、導電体 716a、導電体 716b、導電体 714a のいずれか一以上が遮光性を有すると好ましい。

10

【0406】

なお、絶縁体 718a および絶縁体 718b の界面を破線で表したが、これは両者の境界が明確でない場合があることを示す。例えば、絶縁体 718a および絶縁体 718b として、同種の絶縁体を用いた場合、観察手法によっては両者の区別が付かない場合がある。

【0407】

図 35 (C) には、容量素子 742 として、基板上の導電体 704b と、導電体 704b 上の絶縁体 712a と、絶縁体 712a 上の絶縁体 712b と、絶縁体 712b 上にあり導電体 704b と重なる導電体 716a と、導電体 716a 上の絶縁体 718a と、絶縁体 718a 上の絶縁体 718b と、絶縁体 718b 上の絶縁体 718c と、絶縁体 718c 上にあり導電体 716a と重なる導電体 714b と、を有し、導電体 716a および導電体 714b の重なる領域で、絶縁体 718a および絶縁体 718b の一部が除去されている構造を示す。

20

【0408】

容量素子 742 において、導電体 704b および導電体 714b は一方の電極として機能し、導電体 716a は他方の電極として機能する。

【0409】

したがって、容量素子 742 は、トランジスタ 741 と共通する膜を用いて作製することができる。また、導電体 704a および導電体 704b を同種の導電体とすると好ましい。その場合、導電体 704a および導電体 704b は、同一工程を経て形成することができる。また、導電体 714a および導電体 714b を同種の導電体とすると好ましい。その場合、導電体 714a および導電体 714b は、同一工程を経て形成することができる。

30

【0410】

図 35 (C) に示す容量素子 742 は、占有面積当たりの容量が大きい容量素子である。したがって、図 35 (C) は表示品位の高い EL 表示装置である。なお、図 35 (C) に示す容量素子 742 は、導電体 716a および導電体 714b の重なる領域を薄くするため、絶縁体 718a および絶縁体 718b の一部が除去された構造を有するが、本発明の一態様に係る容量素子はこれに限定されるものではない。例えば、導電体 716a および導電体 714b の重なる領域を薄くするため、絶縁体 718c の一部が除去された構造を有しても構わない。

40

【0411】

トランジスタ 741 および容量素子 742 上には、絶縁体 720 が配置される。ここで、絶縁体 720 は、トランジスタ 741 のソース電極として機能する導電体 716a に達する開口部を有してもよい。絶縁体 720 上には、導電体 781 が配置される。導電体 781 は、絶縁体 720 の開口部を介してトランジスタ 741 と電氣的に接続してもよい。

【0412】

導電体 781 上には、導電体 781 に達する開口部を有する隔壁 784 が配置される。隔壁 784 上には、隔壁 784 の開口部で導電体 781 と接する発光層 782 が配置される。発光層 782 上には、導電体 783 が配置される。導電体 781、発光層 782 および

50

導電体 783 の重なる領域が、発光素子 719 となる。

【0413】

ここまでは、EL 表示装置の例について説明した。次に、液晶表示装置の例について説明する。

【0414】

図 36 (A) は、液晶表示装置の画素の構成例を示す回路図である。図 36 に示す画素は、トランジスタ 751 と、容量素子 752 と、一対の電極間に液晶の充填された素子 (液晶素子) 753 とを有する。

【0415】

トランジスタ 751 では、ソース、ドレインの一方が信号線 755 に電氣的に接続され、ゲートが走査線 754 に電氣的に接続されている。

【0416】

容量素子 752 では、一方の電極がトランジスタ 751 のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

【0417】

液晶素子 753 では、一方の電極がトランジスタ 751 のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述した容量素子 752 の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子 753 の他方の電極に与えられる共通電位とが異なる電位であってもよい。

【0418】

なお、液晶表示装置も、上面図は EL 表示装置と同様として説明する。図 35 (B) の一点鎖線 M - N に対応する液晶表示装置の断面図を図 36 (B) に示す。図 36 (B) において、FPC 732 は、端子 731 を介して配線 733a と接続される。なお、配線 733a は、トランジスタ 751 を構成する導電体または半導体のいずれかと同種の導電体または半導体を用いてもよい。

【0419】

トランジスタ 751 は、トランジスタ 741 についての記載を参照する。また、容量素子 752 は、容量素子 742 についての記載を参照する。なお、図 36 (B) には、図 35 (C) の容量素子 742 に対応した容量素子 752 の構造を示したが、これに限定されない。

【0420】

なお、トランジスタ 751 の半導体に酸化物半導体を用いた場合、極めてオフ電流の小さいトランジスタとすることができる。したがって、容量素子 752 に保持された電荷がリークしにくく、長期間に渡って液晶素子 753 に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ 751 をオフ状態とすることで、トランジスタ 751 の動作のための電力が不要となり、消費電力の小さい液晶表示装置とすることができる。また、容量素子 752 の占有面積を小さくできるため、開口率の高い液晶表示装置、または高精細化した液晶表示装置を提供することができる。

【0421】

トランジスタ 751 および容量素子 752 上には、絶縁体 721 が配置される。ここで、絶縁体 721 は、トランジスタ 751 に達する開口部を有する。絶縁体 721 上には、導電体 791 が配置される。導電体 791 は、絶縁体 721 の開口部を介してトランジスタ 751 と電氣的に接続する。

【0422】

導電体 791 上には、配向膜として機能する絶縁体 792 が配置される。絶縁体 792 上には、液晶層 793 が配置される。液晶層 793 上には、配向膜として機能する絶縁体 794 が配置される。絶縁体 794 上には、スペーサ 795 が配置される。スペーサ 795 および絶縁体 794 上には、導電体 796 が配置される。導電体 796 上には、基板 797 が配置される。

【0423】

10

20

30

40

50

上述した構造を有することで、占有面積の小さい容量素子を有する表示装置を提供することができる、または、表示品位の高い表示装置を提供することができる。または、高精細の表示装置を提供することができる。

【0424】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例えば、EL素子（有機物および無機物を含むEL素子、有機EL素子、無機EL素子）、白色、赤色、緑色または青色などの発光ダイオード（LED：Light Emitting Diode）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、IMOD（インターフェアレンス・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子の少なくとも一つを有している。電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していてもよい。

10

【0425】

EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）またはSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インクまたは電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部または全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

20

30

【0426】

なお、LEDを用いる場合、LEDの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体などを容易に成膜することができる。さらに、その上に、結晶を有するp型GaN半導体などを設けて、LEDを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型GaN半導体との間に、AlN層を設けてもよい。なお、LEDが有するGaN半導体は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDが有するGaN半導体は、スパッタリング法で成膜することも可能である。

40

【0427】

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオ

50

プレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ＡＴＭ)、自動販売機などが挙げられる。これら電子機器の具体例を図３７に示す。

【０４２８】

図３７(Ａ)は携帯型ゲーム機であり、筐体９０１、筐体９０２、表示部９０３、表示部９０４、マイクロフォン９０５、スピーカー９０６、操作キー９０７、スタイラス９０８等を有する。なお、図３７(Ａ)に示した携帯型ゲーム機は、２つの表示部９０３と表示部９０４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【０４２９】

図３７(Ｂ)は携帯データ端末であり、第１筐体９１１、第２筐体９１２、第１表示部９１３、第２表示部９１４、接続部９１５、操作キー９１６等を有する。第１表示部９１３は第１筐体９１１に設けられており、第２表示部９１４は第２筐体９１２に設けられている。そして、第１筐体９１１と第２筐体９１２とは、接続部９１５により接続されており、第１筐体９１１と第２筐体９１２の間の角度は、接続部９１５により変更が可能である。第１表示部９１３における映像を、接続部９１５における第１筐体９１１と第２筐体９１２との間の角度にしたがって、切り替える構成としてもよい。また、第１表示部９１３および第２表示部９１４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、

【０４３０】

図３７(Ｃ)はノート型パーソナルコンピュータであり、筐体９２１、表示部９２２、キーボード９２３、ポインティングデバイス９２４等を有する。

【０４３１】

図３７(Ｄ)は電気冷凍冷蔵庫であり、筐体９３１、冷蔵室用扉９３２、冷凍室用扉９３３等を有する。

【０４３２】

図３７(Ｅ)はビデオカメラであり、第１筐体９４１、第２筐体９４２、表示部９４３、操作キー９４４、レンズ９４５、接続部９４６等を有する。操作キー９４４およびレンズ９４５は第１筐体９４１に設けられており、表示部９４３は第２筐体９４２に設けられている。そして、第１筐体９４１と第２筐体９４２とは、接続部９４６により接続されており、第１筐体９４１と第２筐体９４２の間の角度は、接続部９４６により変更が可能である。表示部９４３における映像を、接続部９４６における第１筐体９４１と第２筐体９４２との間の角度にしたがって切り替える構成としてもよい。

【０４３３】

図３７(Ｆ)は自動車であり、車体９５１、車輪９５２、ダッシュボード９５３、ライト９５４等を有する。

【実施例１】

【０４３４】

本実施例では、本発明の一態様に係る加工方法を用いた例を示す。

【０４３５】

まず、１２６．６mm角のシリコン基板を準備する。次に、熱酸化法により厚さが４００nmの酸化シリコンを形成する。次に、スパッタリング法により厚さが４０nmのIn-Ga-Zn酸化物を成膜する。次に、スパッタリング法により厚さが５０nmのタングステン膜を成膜する。

【０４３６】

次に、厚さが１７０nmの反射防止層を成膜する。次に、レジストを成膜する。次に、フォトリソを用いてレジストを露光する。次に、レジストを現像し、３００nmの溝を作

10

20

30

40

50

る。

【0437】

次に、50 sccmのトリフルオロメタンガス、および100 sccmのヘリウムガスを用いてプラズマを生成し、プラズマ処理を行った。なお、圧力を5.5 Pa、基板温度を70、ICP電力を475 W、バイアス電力を300 W、処理時間を80秒とした。このとき、レジストおよび反射防止層の側面には、図6(C)に示したように有機物が付着する。

【0438】

次に、45 sccmの塩素ガス、55 sccmの四フッ化炭素ガス、および55 sccmの酸素ガスを用いてプラズマを生成し、プラズマ処理によってタングステン膜のエッチングを行った。なお、圧力を0.67 Pa、ICP電力を3000 W、バイアス電力を110 W、処理時間を15秒とした(タングステンのエッチング条件Aと呼ぶ。)。このとき、図6(D)に示すようにタングステン膜がエッチングされる。

【0439】

次に、プラズマアッシングおよびウェットエッチングによって有機物、レジストおよび反射防止層を除去することで、図6(E)に示したような形状を得ることができる。結果を、図46(A)および図46(B)に示す。なお、図46(A)にシリコン基板の中央部における断面走査透過電子顕微鏡(STEM: Scanning Transmission Electron Microscope)像を示し、図46(B)にシリコン基板の角部における断面STEM像を示す。

【0440】

図46(A)および図46(B)は、ともにタングステン膜間の距離が177 nmであった。即ち、レジストの溝の大きさよりも小さい形状の溝をタングステン膜に形成することができた。

【0441】

また、タングステン膜のエッチングの条件を変更した場合についても同様の評価を行った。具体的には、60 sccmの四フッ化炭素ガス、および40 sccmの酸素ガスを用いてプラズマを生成し、プラズマ処理によってタングステン膜のエッチングを行った。なお、圧力を2 Pa、ICP電力を1000 W、バイアス電力を25 W、処理時間を35秒とした(タングステンのエッチング条件Bと呼ぶ。)。

【0442】

次に、プラズマアッシングおよびウェットエッチングによって有機物、レジストおよび反射防止層を除去する。結果を、図47(A)および図47(B)に示す。なお、図47(A)にシリコン基板の中央部における断面STEM像を示し、図47(B)にシリコン基板の角部における断面STEM像を示す。

【0443】

図47(A)および図47(B)は、ともにタングステン膜間の距離が158 nmであった。この条件でも、レジストの溝の大きさよりも小さい形状の溝をタングステン膜に形成することができた。

【実施例2】

【0444】

本実施例では、実施例1で示したタングステン膜をソース電極およびドレイン電極として用いることで、チャネル長を縮小したトランジスタを作製した。

【0445】

作製したトランジスタの構造を、図48に示す。図48(A)はトランジスタの上面図、図48(B)は、図48(A)の一点鎖線G1 - G2および一点鎖線G3 - G4に対応したトランジスタの断面図である。図48に示すトランジスタは、図12(A)に示したトランジスタと類似した構造を有するため、同じの符号を用いる。また、図13(C)および図13(D)に示したように半導体406の上下に、それぞれ半導体406aおよび半導体406cを有する構造とした。

【 0 4 4 6 】

基板 4 0 0 としては、1 2 6 . 6 mm 角のシリコン基板を用いた。絶縁体 4 0 2 としては、厚さが 1 0 0 nm の酸化シリコンと、厚さが 3 0 0 nm の酸化窒化シリコンとを積層して用いた。半導体 4 0 6 a としては、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比] である $\text{In} - \text{Ga} - \text{Zn}$ 酸化物ターゲットを用いて成膜した、厚さが 2 0 nm の $\text{In} - \text{Ga} - \text{Zn}$ 酸化物を用いた。半導体 4 0 6 としては、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比] である $\text{In} - \text{Ga} - \text{Zn}$ 酸化物ターゲットを用いて成膜した、厚さが 2 0 nm の $\text{In} - \text{Ga} - \text{Zn}$ 酸化物を用いた。半導体 4 0 6 c としては、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比] である $\text{In} - \text{Ga} - \text{Zn}$ 酸化物ターゲットを用いて成膜した、厚さが 5 nm の $\text{In} - \text{Ga} - \text{Zn}$ 酸化物を用いた。導電体 4 1 6 a および導電体 4 1 6 b としては、厚さが 5 0 nm のタングステンをを用いた。絶縁体 4 1 2 としては、厚さが 1 0 nm の酸化窒化シリコンを用いた。導電体 4 0 4 としては、厚さが 3 0 nm の窒化タンタルと、厚さが 1 3 5 nm のタングステンをを用いた。

10

【 0 4 4 7 】

タングステンのエッチング条件 A を用いた場合のトランジスタに対して、ドレイン電圧 V_d を 0 . 1 V または 1 . 8 V として、それぞれ 2 5 点の $I_d - V_g$ 特性を測定した。なお、 I_d はドレイン電流を、 V_g はゲート電圧を示す。図 4 9 (A) は、チャネル長が 1 8 0 nm、チャネル幅が 5 0 0 nm のトランジスタの $I_d - V_g$ 特性である。図 4 9 (B) は、チャネル長が 1 8 0 nm、チャネル幅が 8 0 0 nm のトランジスタの $I_d - V_g$ 特性である。

20

【 0 4 4 8 】

タングステンのエッチング条件 B を用いた場合のトランジスタに対して、ドレイン電圧 V_d を 0 . 1 V または 1 . 8 V として、それぞれ 2 5 点の $I_d - V_g$ 特性を測定した。図 5 0 (A) は、チャネル長が 1 8 0 nm、チャネル幅が 5 0 0 nm のトランジスタの $I_d - V_g$ 特性である。図 5 0 (B) は、チャネル長が 1 8 0 nm、チャネル幅が 8 0 0 nm のトランジスタの $I_d - V_g$ 特性である。

【 0 4 4 9 】

図 4 9 および図 5 0 より、本実施例で作製したトランジスタは、ばらつきが小さく、良好な電気特性を有する。特に、タングステンのエッチング条件 A を用いたトランジスタは、ばらつきが小さかった。即ち、1 2 6 . 6 mm 角のシリコン基板面内において、均一な形状となっていることがわかる。

30

【 符号の説明 】

【 0 4 5 0 】

1 1 0 層
 1 1 0 a 層
 1 1 0 b 層
 1 1 6 層
 1 1 6 a 層
 1 1 6 b 層
 1 2 0 反射防止層
 1 2 2 レジスト
 1 2 4 有機物
 2 0 0 撮像装置
 2 0 1 スイッチ
 2 0 2 スイッチ
 2 0 3 スイッチ
 2 1 0 画素部
 2 1 1 画素
 2 1 2 副画素
 2 1 2 B 副画素

40

50

2 1 2 G	副画素	
2 1 2 R	副画素	
2 2 0	光電変換素子	
2 3 0	画素回路	
2 3 1	配線	
2 4 7	配線	
2 4 8	配線	
2 4 9	配線	
2 5 0	配線	
2 5 3	配線	10
2 5 4	フィルタ	
2 5 4 B	フィルタ	
2 5 4 G	フィルタ	
2 5 4 R	フィルタ	
2 5 5	レンズ	
2 5 6	光	
2 5 7	配線	
2 6 0	周辺回路	
2 7 0	周辺回路	
2 8 0	周辺回路	20
2 9 0	周辺回路	
2 9 1	光源	
3 0 0	シリコン基板	
3 1 0	層	
3 2 0	層	
3 3 0	層	
3 4 0	層	
3 5 1	トランジスタ	
3 5 2	トランジスタ	
3 5 3	トランジスタ	30
3 6 0	フォトダイオード	
3 6 1	アノード	
3 6 3	低抵抗領域	
3 7 0	プラグ	
3 7 1	配線	
3 7 2	配線	
3 7 3	配線	
3 8 0	絶縁体	
4 0 0	基板	
4 0 1	絶縁体	40
4 0 2	絶縁体	
4 0 4	導電体	
4 0 6	半導体	
4 0 6 a	半導体	
4 0 6 c	半導体	
4 1 0	絶縁体	
4 1 0 a	絶縁体	
4 1 0 b	絶縁体	
4 1 1	絶縁体	
4 1 2	絶縁体	50

4 1 3	導電体	
4 1 4	導電体	
4 1 6	導電体	
4 1 6 a	導電体	
4 1 6 b	導電体	
4 5 0	半導体基板	
4 5 2	絶縁体	
4 5 4	導電体	
4 5 6	領域	
4 6 0	領域	10
4 6 2	絶縁体	
4 6 4	絶縁体	
4 6 6	絶縁体	
4 6 8	絶縁体	
4 7 2 a	領域	
4 7 2 b	領域	
4 7 4 a	導電体	
4 7 4 b	導電体	
4 7 4 c	導電体	
4 7 6 a	導電体	20
4 7 6 b	導電体	
4 7 8 a	導電体	
4 7 8 b	導電体	
4 7 8 c	導電体	
4 8 0 a	導電体	
4 8 0 b	導電体	
4 8 0 c	導電体	
4 9 0	絶縁体	
4 9 2	絶縁体	
4 9 4	絶縁体	30
4 9 6 a	導電体	
4 9 6 b	導電体	
4 9 6 c	導電体	
4 9 6 d	導電体	
4 9 8 a	導電体	
4 9 8 b	導電体	
4 9 8 c	導電体	
4 9 8 d	導電体	
5 0 0	基板	
5 0 2	絶縁体	40
5 0 3	絶縁体	
5 0 4	導電体	
5 0 6	半導体	
5 1 0	絶縁体	
5 1 0 a	絶縁体	
5 1 0 b	絶縁体	
5 1 2	絶縁体	
5 1 3	導電体	
5 1 6	導電体	
5 1 6 a	導電体	50

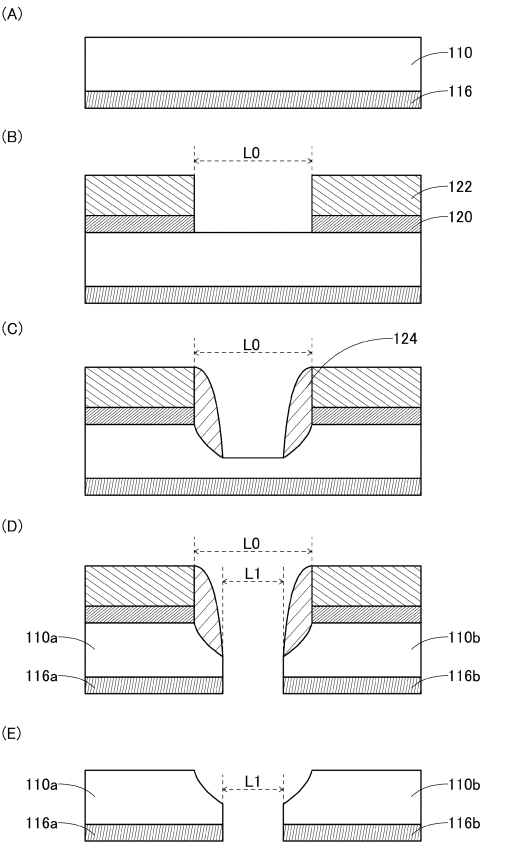
5 1 6 b	導電体	
5 3 6	半導体	
5 4 0	絶縁体	
5 4 6	導電体	
7 0 0	基板	
7 0 4 a	導電体	
7 0 4 b	導電体	
7 0 6	半導体	
7 1 0 a	絶縁体	
7 1 0 b	絶縁体	10
7 1 2 a	絶縁体	
7 1 2 b	絶縁体	
7 1 4 a	導電体	
7 1 4 b	導電体	
7 1 6 a	導電体	
7 1 6 b	導電体	
7 1 8 a	絶縁体	
7 1 8 b	絶縁体	
7 1 8 c	絶縁体	
7 1 9	発光素子	20
7 2 0	絶縁体	
7 2 1	絶縁体	
7 3 1	端子	
7 3 2	F P C	
7 3 3 a	配線	
7 3 4	シール材	
7 3 5	駆動回路	
7 3 6	駆動回路	
7 3 7	画素	
7 4 1	トランジスタ	30
7 4 2	容量素子	
7 4 3	スイッチ素子	
7 4 4	信号線	
7 5 0	基板	
7 5 1	トランジスタ	
7 5 2	容量素子	
7 5 3	液晶素子	
7 5 4	走査線	
7 5 5	信号線	
7 8 1	導電体	40
7 8 2	発光層	
7 8 3	導電体	
7 8 4	隔壁	
7 9 1	導電体	
7 9 2	絶縁体	
7 9 3	液晶層	
7 9 4	絶縁体	
7 9 5	スペーサ	
7 9 6	導電体	
7 9 7	基板	50

9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	10
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	20
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	30
9 5 4	ライト	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	40
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	50

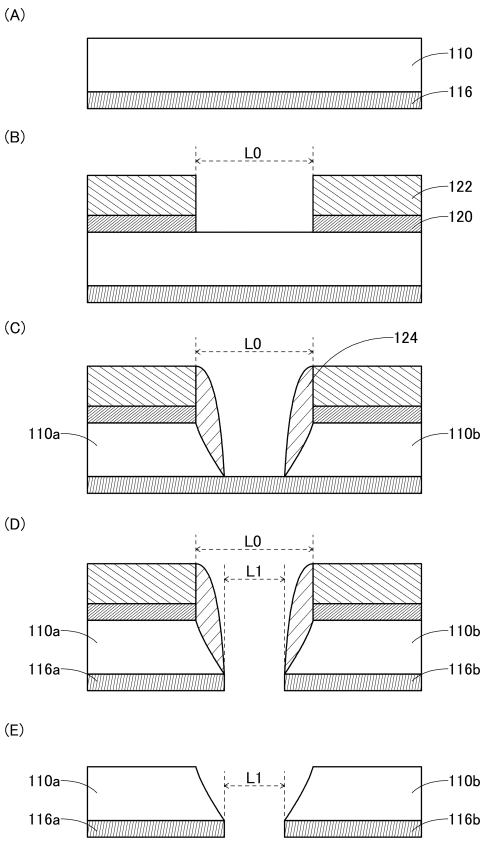
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	10
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
5 1 0 0	ペレット	
5 1 0 0 a	ペレット	
5 1 0 0 b	ペレット	
5 1 0 1	イオン	
5 1 0 2	酸化亜鉛層	20
5 1 0 3	粒子	
5 1 0 5 a	ペレット	
5 1 0 5 a 1	領域	
5 1 0 5 a 2	ペレット	
5 1 0 5 b	ペレット	
5 1 0 5 c	ペレット	
5 1 0 5 d	ペレット	
5 1 0 5 d 1	領域	
5 1 0 5 e	ペレット	
5 1 2 0	基板	30
5 1 3 0	ターゲット	
5 1 6 1	領域	

【図面】

【図 1】



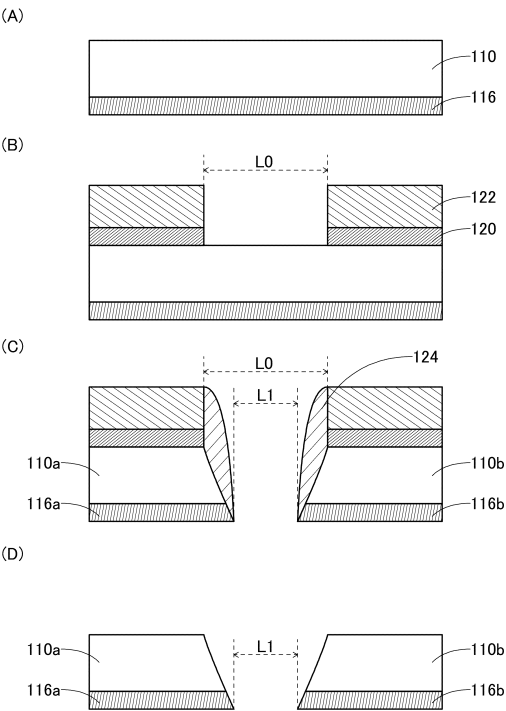
【図 2】



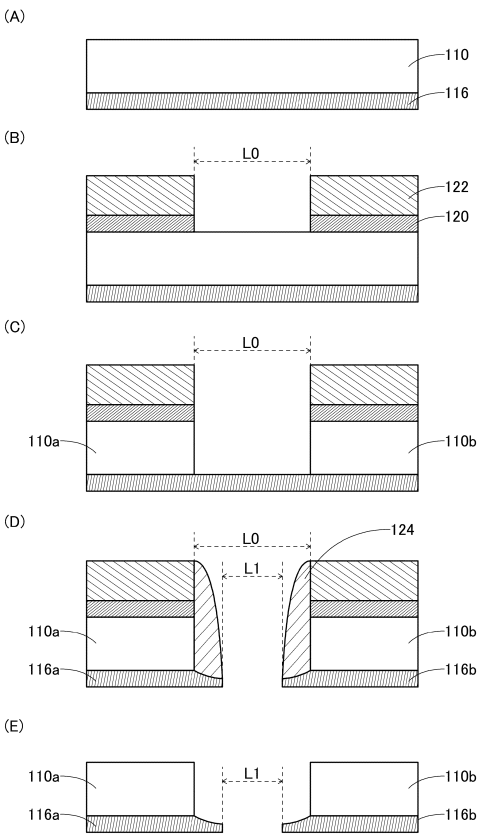
10

20

【図 3】



【図 4】

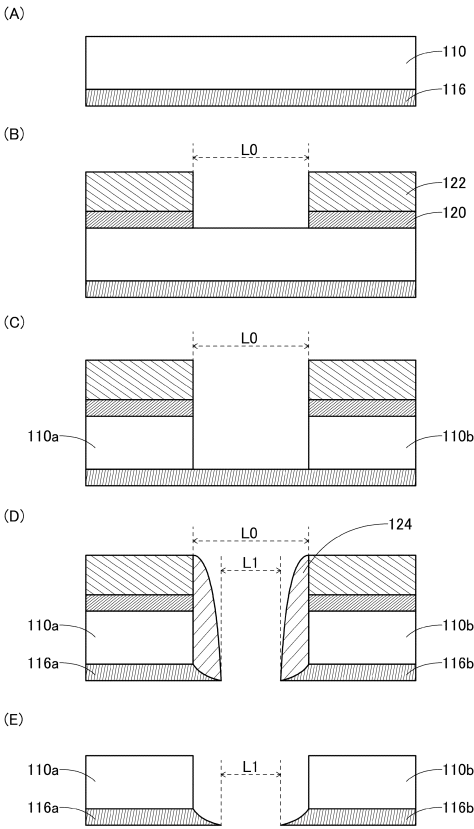


30

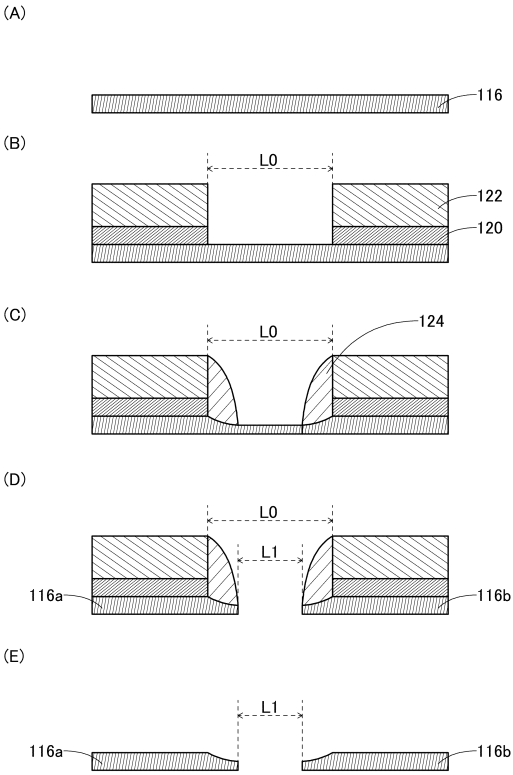
40

50

【図 5】



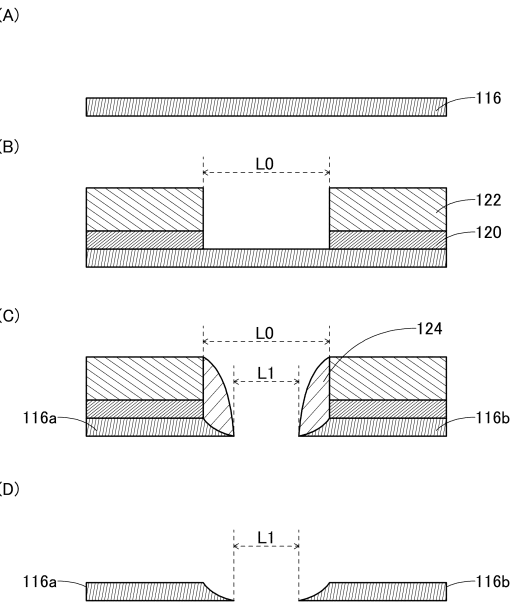
【図 6】



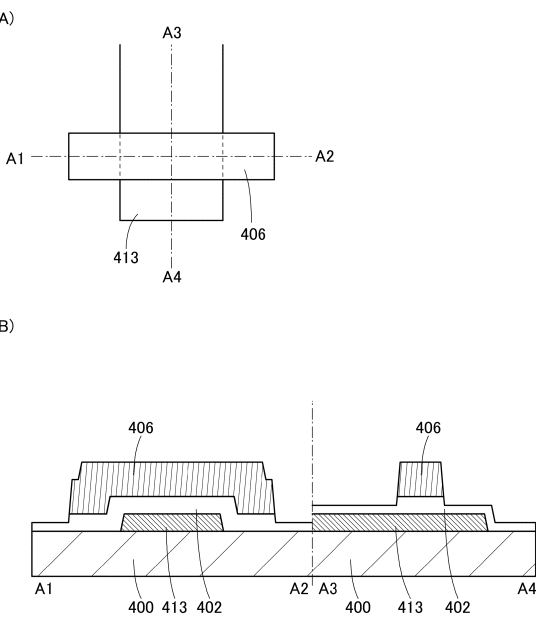
10

20

【図 7】



【図 8】

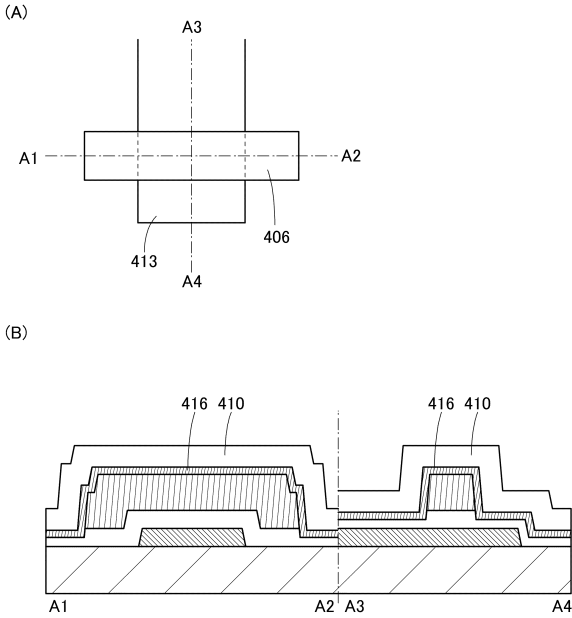


30

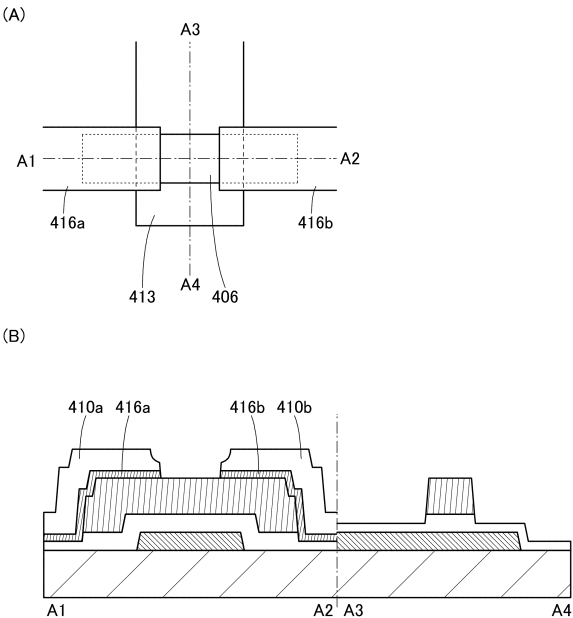
40

50

【図 9】

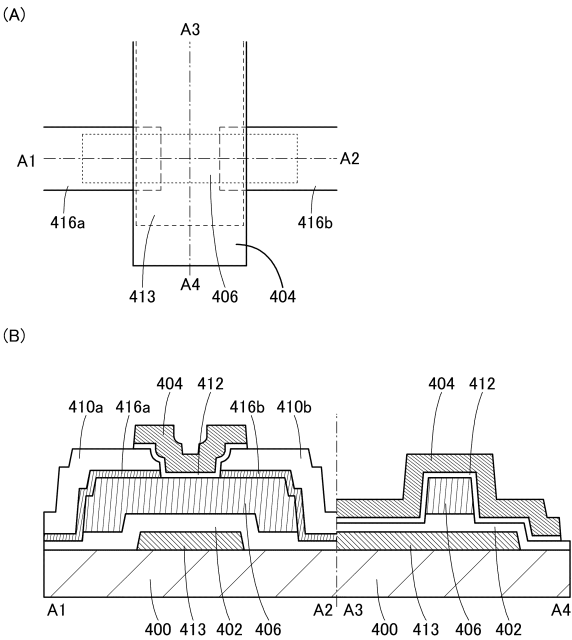


【図 10】

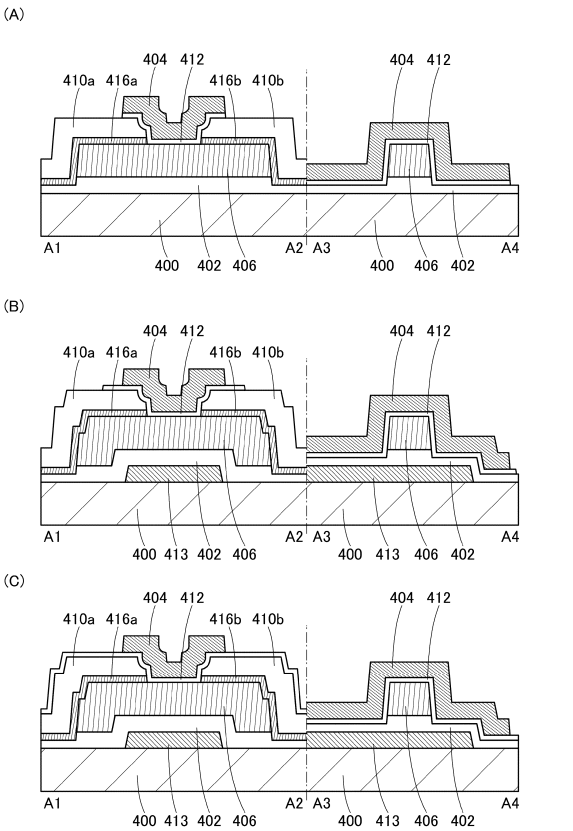


10

【図 11】



【図 12】



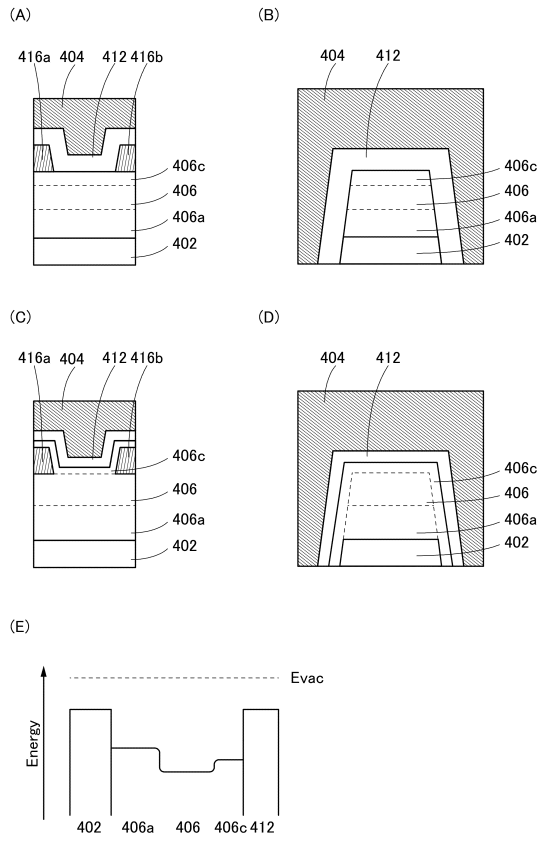
20

30

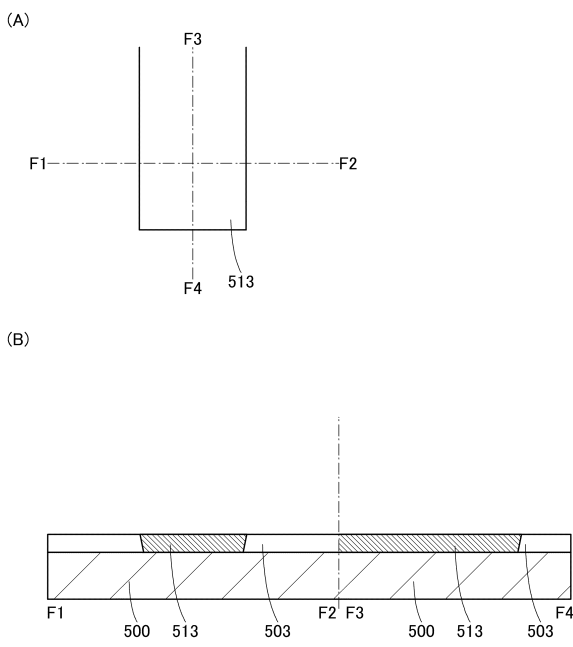
40

50

【図 1 3】



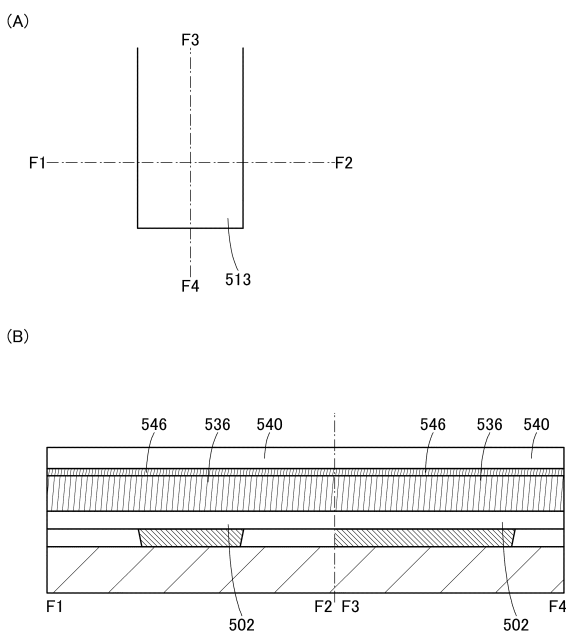
【図 1 4】



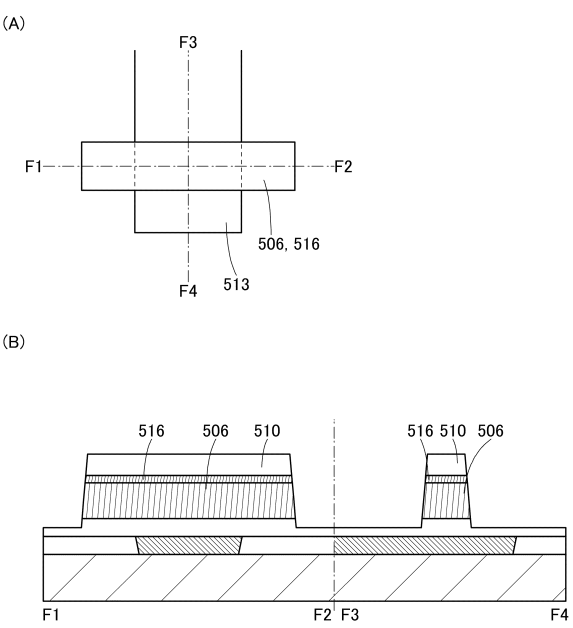
10

20

【図 1 5】



【図 1 6】

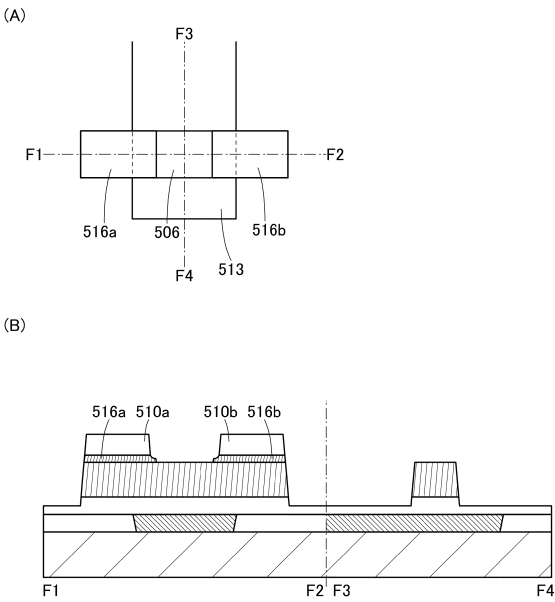


30

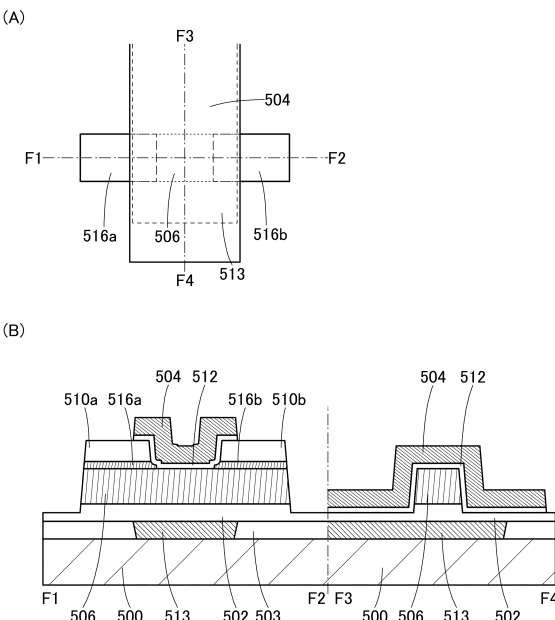
40

50

【図 1 7】

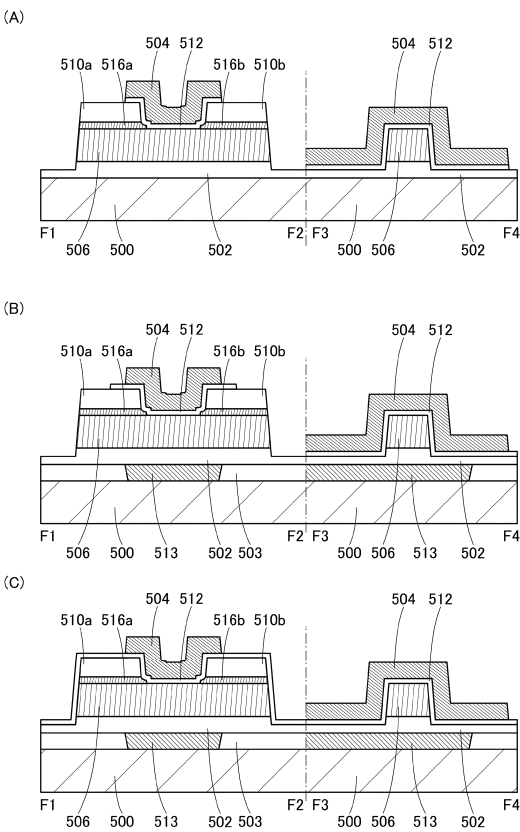


【図 1 8】

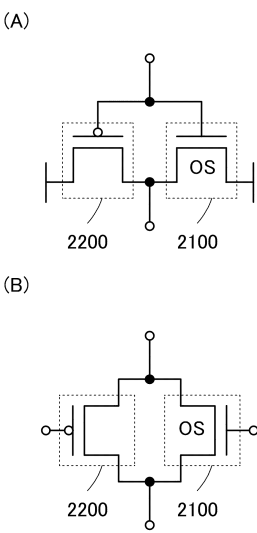


10

【図 1 9】



【図 2 0】



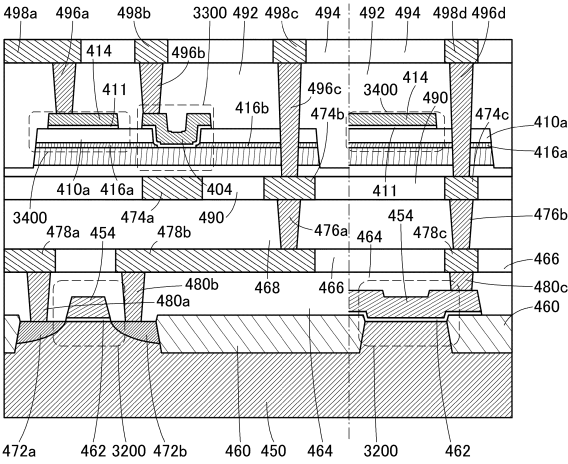
20

30

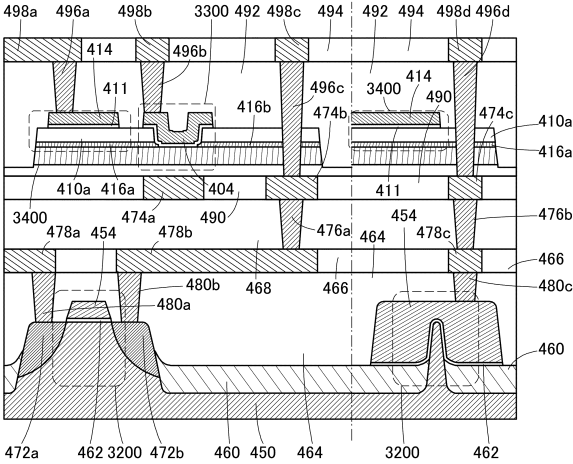
40

50

【図 2 5】

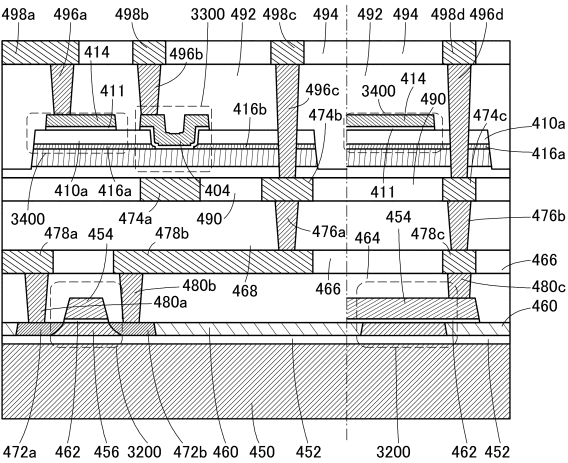


【図 2 6】

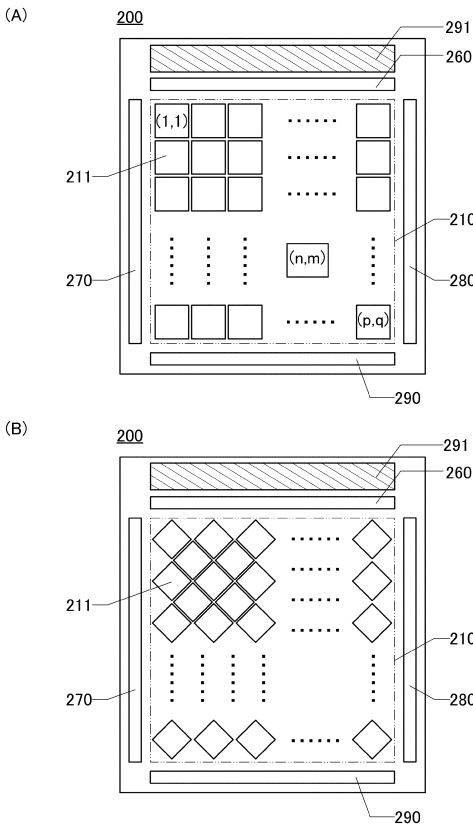


10

【図 2 7】



【図 2 8】



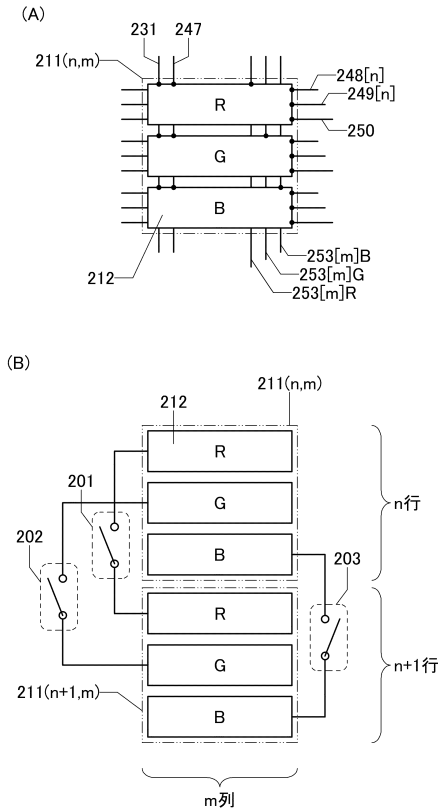
20

30

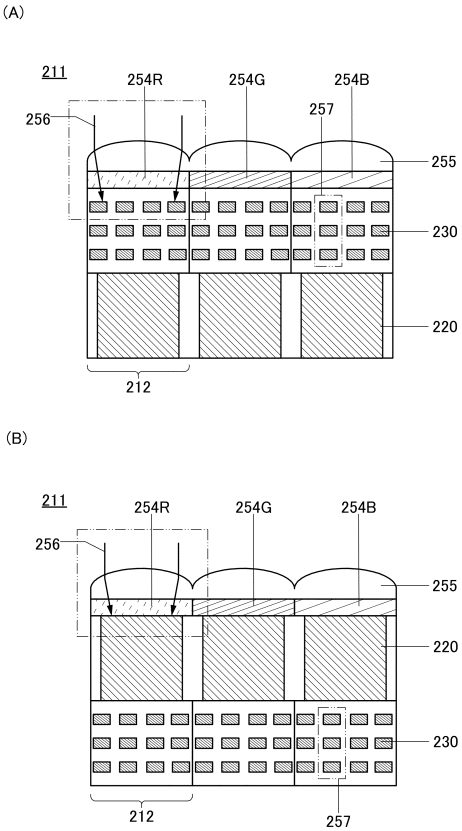
40

50

【図 29】



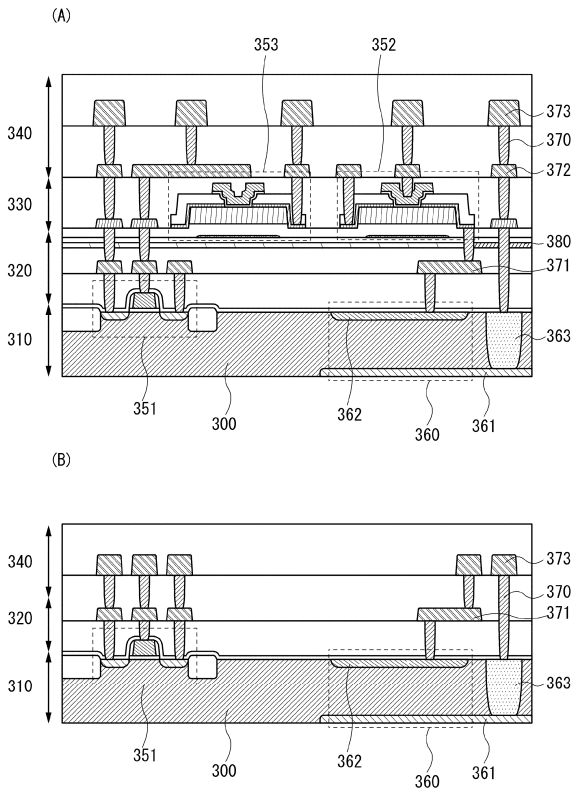
【図 30】



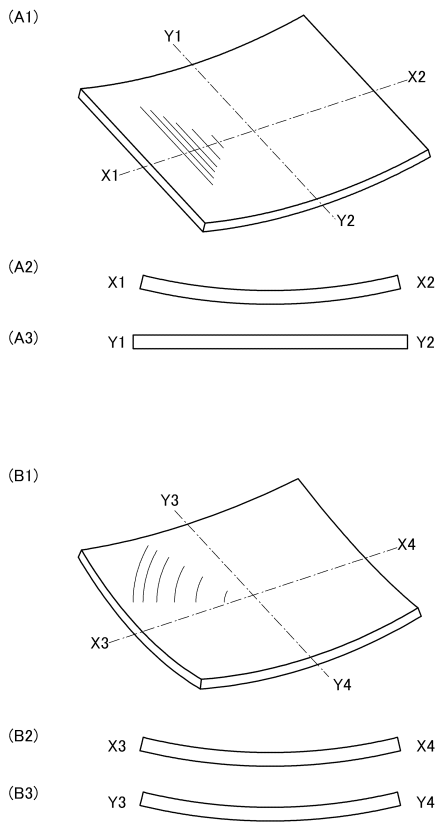
10

20

【図 31】



【図 32】

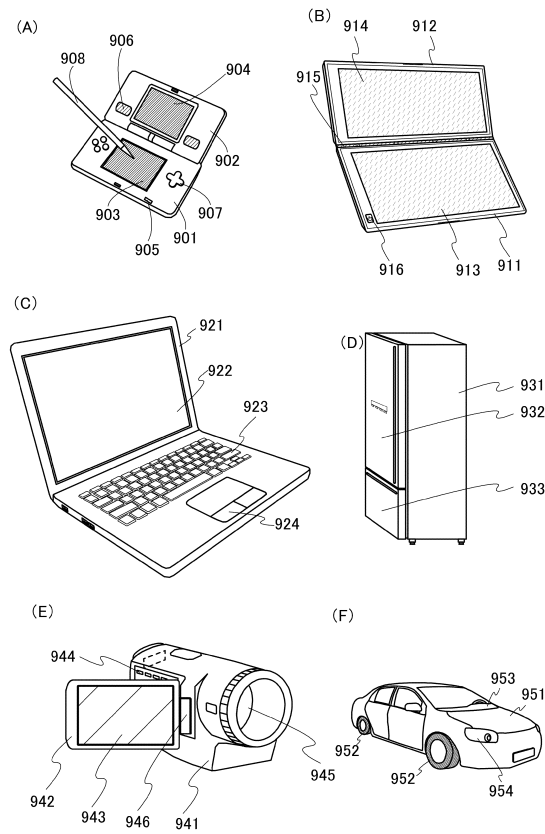


30

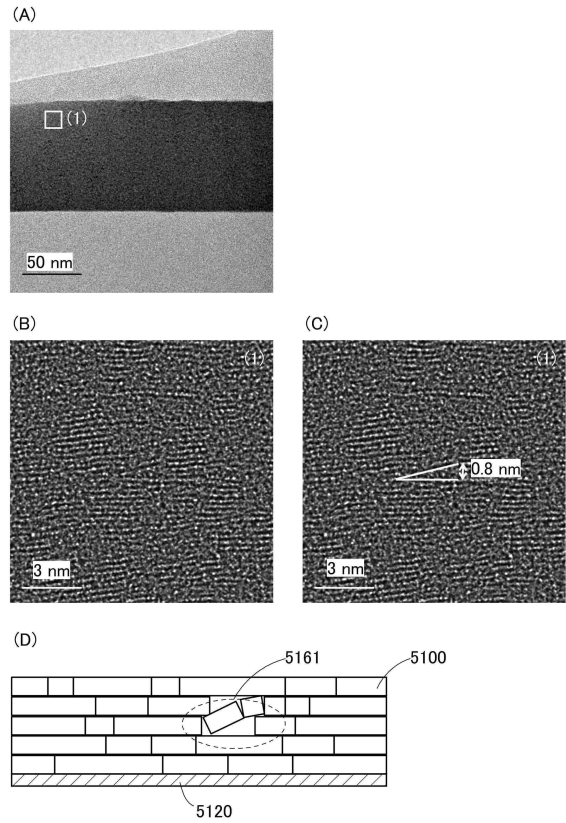
40

50

【図 3 7】



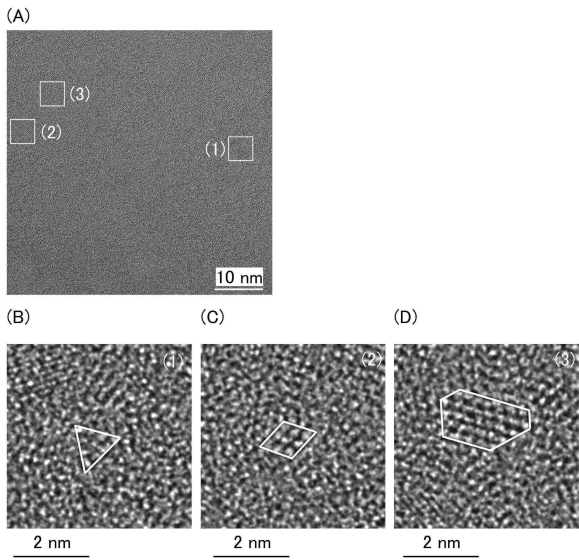
【図 3 8】



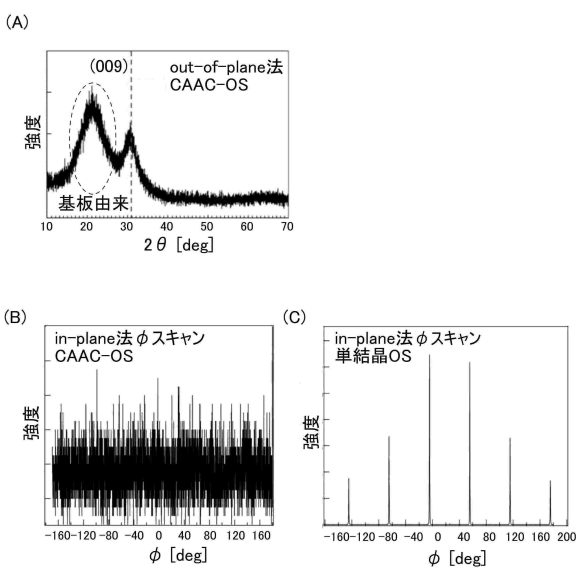
10

20

【図 3 9】



【図 4 0】

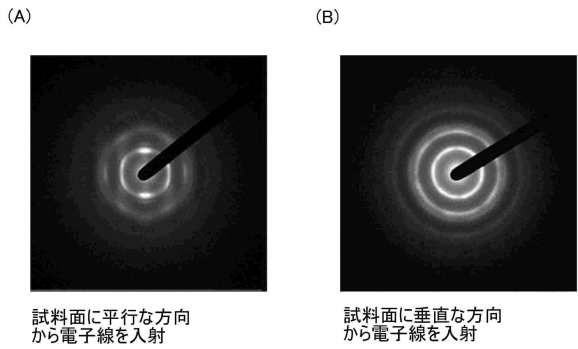


30

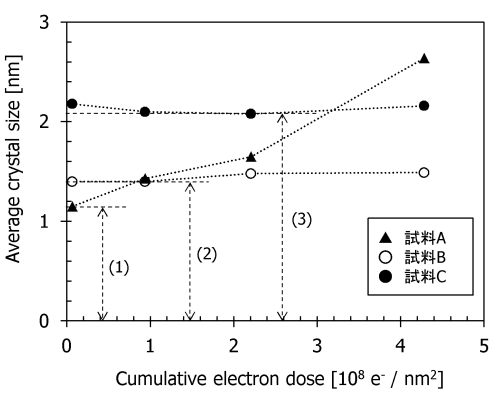
40

50

【図 4 1】

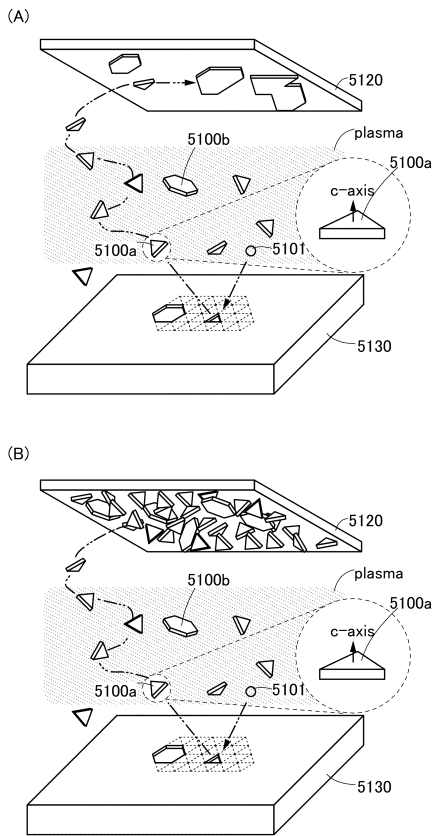


【図 4 2】

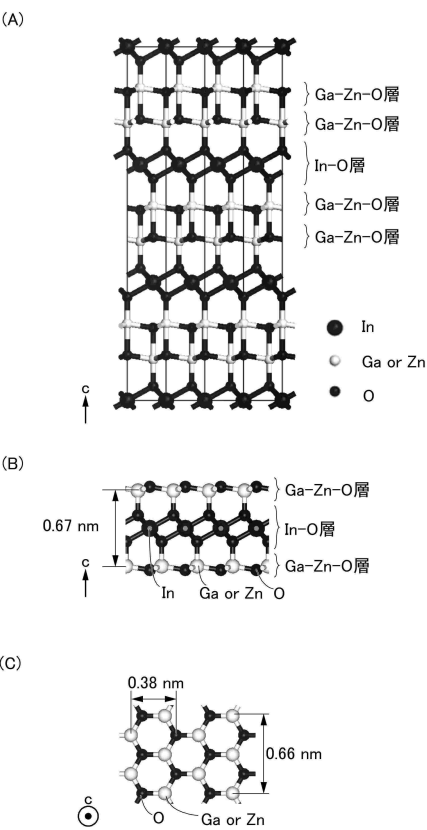


10

【図 4 3】



【図 4 4】



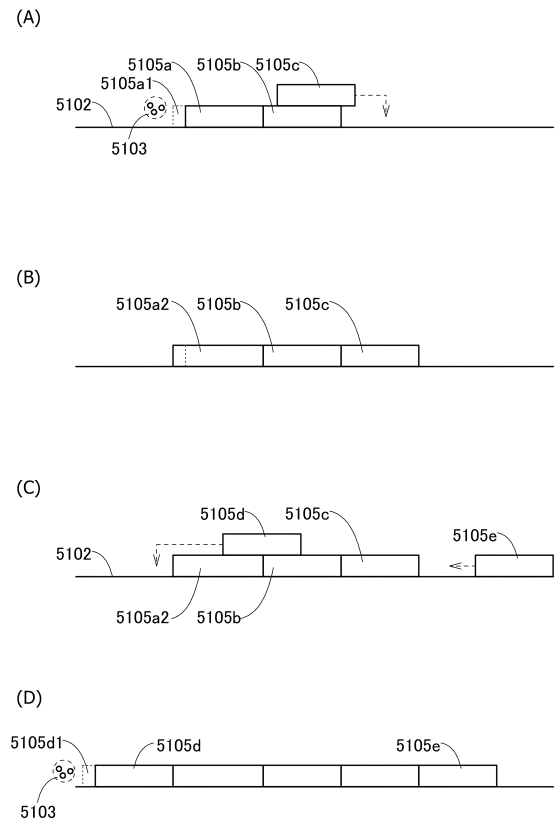
20

30

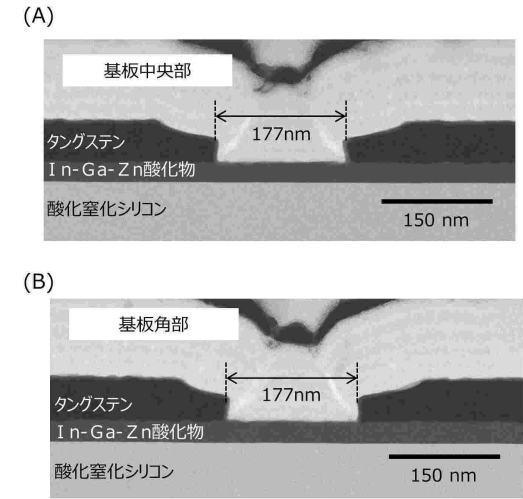
40

50

【図 4 5】



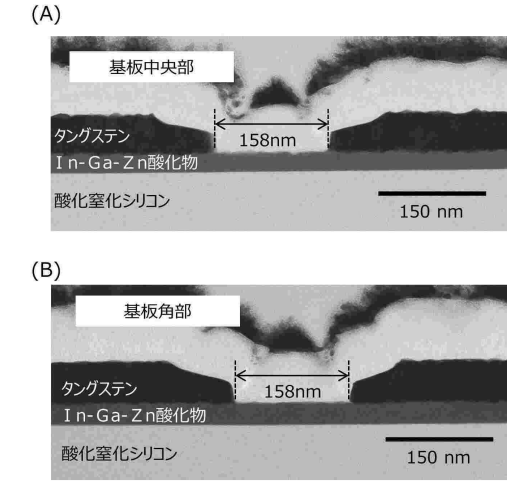
【図 4 6】



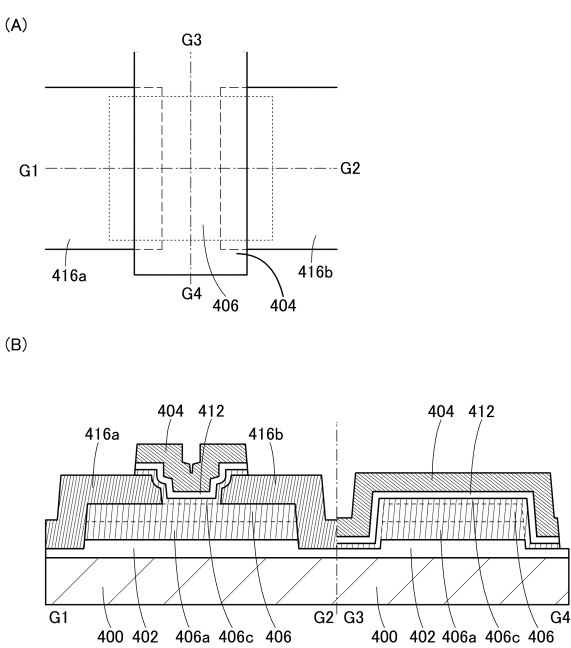
10

20

【図 4 7】



【図 4 8】

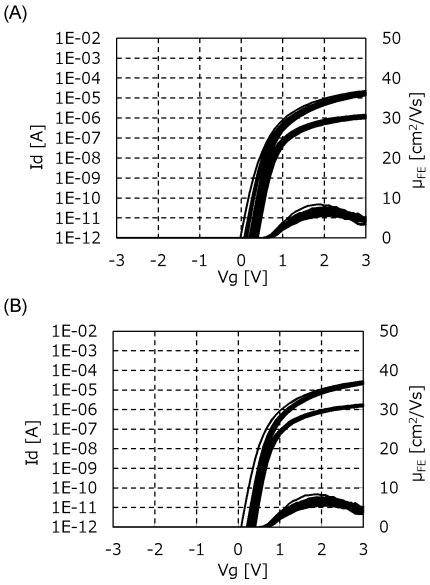


30

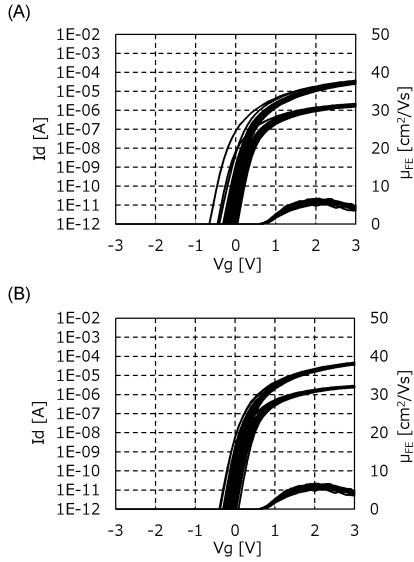
40

50

【図 49】

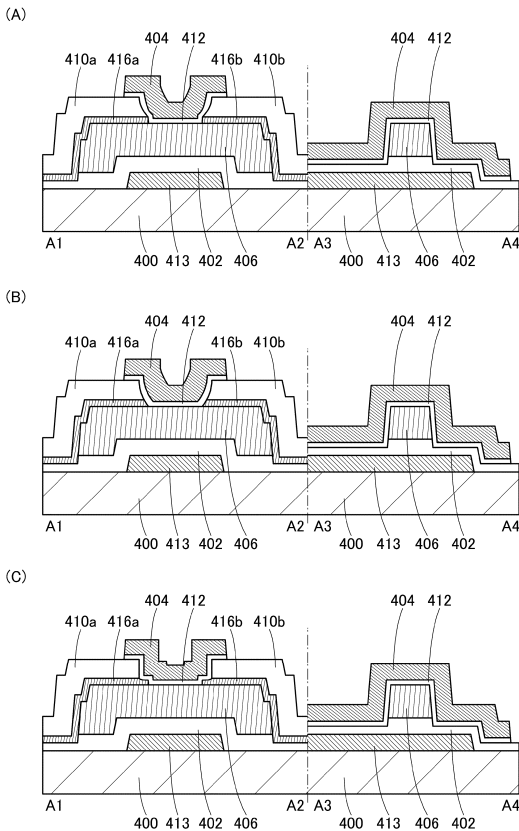


【図 50】

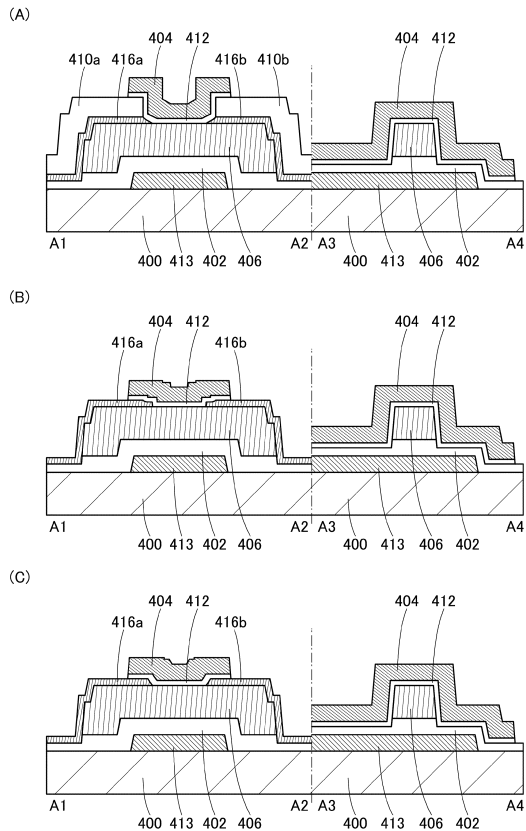


10

【図 51】



【図 52】



20

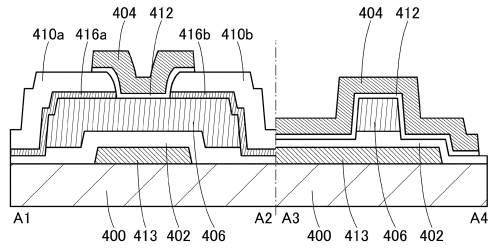
30

40

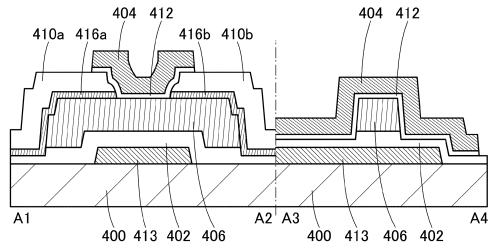
50

【図 5 3】

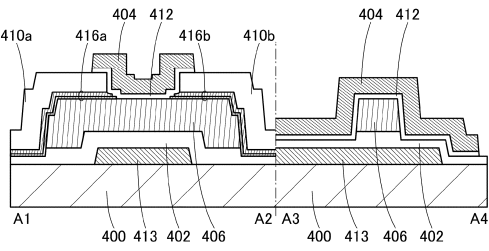
(A)



(B)



(C)



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
	H 1 0 B	12/00	8 0 1
	H 1 0 B	41/70	
	H 1 0 B	99/00	4 4 1
(72)発明者 山崎 舜平			
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内			
審査官 岩本 勉			
(56)参考文献	特開 2 0 1 2 - 2 4 8 8 2 9 (J P , A)		
	米国特許出願公開第 2 0 1 2 / 0 2 8 0 2 3 8 (U S , A 1)		
	特開 2 0 1 4 - 0 0 3 2 8 0 (J P , A)		
	特開 2 0 1 4 - 0 2 9 9 9 4 (J P , A)		
	韓国公開特許第 1 0 - 2 0 1 4 - 0 0 0 1 1 1 7 (K R , A)		
(58)調査した分野	(Int.Cl. , D B 名)		
	H 0 1 L	2 1 / 3 3 6	
	H 0 1 L	2 9 / 7 8 6	
	H 1 0 B	1 2 / 0 0	
	H 1 0 B	4 1 / 7 0	
	H 1 0 B	9 9 / 0 0	