

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4916671号
(P4916671)

(45) 発行日 平成24年4月18日 (2012. 4. 18)

(24) 登録日 平成24年2月3日 (2012. 2. 3)

(51) Int. Cl. F I
H O 1 L 29/80 (2006. 01) H O 1 L 29/80 V
H O 1 L 21/338 (2006. 01) H O 1 L 29/80 H
H O 1 L 29/778 (2006. 01)
H O 1 L 29/812 (2006. 01)

請求項の数 9 (全 11 頁)

(21) 出願番号	特願2005-104984 (P2005-104984)	(73) 特許権者	000154325
(22) 出願日	平成17年3月31日 (2005. 3. 31)		住友電工デバイス・イノベーション株式会 社
(65) 公開番号	特開2006-286942 (P2006-286942A)		神奈川県横浜市栄区金井町 1 番地
(43) 公開日	平成18年10月19日 (2006. 10. 19)	(74) 代理人	100087480
審査請求日	平成20年3月19日 (2008. 3. 19)		弁理士 片山 修平
早期審査対象出願		(72) 発明者	中田 健
			山梨県中巨摩郡昭和町大字紙漉阿原 1 〇 〇 〇 番地 ユーディナデバイス株式会社内
		(72) 発明者	川崎 健
			山梨県中巨摩郡昭和町大字紙漉阿原 1 〇 〇 〇 番地 ユーディナデバイス株式会社内
		(72) 発明者	八重樫 誠司
			山梨県中巨摩郡昭和町大字紙漉阿原 1 〇 〇 〇 番地 ユーディナデバイス株式会社内
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

基板上に形成され、側面に傾斜面を有する上側に広く底側に狭い開口部を有する G a N 系半導体層と、

前記開口部の前記傾斜面、前記底および前記開口部外側における前記 G a N 系半導体層上に形成された電子走行層と、

前記開口部の前記傾斜面、前記底および前記開口部外側における前記電子走行層上に形成され、前記電子走行層よりバンドギャップの大きい電子供給層と、

前記電子供給層の前記開口部側の側面に形成されたゲート電極と、

前記 G a N 系半導体層上に形成され、前記開口部外側における前記 G a N 系半導体層上に形成された前記電子供給層に開口が形成され、前記開口内において前記電子走行層の前記電子供給層側の界面に形成された 2 次元電子ガスに直接接続するソース電極と、

前記 G a N 系半導体層の前記ソース電極と相対する面に接続されたドレイン電極と、を具備する半導体装置。

【請求項 2】

前記 G a N 系半導体層は P 型 G a N 系半導体層を含み、

前記開口部は少なくとも前記 P 型 G a N 系半導体層を除去されており、

前記電子走行層は、前記 P 型 G a N 系半導体層の側面に形成された請求項 1 記載の半導体装置。

【請求項 3】

10

20

前記GaN系半導体層は、前記P型GaN系半導体層を挟む第1のN型GaN系半導体層および第2のN型GaN系半導体層を含む請求項2記載の半導体装置。

【請求項4】

前記P型GaN系半導体層はGaN層とAlGaN層の少なくとも一方である請求項2または3記載の半導体装置。

【請求項5】

前記電子走行層が $\text{In}_{x_2}\text{Al}_{y_2}\text{Ga}_{(1-x_2-y_2)}\text{N}$ 層であり、前記電子供給層が $\text{In}_{x_1}\text{Al}_{y_1}\text{Ga}_{(1-x_1-y_1)}\text{N}$ 層であり $(0 < x_2, y_2, x_1, y_1 < 1)$ 、 $2.81(y_1 - y_2) - 1.50(x_1 - x_2) > 0$ の関係を満たす請求項1から4のいずれか一項記載の半導体装置。

10

【請求項6】

前記電子走行層はGaNとInGaNのいずれか一方であり、前記電子供給層はAlGaNである請求項1から4のいずれか一項記載の半導体装置。

【請求項7】

前記電子走行層と前記電子供給層の間に、前記開口部の前記傾斜面、前記底および前記開口部外側における前記GaN系半導体層上に形成されたAlN層を具備し、

前記電子供給層の開口に連通するように前記AlN層に開口が形成され、前記ソース電極は前記連通した開口内において、前記2次元電子ガスに直接接続する請求項1から6のいずれか一項記載の半導体装置。

20

【請求項8】

前記電子走行層は、5から100nmの膜厚を有する請求項1から7のいずれか一項記載の半導体装置。

【請求項9】

前記基板はSiC基板、サファイア基板およびGaNを含む半導体基板のいずれかである請求項1から8のいずれか一項記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置、特に、縦型構造を有する電力制御用トランジスタに関する。

【背景技術】

30

【0002】

電力制御用トランジスタは家電、電鉄、電気自動車、電力など幅広い分野で用いられている。電力制御用トランジスタには、高電力が印加されても絶縁破壊しない高耐圧が要求される。また、低損失を実現するため、オン抵抗の小さいことが要求される。そこで、近年電力制御用トランジスタとして縦型構造を有するトランジスタが注目されている。

【0003】

特に、GaN系半導体層を有する縦型トランジスタは、GaN系半導体が高耐圧で高移動度を有する半導体であることから注目されている。GaN系半導体とは、例えば、GaN、AlNまたはInNの少なくとも1つを含む単結晶または混晶である。特許文献1には以下のGaN系半導体層を有する縦型FET(従来技術1)が開示されている。不純物を添加しないGaN系半導体層(チャンネル層)の側面にバンドギャップの大きいGaN系半導体層(キャップ層)を形成する。キャップ層側面にゲート電極を形成する。チャンネル層の上下をソース電極およびドレインに接続する。チャンネル層のキャップ層界面を流れる電子をゲート電極で制御している。さらに、特許文献2には、チャンネル層がP型のGaN層であり、キャップ層を絶縁膜としたGaN系半導体層を有する縦型FET(従来技術2)が開示されている。

40

【特許文献1】特開2003-51508号公報

【特許文献2】特開2003-163354号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 4 】

しかしながら、特許文献 1 および特許文献 2 に記載された従来技術においては、ピンチオフ特性が悪い。また、チャネル層の移動度が低く、これにより、オン抵抗が高くなってしまふ。これでは、十分な電気的特性が得られない。

【 0 0 0 5 】

本発明は、ピンチオフ特性を改善しまたはチャネル層の移動度を向上させ電気的特性の良好な半導体装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明は、基板上に形成され、側面に傾斜面を有する上側に広く底側に狭い開口部を有する G a N 系半導体層と、前記開口部の前記傾斜面、前記底および前記開口部外側における前記 G a N 系半導体層上に形成された電子走行層と、前記開口部の前記傾斜面、前記底および前記開口部外側における前記電子走行層上に形成され、前記電子走行層よりバンドギャップの大きい電子供給層と、前記電子供給層の前記開口部側の側面に形成されたゲート電極と、前記 G a N 系半導体層上に形成され、前記開口部外側における前記 G a N 系半導体層上に形成された前記電子供給層に開口が形成され、前記開口内において前記電子走行層の前記電子供給層側の界面に形成された 2 次元電子ガスに直接接続するソース電極と、前記 G a N 系半導体層の前記ソース電極と相対する面に接続されたドレイン電極と、を具備するである。本発明によれば電子走行層と電子供給層を再成長することにより電子走行層の 2 D E G の移動度を向上させ電気的特性の良好な半導体装置を提供することができる。

【 0 0 0 7 】

本発明は、前記 G a N 系半導体層は P 型 G a N 系半導体層を含み、前記開口部は少なくとも前記 P 型 G a N 系半導体層を除去されており、前記電子走行層は、前記 P 型 G a N 系半導体層の側面に形成された半導体装置とすることができる。本発明によれば、P 型 G a N 系半導体層を有することによりピンチオフ特性を改善し電気的特性の良好な半導体装置を提供することができる。

【 0 0 0 8 】

本発明は、前記 G a N 系半導体層は、前記 P 型 G a N 系半導体層を挟む第 1 の N 型 G a N 系半導体層および第 2 の N 型 G a N 系半導体層を含む半導体装置とすることができる。また、本発明は、前記 P 型 G a N 系半導体層は G a N 層と A l G a N 層の少なくとも一方である半導体装置とすることができる。さらに、本発明は、前記電子走行層が $In_{x_2}Al_{y_2}Ga_{(1-x_2-y_2)}N$ 層であり、前記電子供給層が $In_{x_1}Al_{y_1}Ga_{(1-x_1-y_1)}N$ 層であり $(0 < x_2, y_2, x_1, y_1 < 1)$ 、 $2.81(y_1 - y_2) - 1.50(x_1 - x_2) > 0$ の関係を満たす半導体装置とすることができる。さらに、本発明は、前記電子走行層は G a N と $InGaN$ のいずれか一方であり、前記電子供給層は A l G a N である半導体装置とすることができる。さらに、本発明は、前記電子走行層と前記電子供給層の間に、前記開口部の前記傾斜面、前記底および前記開口部外側における前記 G a N 系半導体層上に形成された A l N 層を具備し、前記電子供給層の開口に連通するように前記 A l N 層に開口が形成され、前記ソース電極は前記連通した開口内において、前記 2 次元電子ガスに直接接続する半導体装置とすることができる。さらに、本発明は、前記電子走行層は、5 から 100 nm の膜厚を有する半導体装置とすることができる。さらに、本発明は、前記基板は S i C 基板、サファイア基板、G a N 基板である半導体装置とすることができる。

【発明の効果】

【 0 0 1 2 】

本発明によれば、ピンチオフ特性を改善し、または電子走行層の移動度を向上させ電気的特性の良好な縦型 F E T である半導体装置を提供することができる。

【発明を実施するための最良の形態】

【 0 0 1 3 】

10

20

30

40

50

従来技術において、ピンチオフ特性やチャネル層の移動度が低かった原因について説明する。まず、従来技術の縦型FETの構造について図1を用い簡単に説明する。基板40上に、GaN系半導体層20として、n型バッファ層42、n型ドリフト層44、不純物を添加しないまたはp型のチャネル層46、n型のソース層48が形成されている。ドリフト層44に達する開口部58が設けられ、開口部58を覆うようにキャップ層51が形成されている。ソース層48上にソース電極50、開口部58にゲート電極52、基板40の裏面にドレイン電極54が形成されている。

【0014】

従来技術の縦型FETにおいては、電子は、ソース電極50からチャネル層46のキャップ層51界面を通り、縦方向に流れドレイン電極54に至る。従来技術1においては、チャネル層46に不純物を添加していない。これより、ソース電極50とドレイン電極54に高電圧を印加した場合、電子は、チャネル層46のキャップ層51界面より深いチャネル層46を流れてしまい、ピンチオフ特性が劣化してしまう。

【0015】

一方、従来技術2においては、以下に説明するようにピンチオフ特性は改善される。図2は従来技術2のキャップ層51である酸化アルミニウム層とチャネル層46であるp型GaN層の界面付近のバンド図である。図2で斜線領域はP型領域であることを示している。チャネル層46中では、p型不純物によりバンドが持ち上がる。これにより、ソース電極50とドレイン電極54に高電圧を印加した場合であっても、電子はチャネル層46のキャップ層51界面を流れる。よって、ピンチオフ特性を改善できる。

【0016】

しかし、従来技術2においては、チャネル層の移動度が低くなってしまう。一般にGaN系半導体層のp型不純物はMgが使用される。しかし、GaN系半導体層でのMgの活性化率は数%と非常に低い。これでは、 $1 \times 10^{17} \text{ cm}^{-3}$ のp型キャリア濃度を得ようとすると、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度のMgを添加せざるを得なくなる。この結果、電子がチャネル層46内にある大量のMgによって散乱され移動度が低下してしまう。よって、オン抵抗が高くなってしまう。

【0017】

さらに、従来技術1および従来技術2においては、キャップ層51とチャネル層46の間の界面準位密度が高くチャネル層46の移動度を低下させてしまう。界面準位密度が高いのは以下の原因による。キャップ層51として窒化物半導体(GaN系半導体)層を用いる場合、窒化物半導体(GaN系半導体)層の成長温度が高いこと、窒素の乖離温度が高いことから、成長前の昇温時にチャネル層46から窒素の離脱が生じ、チャネル層46内に結晶欠陥を増加させる。キャップ層51として絶縁膜層を用いる場合、GaN系半導体層であるチャネル層46上にはSiのように良質な絶縁膜層は形成できない。このように、キャップ層46として、窒化物半導体(GaN系半導体)層を用いる場合であっても絶縁膜層を用いる場合であっても、キャップ層51とチャネル層46の間の界面準位密度が高くチャネル層46の移動度を低下させてしまう。よって、オン抵抗が高くなってしまう。以下、上記課題を解決する実施形態につき、実施例を例に説明する。

【実施例1】

【0018】

図3は実施例1の断面図である。導電性のSiC基板10上に、GaN系半導体層20として、n型AlGaNバッファ層12、n型GaNドリフト層14(第1のN型GaN系半導体層)、p型GaNまたはAlGaNバリア層16(P型GaN系半導体層)およびn型GaNキャップ層18(第2のN型GaN系半導体層)が形成されている。すなわち、GaN系半導体層20はP型GaN系半導体層を含み、P型GaN系半導体層挟む第1のGaN系半導体層および第2のGaN系半導体層を含む。

【0019】

GaN系半導体層20にはドリフト層14に達する開口部28が形成されている。すなわち、開口部28は少なくともバリア層16(P型GaN系半導体層)を除去されている

10

20

30

40

50

。開口部 28 を覆うように再成長層 27 として、不純物を添加しない GaN 電子走行層 22、AlN 中間層 24、電子走行層 22 よりバンドギャップの大きい AlGaIn 電子供給層 26 が形成されている。キャップ層 18 上にソース電極 30、開口部 28 内にゲート電極 32、基板 10 の裏面にドレイン電極 34 が形成されている。すなわち、電子走行層 22 は開口部 28 の GaN 系半導体層 20 の側面に形成され、電子供給層 26 は、電子走行層 22 の前記開口部 28 側の側面に形成されている。ドレイン電極 34 は、GaN 系半導体層 20 のソース電極 30 と相対する面に接続されている。

【0020】

実施例 1 においては、電子は図 3 中の矢印のように、ソース電極 30 から電子走行層 22 を通りドリフト層 14 からドレイン電極 34 に縦方向に流れる。図 4 および図 5 はバリア層 16 付近のバンド図である。AlGaIn 電子供給層 26、AlN 中間層 24、GaN 電子走行層 22 および p 型 GaN (図 4) または AlGaIn (図 5) バリア層のバンド図である。不純物を添加しない GaN チャネル層 22 の中間層 24 界面に 2DEG (2 次元電子ガス) が生じ、電子が走行する。電子走行層 22 と中間層 24、電子供給層 26 は連続して成長しているため、従来技術のように絶縁膜との界面の界面準位や、窒素の離脱による界面準位は発生しない。これらにより 2DEG は高移動度を確保することができる。さらに、p 型のバリア層が配置されているため、従来技術 1 のように電子が 2DEG の深い半導体層を流れピンチオフ特性が悪くなることはない。

【0021】

このように、実施例 1 においては、p 型バリア層 16 を有することによりピンチオフ特性を改善し、電子走行層 22 と電子供給層 26 を再成長することにより電子走行層の 2DEG の移動度を向上させ電気的特性の良好な縦型 FET を実現できる。ここで、バリア層は図 4 のように p 型の GaN バリア層でも良いが、図 5 のように p 型の AlGaIn 層を用いることにより、バンドが上がり、よりバリア層としての機能を高め、よりピンチオフ特性を改善することができる。

【0022】

また、P 型バリア層 16 の両側に N 型 GaN 系半導体層が配置されているため、チャネル以外の抵抗を下げることができ、オン抵抗を低くすることができる。

【0023】

実施例 1 の効果を確かめるため、開口部 28 上に再成長する再成長層 27 の構成を変え縦型 FET のオン抵抗を評価した。再成長層が膜厚 30 nm の AlGaIn 層のみのとき、縦型 FET のオン抵抗は $40 \text{ m} / \text{cm}^2$ である。これに対し、膜厚が 10 nm、30 nm および 50 nm の GaN 電子走行層上に膜厚が 30 nm の AlGaIn 電子供給層を再成長した場合、オン抵抗はそれぞれ、 $20 \text{ m} / \text{cm}^2$ 、 $10 \text{ m} / \text{cm}^2$ 、および $4 \text{ m} / \text{cm}^2$ となる。このように、電子走行層 22 と電子供給層 26 を開口部 28 上に再成長することにより 2DEG の移動度を向上させ、オン抵抗を改善することができる。電子走行層 22 の膜厚は、5 nm より薄い場合は、2DEG と再成長界面が近いため 2DEG の移動度低下し、オン抵抗が高くなる。また、電子走行層 22 の膜厚が 100 nm より厚い場合には、p 型バリア層の効果が薄れピンチオフ特性が悪くなる。よって、電子走行層 22 の膜厚は、5 nm から 100 nm が好ましい。

【0024】

さらに、GaN 電子走行層の膜厚が 50 nm のとき電子供給層 26 と電子走行層 22 の間に膜厚が 2 nm の AlN 中間層 24 を導入することにより、オン抵抗は $2 \text{ m} / \text{cm}^2$ となる。このように、AlN 中間層 24 は本発明に必須ではないが、導入することにより、電子走行層 22 と電子供給層 26 の間の界面での電子の散乱が抑制され、より移動度を向上させることができる。これによりオン抵抗を改善することができる。また電子供給層 26 は不純物を添加しなくても良いが、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度の Si を添加することにより、2DEG の電子濃度が向上し、よりオン抵抗を低減することができる。

【0025】

さらに、電子走行層 22 および電子供給層 26 は GaN 系半導体として、例えば GaN

10

20

30

40

50

、AlNおよびInNの少なくとも一つからなる結晶または混晶を用いることで高移動度を確保できる。特に、電子走行層22をGaNまたはInGaN、電子供給層26をAlGaNとすることで、高移動度を確保できる。さらに、電子走行層22が $\text{In}_{x_2}\text{Al}_{y_2}\text{Ga}_{(1-x_2-y_2)}\text{N}$ 層であり、電子供給層26が $\text{In}_{x_1}\text{Al}_{y_1}\text{Ga}_{(1-x_1-y_1)}\text{N}$ 層であり($0 < x_2, y_2, x_1, y_1 < 1$)、 $2.81(y_1 - y_2) - 1.50(x_1 - x_2) > 0$ の関係を満たすことで、高移動度を確保できる。これは、 $\text{In}_{x_1}\text{Al}_{y_1}\text{Ga}_{(1-x_1-y_1)}\text{N}$ のバンドギャップは、 $E_g(x, y) = 1.89x + 6.2y + 3.39(1 - x - y)$ と記述できる。よって、電子供給層26が電子走行層よりもバンドギャップが大きくなる条件は、 $E_g(x_1, y_1) > E_g(x_2, y_2)$ となり、 $1.89x_1 + 6.2y_1 + 3.39(1 - x_1 - y_1) > 1.89x_2 + 6.2y_2 + 3.39(1 - x_2 - y_2)$ より $2.81(y_1 - y_2) - 1.5(x_1 - x_2) > 0$ となるからである。ここで、 $x = 0$ のときはInNが含まれていないAlGaNであることを示し、 $y = 0$ のときはAlNが含まれないInGaNであることを示し、 $x = y = 0$ のときはGaNであることを示している。

【0026】

ドレイン電極34を基板10の裏面に形成しているが、ドリフト層14のソース電極30と相対する面に接続されていればよい。例えばドリフト層14と基板10の間にn型のSiCコンタクト層を設け、表面側からコンタクト層に接続されるドレイン電極を形成することもできる。基板10の背面にドレイン電極34を形成する場合は、基板10は、例えばSiC、Si、GaN系半導体の導電性の基板を用いることができる。表面からドレイン電極を形成する場合は、基板は導電性でなくともよく、例えばSiC、Si、GaN系半導体またはサファイア基板を使用する。これらを用いることにより結晶性の良いGaN系半導体層が形成される。

【0027】

次に実施例1の製造方法について図6から図11を用い説明する。まず、図6において、導電性SiC基板10上に、GaN系半導体層20として、n型AlGaNバッファ層12、n型GaNドリフト層14(第1のN型GaN系半導体層)、p型AlGaNバリア層16(P型GaN半導体層)およびn型GaNキャップ層(第2のGaN系半導体層)を形成する。これらの層の形成は、例えば、MOCVD(有機金属化学気相成長)法を用い成長温度1050℃において行った。なお、MOCVD法でなくともMBE(分子線エピタキシャル)法を用いても良い。これにより結晶性の良いGaN系半導体層を形成できる。また、各層の膜厚は、それぞれ0.5μm、4.0μm、0.5μmおよび0.3μmである。さらに、各層のキャリア濃度は、それぞれ、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 、 $5.0 \times 10^{16} \text{ cm}^{-3}$ および $5.0 \times 10^{17} \text{ cm}^{-3}$ である。また、バッファ層12およびバリア層16のAlN混晶比は、それぞれ0.06および0.09である。

【0028】

次に、図7において、キャップ層18上に例えばスパッタ法により酸化シリコン膜を200nm形成した。その後、通常の露光技術を用い所定領域にフォトリソを形成した。緩衝フッ酸を用いたウェットエッチングにより所定領域の酸化シリコン膜を除去する。その後、酸素を用いたアッシングにより酸化シリコン膜上のレジストを除去した。酸化シリコン膜をマスクに塩素系のガスを用いたRIE(反応性イオンエッチング)法により、キャップ層18、バリア層17並びにドリフト層14の一部をエッチングし、開口部28を形成する。このとき、開口部28の側面には、キャップ層18、バリア層17並びにドリフト層14の一部が露出している。開口部28の側面は、基板表面に対し約60度の傾斜面となっている。この傾斜面の基板表面に対する角度は、RIE法で用いる塩素ガスのガス圧および他のガスとの流量比により制御可能である。マスクに使用した酸化シリコン膜は例えば緩衝フッ酸を用いたウェットエッチングにより除去する。さらに、開口部28の側面のGaN系半導体層20の結晶表面を清浄化するため、フッ化アンモニウム(NH_4F)水溶液による洗浄および塩酸(HCl)水溶液による洗浄を連続して行った。

【0029】

図8において、再成長層27として、まず、MOCVD法を用い成長温度1020℃で不純物を添加しないGa_{0.99}N電子走行層22を50nm形成した。その後、成長温度を1080℃に上昇しAl_{0.01}N中間層24を2nm、Al_{0.01}N混晶比が0.27のAl_{0.99}GaN電子供給層26を30nm形成した。すなわち、開口部28の側面に電子走行層22および電子供給層26を形成した。再成長は、開口部28の側面での成長速度の低下を避けるため、Ga_{0.99}N系半導体層20の成長温度より低い温度で、かつ高いV/III比で形成することが好ましい。さらに、電子走行層22の形成から中間層24および電子供給層26を形成するために成長温度を昇温する際、結晶表面へのダメージを低減するため短時間で昇温することが好ましい。例えば、20分以下の時間で昇温することが好ましい。なお、MOCVD法でなくともMBE(分子線エピタキシャル)法を用いても良い。

10

【0030】

図9において、通常の高圧技術を用い、所定領域に開口部を有するフォトリソストを形成する。蒸着法およびリフトオフ法を用い、キャップ層18の平坦面上にソース電極30としてTi/Alを形成する。窒素雰囲気中において800℃の温度で30秒の熱処理を行う。これにより、Ti/Alとキャップ層18の界面に合金層を形成する。この結果、オーミックコンタクト抵抗が0.4mΩ程度の良好なオーミックコンタクトが得られた。ソース電極30としては、Ti/Al以外にもGa_{0.99}N系半導体層20とオーミックコンタクトする金属であれば良い。また、ソース電極30としてTi/Alを蒸着する前に、塩素系ガスを用いたRIE法によるエッチングで、Al_{0.99}GaN電子供給層26およびAl_{0.01}N中間層24を除去することが好ましい。この場合、中間層24による電子のバリアがなく、オーミックコンタクト抵抗を0.2mΩに低減することができる。

20

【0031】

図10において、通常の高圧技術を用い、所定の開口部を有するフォトリソストを形成する。蒸着法およびリフトオフ法を用い、開口部28の側面にゲート電極32としてNi/Auを形成する。すなわち、電子供給層26の開口部28側の側面にゲート電極32を形成した。ゲート電極32としては、Ni/Au以外にも例えばPt/Au、Pd/AuおよびMo/Au等のGa_{0.99}N系半導体とショットキ接合を形成金属であってもよい。

【0032】

ゲート電極32を形成する前に、例えばシリコン膜の絶縁膜(図示せず)をスパッタ法を用い、開口部28の側面を覆うように10nm形成し、ゲート電極32を形成することもできる。これにより、MISFET構造を有する縦型FETとすることもできる。絶縁膜としては、酸化シリコン膜以外にも、窒化シリコン膜、酸化アルミニウム膜を使用してもよい。

30

【0033】

ゲート電極32およびソース電極30に接続する配線層(図示せず)を形成する。次に、トランジスタ表面を保護する絶縁膜層(図示せず)として、例えば窒化シリコン膜、酸化シリコン膜または窒化酸化シリコン膜をトランジスタ表面全体を覆うように形成する。ボンディングパッド部(図示せず)の絶縁膜層をRIE法を用い除去する。以上によりウェーハ表面の製造工程が完了する。

40

【0034】

図11において、ウェーハ表面をフォトリソストで保護する。SiC基板10の裏面を研削装置により基板厚が100μmまで研削する。蒸着法を用い、ドレイン電極34としてNi/Auを形成する。ウェーハ表面のフォトリソストを酸素アッシングにより除去する。850℃の温度で30秒間熱処理する。これにより、SiC基板10とドレイン金属34が合金を形成し、基板10とドレイン金属34がオーミックコンタクトする。以上により実施例1に係る縦型FETが完成する。

【0035】

実施例1の変形例について説明する。図12は実施例1の変形例に係る縦型FETの断面図である。開口部28aの側面の基板10の表面からの角度が概垂直になっていること

50

以外の構成および製造方法は実施例１と同じである。S i C基板１０上にG a N系半導体層２０が実施例１と同じ層構造で形成されている。G a N系半導体層２０には側面が基板１０の表面に対し概垂直の側面を有し、ドリフト層１４に達する開口部２８aが形成されている。基板１０の表面に対し概垂直な開口部２８aの側面は、開口部２８aを形成する際のR I E法で用いる塩素ガスのガス圧および他のガスとの流量比を最適化することにより形成する。開口部２８aを覆うように、再成長層２７aとして、不純物を添加しないG a N電子走行層２２a、A l N中間層２４a、電子走行層２２aよりバンドギャップの大きいA l G a N電子供給層２６aが形成されている。ソース電極３０、ゲート電極３２およびドレイン電極３４が実施例１同様に形成されている。

【００３６】

10

変形例においては、実施例１と同様にピンチオフ特性を改善し、電子走行層の移動度を向上させ電気的特性の良好な縦型F E Tを実現できる。さらに、開口部２８aの側面が基板表面に対し概垂直なため、開口部２８aの側面の角度制御が不安定であることによるトランジスタ特性の不安定性が小さいという点で実施例１に比べ有利である。しかし、電子供給層２６a内のピエゾ分極が発生が小さいため、２D E G濃度が減少しオン抵抗が低下するという点で実施例１より不利である。ただし、２D E G濃度が低いことはEモード動作を行うには有利である。このように、縦型F E Tの用途により、実施例１の構造か変形例の構造かを選択することができる。

【図面の簡単な説明】

【００３７】

20

【図１】図１は従来技術の断面図である。

【図２】図２は従来技術のキャップ層とチャネル層付近のバンド図である。

【図３】図３は実施例１の断面図である。

【図４】図４は実施例１の電子供給層、電子走行層、バリア層付近のバンド図（その１）である。

【図５】図５は実施例１の電子供給層、電子走行層、バリア層付近のバンド図（その２）である。

【図６】図６は実施例１の製造工程の断面図（その１）である。

【図７】図７は実施例１の製造工程の断面図（その２）である。

【図８】図８は実施例１の製造工程の断面図（その３）である。

30

【図９】図９は実施例１の製造工程の断面図（その４）である。

【図１０】図１０は実施例１の製造工程の断面図（その５）である。

【図１１】図１１は実施例１の製造工程の断面図（その６）である。

【図１２】図１２は実施例１の変形例の断面図である。

【符号の説明】

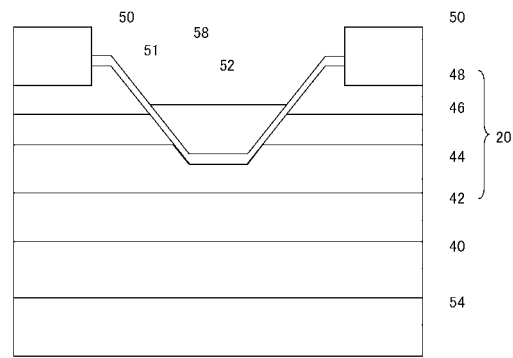
【００３８】

１０	S i C基板
１２	A l G a Nバッファ層
１４	G a Nドリフト層
１６	バリア層
１８	A l G a Nキャップ層
２０	G a N系半導体層
２２、２２a	電子走行層
２４、２４a	中間層
２６、２６a	電子供給層
２７、２７a	再成長層
２８、２８a	開口部
３０	ソース電極
３２	ゲート電極
３４	ドレイン電極

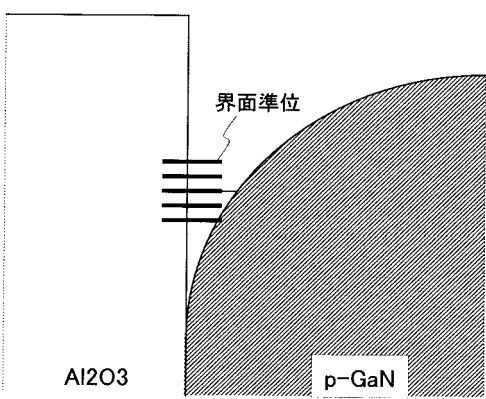
40

50

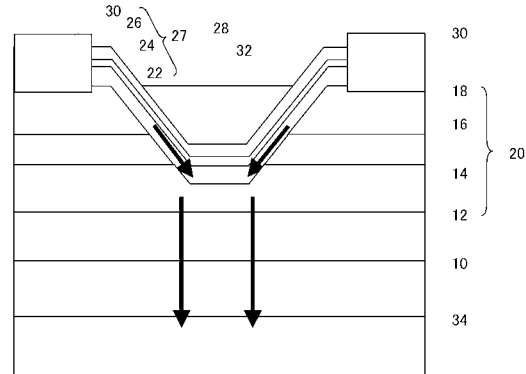
【図 1】



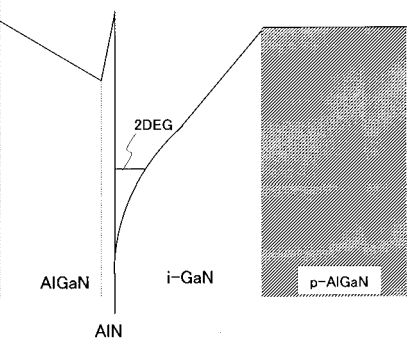
【図 2】



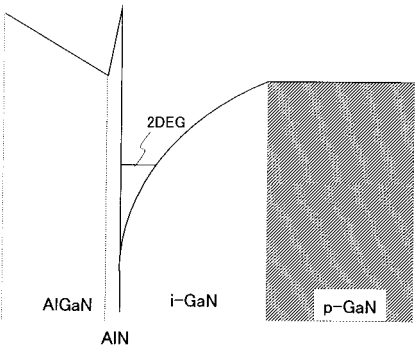
【図 3】



【図 5】



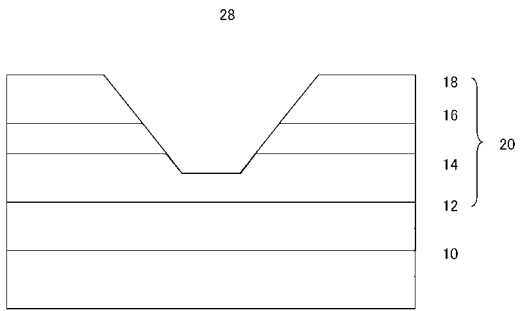
【図 4】



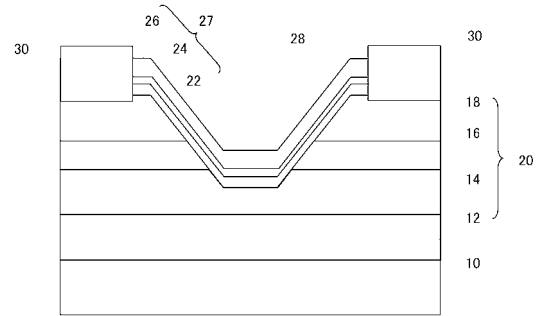
【図 6】



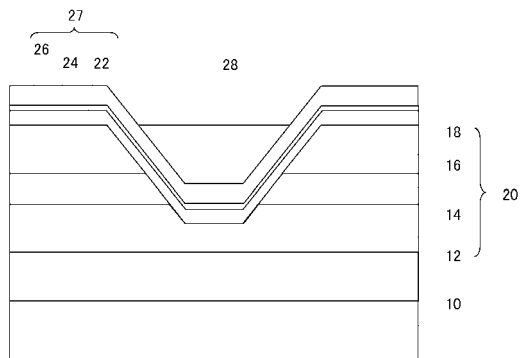
【図 7】



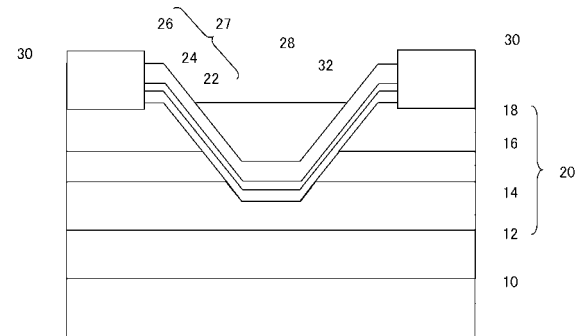
【図 9】



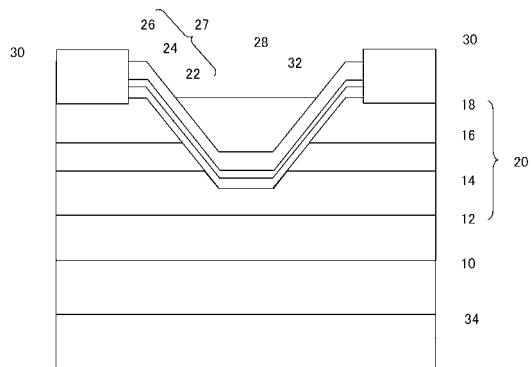
【図 8】



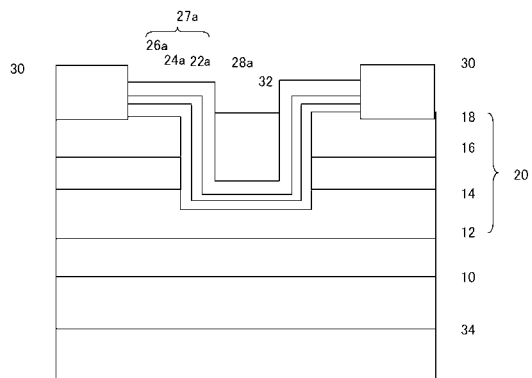
【図 10】



【図 11】



【図 12】



フロントページの続き

審査官 村岡 一磨

- (56)参考文献 特開2004-260140(JP,A)
特開2003-051508(JP,A)
特開2003-229439(JP,A)
特開2002-076024(JP,A)
国際公開第2003/049193(WO,A1)
特開昭61-043412(JP,A)
特開2000-312008(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/80
H01L 21/338
H01L 29/778
H01L 29/812