

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 11 月 30 日 (30.11.2017)



(10) 国际公布号
WO 2017/201832 A1

(51) 国际专利分类号:
H03M 1/66 (2006.01)

(21) 国际申请号: PCT/CN2016/089792

(22) 国际申请日: 2016 年 7 月 12 日 (12.07.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610365127.2 2016 年 5 月 26 日 (26.05.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 曾德康 (ZENG, Dekang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 徐枫程 (XU, Fengcheng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 郭东胜 (GUO, Dongsheng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市铭粤知识产权代理有限公司 (MING & YUE INTELLECTUAL PROPERTY LAW FIRM); 中国广东省深圳市南山区登良路 21 号南油第二工业区 206 栋 6 层 611 室 (恒裕中心 B 座), Guangdong 518054 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: DIGITAL-TO-ANALOG CONVERSION CIRCUIT AND DATA SOURCE CIRCUIT CHIP

(54) 发明名称: 数模转换电路以及数据源电路芯片

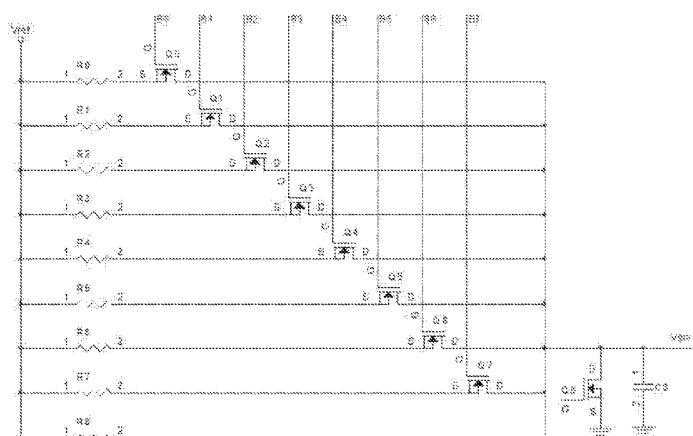


图 2

(57) Abstract: Provided are a digital-to-analog conversion circuit and a data source integrated circuit. The digital-to-analog conversion circuit comprises first MOS transistors, the number of which is equal to the number of bits of an input digital quantity. A gate of any first MOS transistor receives one bit of digital quantity, a drain of the first MOS transistor is connected to an output end of the circuit, and a source of the first MOS transistor is connected to one end of a first resistor. The other end of the first resistor is connected to a reference voltage. One end of a second resistor is connected to the reference voltage, and the other end of the second resistor is connected to the output end of the circuit. A drain of a second MOS transistor is connected to the output end of the circuit, a source of the second MOS transistor is grounded, and a gate of the second MOS transistor receives a row blank signal. One end of a capacitor is connected to



WO 2017/201832 A1

CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

the output end, and the other end of the capacitor is grounded. By means of the circuit above and the data source integrated circuit, the number of MOS transistors used in the digital-to-analog conversion circuit can be greatly reduced, so that the size and costs of the data source integrated circuit can be effectively reduced.

(57) 摘要: 提供一种数模转换电路以及数据源电路芯片, 所述数模转换电路包括: 与输入的数字量位数相同个数的第一MOS管, 任一第一MOS管的栅极接收一位数字量, 所述任一第一MOS管的漏极连接到所述电路的输出端, 所述任一第一MOS管的源极连接到第一电阻的一端, 第一电阻的另一端连接到基准电压, 第二电阻的一端连接到基准电压, 第二电阻的另一端连接到所述电路的输出端, 第二MOS管的漏极连接到所述电路的输出端, 第二MOS管的源极接地, 第二MOS管的栅极接收行空白信号, 电容的一端连接到输出端, 电容的另一端接地。采用上述电路及数据源电路芯片, 可极大地减少数模转换电路中采用的MOS管的数量, 以有效降低数据源电路芯片的体积和成本。

数模转换电路以及数据源电路芯片

技术领域

5 本发明总体说来涉及信号转换技术领域，更具体地讲，涉及一种能够减少 MOS 管使用数量的数模转换电路，以及用于显示面板的数据源电路芯片。

背景技术

10 在显示面板工作过程中，一般需要数据源电路芯片（source IC）将从控制芯片（TCON）传输过来的数字量转换成模拟电压值，然后将模拟电压值经过显示阵列上的显示数据线路对显示面板进行充放电，从而实现显示面板中的每个像素的正常显示。

在现有技术中，通常是通过 Source IC 中的 DAC 模块（数模转换模块）来实现由数字量到模拟电压值的转换的，且 Source IC 的体积大小以及成本很大程度上是由 DAC 模块决定的。

图 1 示出现有技术中 source IC 中的 DAC 模块的电路图，在本示例中，以输入为三位数字量（3bit）的 DAC 模块为例，为使 3bit 数字量能转换出 8 个（8 step）对应的电压值，一般需要开关 MOS 管的数量为 24（即， 3×2^3 ）个。如果 DAC 模块的输入为 8bit 数字量，则一般需要开关 MOS 管的数量为 2048（即， 8×2^8 ）个。

并且，source IC 中每一通道均需要独立的 DAC 模块进行数模转换处理，即，如果一个 8bit 的 source IC 输出通道数为 960 个通道，那么 DAC 模块中需要用到开关 MOS 管的数量将多达 1966080（即， 960×2048 ）个。如果是 10bit 的 source IC 则需要用到的开关 MOS 管的数量就更多了。

25 而 MOS 管的数量越多，则导致 source IC 的体积越大，且成本也越高。

发明内容

本发明的示例性实施例在于提供一种能够减少 MOS 管使用数量的数模转换电路以及数据源电路芯片，以有效减小数据源电路芯片的体积并降低成本。

30 根据本发明示例性实施例的一方面，提供一种数模转换电路，所述电路包括：与输入的数字量位数相同个数的第一 MOS 管，其中，任一第一 MOS 管的栅极接收一位数字量，所述任一第一 MOS 管的漏极连接到所述电路的输出端，所述任一第一 MOS 管的源极连接到第一电阻的一端，第一电阻的另一端连接到基准电压，第二电阻，第二电阻的一端连接到基准电压，第二电阻的另

一端连接到所述电路的输出端，第二 MOS 管，第二 MOS 管的漏极连接到所述电路的输出端，第二 MOS 管的源极接地，第二 MOS 管的栅极接收行空白信号，电容，电容的一端连接到输出端，电容的另一端接地

可选地，所述电路包括的第一电阻的数量可与所述第一 MOS 管的数量相同，且各个第一电阻的阻值随着数字量的位权的变化而变化，其中，通过第一 MOS 管与数字量最高位相连的第一电阻的阻值最小，通过第一 MOS 管与数字量最低位相连的第一电阻的阻值最大。

可选地，第二电阻的阻值可大于与数字量最低位相连的第一电阻的阻值。

可选地，电容的值可为固定值。

可选地，所述任一第一 MOS 管可根据从栅极接收的数字量的值来导通所述任一第一 MOS 管，以将与所述任一第一 MOS 管相连接的第一电阻接入所述电路中，接入所述电路中的各第一电阻之间为并联连接，接入所述电路中的各第一电阻与第二电阻之间可为并联连接。

可选地，一个行扫描周期可包括显示阶段和显示空白阶段，在显示阶段可根据数字量的值对电容进行充电，以将所述数模转换电路输出端的灰阶电压提供给显示面板，在显示空白阶段，所有第一 MOS 管均关断，第二 MOS 管可根据行空白信号导通，电容通过第二 MOS 管进行放电，以使得在每次对电容进行充电前，电容的电荷为零。

可选地，接入所述电路中的各第一电阻与第二电阻并联后的阻值与所述数模转换电路输出端的灰阶电压可呈非线性变化。

可选地，所述数模转换电路输出端的灰阶电压可根据以下等式计算：

$$V_{gm} = V_{ref} - V_{ref} \cdot e^{-t/RC}$$

其中， V_{gm} 表示所述数模转换电路输出端的灰阶电压， V_{ref} 表示基准电压， R 表示接入所述电路中的各第一电阻与第二电阻并联后的阻值， C 表示电容， t 表示电容的充电时间。

根据本发明示例性实施例的另一方面，提供一种数据源电路芯片，所述数据源电路芯片包括接收器、移位寄存器、行存储器、电平升压电路、根据权利要求 1 至 8 中任意一项权利要求所述的数模转换电路和放大电路。

采用上述数模转换电路以及数据源电路芯片，可极大地减少数模转换电路中采用的 MOS 管的数量，以有效降低数据源电路芯片的体积和成本。

附图说明

图 1 示出现有技术中 source IC 中的 DAC 模块的电路图；

图 2 示出根据本发明示例性实施例的数模转换电路的电路图；

图 3 示出根据本发明示例性实施例的图 2 所示的数模转换电路的输出电压

的变化曲线；

图 4 示出根据本发明示例性实施例的具有图 2 所示的数模转换电路的数据源芯片的结构图。

5 具体实施方式

现在将详细地描述本发明的示例性实施例，本发明的示例性实施例的示例示出在附图中。下面通过参照附图描述实施例来解释本发明。然而，本发明可以以许多不同的形式实施，而不应被解释为局限于在此阐述的示例性实施例。相反，提供这些实施例使得本公开将是彻底的和完整的，并且这些实施例将把本发明的范围充分地传达给本领域技术人员。

根据本发明示例性实施例的数模转换电路包括电容、第二电阻、第二 MOS 管、与输入的数字量位数相同个数的第一 MOS 管、与第一 MOS 管的数量相同个数的第一电阻。

具体说来，任一第一 MOS 管的栅极接收一位数字量，所述任一第一 MOS 管的漏极连接到所述电路的输出端，所述任一第一 MOS 管的源极连接到第一电阻的一端，第一电阻的另一端连接到基准电压，第二电阻的一端连接到基准电压，第二电阻的另一端连接到所述电路的输出端，第二 MOS 管，第二 MOS 管的漏极连接到所述电路的输出端，第二 MOS 管的源极接地，第二 MOS 管的栅极接收行空白信号，电容的一端连接到输出端，电容的另一端接地。

下面参照图 2，以输入为 8bit 数字量的数模转换电路为例，来详细介绍本发明示例性实施例的数模转换电路的工作原理。

图 2 示出根据本发明示例性实施例的数模转换电路的电路图。

如图 2 所示，在本示例中，该数模转换电路的输入为 8bit 数字量（即，B0~B7），其中，B7 为数字量的最高位，B0 为数字量的最低位，数模转换电路共包括 8 个第一 MOS 管（即，Q0~Q7）和 8 个第一电阻（R0~R7），每个第一 MOS 管的接线方式相同，以第一 MOS 管 Q0 为例，第一 MOS 管 Q0 的栅极接收数字量 B0，第一 MOS 管 Q0 的源极连接到第一电阻 R0 的一端，第一电阻 R0 的另一端连接到基准电压（Vref），第一 MOS 管 Q0 的漏极连接到数模转换电路的输出端，这里，第一电阻 R0 与第一 MOS 管 Q0 串联构成一条通路。

优选地，第一电阻的数量与第一 MOS 管的数量相同，且各个第一电阻的阻值随着数字量的位权的变化而变化。这里，如图 2 所示，第一电阻 R0~R7 的阻值逐渐减少，即，通过第一 MOS 管（Q7）与数字量最高位 B7 相连的第一电阻（R7）的阻值最小，通过第一 MOS 管（Q0）与数字量最低位 B0 相连的第一电阻（R0）的阻值最大。

第二电阻（R8）的一端连接到基准电压（Vref），第二电阻（R8）的另一端连接到数模转换电路的输出端。这里，第二电阻（R8）的阻值大于与数字量最低位 B0 相连的第一电阻（R0）的阻值。

第二 MOS 管 (Q8) 的漏极连接到所述电路的输出端, 第二 MOS 管 (Q8) 的源极接地, 第二 MOS 管 (Q8) 的栅极接收行空白信号 (H Blanking), 电容 (C3) 的一端连接到输出端, 电容 (C3) 的另一端接地。

所述任一第一 MOS 管根据从栅极接收的数字量的值来导通所述任一第一 MOS 管, 以将与所述任一第一 MOS 管相连接的第一电阻接入所述电路中, 接入所述电路中的各第一电阻之间为并联连接, 接入所述电路中的各第一电阻与第二电阻之间为并联连接。

优选地, 本发明示例性实施例的数模转换电路输出端的灰阶电压可根据以下等式计算:

$$V_{gm} = V_{ref} - V_{ref} \cdot e^{-t/RC} \quad (1)$$

公式 (1) 中, V_{gm} 表示所述数模转换电路输出端的灰阶电压, V_{ref} 表示基准电压, R 表示接入所述电路中的各第一电阻与第二电阻并联后的阻值, C 表示电容, t 表示电容的充电时间。

作为示例, 假设所有 MOS 管 (Q0~Q8) 均为高电平导通, 当数字量 (B0~B7) 均为低电平时, 所有的第一 MOS 管 (Q0~Q7) 均不导通, 仅有第二电阻 (R8) 接入到电路中, 即, 公式 (1) 中的 R 的值为第二电阻 R8 的值, 此时数模转换电路输出的值 V_{gm} 为对应数字量为全 0 (均为低电平) 时的灰阶电压值。

当数字量 B0 为高电平时, 第一 MOS 管 Q0 的栅极接收到高电平信号, 从而第一 MOS 管 Q0 导通, 与第一 MOS 管 Q0 连接的第一电阻 R0 接入电路中, 此时, 公式 (1) 中的 R 的值为第一电阻 R0 与第二电阻 R8 并联后的值, 数模转换电路输出的值 V_{gm} 为对应数字量为 00000001 时的灰阶电压值。

类似地, 当数字量 B0 和 B3 为高电平时, 第一 MOS 管 Q0 的栅极接收到高电平信号, 从而第一 MOS 管 Q0 导通, 与第一 MOS 管 Q0 连接的第一电阻 R0 接入电路中, 并且, 第一 MOS 管 Q3 的栅极接收到高电平信号, 从而第一 MOS 管 Q3 导通, 与第一 MOS 管 Q3 连接的第一电阻 R3 接入电路中, 此时, 公式 (1) 中的 R 的值为第一电阻 R0、第一电阻 R3、第二电阻 R8 三个电阻并联后的值, 数模转换电路输出的值 V_{gm} 为对应数字量为 00001001 时的灰阶电压值。

这里, 根据上述方式, 当整个数模转换电路设计完成后, 可将电容 (C3) 的值固定, 通过接入电路中的第一电阻的数量的变化来改变公式 (1) 中 R 的值, 进而来调整数模转换电路的输出灰阶电压值。

优选地, 接入所述电路中的各第一电阻与第二电阻并联后的阻值 (即, 公式 (1) 的 R 的值) 与所述数模转换电路输出端的灰阶电压的值之间呈非线性变化。

图 3 示出根据本发明示例性实施例的图 2 所示的数模转换电路的输出电压的变化曲线。

如图 3 所示, 该曲线体现了数模转换电路的输出电压 (即, 灰阶电压 V_{gm}) 与公式 (1) 中的 R 的关系, 这里, R 是指数模转换电路中各第一电阻与第二电阻并联后的阻值, 优选地, 图 3 所示的曲线的变化趋势与显示面板的 GAMA 曲线的变化趋势一致, 即, 符合 GAMA 曲线的变化规律。

优选地, 具有本发明示例性实施例的数模转换电路的数据源电路芯片 (source IC) 可用于为显示面板提供灰阶电压。

图 4 示出根据本发明示例性实施例的具有图 2 所示的数模转换电路的数据源芯片的结构图。

如图 4 所示, 根据本发明示例性实施例的数据源芯片包括: 接收器 401、移位寄存器 402、行存储器 403、电平升压电路 404、数模转换电路 405 和放大电路 406。

具体说来, 接收器 401 将从控制芯片 (TCON) 接收的差分电压信号转换为数字量信号, 并通过串行传输的方式将该数字量信号发送给移位寄存器 402。

移位寄存器 402 将从接收器 401 接收的串行传输的数字量信号转换为并行传输的数字量信号。

行存储器 403 将从移位寄存器 402 接收的并行传输的数字量信号按照显示面板的显示位置进行排列, 并对数字量信号按排列顺序进行存储。

电平升压电路 404 将数字量信号的工作电压升至模拟量工作电压值。

数模转换电路 405 将数字量信号转换为模拟电压值 (即, 灰阶电压)。

这里, 由于已经在图 2 中对数模转换电路 405 的电路结构进行了详细描述, 本发明对此部分的内容不再赘述。

放大电路 406 对灰阶电压进行放大, 并将放大后的灰阶电压提供给显示面板。

在本示例中, 数据源芯片输出的灰阶电压可经过显示阵列上的显示数据线对显示面板 (例如, LCD 液晶显示面板或 LED 显示面板) 进行充放电, 以使得显示面板中的每个像素可根据灰阶电压来进行正常显示。

采用图 4 所示的 source IC, 利用本发明示例性实施例的数模转换电路替代了传统的 DAC 模块, 可使得 8bit 的 source IC 每一个通道所需的开关 MOS 管的数量由原来的 2048 个减少为 8 个, 极大的减少了 source IC 的体积和成本。

继续参考图 2, 一般来说, 显示面板的一个行扫描周期包括显示阶段和显示空白阶段, 在显示阶段数模转换电路中的各第一 MOS 管根据数字量的值来导通, 以对电容进行充电, 从而将对应的输出灰阶电压提供给显示面板, 使得显示面板进行正常显示。此时, 行空白信号为低电平信号, 第二 MOS 管关断, 不接入电路中。

在显示空白阶段, 所有第一 MOS 管均关断, 此时, 行空白信号为高电平

信号,第二 MOS 管(Q8)根据行空白信号导通,电容 C3 通过第二 MOS 管(Q8)进行放电,将电容 C3 上残留的电荷全部释放掉,以使得在每次对电容 C3 进行充电前,电容 C3 的电荷为零。

5 作为示例,电容(C3)的值可根据显示面板的最高充电电压与最低充电电压之间的跨压(即,最高充电电压与最低充电电压的电压差),以及显示面板的充电时间来确定 RC 的值。应理解,这里的 R 的值是指接入所述电路中的各第一电阻与第二电阻并联后的阻值(即,公式(1)中的 R 的值),C 的值指电容 C3 的值。

10 这里,在显示面板确定后,该显示面板的解析度也就确定了(例如,4K 或 1080P 等),由于显示面板每行的充电时间 t_0 是已知的,例如,假设显示面板的解析度为 1080P,以 1 秒 60 帧为例,一帧对应 1080 行,那么 RC 应该满足在充电时间 t_0 内,可使显示面板的充电电压可提升一个跨压的值。

15 采用上述数模转换电路以及数据源电路芯片,可极大地减少数模转换电路中采用的 MOS 管的数量,以有效降低数据源电路芯片的体积和成本。此外,上述数模转换电路以及数据源电路芯片还可显著的提高 source IC 产品的经济效益,提升产品的市场价格竞争力。

上面已经结合具体示例性实施例描述了本发明,但是本发明的实施不限于此。在本发明的精神和范围内,本领域技术人员可以进行各种修改和变型,这些修改和变型将落入权利要求限定的保护范围之内。

权利要求书

1、一种数模转换电路，所述电路包括：

与输入的数字量位数相同个数的第一 MOS 管，其中，任一第一 MOS 管的栅极接收一位数字量，所述任一第一 MOS 管的漏极连接到所述电路的输出端，所述任一第一 MOS 管的源极连接到第一电阻的一端，第一电阻的另一端连接到基准电压，

第二电阻，第二电阻的一端连接到基准电压，第二电阻的另一端连接到所述电路的输出端，

第二 MOS 管，第二 MOS 管的漏极连接到所述电路的输出端，第二 MOS 管的源极接地，第二 MOS 管的栅极接收行空白信号，

电容，电容的一端连接到输出端，电容的另一端接地。

2、根据权利要求 1 所述的电路，其中，所述电路包括的第一电阻的数量与所述第一 MOS 管的数量相同，且各个第一电阻的阻值随着数字量的位权的变化而变化，其中，通过第一 MOS 管与数字量最高位相连的第一电阻的阻值最小，通过第一 MOS 管与数字量最低位相连的第一电阻的阻值最大。

3、根据权利要求 2 所述的电路，其中，第二电阻的阻值大于与数字量最低位相连的第一电阻的阻值。

4、根据权利要求 1 所述的电路，其中，电容的值为固定值。

5、根据权利要求 1 所述的电路，其中，所述任一第一 MOS 管根据从栅极接收的数字量的值来导通所述任一第一 MOS 管，以将与所述任一第一 MOS 管相连接的第一电阻接入所述电路中，接入所述电路中的各第一电阻之间为并联连接，接入所述电路中的各第一电阻与第二电阻之间为并联连接。

6、根据权利要求 5 所述的电路，其中，一个行扫描周期包括显示阶段和显示空白阶段，在显示阶段根据数字量的值对电容进行充电，以将所述数模转换电路输出端的灰阶电压提供给显示面板，

在显示空白阶段，所有第一 MOS 管均关断，第二 MOS 管根据行空白信号导通，电容通过第二 MOS 管进行放电，以使得在每次对电容进行充电前，电容的电荷为零。

7、根据权利要求 5 所述的电路，其中，接入所述电路中的各第一电阻与第二电阻并联后的阻值与所述数模转换电路输出端的灰阶电压呈非线性变化。

8、根据权利要求 7 所述的电路，其中，所述数模转换电路输出端的灰阶电压根据以下等式计算：

$$V_{gm} = V_{ref} - V_{ref} \cdot e^{-t/RC}$$

其中， V_{gm} 表示所述数模转换电路输出端的灰阶电压， V_{ref} 表示基准电压， R 表示接入所述电路中的各第一电阻与第二电阻并联后的阻值， C 表示电容， t

表示电容的充电时间。

9、一种数据源电路芯片，其中，所述数据源电路芯片包括接收器、移位寄存器、行存储器、电平升压电路、数模转换电路和放大电路；所述数模转换电路包括：

5 与输入的数字量位数相同个数的第一 MOS 管，任一第一 MOS 管的栅极接收一位数字量，所述任一第一 MOS 管的漏极连接到所述电路的输出端，所述任一第一 MOS 管的源极连接到第一电阻的一端，第一电阻的另一端连接到基准电压，

10 第二电阻，第二电阻的一端连接到基准电压，第二电阻的另一端连接到所述电路的输出端，

第二 MOS 管，第二 MOS 管的漏极连接到所述电路的输出端，第二 MOS 管的源极接地，第二 MOS 管的栅极接收行空白信号，

电容，电容的一端连接到输出端，电容的另一端接地。

15 10、根据权利要求 9 所述的数据源电路芯片，其中，所述电路包括的第一电阻的数量与所述第一 MOS 管的数量相同，且各个第一电阻的阻值随着数字量的位权的变化而变化，其中，通过第一 MOS 管与数字量最高位相连的第一电阻的阻值最小，通过第一 MOS 管与数字量最低位相连的第一电阻的阻值最大。

20 11、根据权利要求 10 所述的数据源电路芯片，其中，第二电阻的阻值大于与数字量最低位相连的第一电阻的阻值。

12、根据权利要求 9 所述的数据源电路芯片，其中，电容的值为固定值。

25 13、根据权利要求 9 所述的数据源电路芯片，其中，所述任一第一 MOS 管根据从栅极接收的数字量的值来导通所述任一第一 MOS 管，以将与所述任一第一 MOS 管相连接的第一电阻接入所述电路中，接入所述电路中的各第一电阻之间为并联连接，接入所述电路中的各第一电阻与第二电阻之间为并联连接。

14、根据权利要求 13 所述的数据源电路芯片，其中，一个行扫描周期包括显示阶段和显示空白阶段，在显示阶段根据数字量的值对电容进行充电，以将所述数模转换电路输出端的灰阶电压提供给显示面板，

30 在显示空白阶段，所有第一 MOS 管均关断，第二 MOS 管根据行空白信号导通，电容通过第二 MOS 管进行放电，以使得在每次对电容进行充电前，电容的电荷为零。

35 15、根据权利要求 13 所述的数据源电路芯片，其中，接入所述电路中的各第一电阻与第二电阻并联后的阻值与所述数模转换电路输出端的灰阶电压呈非线性变化。

16、根据权利要求 15 所述的数据源电路芯片，其中，所述数模转换电路输出端的灰阶电压根据以下等式计算：

$$V_{gm} = V_{ref} - V_{ref} \cdot e^{-t/RC}$$

其中, V_{gm} 表示所述数模转换电路输出端的灰阶电压, V_{ref} 表示基准电压, R 表示接入所述电路中的各第一电阻与第二电阻并联后的阻值, C 表示电容, t 表示电容的充电时间。

5

10

15

20

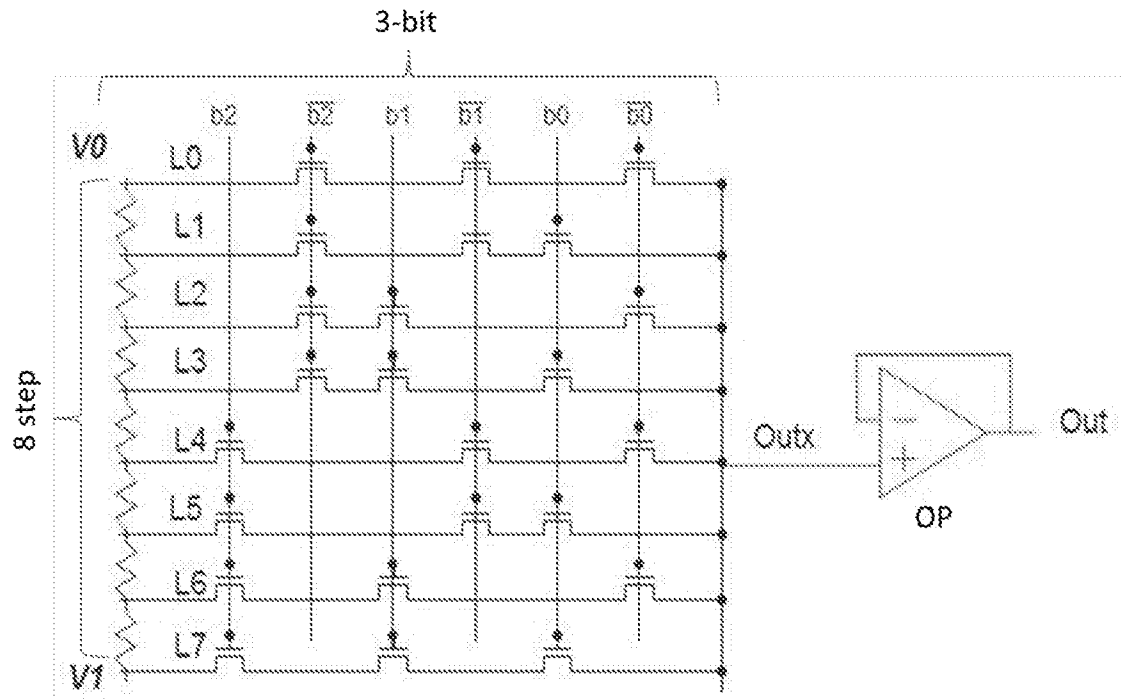


图 1

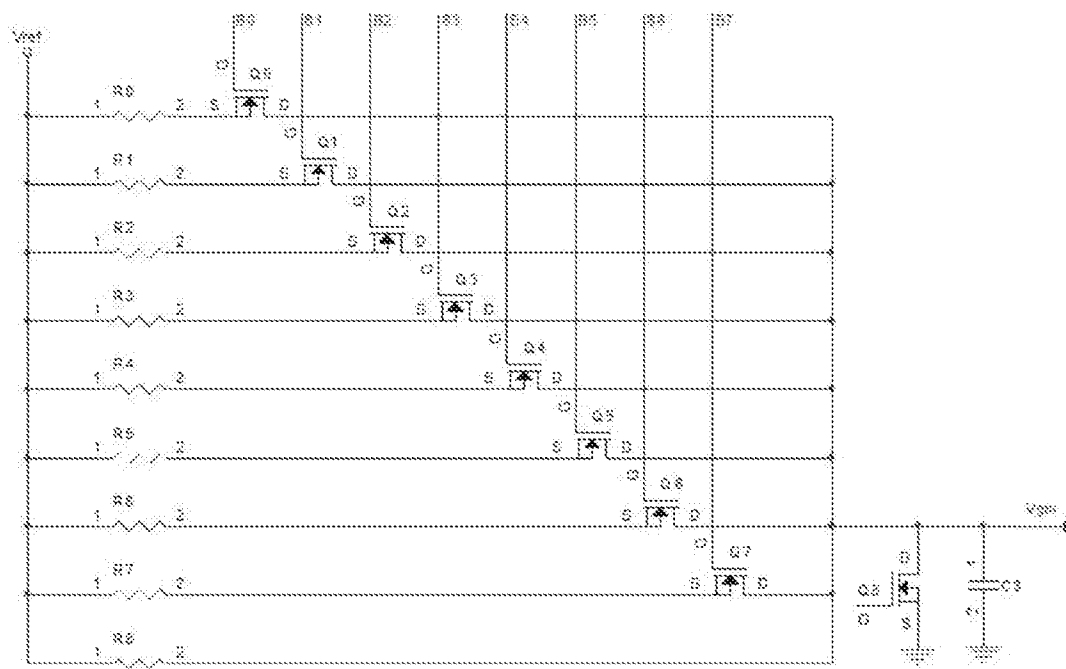


图 2

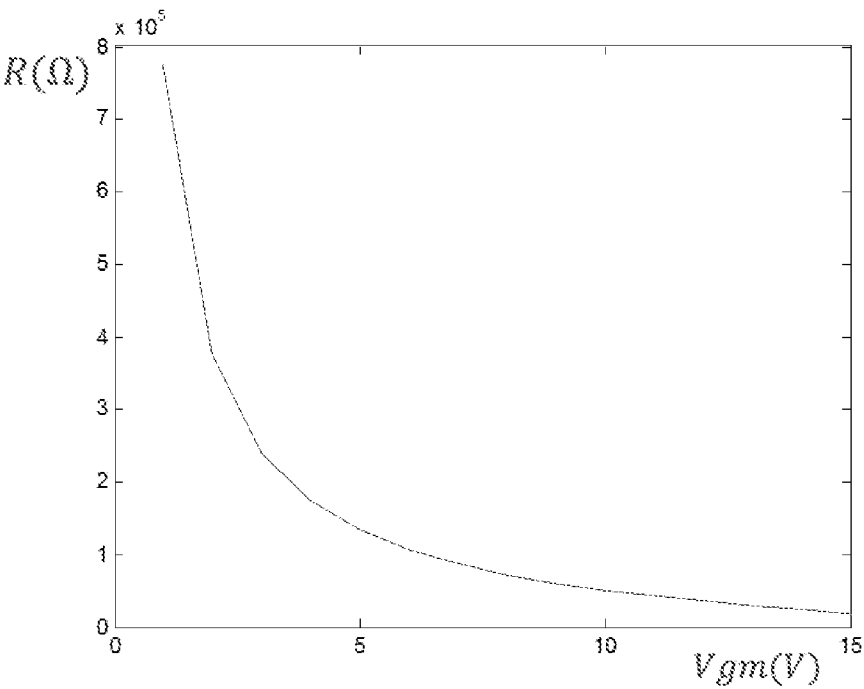


图 3

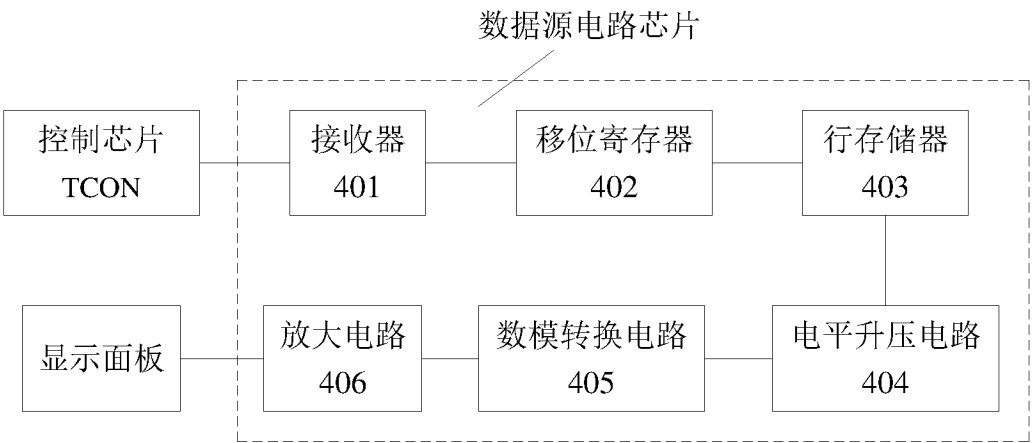


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/089792**A. CLASSIFICATION OF SUBJECT MATTER**

H03M 1/66 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; PATENTICS; DWPI: digital-to-analog converter, number-of-bits, resistance, MOS pipe, MOS, convert+, DA, digital to analog+, transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1402908 A (YAMAHA CORPORATION), 12 March 2003 (12.03.2003), the whole document	1-16
A	CN 101656540 A (MACRONIX INTERNATIONAL CO., LTD.), 24 February 2010 (24.02.2010), the whole document	1-16
A	JP 3924179 B2 (ROHM CO., LTD.), 06 June 2007 (06.06.2007), the whole document	1-16
A	JP H09191252 A (MITSUBISHI ELECTRIC CORP.), 22 July 1997 (22.07.1997), the whole document	1-16

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
07 February 2017 (07.02.2017)Date of mailing of the international search report
02 March 2017 (02.03.2017)Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451Authorized officer
MA, Chi
Telephone No.: (86-10) **62411641**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/089792

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1402908 A	12 March 2003	AU 1549101 A	12 June 2001
		JP 3246498 B2	15 January 2002
		EP 1235352 A1	28 August 2002
		CN 1220330 C	21 September 2005
		TW 486875 B	11 May 2002
		DE 60017937 T2	12 January 2006
		JP 2001156639 A	08 June 2001
		US 6724333 B1	20 April 2004
		WO 0141310 A1	07 June 2001
		EP 1235352 B1	02 February 2005
		DE 60017937 D1	10 March 2005
		KR 20020059803 A	13 July 2002
		KR 100484239B B1	20 April 2005
CN 101656540 A	24 February 2010	US 2010039304 A1	18 February 2010
		TW 201010292 A	01 March 2010
		CN 101656540 B	23 May 2012
		TW I381651 B	01 January 2013
		US 7812754 B2	12 October 2010
JP 3924179 B2	06 June 2007	JP 2003234655 A	22 August 2003
JP H09191252 A	22 July 1997	JP 3460765 B2	27 October 2003

A. 主题的分类 H03M 1/66 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H03M 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS;PATENTICS;DWPI: 数模转换器, 位数, 晶体管, 电阻, 数字模拟转换器, MOS管, MOS, convert+, DA, digital to analog+, transistor																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 1402908 A (雅马哈株式会社) 2003年 3月 12日 (2003 - 03 - 12) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 101656540 A (旺宏电子股份有限公司) 2010年 2月 24日 (2010 - 02 - 24) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>JP 3924179 B2 (ROHM CO., LTD.) 2007年 6月 6日 (2007 - 06 - 06) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>JP H09191252 A (MITSUBISHI ELECTRIC CORP.) 1997年 7月 22日 (1997 - 07 - 22) 全文</td> <td>1-16</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 1402908 A (雅马哈株式会社) 2003年 3月 12日 (2003 - 03 - 12) 全文	1-16	A	CN 101656540 A (旺宏电子股份有限公司) 2010年 2月 24日 (2010 - 02 - 24) 全文	1-16	A	JP 3924179 B2 (ROHM CO., LTD.) 2007年 6月 6日 (2007 - 06 - 06) 全文	1-16	A	JP H09191252 A (MITSUBISHI ELECTRIC CORP.) 1997年 7月 22日 (1997 - 07 - 22) 全文	1-16
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 1402908 A (雅马哈株式会社) 2003年 3月 12日 (2003 - 03 - 12) 全文	1-16															
A	CN 101656540 A (旺宏电子股份有限公司) 2010年 2月 24日 (2010 - 02 - 24) 全文	1-16															
A	JP 3924179 B2 (ROHM CO., LTD.) 2007年 6月 6日 (2007 - 06 - 06) 全文	1-16															
A	JP H09191252 A (MITSUBISHI ELECTRIC CORP.) 1997年 7月 22日 (1997 - 07 - 22) 全文	1-16															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2017年 2月 7日		国际检索报告邮寄日期 2017年 3月 2日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 马驰 电话号码 (86-10) 62411641															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/089792

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1402908	A	2003年 3月 12日	AU	1549101	A	2001年 6月 12日
				JP	3246498	B2	2002年 1月 15日
				EP	1235352	A1	2002年 8月 28日
				CN	1220330	C	2005年 9月 21日
				TW	486875	B	2002年 5月 11日
				DE	60017937	T2	2006年 1月 12日
				JP	2001156639	A	2001年 6月 8日
				US	6724333	B1	2004年 4月 20日
				WO	0141310	A1	2001年 6月 7日
				EP	1235352	B1	2005年 2月 2日
				DE	60017937	D1	2005年 3月 10日
				KR	20020059803	A	2002年 7月 13日
				KR	100484239B	B1	2005年 4月 20日
CN	101656540	A	2010年 2月 24日	US	2010039304	A1	2010年 2月 18日
				TW	201010292	A	2010年 3月 1日
				CN	101656540	B	2012年 5月 23日
				TW	I381651	B	2013年 1月 1日
				US	7812754	B2	2010年 10月 12日
JP	3924179	B2	2007年 6月 6日	JP	2003234655	A	2003年 8月 22日
JP	H09191252	A	1997年 7月 22日	JP	3460765	B2	2003年 10月 27日