

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7680100号
(P7680100)

(45)発行日 令和7年5月20日(2025.5.20)

(24)登録日 令和7年5月12日(2025.5.12)

(51)国際特許分類 F I
H 0 3 F 3/34 (2006.01) H 0 3 F 3/34

請求項の数 14 (全26頁)

(21)出願番号	特願2024-564351(P2024-564351)	(73)特許権者	504171134 国立大学法人 筑波大学 茨城県つくば市天王台一丁目1番1
(86)(22)出願日	令和5年12月8日(2023.12.8)	(74)代理人	100165179 弁理士 田崎 聡
(86)国際出願番号	PCT/JP2023/044030	(74)代理人	100188558 弁理士 飯田 雅人
(87)国際公開番号	WO2024/128156	(74)代理人	100175824 弁理士 小林 淳一
(87)国際公開日	令和6年6月20日(2024.6.20)	(74)代理人	100152272 弁理士 川越 雄一郎
審査請求日	令和7年3月10日(2025.3.10)	(74)代理人	100181722 弁理士 春田 洋孝
(31)優先権主張番号	特願2022-200327(P2022-200327)	(72)発明者	於保 拓高 茨城県つくば市天王台一丁目1番1 国
(32)優先日	令和4年12月15日(2022.12.15)		最終頁に続く
(33)優先権主張国・地域又は機関	日本国(JP)		
早期審査対象出願			

(54)【発明の名称】 変換回路、及び電子回路

(57)【特許請求の範囲】

【請求項1】

入力電流を出力電圧に変換する変換回路であって、
前記入力電流の入力部である第1端子と、
グランドである第2端子と、
出力電圧の出力部であり、電源供給抵抗を介して電源電圧を供給するための第3端子と、
一端が前記第1端子に接続され他端が第3端子に接続される第1抵抗と、
前記第1端子の電圧と予め定めた基準電圧との差分を検知し、前記第1端子の電圧が前記基準電圧より高い状態の場合に、前記差分の大きさに応じて前記第3端子から前記第2端子に流れる電流量を調整し、前記第1端子の電圧を前記基準電圧に維持するように制御するレギュレータと、
を備え、
前記第1抵抗によって前記変換回路のゲインが決定される、変換回路。

10

【請求項2】

前記第3端子から前記第2端子に流れる電流は、吸い込み電流であり、前記吸い込み電流は、前記変換回路外部から前記第3端子へ供給される、
請求項1に記載の変換回路。

【請求項3】

前記レギュレータは、可変シャントレギュレータを備え、
前記可変シャントレギュレータのリファレンス端子は、前記第1端子に接続され、

20

前記可変シャントレギュレータのアノード端子は、前記第 2 端子に接続され、
 前記可変シャントレギュレータのカソード端子は、前記第 3 端子に接続される、
 請求項 1 または請求項 2 に記載の変換回路。

【請求項 4】

前記レギュレータは、演算増幅器と、NPN型の第 1 トランジスタと、を備え、
 前記演算増幅器の正入力端子は、前記第 1 端子に接続され、
 前記演算増幅器の負入力端子は、前記基準電圧が入力され、
 前記演算増幅器の出力端子は、前記第 1 トランジスタのベースに接続され、
 前記第 1 トランジスタのコレクタは、前記第 3 端子に接続され、
 前記第 1 トランジスタのエミッタは、前記第 2 端子に接続される、
 請求項 1 または請求項 2 に記載の変換回路。

10

【請求項 5】

前記レギュレータは、NPN型の第 1 トランジスタと、NPN型の第 2 トランジスタと
 、第 2 抵抗と、を備え、
 前記第 1 トランジスタのベースは、前記第 1 端子に接続され、
 前記第 1 トランジスタのエミッタは、前記第 2 抵抗を介して前記第 2 端子に接続され、
 前記第 1 トランジスタのエミッタは、前記第 2 トランジスタのベースに接続され、
 前記第 1 トランジスタのコレクタは、前記第 2 トランジスタのコレクタに接続され、
 前記第 2 トランジスタのコレクタは、前記第 3 端子に接続され、
 前記第 2 トランジスタのエミッタは、前記第 2 端子に接続される、
 請求項 1 または請求項 2 に記載の変換回路。

20

【請求項 6】

前記レギュレータは、NPN型の第 1 トランジスタと、NPN型の第 2 トランジスタと
 、PNP型の第 3 トランジスタと、NPN型の第 4 トランジスタと、第 2 抵抗と、第 3 抵
 抗と、第 4 抵抗と、を備え、
 前記第 1 トランジスタのベースは、前記第 1 端子に接続され、
 前記第 1 トランジスタのエミッタは、前記第 2 抵抗を介して前記第 2 端子に接続され、
 前記第 1 トランジスタのエミッタは、前記第 2 トランジスタのベースに接続され、
 前記第 1 トランジスタのコレクタは、前記第 3 端子に接続され、
 前記第 2 トランジスタのエミッタは、前記第 2 端子に接続され、
 前記第 2 トランジスタのコレクタは、前記第 3 抵抗を介して前記第 3 端子に接続され、
 前記第 2 トランジスタのコレクタは、前記第 3 トランジスタのベースに接続され、
 前記第 3 トランジスタのエミッタは、前記第 3 端子に接続され、
 前記第 3 トランジスタのコレクタは、前記第 4 トランジスタのベースに接続され、
 前記第 3 トランジスタのコレクタは、前記第 4 抵抗を介して前記第 2 端子に接続され、
 前記第 4 トランジスタのコレクタは、前記第 3 端子に接続され、
 前記第 4 トランジスタのエミッタは、前記第 2 端子に接続される、
 請求項 1 または請求項 2 に記載の変換回路。

30

【請求項 7】

前記レギュレータは、NPN型の第 1 トランジスタと、NPN型の第 2 トランジスタと
 、PNP型の第 3 トランジスタと、第 2 抵抗と、第 3 抵抗と、を備え、
 前記第 1 トランジスタのベースは、前記第 1 端子に接続され、
 前記第 1 トランジスタのエミッタは、前記第 2 抵抗を介して前記第 2 端子に接続され、
 前記第 1 トランジスタのエミッタは、前記第 2 トランジスタのベースに接続され、
 前記第 1 トランジスタのコレクタは、前記第 3 端子に接続され、
 前記第 2 トランジスタのエミッタは、前記第 2 端子に接続され、
 前記第 2 トランジスタのコレクタは、前記第 3 抵抗を介して前記第 3 端子に接続され、
 前記第 2 トランジスタのコレクタは、前記第 3 トランジスタのベースに接続され、
 前記第 3 トランジスタのエミッタは、前記第 3 端子に接続され、
 前記第 3 トランジスタのコレクタは、前記第 2 端子に接続される、

40

50

請求項 1 または請求項 2 に記載の変換回路。

【請求項 8】

前記変換回路の出力インピーダンスは、1 以下である、

請求項 1 または請求項 2 に記載の変換回路。

【請求項 9】

一端が前記第 3 端子に接続され他端が電源電圧に接続される電源供給抵抗、一端が前記第 3 端子に接続され他端が負荷側への出力端となるコンデンサ、一端が前記第 3 端子に接続され他端が前記第 1 端子に接続されるコンデンサのうちの少なくとも 1 つを備える、

請求項 1 または請求項 2 に記載の変換回路。

【請求項 10】

前記レギュレータは、第 1 電界効果トランジスタと、第 2 電界効果トランジスタと、第 2 抵抗と、を備え、

前記第 1 電界効果トランジスタのゲートは、前記第 1 端子に接続され、

前記第 1 電界効果トランジスタのソースは、前記第 2 抵抗を介して前記第 2 端子に接続され、

前記第 1 電界効果トランジスタのソースは、前記第 2 電界効果トランジスタのゲートに接続され、

前記第 1 電界効果トランジスタのドレインは、前記第 2 電界効果トランジスタのドレインに接続され、

前記第 2 電界効果トランジスタのドレインは、前記第 3 端子に接続され、

前記第 2 電界効果トランジスタのソースは、前記第 2 端子に接続される、

請求項 1 または請求項 2 に記載の変換回路。

【請求項 11】

前記レギュレータは、演算増幅器と、ダイオードと、を備え、

前記演算増幅器の正入力端子は、前記第 1 端子に接続され、

前記演算増幅器の負入力端子は、前記基準電圧が入力され、

前記演算増幅器の出力端子は、前記ダイオードのアノードに接続され、

前記ダイオードのカソードは、前記第 2 端子に接続される、

請求項 1 または請求項 2 に記載の変換回路。

【請求項 12】

前記演算増幅器の正の電源端子は、前記第 3 端子に接続され、

前記演算増幅器の負の電源端子は、前記第 2 端子に接続される、

請求項 11 に記載の変換回路。

【請求項 13】

請求項 1 または請求項 2 に記載の前記変換回路と、

前記入力部に接続されるセンサと、を備える電子回路。

【請求項 14】

前記センサは、コンデンサマイクロフォン、圧電センサ、圧力センサ、加速度センサ、光学センサ、および水晶振動子のうちの 1 つである、

請求項 13 に記載の電子回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、変換回路、及び電子回路に関する。

【背景技術】

【0002】

電源を供給して用いる回路や素子として、例えば、コンデンサマイクロフォンユニットやセンサ等がある。例えば、コンデンサマイクロフォンの場合は、一般的に F E T (Field effect transistor) と一体型になっているか、または F E T を外付けで用いる。このため、コンデンサマイクロフォンを利用する場合は、電源電圧を F E T に供給する必要がある。

10

20

30

40

50

【0003】

図15は、従来技術のマイクロフォン回路と入出力信号例を示す図である。マイクロフォンmicがコンデンサマイクロフォンの場合は、図15のように、抵抗 R_L を介して電源電圧 V_{cc} が供給される。なお、マイクロフォンmicには、FETが内包されている。そして、マイクロフォンmicが集音した到来信号（符号g902）は、コンデンサC₀を介して出力される。なお、マイクロフォンmicに流れる電流の変動を I_{mic} 、ノイズによる電源電圧 V_{cc} の変動を V_{cc} とすると、出力端子V_{out}から出力される出力信号の電圧変動 V_{out} は、 $V_{cc} - R_L \times I_{mic}$ で表される。電源にノイズ（符号g901）が乗っている場合は、このように V_{out} に V_{cc} の項があるため、出力信号に電源ノイズが重畳される（符号g903）。

10

【0004】

このようなコンデンサマイクロフォンの出力に重畳されるノイズを対策するために、オペアンプを用いて、オペアンプの非反転入力端子に内部電源配線との容量結合により電源電圧 V_{cc} に重畳されるノイズ成分を印加するように構成したことにより、ノイズ成分をオペアンプでキャンセルする構成が提案されている（例えば、特許文献1参照）。

【0005】

このようなノイズ成分をキャンセルするような回路構成が提案されている根本的な背景は、電源ノイズが信号に重畳しやすい事のみならず、センサと電子回路（例えば、増幅回路）が離れて設置されやすい事情がある。例えば、センサ近傍に増幅回路を設置する場合は、センサ用の弱い電圧印加とは別に、増幅回路用の安定した電源が必要になりうる。結果として、センサと電子回路が離れて設置され、電源ノイズや伝送線路ノイズなどの外来ノイズが信号に重畳しているものである。

20

【先行技術文献】

【特許文献】

【0006】

【文献】特開2010-245729号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1に記載の技術では、マイクロフォンまたはマイクロフォンユニットに対して多くの外付け回路部品が必要であった。また、特許文献1に記載の回路は、コンデンサマイクロフォン専用回路であり、他の素子、例えばセンサ等に適用することが困難であった。

30

【0008】

本発明は、上記の問題点に鑑みてなされたものであって、ノイズの重畳を低減することができる変換回路、及び電子回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

(1)上記目的を達成するため、本発明の一態様に係る変換回路は、入力電流を出力電圧に変換する変換回路であって、前記入力電流の入力部である第1端子と、グランドである第2端子と、前記変換回路の電源供給部でありかつ出力電圧の出力部である第3端子と、一端が前記第1端子に接続され他端が第3端子に接続される第1抵抗と、前記第1端子の電圧と予め定めた基準電圧との差分を検知し、前記第1端子の電圧が前記基準電圧より高い状態の場合に、前記差分の大きさに応じて前記第3端子から前記第2端子に流れる電流量を調整し、前記第1端子の電圧を前記基準電圧に維持するように制御するレギュレータと、を備え、前記第1抵抗によってゲインが決定される、変換回路である。

40

【0010】

(2)また、上記(1)変換回路において、前記第3端子から前記第2端子に流れる電流は、吸い込み電流であり、前記吸い込み電流は、前記変換回路外部から前記第3端子へ供給されるようにしてもよい。

50

【 0 0 1 1 】

(3) また、上記 (1) または (2) の回路において、前記レギュレータは、可変シャントレギュレータを備え、前記可変シャントレギュレータのリファレンス端子は、前記第 1 端子に接続され、前記可変シャントレギュレータのアノード端子は、前記第 2 端子に接続され、前記可変シャントレギュレータのカソード端子は、前記第 3 端子に接続されるようにしてもよい。

【 0 0 1 2 】

(4) また、上記 (1) または (2) の変換回路において、前記レギュレータは、演算増幅器と、NPN型の第 1 トランジスタと、を備え、前記演算増幅器の正入力端子は、前記第 1 端子に接続され、前記演算増幅器の負入力端子は、前記基準電圧が入力され、前記演算増幅器の出力端子は、前記第 1 トランジスタのベースに接続され、前記第 1 トランジスタのコレクタは、前記第 3 端子に接続され、前記第 1 トランジスタのエミッタは、前記第 2 端子に接続されるようにしてもよい。

10

【 0 0 1 3 】

(5) また、上記 (1) または (2) の変換回路において、前記レギュレータは、NPN型の第 1 トランジスタと、NPN型の第 2 トランジスタと、第 2 抵抗と、を備え、前記第 1 トランジスタのベースは、前記第 1 端子に接続され、前記第 1 トランジスタのエミッタは、前記第 2 抵抗を介して前記第 2 端子に接続され、前記第 1 トランジスタのエミッタは、前記第 2 トランジスタのベースに接続され、前記第 1 トランジスタのコレクタは、前記第 2 トランジスタのコレクタに接続され、前記第 2 トランジスタのコレクタは、前記第 3 端子に接続され、前記第 2 トランジスタのエミッタは、前記第 2 端子に接続されるようにしてもよい。

20

【 0 0 1 4 】

(6) また、上記 (1) または (2) の変換回路において、前記レギュレータは、NPN型の第 1 トランジスタと、NPN型の第 2 トランジスタと、PNP型の第 3 トランジスタと、NPN型の第 4 トランジスタと、第 2 抵抗と、第 3 抵抗と、第 4 抵抗と、を備え、前記第 1 トランジスタのベースは、前記第 1 端子に接続され、前記第 1 トランジスタのエミッタは、前記第 2 抵抗を介して前記第 2 端子に接続され、前記第 1 トランジスタのエミッタは、前記第 2 トランジスタのベースに接続され、前記第 1 トランジスタのコレクタは、前記第 3 端子に接続され、前記第 2 トランジスタのエミッタは、前記第 2 端子に接続され、前記第 2 トランジスタのコレクタは、前記第 3 抵抗を介して前記第 3 端子に接続され、前記第 2 トランジスタのコレクタは、前記第 3 トランジスタのベースに接続され、前記第 3 トランジスタのエミッタは、前記第 3 端子に接続され、前記第 3 トランジスタのコレクタは、前記第 4 トランジスタのベースに接続され、前記第 3 トランジスタのコレクタは、前記第 4 抵抗を介して前記第 2 端子に接続され、前記第 4 トランジスタのコレクタは、前記第 3 端子に接続され、前記第 4 トランジスタのエミッタは、前記第 2 端子に接続されるようにしてもよい。

30

【 0 0 1 5 】

(7) また、上記 (1) または (2) の変換回路において、前記レギュレータは、NPN型の第 1 トランジスタと、NPN型の第 2 トランジスタと、PNP型の第 3 トランジスタと、第 2 抵抗と、第 3 抵抗と、を備え、前記第 1 トランジスタのベースは、前記第 1 端子に接続され、前記第 1 トランジスタのエミッタは、前記第 2 抵抗を介して前記第 2 端子に接続され、前記第 1 トランジスタのエミッタは、前記第 2 トランジスタのベースに接続され、前記第 1 トランジスタのコレクタは、前記第 3 端子に接続され、前記第 2 トランジスタのエミッタは、前記第 2 端子に接続され、前記第 2 トランジスタのコレクタは、前記第 3 抵抗を介して前記第 3 端子に接続され、前記第 2 トランジスタのコレクタは、前記第 3 トランジスタのベースに接続され、前記第 3 トランジスタのエミッタは、前記第 3 端子に接続され、前記第 3 トランジスタのコレクタは、前記第 2 端子に接続されるようにしてもよい。

40

【 0 0 1 6 】

50

(8) また、上記 (1) または (2) の変換回路において、前記レギュレータは、第 1 電界効果トランジスタと、第 2 電界効果トランジスタと、第 2 抵抗と、を備え、前記第 1 電界効果トランジスタのゲートは、前記第 1 端子に接続され、前記第 1 電界効果トランジスタのソースは、前記第 2 抵抗を介して前記第 2 端子に接続され、前記第 1 電界効果トランジスタのソースは、前記第 2 電界効果トランジスタのゲートに接続され、前記第 1 電界効果トランジスタのドレインは、前記第 2 電界効果トランジスタのドレインに接続され、前記第 2 電界効果トランジスタのドレインは、前記第 3 端子に接続され、前記第 2 電界効果トランジスタのソースは、前記第 2 端子に接続されるようにしてもよい。

【 0 0 1 7 】

(9) また、上記 (1) または (2) の変換回路において、前記レギュレータは、演算増幅器と、ダイオードと、を備え、前記演算増幅器の正入力端子は、前記第 1 端子に接続され、前記演算増幅器の負入力端子は、前記基準電圧が入力され、前記演算増幅器の出力端子は、前記ダイオードのアノードに接続され、前記ダイオードのカソードは、前記第 2 端子に接続されるようにしてもよい。

10

【 0 0 1 8 】

(1 0) また、上記 (9) の変換回路において、前記演算増幅器の正の電源端子は、前記第 3 端子に接続され、前記演算増幅器の負の電源端子は、前記第 2 端子に接続されるようにしてもよい。

【 0 0 1 9 】

(1 1) また、上記 (1) から (1 0) のうちの少なくとも 1 つの変換回路において、前記変換回路の出力インピーダンスは、1 以下であるようにしてもよい。

20

【 0 0 2 0 】

(1 2) また、上記 (1) から (1 1) のうちの少なくとも 1 つの変換回路は、一端が前記第 3 端子に接続され他端が電源電圧に接続される電源供給抵抗、一端が前記第 3 端子に接続され他端が負荷側への出力端となるコンデンサ、一端が前記第 3 端子に接続され他端が前記第 1 端子に接続されるコンデンサのうちの少なくとも 1 つを備えるようにしてもよい。

【 0 0 2 1 】

(1 3) 上記目的を達成するため、本発明の一態様に係る電子回路は、上記 (1) から (1 2) のうちの少なくとも 1 つの変換回路を備え、前記入力部に接続されるセンサを備える、電子回路である。

30

【 0 0 2 2 】

(1 4) また、上記 (1 3) の電子回路において、前記センサは、コンデンサマイクロフォン、圧電センサ、圧力センサ、加速度センサ、光学センサ、および水晶振動子のうちの 1 つであるようにしてもよい。

【発明の効果】

【 0 0 2 3 】

(1) ~ (1 4) によれば、ノイズの重畳を低減することができる。

【図面の簡単な説明】

【 0 0 2 4 】

40

【図 1】コンデンサマイクロフォンと電源回路と、コンデンサマイクロフォンユニットの動作点での等価回路を示す図である。

【図 2】第 1 の実施例の電子回路例を示す図である。

【図 3】第 2 の実施例の電子回路例を示す図である。

【図 4】第 2 の実施例の変形例を示す図である。

【図 5】マイクロフォンユニットを用いて音声信号を集音した場合の信号波形例を示す図である。

【図 6】電源電圧変動除去比を実測した結果例を示す図である。

【図 7】電子回路における電源電圧 V_{cc} と出力端子 V_{out} から出力される出力電圧の関係を実測した結果例である。

50

【図 8】第 3 の実施例の電子回路の構成例を示す図である。

【図 9】第 3 の実施例における電源電圧 V_{cc} と出力端子 V_{out} から出力される出力電圧の関係を示す図である。

【図 10】第 4 の実施例の電子回路の構成例を示す図である。

【図 11】第 4 の実施例における電源電圧 V_{cc} と出力端子 V_{out} から出力される出力電圧の関係を示す図である。

【図 12】第 5 の実施例の電子回路の構成例を示す図である。

【図 13】第 5 の実施例における電源電圧 V_{cc} と出力端子 V_{out} から出力される出力電圧の関係を示す図である。

【図 14】センサが水晶振動子の場合の電子回路の構成例を示す図である。

10

【図 15】従来技術のマイクロフォン回路と入出力信号例を示す図である。

【図 16】第 6 の実施例の電子回路の構成例を示す図である。

【図 17】第 7 の実施例の電子回路の構成例を示す図である。

【発明を実施するための形態】

【0025】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、以下の説明に用いる図面では、各部材を認識可能な大きさとするため、各部材の縮尺を適宜変更している。

なお、実施例を説明するための全図において、同一の機能を有するものは同一符号を用い、繰り返しの説明は省略する。

20

また、本願でいう「 XX に基づいて」とは、「少なくとも XX に基づく」ことを意味し、 XX に加えて別の要素に基づく場合も含む。また、「 XX に基づいて」とは、 XX を直接に用いる場合に限定されず、 XX に対して演算や加工が行われたものに基づく場合も含む。「 XX 」は、任意の要素（例えば、任意の情報）である。

【0026】

まず、コンデンサマイクロフォンを利用する場合の一般的な回路と、コンデンサマイクロフォンユニットの動作点での等価回路を説明する。

図 1 は、コンデンサマイクロフォンと電源回路と、コンデンサマイクロフォンユニットの動作点での等価回路を示す図である。

符号 $g11$ の図は、コンデンサマイクロフォンと電源回路の例である。符号 $g11$ の図のように、コンデンサマイクロフォンユニット ECM は、例えば、コンデンサマイクロフォン C_m と、抵抗 R_m と、 $FETQ_m$ を備える。コンデンサマイクロフォン C_m は、一端が抵抗 R_m の一端と $FETQ_m$ のゲートに接続され、他端がグランド (GND) に接続される。抵抗 R_m の他端は、グランドに接続される。 $FETQ_m$ は、ドレインが抵抗 R_L の一端とコンデンサ C_0 の一端に接続され、ソースがグランドに接続される。抵抗 R_L の他端は、電源電圧 V_{cc} に接続される。コンデンサ C_0 の他端は、出力端子 V_{out} に接続される。

30

【0027】

抵抗 R_m は、 $FETQ_m$ の入力バイアス抵抗である。 $FETQ_m$ は、インピーダンス変換の役割を持つ。抵抗 R_L は、電源電圧 V_{cc} を $FETQ_m$ に供給する負荷抵抗である。コンデンサ C_0 は、交流成分カットのためのコンデンサである。

40

【0028】

符号 $g12$ の図は、コンデンサマイクロフォンユニット ECM の動作点での等価回路である。コンデンサマイクロフォンユニット ECM の動作点での等価回路は、コンデンサマイクロフォン C_m と、抵抗 R_m と、電流源 g_m と、固定抵抗 R_{m0} で表すことができる。

【0029】

図 1 を用いて説明したように、コンデンサマイクロフォンユニット ECM の等価回路は、電流源として見立てることができる。このため、電源電圧 V_{cc} に乗る電源ノイズ V_{cc} を低減するためには、出力項に電源ノイズ V_{cc} を含まない回路構成とすればよい。

【0030】

50

(第1の実施例)

図2は、第1の実施例の電子回路例を示す図である。図2のように、電子回路1は、センサ2と、変換回路3を備える。なお、以下の各実施例では、センサ2の一例として、マイクロフォンユニットを用いて説明するが、センサ2はマイクロフォンユニットに限らず、後述するように例えば圧電センサ等であってもよい。

【0031】

センサ2は、例えばコンデンサマイクロフォンユニットECMである。センサ2は、例えば、コンデンサマイクロフォン C_m と、抵抗 R_a と、電界効果トランジスタ T_{r1} を備える。

変換回路3は、例えば、コンデンサ C_f と、抵抗 R_b (第1抵抗)と、基準電源 V_{ref} と、演算増幅器31と、トランジスタ T_{r2} (第1トランジスタ)を備える。なお、変換回路3は、抵抗 R_L (電源供給抵抗)と、コンデンサ C_O を備えていてもよい。

10

レギュレータ101は、例えば、演算増幅器31と、トランジスタ T_{r2} (第1トランジスタ)と、基準電源 V_{ref} を備える。また、変換回路3は、発振防止用のコンデンサ C_f を備えていなくてもよい。

【0032】

次に、変換回路3の接続構成について説明する。

コンデンサ C_f は、一端が抵抗 R_b の一端と抵抗 R_L の一端とコンデンサ C_O の一端とトランジスタ T_{r2} のコレクタとに接続され、他端が抵抗 R_b の他端と演算増幅器31の正入力端子(+)とセンサ2の出力に接続されている。

20

【0033】

演算増幅器31は、負入力端子(-)が基準電源 V_{ref} の正極に接続され、出力端子がトランジスタ T_{r2} のベースに接続されている。なお、演算増幅器31の正の電源端子+Vは、抵抗 R_L の一端と接続され、負の電源端子-Vは、グランドに接続され、トランジスタ T_{r2} のエミッタは、グランドに接続される。

【0034】

基準電源 V_{ref} の負極は、グランドに接続される。なお、基準電源 V_{ref} は、例えばツェナーダイオード回路であってもよい。この場合、例えば、不図示の他の第1の抵抗の一端が抵抗 R_L の一端に接続され、他の第1の抵抗の他端が不図示の他の第1のツェナーダイオードのカソードと、演算増幅器31の負入力端子に接続され、他の第1のツェナーダイオードのアノードがグランドに接続されていてもよい。

30

【0035】

抵抗 R_L の他端は、電源電圧 V_{cc} に接続される。

コンデンサ C_O の他端は、出力端子 V_{out} に接続される。

【0036】

次に、変換回路3において、第1端子と、第2端子と、第3端子を定義する。

変換回路3において、センサ2の出力端子(電界効果トランジスタ T_{r1} のドレイン)と抵抗 R_b の他端とコンデンサ C_f の他端と演算増幅器31の正入力端子の交点を、第1端子 $pin1$ とする。このように、第1端子 $pin1$ は、変換回路3の入力部である。また、第1端子 $pin1$ の電圧を V_{pin1} とする。

40

トランジスタ T_{r2} のエミッタと基準電源 V_{ref} の負極の交点を、第2端子 $pin2$ とする。なお、第2端子 $pin2$ は、グランドである。演算増幅器31の負の電源端子-Vは、第2端子 $pin2$ に接続される。

抵抗 R_b の一端とコンデンサ C_f の一端とトランジスタ T_{r2} のコレクタと抵抗 R_L の一端とコンデンサ C_O の一端の交点を、第3端子 $pin3$ とする。このように、第3端子 $pin3$ は、変換回路3の電源供給部でありかつ出力部である。演算増幅器31の正の電源端子+Vは、第3端子 $pin3$ に接続される。

なお、演算増幅器31の正の電源端子+Vおよび負の電源端子-Vを、第3端子 $pin3$ および第2端子 $pin2$ に接続せずに、不図示の他の外部電源に接続するようにしてもよい。

50

【 0 0 3 7 】

変換回路 3 では、抵抗 R_b によってゲイン ($R_b I_s / I_s$) が決定される。なお、電流 I_s は、コンデンサマイクロフォンユニット E C M の信号電流である。変換回路 3 において、演算増幅器 3 1 は、例えばオペアンプであり、正入力端子に入力される信号と基準電源の電圧との誤差を検出する誤差回路としての役割を持つ。変換回路 3 によって、コンデンサマイクロフォンユニット E C M の信号電流が電圧に変換される。レギュレータ 1 0 1 は、出力電圧を制御する。なお、レギュレータ 1 0 1 は、吸い込み電流によって出力電圧を制御される。

すなわち、レギュレータ 1 0 1 は、第 1 端子の電圧と予め定めた基準電圧との差分を検知し、第 1 端子の電圧が基準電圧より高い状態の場合に、差分の大きさに応じて第 3 端子から第 2 端子に流れる電流量を、電源電圧・電流の仕様範囲内で可能な値まで調整し、第 3 端子の電圧を下げ、第 1 端子の電圧を基準電圧に維持するように制御する。また、第 3 端子から第 2 端子に流れる電流は、吸い込み電流 (カレントシンク) である。

一方で、第 1 端子の電圧が基準電圧より低い状態の場合には、吸い込み電流を調整し、電源電圧・電流の仕様範囲内で可能な値まで、第 3 端子の電圧を高め、第 1 端子の電圧を基準電圧に維持するように働く。

また、第 1 端子の電圧が基準電圧と等しい状態の場合には、吸い込み電流の電流量は維持され、第 1 端子の電圧と基準電圧も等しい状態に維持される。

このように、第 1 端子の電圧 V_{pin1} は、上述の帰還回路により、基準電源 V_{ref} と等しくなるよう調整され、コンデンサマイクロフォンユニット E C M にセンサ用の電圧印加がなされる。

【 0 0 3 8 】

ところで、センサであるコンデンサマイクロフォンユニット E C M の信号電流を I_s とし、第 1 端子 $pin1$ が吐き出す I_s が、抵抗 R_b にすべて流れると近似でき、かつ、第 1 端子の電圧 V_{pin1} は上述の帰還回路により、基準電源 V_{ref} と等しいと近似できるとき、出力電圧は、 $V_{ref} + I_s \times R_b$ で示される電圧となる。

上述の通り、本実施例の構成によれば、帰還回路が十分に働くことで、第 3 端子における出力インピーダンスを低減でき、外来ノイズに堅牢となる。

さらに言えば、変換回路の出力部が電流吐き出し構造ではなく、電流吸い込み構造であるため、本実施例では、変換回路の電源供給部と出力部を同一端子にでき、かつセンサ用の弱い電圧印加程度で動作することに寄与している。

これらは、後述する変換回路 (3 A , 3 B , 3 C , 3 D , 3 E , 3 F) でも共通である。

【 0 0 3 9 】

変換回路 3 の出力は、出力項に電源ノイズ V_{cc} を含まないため、本実施例の変換回路 3 は、外来ノイズに対して堅牢な回路構成となっている。

これにより、本実施例によれば、マイクロフォンの出力に重畳される電源ノイズを低減することができる。そして、本実施例によれば、ノイズを低減できるため、従来よりも小レベルの信号までノイズに埋もれずに録音再生することができる。

【 0 0 4 0 】

(第 2 の実施例)

図 3 は、第 2 の実施例の電子回路例を示す図である。図 3 のように、電子回路 1 A は、センサ 2 と、変換回路 3 A を備える。

センサ 2 は、例えばコンデンサマイクロフォンユニット E C M である。センサ 2 は、例えば、コンデンサマイクロフォン C_m と、抵抗 R_a と、電界効果トランジスタ T_r1 を備える。

変換回路 3 A は、例えば、コンデンサ C_f と、抵抗 R_b (第 1 抵抗) と、可変シャントレギュレータ 3 2 を備える。なお、変換回路 3 A は、抵抗 R_L (電源供給抵抗) と、コンデンサ C_o を備えていてもよい。

変換回路 3 A において、レギュレータ 1 0 1 A は、可変シャントレギュレータ 3 2 である。また、変換回路 3 A は、発振防止用のコンデンサ C_f を備えていなくてもよい。

10

20

30

40

50

【 0 0 4 1 】

次に、変換回路 3 A の接続構成について説明する。

コンデンサ C_f は、一端が抵抗 R_b の一端と抵抗 R_L の一端とコンデンサ C_o の一端と可変シャントレギュレータ 3 2 のカソードに接続され、他端が抵抗 R_b の他端と可変シャントレギュレータ 3 2 のリファレンス端子とセンサ 2 の出力（電界効果トランジスタ Tr_1 のドレイン）に接続されている。

可変シャントレギュレータ 3 2 のアノードは、グランドに接続される。

抵抗 R_L の他端は、電源電圧 V_{cc} に接続される。

コンデンサ C_o の他端は、出力端子 V_{out} に接続される。

【 0 0 4 2 】

次に、変換回路 3 A において、第 1 端子と、第 2 端子と、第 3 端子を定義する。

変換回路 3 A において、センサ 2 の出力端子（電界効果トランジスタ Tr_1 のドレイン）と抵抗 R_b の他端とコンデンサ C_f の他端と可変シャントレギュレータ 3 2 のリファレンス端子の交点を、第 1 端子 pin_1 とする。このように、第 1 端子 pin_1 は、変換回路 3 A の入力部である。また、第 1 端子 pin_1 の電圧を V_{pin_1} とする。

可変シャントレギュレータ 3 2 のアノードを、第 2 端子 pin_2 とする。なお、第 2 端子 pin_2 は、グランドである。

抵抗 R_b の一端とコンデンサ C_f の一端と可変シャントレギュレータ 3 2 のカソードと抵抗 R_L の一端とコンデンサ C_o の一端の交点を、第 3 端子 pin_3 とする。このように、第 3 端子 pin_3 は、変換回路 3 A の電源供給部でありかつ出力部である。

【 0 0 4 3 】

また、変換回路 3 A では、抵抗 R_b によってゲイン ($R_b I_s / I_s$) が決定される。また、レギュレータ 1 0 1 A（可変シャントレギュレータ 3 2）は、出力電圧を制御する。なお、レギュレータ 1 0 1 A は、吸い込み電流によって出力電圧を制御される。

なお、この構成において、基準電圧 V_{ref} は、可変シャントレギュレータ 3 2 のリファレンス端子と、第 2 端子 pin_2 との電圧である。

レギュレータ 1 0 1 A（可変シャントレギュレータ 3 2）は、第 1 端子の電圧と予め定めた基準電圧との差分を検知し、第 1 端子の電圧が基準電圧より高い状態の場合に、差分の大きさに応じて第 3 端子から第 2 端子に流れる電流量を、電源電圧・電流の仕様範囲内で可能な値まで調整し、第 3 端子の電圧を下げ、第 1 端子の電圧を基準電圧に維持するように制御する。また、第 3 端子から第 2 端子に流れる電流は、吸い込み電流（カレントシンク）である。なお、第 1 端子の電圧が基準電圧より低い状態の場合と等しい状態の場合には、第 1 の実施例と同様の動作をする。

【 0 0 4 4 】

図 3 の構成において、可変シャントレギュレータ 3 2 の等価回路は、第 1 の実施例の演算増幅器 3 1 と基準電源 V_{ref} とトランジスタ Tr_2 で表すことができる。すなわち、本実施例によれば、第 1 の実施例の変換回路 3 を、可変シャントレギュレータ 3 2 を用いて実現することで、基準電源 V_{ref} が不要となり、演算増幅器 3 1 への電源供給も不要となり、より回路構成を簡単にすることができる。すなわち、第 2 の実施例の構成は、可変シャントレギュレータ 3 2 の等価回路を図 2 の構成の等価回路で表すことができる。

これにより、本実施例によれば、マイクロフォンの出力に重畳される電源ノイズを低減することができる。そして、本実施例によれば、ノイズを低減できるため、従来よりも小レベルの信号までノイズに埋もれずに録音再生することができる。

【 0 0 4 5 】

図 4 は、第 2 の実施例の変形例を示す図である。

図 4 は、抵抗 R_L とコンデンサ C_o を、装置側が備えている構成例である。装置は、センサ 2 と変換回路 3 A の出力が入力される装置であり、例えば、録音機器、ICレコーダー等である。このように、装置側でマイクロフォンに電源を供給する構成は、例えば「プラグインパワー方式」と呼ばれている。変換回路 3 A は、このようなセンサ（マイクロフォン）用の外部ノイズ等に弱い電圧印加でも動作し、従来技術とは異なり、安定した電源

10

20

30

40

50

の用意が困難な場合があるセンサ近傍にも、配置可能である。なお、上述した変換回路 3、後述する変換回路 3 B、3 C、3 Dにおいても、図 4 のような構成のように装置側でマイクロフォンに電源を供給する構成であってもよい。

【 0 0 4 6 】

装置が、例えば IC レコーダー等の場合は、装置の内部にはデジタル回路も存在するため、電源にデジタルノイズ等が乗る場合がある。図 1 5 を用いて従来技術で説明したように、センサ 2 を直接、装置に接続した場合、このような電源ノイズの影響が大きい。

【 0 0 4 7 】

図 3、図 4 の回路構成では、出力インピーダンスを、コンデンサマイクロフォンユニット E C M より非常に低くできる。例えば、直流成分における出力インピーダンスの実測値は、コンデンサマイクロフォンユニット E C M が 2.6 k に対して、変換回路 3 A を用いた場合が 0.42 であった。また、 1 kHz の交流成分における出力インピーダンスの実測値は、コンデンサマイクロフォンユニット E C M が 1.9 k に対して、変換回路 3 A を用いた場合が 0.37 であった。このように、本実施例の回路構成によれば、出力インピーダンスを低く出来るので、電源ノイズ・伝送線路ノイズを含む外来ノイズに対して堅牢な構成にできる。なお、上記の実測値は一例であり、これに限らない。

【 0 0 4 8 】

図 5 は、マイクロフォンユニットを用いて音声信号を集音した場合の信号波形例を示す図である。なお、確認は、コンデンサマイクロフォンに向かって、「あ～～」と発音したときの音声信号を集音している。符号 g 2 1 の波形は、コンデンサマイクロフォンユニット E C M に抵抗 R_L と、コンデンサ C_O を接続し、抵抗 R_L を介して供給する電源 (V_{cc}) にノイズを 100 mV_{p-p} 重畳した場合の出力信号波形である。符号 g 2 2 の波形は、コンデンサマイクロフォンユニット E C M に変換回路 3 A を接続し、抵抗 R_L と、コンデンサ C_O を接続し、抵抗 R_L を介して供給する電源にノイズを 100 mV_{p-p} 重畳した場合の出力信号波形である。図 5 において、横軸は時間 (秒) であり、縦軸は出力電圧 (V) である。なお、測定条件は、 V_{cc} が 2.7 V であり、 R_L が 2.2 k である。

図 5 のように、本実施例の変換回路 3 A を用いた結果、電源ノイズが重畳されている場合であっても、出力信号への影響を低減できている。

【 0 0 4 9 】

つぎに、図 5 で定性的に示した電源ノイズ除去効果を定量評価するものである、電源電圧変動除去比を実測した結果例を説明する。

図 6 は、電源電圧変動除去比を実測した結果例を示す図である。横軸は周波数 (Hz)、縦軸は電源電圧変動除去比 P S R R (Power Supply Rejection Ratio) (dB) である。線 g 3 1 は、変換回路 3 A を備えていないコンデンサマイクロフォンユニット E C M の P S R R である。変換回路 3 A を備えていない場合は、P S R R が約 1.3 dB であり、図 1 を用いて説明したように電源電圧 V_{cc} に乗る電源ノイズ V_{cc} は、ほぼ減衰せずそのまま V_{out} に重畳することが分かる。これに対して、線 g 3 2 は、変換回路 3 A を用いた場合の P S R R である。変換回路 3 A を備えている場合は、P S R R が 67 dB となり、電源ノイズ V_{cc} を、変換回路 3 A を備えていない場合と比べて顕著に除去できることが分かる。なお、図 6 に示した測定値は一例であり、これに限らない。

このように、本実施例の変換回路 3 A を用いることで、P S R R を 65 dB 以上改善でき、すなわち電源ノイズの振幅を $1/1000$ 程度に低減できる。

【 0 0 5 0 】

次に、電子回路における電源電圧 V_{cc} と出力端子 V_{out} から出力される出力電圧の関係を実測する。

図 7 は、電子回路における電源電圧 V_{cc} と出力端子 V_{out} から出力される出力電圧の関係を実測した結果例である。横軸は電源電圧 V_{cc} (V)、縦軸は出力端子 V_{out} から出力される出力電圧 (V) である。線 g 4 1 は変換回路 3 A を備えていないコンデンサマイクロフォンユニット E C M の測定結果であり、線 g 4 2 は変換回路 3 A を備えている場合の測定結果である。なお、測定条件は、 R_b が 2.2 k 、 C_f が 1.2 nF であ

10

20

30

40

50

る。また、測定に用いたコンデンサマイクロフォンの仕様上の特性は、 1 kHz の感度が $-42.0 \pm 2.0\text{ dB}$ 、推奨電源電圧が 1.5 V であり、抵抗 R_L の推奨値が 1.0 k であり、電源電圧範囲が $1.0 \sim 10.0\text{ V}$ であり、周波数特性が $50 \sim 16000\text{ Hz}$ である。また変換回路3Aに用いた可変シャントレギュレータの仕様上の特性は、リファレンス端子への電圧値が 1.24 V であり、出力インピーダンスが標準 0.25 であり、出力電圧がリファレンス端子への電圧値から 18 V までである。すなわち、本実施例では、変換回路3Aの出力インピーダンスが 1 以下であるようになっている。

【0051】

図7のように、変換回路3Aを用いない場合は、いずれの区間もグラフが傾きを有しているように、電源電圧 V_{cc} によって出力端子 V_{out} から出力される出力電圧が変動するため、電源電圧 V_{cc} の変動がノイズとなる。

10

一方、本実施例の構成によれば、変換回路3Aを備える場合、電源電圧 V_{cc} が 2.1 V 以上の条件で電源電圧 V_{cc} に依らず、出力端子 V_{out} から出力される出力電圧が一定となるため、電源電圧 V_{cc} が変動してもノイズとならない。また、本実施例の構成によれば、出力インピーダンスを低く出来るため、外来ノイズに対して堅牢な構成に出来る。そして、本実施例によれば、ノイズを低減できるため、従来よりも小レベルの信号までノイズに埋もれずに録音再生することができる。

【0052】

(第3の実施例)

次に、変換回路にダーリントン接続構成のトランジスタを用いる例を説明する。

20

図8は、第3の実施例の電子回路の構成例を示す図である。図8のように電子回路1Bは、センサ2と、変換回路3Bを備える。

センサ2は、例えばコンデンサマイクロフォンユニットECMである。コンデンサマイクロフォンユニットECMは、例えば、コンデンサマイクロフォン C_m と、抵抗 R_a と、電界効果トランジスタ Tr_1 を備える。

変換回路3Bは、例えば、コンデンサ C_f と、抵抗 R_b (第1抵抗)と、トランジスタ Tr_3 (第1トランジスタ)と、トランジスタ Tr_4 (第2トランジスタ)と、抵抗 R_c (第2抵抗)を備える。なお、変換回路3Bは、抵抗 R_L (電源供給抵抗)と、コンデンサ C_0 を備えていてもよい。また、変換回路3Bは、発振防止用のコンデンサ C_f を備えていなくてもよい。また、トランジスタ Tr_3 とトランジスタ Tr_4 は、NPN型のトランジスタである。

30

レギュレータ101Bは、例えば、 Tr_3 (第1トランジスタ)と、トランジスタ Tr_4 (第2トランジスタ)と、抵抗 R_c (第3抵抗)を備える。

【0053】

次に、変換回路3Bの接続構成について説明する。

コンデンサ C_f は、一端が抵抗 R_b の一端と抵抗 R_L の一端とコンデンサ C_0 の一端とトランジスタ Tr_3 のコレクタとトランジスタ Tr_4 のコレクタに接続され、他端が抵抗 R_b の他端とトランジスタ Tr_3 のベースとセンサ2の出力に接続される。

【0054】

トランジスタ Tr_3 は、エミッタが抵抗 R_c の一端とトランジスタ Tr_4 のベースに接続されている。また、トランジスタ Tr_3 とトランジスタ Tr_4 は、ダーリントン接続されている。

40

【0055】

抵抗 R_c の他端は、グラウンドに接続される。

トランジスタ Tr_4 のエミッタは、グラウンドに接続される。

抵抗 R_L の他端は、電源電圧 V_{cc} に接続される。

コンデンサ C_0 の他端は、出力端子 V_{out} に接続される。

【0056】

次に、変換回路3Bにおいて、第1端子と、第2端子と、第3端子を定義する。

変換回路3Bにおいて、センサ2の出力端子(電界効果トランジスタ Tr_1 のドレイン

50

)と抵抗 R_b の他端とコンデンサ C_f の他端とトランジスタ T_r3 のベースの交点を、第1端子 $pin1$ とする。このように、第1端子 $pin1$ は、変換回路3Bの入力部である。また、第1端子 $pin1$ の電圧を V_{pin1} とする。

トランジスタ T_r4 のエミッタと抵抗 R_c の他端との交点を、第2端子 $pin2$ とする。なお、第2端子 $pin2$ は、グランドである。

抵抗 R_b の一端とコンデンサ C_f の一端とトランジスタ T_r3 のコレクタとトランジスタ T_r4 のコレクタと抵抗 R_L の一端とコンデンサ C_o の一端の交点を、第3端子 $pin3$ とする。このように、第3端子 $pin3$ は、変換回路3Bの電源供給部でありかつ出力部である。

【0057】

また、変換回路3Bでは、抵抗 R_b によってゲイン($R_b I_s / I_s$)が決定される。レギュレータ101Bは、出力電圧を制御する。なお、レギュレータ101Bは、吸い込み電流によって出力電圧を制御される。

なお、この構成において、基準電圧 V_{ref} は、トランジスタ T_r3 のベースと、第2端子 $pin2$ との電圧である。

本実施例において、レギュレータ101Bは、第1端子の電圧と予め定めた基準電圧との差分を検知し、第1端子の電圧が基準電圧より高い状態の場合に、差分の大きさに応じて第3端子から第2端子に流れる電流量を、電源電圧・電流の仕様範囲内で可能な値まで調整し、第3端子の電圧を下げ、第1端子の電圧を基準電圧に維持するように制御する。また、第3端子から第2端子に流れる電流は、吸い込み電流(カレントシンク)である。なお、第1端子の電圧が基準電圧より低い状態の場合と等しい状態の場合には、第1の実施例と同様の動作をする。

【0058】

図9は、第3の実施例における電源電圧 V_{cc} と出力端子 V_{out} から出力される出力電圧の関係を示す図である。横軸は電源電圧 V_{cc} (V)、縦軸は出力端子 V_{out} から出力される出力電圧 V_{out} (V)である。図9の測定条件は、センサ2を電流源 g_m と抵抗 R_{m0} の等価回路(図1参照)と見做した場合、抵抗 R_{m0} が $100k$ 、抵抗 R_b が $2.2k$ 、抵抗 R_L が $2.2k$ である。また、抵抗 R_c が $10k$ (線g51)、 $100k$ (線g52)、 $1M$ (線g53)、 $10M$ (線g54)である。このことは、抵抗 R_c の値によって基準電圧を調整できることを示している。なお、電流源 g_m の電流出力値は $0.16mA$ である。

【0059】

第3の実施例の構成は、電源電圧 V_{cc} と出力端子 V_{out} から出力される出力電圧の関係は図9のようになるので、電源電圧 V_{cc} が約2V以上において、電源電圧 V_{cc} が変化しても出力端子 V_{out} から出力される出力電圧がほぼ一定となるので、電源電圧 V_{cc} に乗るノイズの影響を低減することができる。そして、本実施例によれば、ノイズを低減できるため、従来よりも小レベルの信号までノイズに埋もれずに録音再生することができる。

【0060】

(第4の実施例)

変換回路にダーリントン接続構成のトランジスタを用いる第2の例を説明する。

図10は、第4の実施例の電子回路の構成例を示す図である。図10のように電子回路1Cは、センサ2と、変換回路3Cを備える。

センサ2は、例えばコンデンサマイクロフォンユニットECMである。コンデンサマイクロフォンユニットECMは、例えば、コンデンサマイクロフォン C_m と、抵抗 R_a と、電界効果トランジスタ T_r1 を備える。

変換回路3Cは、例えば、コンデンサ C_f と、抵抗 R_b (第1抵抗)と、トランジスタ T_r5 (第1トランジスタ)と、トランジスタ T_r6 (第2トランジスタ)と、トランジスタ T_r7 (第3トランジスタ)と、トランジスタ T_r8 (第4トランジスタ)と、抵抗 R_d (第2抵抗)と、抵抗 R_e (第3抵抗)と、抵抗 R_f (第4抵抗)を備える。なお、変

10

20

30

40

50

換回路3Cは、抵抗 R_L （電源供給抵抗）と、コンデンサ C_O を備えていてもよい。また、変換回路3Cは、発振防止用のコンデンサ C_f を備えていなくてもよい。また、トランジスタ Tr_5 とトランジスタ Tr_6 とトランジスタ Tr_8 は、NPN型のトランジスタである。トランジスタ Tr_7 はPNP型トランジスタである。

レギュレータ101Cは、例えば、トランジスタ Tr_5 （第1トランジスタ）と、トランジスタ Tr_6 （第2トランジスタ）と、トランジスタ Tr_7 （第3トランジスタ）と、トランジスタ Tr_8 （第4トランジスタ）と、抵抗 R_d （第2抵抗）と、抵抗 R_e （第3抵抗）と、抵抗 R_f （第4抵抗）を備える。

【0061】

次に、変換回路3Cの接続構成について説明する。

コンデンサ C_f は、一端が抵抗 R_b の一端と抵抗 R_L の一端とコンデンサ C_O の一端とトランジスタ Tr_5 のコレクタと抵抗 R_e の一端とトランジスタ Tr_7 のエミッタとトランジスタ Tr_8 のコレクタに接続され、他端が抵抗 R_b の他端とトランジスタ Tr_5 のベースとセンサ2の出力に接続される。

【0062】

トランジスタ Tr_5 のエミッタは、抵抗 R_d の一端とトランジスタ Tr_6 のベースに接続されている。また、トランジスタ Tr_5 とトランジスタ Tr_6 は、ダーリントン接続されている。

抵抗 R_d の他端は、グラウンドに接続される。

【0063】

トランジスタ Tr_6 は、コレクタが抵抗 R_e の他端とトランジスタ Tr_7 のベースに接続され、エミッタがグラウンドに接続される。

トランジスタ Tr_7 のコレクタは、抵抗 R_f の一端とトランジスタ Tr_8 のベースに接続されている。また、トランジスタ Tr_7 とトランジスタ Tr_8 は、インバーテッドダーリントン接続されている。

【0064】

抵抗 R_f の他端は、グラウンドに接続される。

トランジスタ Tr_8 のエミッタは、グラウンドに接続される。

抵抗 R_L の他端は、電源電圧 V_{cc} に接続される。

コンデンサ C_O の他端は、出力端子 V_{out} に接続される。

【0065】

次に、変換回路3Cにおいて、第1端子と、第2端子と、第3端子を定義する。

変換回路3Cにおいて、センサ2の出力端子（電界効果トランジスタ Tr_1 のドレイン）と抵抗 R_b の他端とコンデンサ C_f の他端とトランジスタ Tr_5 のベースの交点を、第1端子 pin_1 とする。このように、第1端子 pin_1 は、変換回路3Cの入力部である。また、第1端子 pin_1 の電圧を V_{pin_1} とする。

トランジスタ Tr_8 のエミッタと抵抗 R_f の他端とトランジスタ Tr_6 のエミッタと抵抗 R_d の他端との交点を、第2端子 pin_2 とする。なお、第2端子 pin_2 は、グラウンドである。

抵抗 R_b の一端とコンデンサ C_f の一端とトランジスタ Tr_5 のコレクタと抵抗 R_e の一端とトランジスタ Tr_7 のエミッタとトランジスタ Tr_8 のコレクタと抵抗 R_L の一端とコンデンサ C_O の一端の交点を、第3端子 pin_3 とする。このように、第3端子 pin_3 は、変換回路3Cの電源供給部でありかつ出力部である。

【0066】

また、変換回路3Cでは、抵抗 R_b によってゲイン（ $R_b I_s / I_s$ ）が決定される。レギュレータ101Cは、出力電圧を制御する。なお、レギュレータ101Cは、吸い込み電流によって出力電圧を制御される。

なお、この構成において、基準電圧 V_{ref} は、トランジスタ Tr_5 のベースと、第2端子 pin_2 との電圧である。

レギュレータ101Cは、第1端子の電圧と予め定めた基準電圧との差分を検知し、第

10

20

30

40

50

1端子の電圧が基準電圧より高い状態の場合に、差分の大きさに応じて第3端子から第2端子に流れる電流量を、電源電圧・電流の仕様範囲内で可能な値まで調整し、第3端子の電圧を下げ、第1端子の電圧を基準電圧に維持するように制御する。また、第3端子から第2端子に流れる電流は、吸い込み電流（カレントシンク）である。

なお、第1端子の電圧が基準電圧より低い状態の場合と等しい状態の場合には、第1の実施例と同様の動作をする。

【0067】

図11は、第4の実施例における電源電圧 V_{cc} と出力端子 V_{out} から出力される出力電圧の関係を示す図である。横軸は電源電圧 V_{cc} （V）、縦軸は出力端子 V_{out} から出力される出力電圧（V）である。図11の測定条件は、センサ2を電流源 g_m と抵抗 R_{m0} の等価回路（図1参照）と見做した場合、抵抗 R_{m0} が100k、抵抗 R_b が2.2k、抵抗 R_e が10k、抵抗 R_f が5k、抵抗 R_L が2.2kである。また、抵抗 R_d が10k（線g61）、100k（線g62）、1M（線g63）、10M（線g64）である。このことは、抵抗 R_d の値によって基準電圧を調整できることを示している。なお、電流源 g_m の電流出力値は0.16mAである。

10

【0068】

第4の実施例の構成は、電源電圧 V_{cc} と出力端子 V_{out} から出力される出力電圧の関係は図11のようになるので、電源電圧 V_{cc} が約2V以上において、電源電圧 V_{cc} が変化しても出力端子 V_{out} から出力される出力電圧が一定となるので、電源電圧 V_{cc} に乗るノイズの影響を低減することができる。そして、本実施例によれば、ノイズを低減できるため、従来よりも小レベルの信号までノイズに埋もれずに録音再生することができる。特に、図11中の平坦部は、第3の実施例の図9と比べて非常に傾斜が少なく、第3の実施例より第4の実施例は、出力インピーダンスや耐外来ノイズ性能が特に優れることがわかる。

20

【0069】

（第5の実施例）

変換回路にダーリントン接続構成のトランジスタを用いる第3の例を説明する。

図12は、第5の実施例の電子回路の構成例を示す図である。図12のように電子回路1Dは、センサ2と、変換回路3Dを備える。

センサ2は、例えばコンデンサマイクロフォンユニットECMである。コンデンサマイクロフォンユニットECMは、例えば、コンデンサマイクロフォン C_m と、抵抗 R_a と、電界効果トランジスタ Tr_1 を備える。

30

変換回路3Dは、例えば、コンデンサ C_f と、抵抗 R_b （第1抵抗）と、トランジスタ Tr_9 （第1トランジスタ）と、トランジスタ Tr_{10} （第2トランジスタ）と、トランジスタ Tr_{11} （第3トランジスタ）と、抵抗 R_g （第2抵抗）と、抵抗 R_h （第3抵抗）を備える。なお、変換回路3Dは、抵抗 R_L （電源供給抵抗）と、コンデンサ C_o を備えていてもよい。また、変換回路3Dは、発振防止用のコンデンサ C_f を備えていなくてもよい。また、トランジスタ Tr_9 とトランジスタ Tr_{10} は、NPN型のトランジスタである。トランジスタ Tr_{11} はPNP型トランジスタである。

レギュレータ101Dは、例えば、トランジスタ Tr_9 （第1トランジスタ）と、トランジスタ Tr_{10} （第2トランジスタ）と、トランジスタ Tr_{11} （第3トランジスタ）と、抵抗 R_g （第2抵抗）と、抵抗 R_h （第3抵抗）を備える。

40

【0070】

次に、変換回路3Dの接続構成について説明する。

コンデンサ C_f は、一端が抵抗 R_b の一端と抵抗 R_L の一端とコンデンサ C_o の一端とトランジスタ Tr_9 のコレクタと抵抗 R_h の一端とトランジスタ Tr_{11} のエミッタに接続され、他端が抵抗 R_b の他端とトランジスタ Tr_9 のベースとセンサ2の出力（電界効果トランジスタ Tr_1 のドレイン）に接続される。

【0071】

トランジスタ Tr_9 のエミッタは、抵抗 R_g の一端とトランジスタ Tr_{10} のベースに

50

接続されている。また、トランジスタ $T r 9$ とトランジスタ $T r 10$ は、ダーリントン接続されている。

抵抗 R_g の他端は、グラウンドに接続される。

【0072】

トランジスタ $T r 10$ は、コレクタが抵抗 R_h の他端とトランジスタ $T r 11$ のベースに接続され、エミッタがグラウンドに接続される。

トランジスタ $T r 11$ のコレクタは、グラウンドに接続される。

抵抗 R_L の他端は、電源電圧 V_{cc} に接続される。

コンデンサ C_O の他端は、出力端子 V_{out} に接続される。

【0073】

次に、変換回路 3D において、第 1 端子と、第 2 端子と、第 3 端子を定義する。

変換回路 3D において、センサ 2 の出力端子（電界効果トランジスタ $T r 1$ のドレイン）と抵抗 R_b の他端とコンデンサ C_f の他端とトランジスタ $T r 9$ のベースの交点を、第 1 端子 $pin 1$ とする。このように、第 1 端子 $pin 1$ は、変換回路 3D の入力部である。また、第 1 端子 $pin 1$ の電圧を $V_{pin 1}$ とする。

トランジスタ $T r 11$ のコレクタとトランジスタ $T r 10$ のエミッタと抵抗 R_g の他端との交点を、第 2 端子 $pin 2$ とする。なお、第 2 端子 $pin 2$ は、グラウンドである。抵抗 R_b の一端とコンデンサ C_f の一端とトランジスタ $T r 9$ のコレクタと抵抗 R_h の一端とトランジスタ $T r 11$ のエミッタと抵抗 R_L の一端とコンデンサ C_O の一端の交点を、第 3 端子 $pin 3$ とする。このように、第 3 端子 $pin 3$ は、変換回路 3D の電源供給部でありかつ出力部である。

【0074】

また、変換回路 3D では、抵抗 R_b によってゲイン ($R_b I_s / I_s$) が決定される。レギュレータ 101D は、出力電圧を制御する。なお、レギュレータ 101D は、吸い込み電流によって出力電圧を制御される。

なお、この構成において、基準電圧 V_{ref} は、トランジスタ $T r 9$ のベースと、第 2 端子 $pin 2$ との電圧である。

レギュレータ 101D は、第 1 端子の電圧と予め定めた基準電圧との差分を検知し、第 1 端子の電圧が基準電圧より高い状態の場合に、差分の大きさに応じて第 3 端子から第 2 端子に流れる電流量を、電源電圧・電流の許す限り調整し、第 3 端子の電圧を下げ、第 1 端子の電圧を基準電圧に維持するように制御する。また、第 3 端子から第 2 端子に流れる電流は、吸い込み電流（カレントシンク）である。

なお、第 1 端子の電圧が基準電圧より低い状態の場合と等しい状態の場合には、第 1 の実施例と同様の動作をする。

【0075】

図 13 は、第 5 の実施例における電源電圧 V_{cc} と出力端子 V_{out} から出力される出力電圧の関係を示す図である。横軸は電源電圧 V_{cc} (V)、縦軸は出力端子 V_{out} から出力される出力電圧 V_{out} (V) である。図 13 の測定条件は、センサ 2 を電流源 g_m と抵抗 R_{m0} の等価回路（図 1 参照）と見做した場合、抵抗 R_{m0} が $100k$ 、抵抗 R_b が $2.2k$ 、抵抗 R_h が $10k$ 、抵抗 R_L が $2.2k$ である。また、抵抗 R_g が $10k$ （線 g71）、 $100k$ （線 g72）、 $1M$ （線 g73）、 $10M$ （線 g74）である。このこは、抵抗 R_g の値によって基準電圧を調整できていることをしている。なお、電流源 g_m の電流出力値は $0.16mA$ である。

【0076】

第 5 の実施例の構成は、電源電圧 V_{cc} と出力端子 V_{out} から出力される出力電圧の関係は図 13 のようになるので、電源電圧 V_{cc} が約 2V 以上において、電源電圧 V_{cc} が変化しても出力端子 V_{out} から出力される出力電圧が一定となるので、電源電圧 V_{cc} に乗るノイズの影響を低減することができる。そして、本実施例によれば、ノイズを低減できるため、従来よりも小レベルの信号までノイズに埋もれずに録音再生することができ、実装性と耐外来ノイズ性能のバランスを取ることが可能である。

10

20

30

40

50

【 0 0 7 7 】

(センサの例)

なお、上述した各実施例では、センサ 2 がコンデンサマイクロフォンユニットの例を説明したが、これに限らない。センサ 2 は、例えば、コンデンサマイクロフォン単体であってもよく、または、出力インピーダンスの高いセンサ、例えば、圧力センサ、圧電センサ、水晶振動子、加速度センサ、光学センサ等であってもよい。

【 0 0 7 8 】

図 1 4 は、センサが水晶振動子の場合の電子回路の構成例を示す図である。

水晶振動子は、例えば数十 k 等、一般的にインピーダンスが高いため、他の回路に接続する場合にノイズが混入する場合がある。このため、図 1 4 中のセンサ 2 E のように、水晶振動子 X を電界効果トランジスタ $T r 2 1$ と組み合わせることで、インピーダンスを下げる構成が知られている。図 1 4 のようなセンサ 2 E の構成では、インピーダンスを、例えば $1 0^{14}$ から $1 0 0$ 程度まで下げることが出来る。そして、このようなセンサ 2 E に、上述した変換回路 3 A を接続した電子回路 1 E では、さら出力インピーダンスを下げる事が出来るので、ノイズの影響をより低減することができる。なお、変換回路は、上述した変換回路 3、3 B、3 C および 3 D であってもよい。

【 0 0 7 9 】

また、水晶には圧電効果があるため、例えば、圧電型加速度センサでは、水晶振動子 X と電界効果トランジスタ $T r 2 1$ の間に、例えばコンデンサと抵抗を水晶振動子 X に並列に接続する構成が知られている（例えば参考文献 1 参照）。そして、このようなセンサに、上述した変換回路 3 等を接続することで、さら出力インピーダンスを下げる事が出来るので、ノイズの影響をさらに低減することができる。そして、本実施例によれば、ノイズを低減できるため、従来よりも小レベルの信号までノイズに埋もれずに信号を検出することができる。

【 0 0 8 0 】

参考文献 1 ; 加速度計の変換タイプ (圧電型 (PE)、 piezo 抵抗型 (PR)、容量型 (VC) センサ)、東陽テクニカ、2022.02.16、インターネット検索、2022.10.26、< URL; <https://www.toyo.co.jp/mecha/casestudy/detail/id=34295> >

【 0 0 8 1 】

(第 6 の実施例)

次に、変換回路に電界効果トランジスタ (F E T) を用いる例を説明する。

図 1 6 は、第 6 の実施例の電子回路の構成例を示す図である。図 1 6 のように電子回路 1 F は、センサ 2 と、変換回路 3 E を備える。

センサ 2 は、例えばコンデンサマイクロフォンユニット E C M である。コンデンサマイクロフォンユニット E C M は、例えば、コンデンサマイクロフォン C_m と、抵抗 R_a と、電界効果トランジスタ $T r 1$ を備える。

変換回路 3 E は、例えば、コンデンサ C_f と、抵抗 R_b (第 1 抵抗) と、電界効果トランジスタ F E T 1 (第 1 電界効果トランジスタ) と、電界効果トランジスタ F E T 2 (第 2 電界効果トランジスタ) と、抵抗 R_i (第 2 抵抗) とを備える。なお、変換回路 3 E は、抵抗 R_L (電源供給抵抗) と、コンデンサ C_o を備えていてもよい。また、変換回路 3 E は、発振防止用のコンデンサ C_f を備えていなくてもよい。また、電界効果トランジスタ F E T 1 と電界効果トランジスタ F E T 2 は、例えば、M O S F E T、M E S F E T、S i C F E T、G a N F E T、G a A s F E T 等の任意のタイプの F E T である。

レギュレータ 1 0 1 E は、例えば、電界効果トランジスタ F E T 1 (第 1 電界効果トランジスタ) と、電界効果トランジスタ F E T 2 (第 2 電界効果トランジスタ) と、抵抗 R_i (第 2 抵抗) を備える。

【 0 0 8 2 】

次に、変換回路 3 E の接続構成について説明する。

コンデンサ C_f は、一端が抵抗 R_b の一端と抵抗 R_L の一端とコンデンサ C_o の一端と電界効果トランジスタ F E T 1 のドレイン端子 $t 2$ と電界効果トランジスタ F E T 2 のドレ

10

20

30

40

50

イン端子 t_5 に接続され、他端が抵抗 R_b の他端と電界効果トランジスタ FET_1 のゲート端子 t_1 とセンサ 2 の出力に接続される。

【0083】

電界効果トランジスタ FET_1 は、ソース端子 t_3 が抵抗 R_i の一端と電界効果トランジスタ FET_2 のゲート端子 t_4 に接続されている。

【0084】

抵抗 R_i の他端は、グランドに接続される。

電界効果トランジスタ FET_2 のソース端子 t_6 は、グランドに接続される。

抵抗 R_L の他端は、電源電圧 V_{cc} に接続される。

コンデンサ C_0 の他端は、出力端子 V_{out} に接続される。

10

【0085】

次に、変換回路 3E において、第 1 端子と、第 2 端子と、第 3 端子を定義する。

変換回路 3E において、センサ 2 の出力端子（電界効果トランジスタ Tr_1 のドレイン）と抵抗 R_b の他端とコンデンサ C_f の他端と電界効果トランジスタ FET_1 のゲート端子 t_1 の交点を、第 1 端子 pin_1 とする。このように、第 1 端子 pin_1 は、変換回路 3E の入力部である。また、第 1 端子 pin_1 の電圧を V_{pin_1} とする。

電界効果トランジスタ FET_2 のソース端子 t_6 と抵抗 R_i の他端との交点を、第 2 端子 pin_2 とする。なお、第 2 端子 pin_2 は、グランドである。

抵抗 R_b の一端とコンデンサ C_f の一端と電界効果トランジスタ FET_1 のドレイン端子 t_2 と電界効果トランジスタ FET_2 のドレイン端子 t_5 と抵抗 R_L の一端とコンデンサ C_0 の一端の交点を、第 3 端子 pin_3 とする。このように、第 3 端子 pin_3 は、変換回路 3E の電源供給部でありかつ出力部である。

20

【0086】

また、変換回路 3E では、抵抗 R_b によってゲイン ($R_b I_s / I_s$) が決定される。レギュレータ 101E は、出力電圧を制御する。なお、レギュレータ 101E は、吸い込み電流によって出力電圧を制御される。

なお、この構成において、基準電圧 V_{ref} は、電界効果トランジスタ FET_1 のゲート端子 t_1 と、第 2 端子 pin_2 との電圧である。

本実施例において、レギュレータ 101E は、第 1 端子の電圧と予め定めた基準電圧との差分を検知し、第 1 端子の電圧が基準電圧より高い状態の場合に、差分の大きさに応じて第 3 端子から第 2 端子に流れる電流量を、電源電圧・電流の仕様範囲内で可能な値まで調整し、第 3 端子の電圧を下げ、第 1 端子の電圧を基準電圧に維持するように制御する。また、第 3 端子から第 2 端子に流れる電流は、吸い込み電流（カレントシンク）である。

30

なお、第 1 端子の電圧が基準電圧より低い状態の場合と等しい状態の場合には、第 1 の実施例と同様の動作をする。

【0087】

（第 7 の実施例）

図 17 は、第 7 の実施例の電子回路例を示す図である。図 17 のように、電子回路 1G は、センサ 2 と、変換回路 3F を備える。

センサ 2 は、例えばコンデンサマイクロフォンユニット ECM である。コンデンサマイクロフォンユニット ECM は、例えば、コンデンサマイクロフォン C_m と、抵抗 R_a と、電界効果トランジスタ Tr_1 を備える。

40

変換回路 3F は、例えば、コンデンサ C_f と、抵抗 R_b （第 1 抵抗）と、基準電源 V_{ref} と、演算増幅器 31A と、ダイオード D を備える。なお、変換回路 3F は、ダイオード D に代えて、抵抗を備えるものであってもよい。また、変換回路 3F は、抵抗 R_L （電源供給抵抗）と、コンデンサ C_0 を備えていてもよい。

レギュレータ 101F は、例えば、演算増幅器 31A と、ダイオード D と、基準電源 V_{ref} を備える。

【0088】

次に、変換回路 3F の接続構成について説明する。

50

コンデンサ C_f は、一端が抵抗 R_b の一端と抵抗 R_L の一端とコンデンサ C_o の一端に接続され、他端が抵抗 R_b の他端と演算増幅器 31A の正入力端子 (+) とセンサ 2 の出力に接続されている。

【0089】

演算増幅器 31A は、負入力端子 (-) が基準電源 V_{ref} の正極に接続され、出力端子がダイオード D のアノードに接続されている。なお、演算増幅器 31A の正の電源端子 +V は、抵抗 R_L の一端と接続され、負の電源端子 -V は、グランドに接続され、ダイオード D のカソードは、グランドに接続される。

【0090】

基準電源 V_{ref} の負極は、グランドに接続される。なお、基準電源 V_{ref} は、例えばツェナーダイオード回路であってもよい。この場合、例えば、不図示の他の第 1 の抵抗の一端が抵抗 R_L の一端に接続され、他の第 1 の抵抗の他端が不図示の他の第 1 のツェナーダイオードのカソードと、演算増幅器 31A の負入力端子に接続され、他の第 1 のツェナーダイオードのアノードがグランドに接続されていてもよい。

10

【0091】

抵抗 R_L の他端は、電源電圧 V_{cc} に接続される。

コンデンサ C_o の他端は、出力端子 V_{out} に接続される。

【0092】

次に、変換回路 3F において、第 1 端子と、第 2 端子と、第 3 端子を定義する。

変換回路 3F において、センサ 2 の出力端子 (電界効果トランジスタ Tr_1 のドレイン) と抵抗 R_b の他端とコンデンサ C_f の他端と演算増幅器 31A の正入力端子の交点を、第 1 端子 pin_1 とする。このように、第 1 端子 pin_1 は、変換回路 3F の入力部である。また、第 1 端子 pin_1 の電圧を V_{pin_1} とする。

20

ダイオード D のカソードと基準電源 V_{ref} の負極の交点を、第 2 端子 pin_2 とする。なお、第 2 端子 pin_2 は、グランドである。演算増幅器 31A の負の電源端子 -V は、第 2 端子 pin_2 に接続される。

抵抗 R_b の一端とコンデンサ C_f の一端と抵抗 R_L の一端とコンデンサ C_o の一端の交点を、第 3 端子 pin_3 とする。このように、第 3 端子 pin_3 は、変換回路 3F の電源供給部でありかつ出力部である。演算増幅器 31A の正の電源端子 +V は、第 3 端子 pin_3 に接続される。

30

【0093】

変換回路 3F では、抵抗 R_b によってゲイン ($R_b I_s / I_s$) が決定される。なお、電流 I_s は、コンデンサマイクロフォンユニット ECM の信号電流である。変換回路 3F において、演算増幅器 31A は、例えばオペアンプであり、正入力端子に入力される信号と基準電源の電圧との誤差を検出する誤差回路としての役割を持つ。変換回路 3F によって、コンデンサマイクロフォンユニット ECM の信号電流が電圧に変換される。レギュレータ 101F は、出力電圧を制御する。なお、レギュレータ 101F は、吸い込み電流によって出力電圧を制御される。

すなわち、レギュレータ 101F は、第 1 端子の電圧と予め定めた基準電圧との差分を検知し、第 1 端子の電圧が基準電圧より高い状態の場合に、差分の大きさに応じて第 3 端子から第 2 端子に流れる電流量を、電源電圧・電流の仕様範囲内で可能な値まで調整し、第 3 端子の電圧を下げ、第 1 端子の電圧を基準電圧に維持するように制御する。また、第 3 端子から第 2 端子に流れる電流は、吸い込み電流 (カレントシンク) である。

40

一方で、第 1 端子の電圧が基準電圧より低い状態の場合には、吸い込み電流を調整し、電源電圧・電流の仕様範囲内で可能な値まで、第 3 端子の電圧を高め、第 1 端子の電圧を基準電圧に維持するように働く。

また、第 1 端子の電圧が基準電圧と等しい状態の場合には、吸い込み電流の電流量は維持され、第 1 端子の電圧と基準電圧も等しい状態に維持される。

このように、第 1 端子の電圧 V_{pin_1} は、上述の帰還回路により、基準電源 V_{ref} と等しくなるよう調整され、コンデンサマイクロフォンユニット ECM にセンサ用の電圧印

50

加がなされる。

【0094】

以上のように、各実施例の電子回路1（または1A、1B、1C、1D、1F、1G）は、センサ2（または2E）の電流出力を電圧出力に変換する回路であって、電圧を出力する変換回路3（または3A、3B、3C、3D、3E、3F）を備え、変換回路3（または3A、3B、3C、3D、3E、3F）が、第1端子pin1と第2端子pin2と第3端子pin3を備えるようにした。各実施例の電子回路1（または1A、1B、1C、1D、1F、1G）は、第1端子pin1が入力部であり、回路、素子、およびセンサのうちの1つに対して定電圧を供給する電源回路部を備え、回路、素子、およびセンサ2（または2E）のうちの1つに接続される。また、各実施例の電子回路1（または1A、1B、1C、1D、1F、1G）の第2端子pin2は、グランドであるようにした。さらに、各実施例の電子回路1（または1A、1B、1C、1D、1F、1G）の第3端子pin3は変換回路3（または3A、3B、3C、3D、3E、3F）の電源供給部でありかつ出力部である、第3端子pin3には電源電圧Vccから抵抗RLを介して変換回路に電源供給されるようにした。

10

【0095】

これにより、上記のような各実施例によれば、電源電圧Vccのノイズが重畳された場合であっても、ノイズの影響を低減することができる。そして、上記の各実施例によれば、ノイズを低減できるため、従来よりも小レベルの信号までノイズに埋もれずに信号を検出することができる。変換回路（3または3A、3B、3C、3D、3E、3F）は、安定した電源の用意が困難な場合があるセンサ近傍にも配置可能である。

20

【0096】

なお、上述した各実施例の中で示した変換回路（3または3A、3B、3C、3D、3E、3F）は、一見大きく外見が異なる回路であるが、非常に簡略化した場合の等価回路はすべて同じになる、また、1つの変換回路（3または3A、3B、3C、3D、3E、3F）で述べられている特徴は、繰り返しの説明を省略しているだけで、他の変換回路（3または3A、3B、3C、3D、3E、3F）にも当てはまることがある。

【0097】

以上、本発明を実施するための形態について実施例を用いて説明したが、本発明はこうした実施例に何等限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々の変形および置換を加えることができる。

30

【0098】

なお、第6の実施例は、第3の実施例の変換回路（3B）に含まれるトランジスタ（Tr3、Tr4）により実現される機能を、電界効果トランジスタ（FET1、FET2）により実現したものに相当する。同様に、第1の実施例、第4の実施例、および第5の実施例の各々の変換回路（3、3C、3D）に含まれるトランジスタ（Tr2、Tr5、Tr6、Tr7、Tr8、Tr9、Tr10、Tr11）により実現される機能は、電界効果トランジスタを用いて実現することも可能である。

【符号の説明】

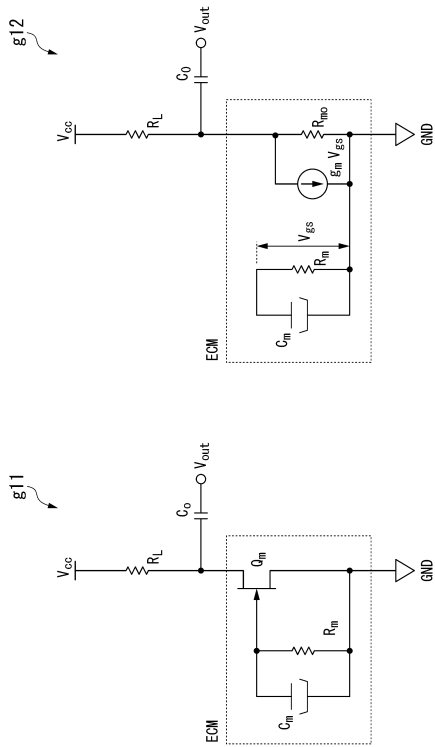
【0099】

1、1A、1B、1C、1D、1E、1F、1G...電子回路、2、2E...センサ、3、3A、3B、3C、3D、3E、3F...変換回路、Cf、Co...コンデンサ、D...ダイオード、Ra、Rb、Rc、Rd、Re、Rf、Rg、Rh、Ri、RL...抵抗、Tr1、Tr21...電界効果トランジスタ、Tr2、Tr3、Tr4、Tr5、Tr6、Tr7、Tr8、Tr9、Tr10、Tr11...トランジスタ、FET1、FET2...電界効果トランジスタ、31、31A...演算増幅器、32...可変シャントレギュレータ、pin1...第1端子、pin2...第2端子、pin3...第3端子、Cm...コンデンサマイクロフォン、X...水晶振動子、Vref...基準電源、Vcc...電源電圧、Vout...出力端子/出力電圧、101、101A、101B、101C、101D、101E、101F...レギュレータ、Vpin1...第1端子の電圧

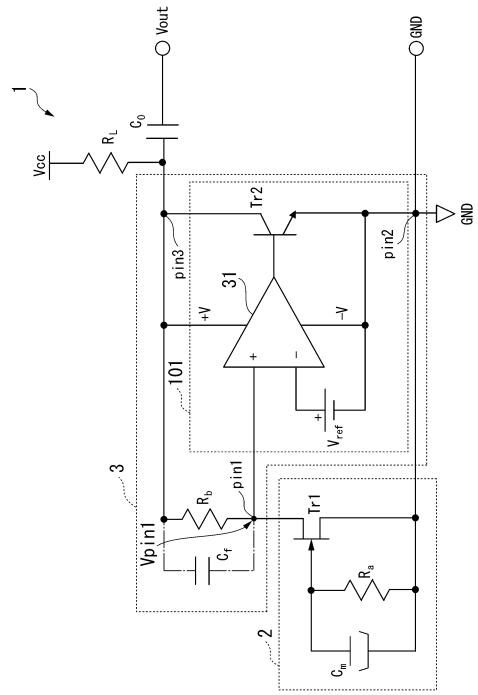
40

50

【図面】
【図 1】



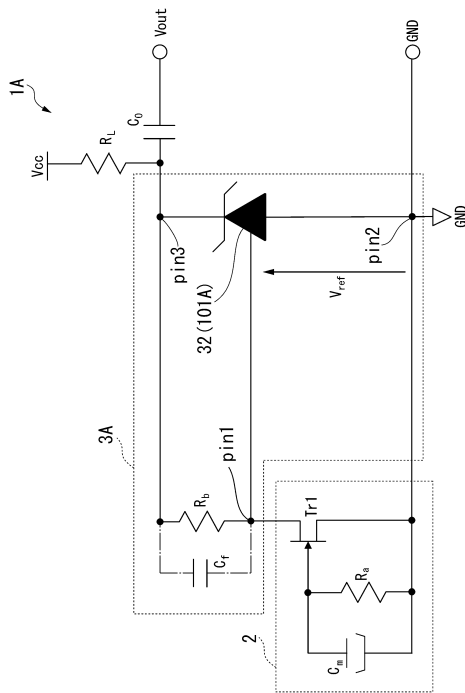
【図 2】



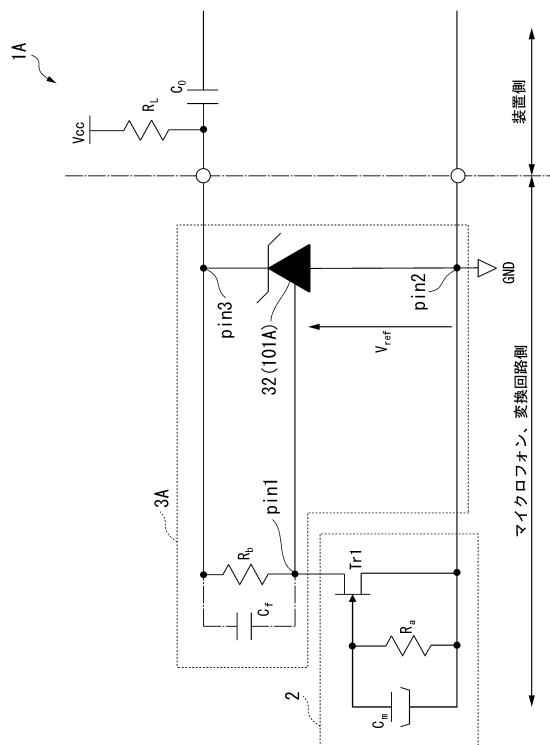
10

20

【図 3】



【図 4】

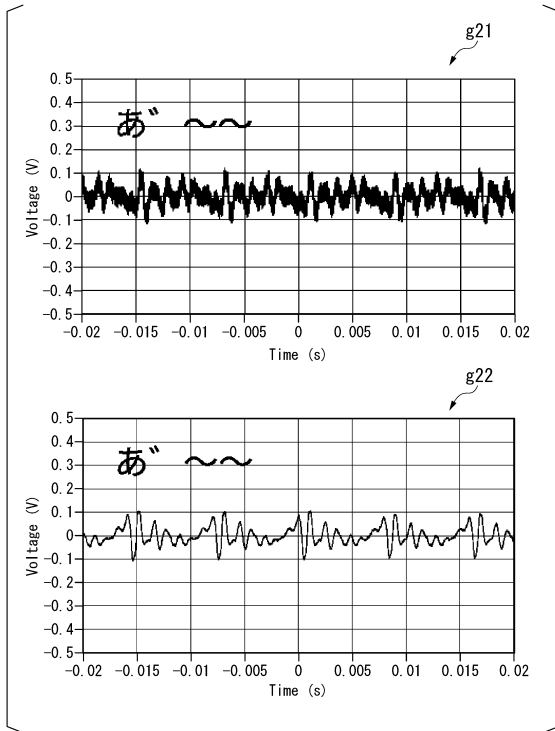


30

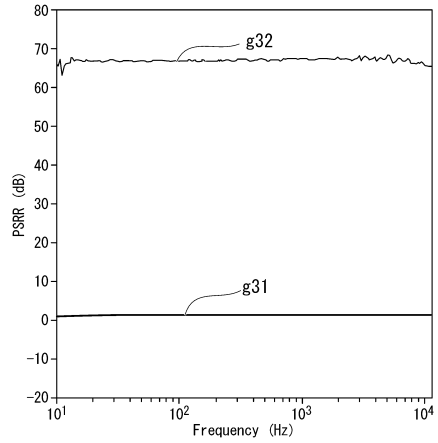
40

50

【図 5】



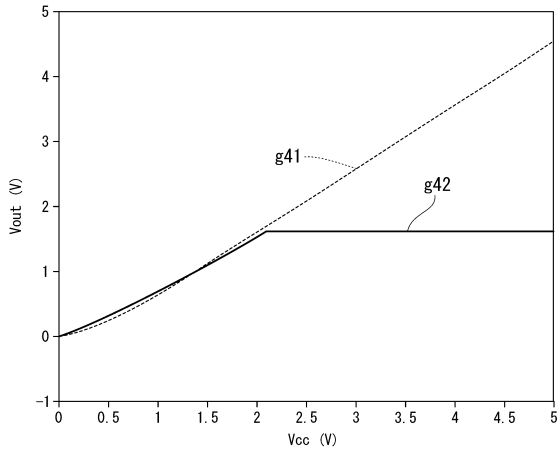
【図 6】



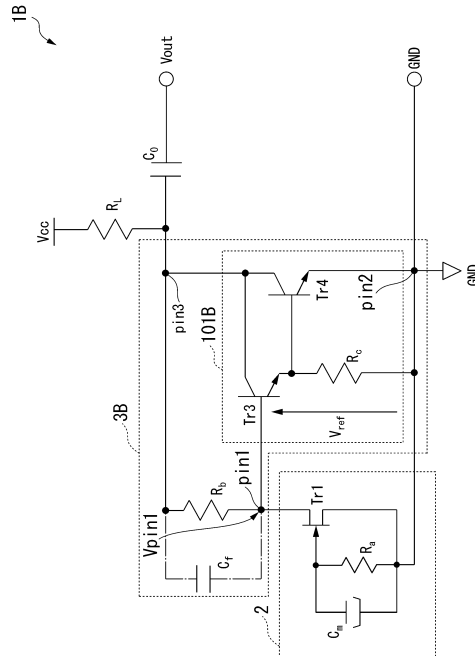
10

20

【図 7】



【図 8】

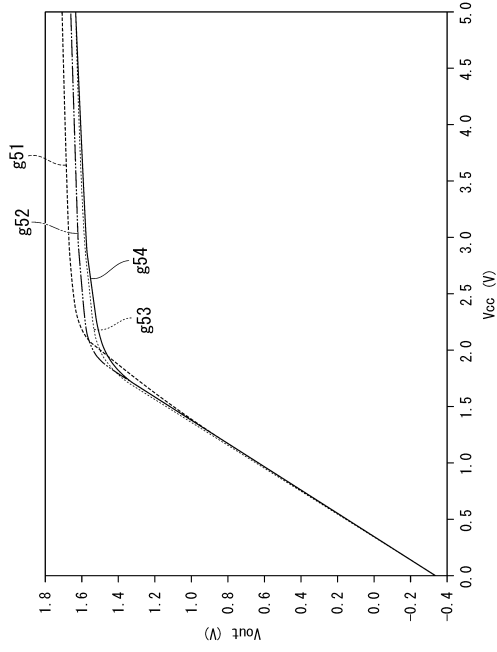


30

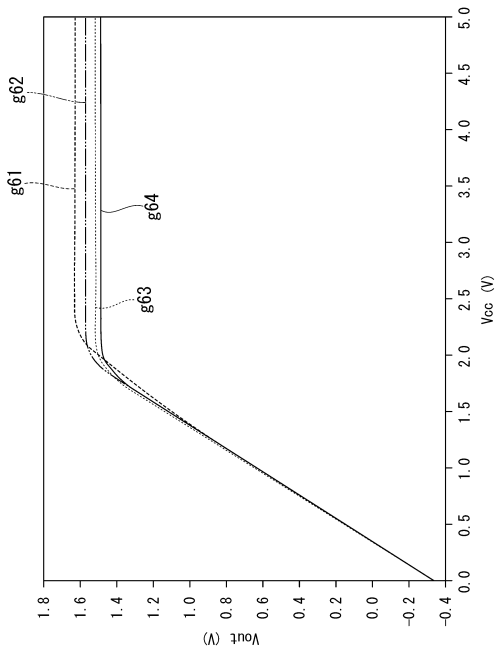
40

50

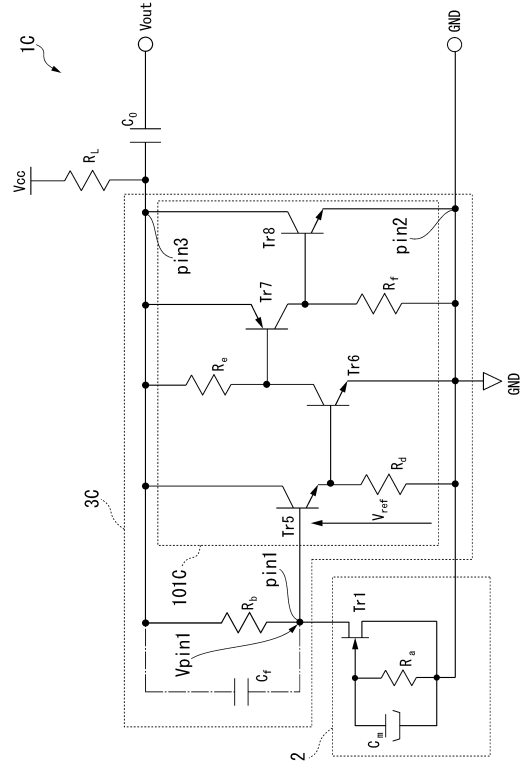
【 9 】



【 1 1 】



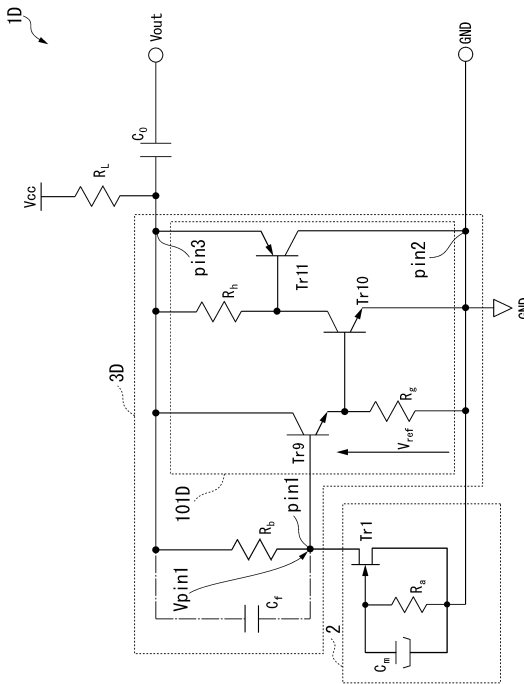
【 1 0 】



10

20

【 1 2 】

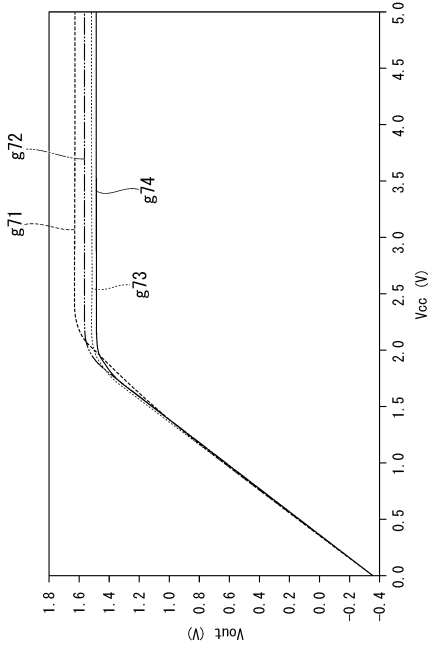


30

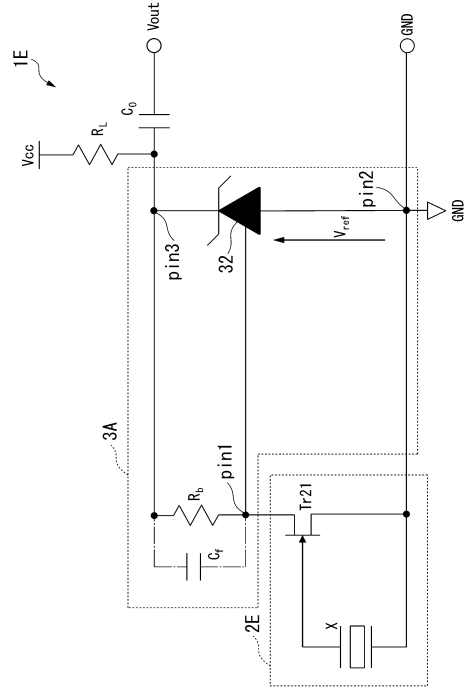
40

50

【 1 3 】



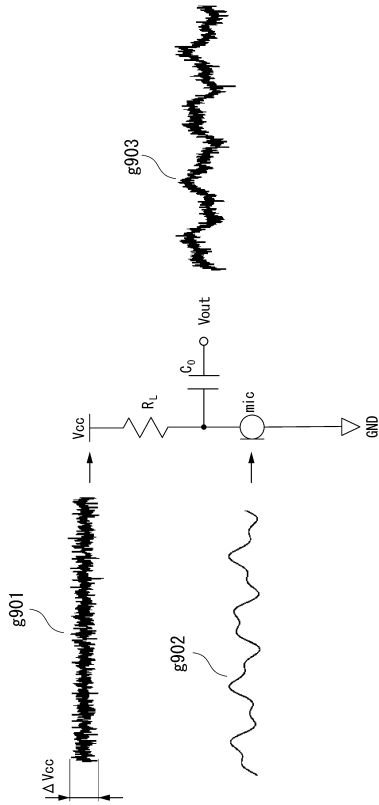
【 1 4 】



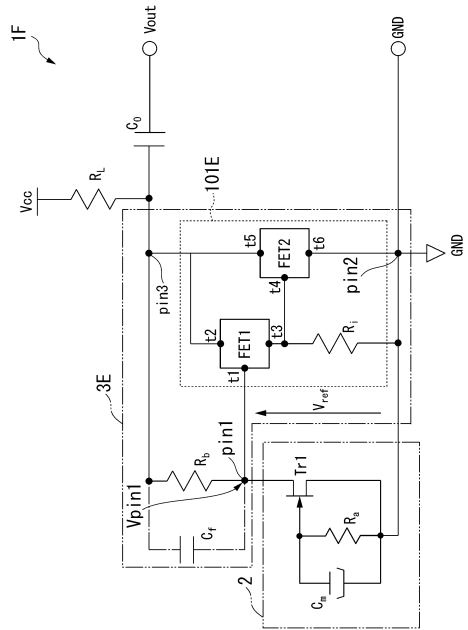
10

20

【 1 5 】



【 1 6 】

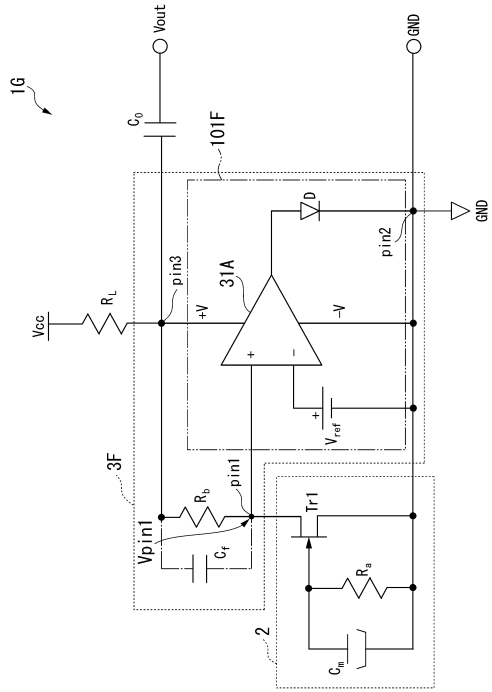


30

40

50

【 17 】



10

20

30

40

50

フロントページの続き

- 立大学法人筑波大学内
- (72)発明者 海老原 格
茨城県つくば市天王台一丁目1番1 国立大学法人筑波大学内
- (72)発明者 水谷 孝一
茨城県つくば市天王台一丁目1番1 国立大学法人筑波大学内
- (72)発明者 若槻 尚斗
茨城県つくば市天王台一丁目1番1 国立大学法人筑波大学内
- 審査官 柳下 勝幸
- (56)参考文献 実開昭57-29917(JP,U)
特開2010-245729(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H03F 3/34