

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY

89765

Patent dodatkowy
do patentu _____

Zgłoszono: 13.12.73 (P. 167308)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 02.11.74

(Opis patentowy opublikowano: 1.06.1979)

Int.Cl.² G06F 3/04
G06F 5/06

MKP G06f 5/06

CZYTELNIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: Czesław Godzisz, Henryk Orłowski, Andrzej Syrczyński
Uprawniony z patentu: Przemysłowy Instytut Automatyki
i Pomiarów „Mera-Piap”,
Warszawa (Polska)

Układ przenoszący informacje w urządzeniu sprzęgającym komputer ze sterowanym lub kontrolowanym obiektem

Przedmiotem wynalazku jest układ przenoszący informacje w urządzeniu sprzęgającym komputer cyfrowy z sterowanym lub kontrolowanym obiektem, na przykład przemysłowym urządzeniem wytwórczym, laboratoryjnym stanowiskiem pomiarowym lub chorym leżącym w łóżku szpitalnym.

Informacje o stanie tych obiektów są przetwarzane przez przetworniki pomiarowe na sygnały elektryczne, a następnie na sygnały cyfrowe o odpowiedniej postaci i w odpowiednich chwilach czasowych przesyłane do komputera.

Znane układy przenoszące informacje zawierają szereg rejestrów buforowych pośredniczących w przekazywaniu informacji pomiędzy źródłem informacji, a komputerem. Najczęściej stosowaną jest czteropoziomowa struktura sprzężenia: blok funkcjonalny — sterownik kasety zawierającej bloki funkcjonalne — blok łączy kasety z komputerem — komputer. W takim przypadku, obok rejestrów dla informacji źródłowej w blokach funkcjonalnych i rejestrów komputera, bywają stosowane rejestry buforowe w sterownikach kasety i bloku sprzęgającym. Fakt ich zastosowania wynika z przyjętej zasady dokonywania transmisji informacji pomiędzy poszczególnymi poziomami struktury w ściśle określonych chwilach czasowych. Wadą dotychczas stosowanych rozwiązań jest konieczność zastosowania rejestrów, które nie biorą udziału w przetwarzaniu informacji, ale służą jedynie jej przekazywaniu. Zastosowanie rejestrów buforowych podnosi koszt urządzenia oraz znacznie zwiększa jego zawodność, ponieważ rejestry są znacznie bardziej podatne na zakłócenia niż układy kombinacyjne.

Celem wynalazku jest wyeliminowanie, a co najmniej znaczne zredukowanie ilości rejestrów buforowych w urządzeniu sprzęgającym. Cel ten osiągnięto dzięki temu, że układ przenoszący informację posiada bramki logiczne złożone z układów kombinacyjnych. Bramki te służą do przepuszczania informacji pochodzącej z bloków funkcjonalnych do komputera w odpowiednich chwilach czasowych. Bramki otwierane są przy tym sygnałem adresowym i ewentualnie dodatkowym sygnałem strobojącym; jeżeli wymaga tego konstrukcja urządzenia. Sterownik w bloku sprzęgającym po wytworzeniu sygnałów adresowych, otwierających odpowiednie bramki pośrednie, odlicza czas potrzebny na ustalenie się sygnału na ostatniej przed magistralą warstwie bramek

i wtedy daje sygnał do komputera o gotowości do transmisji. Po otrzymaniu z komputera polecenia przesłania, sterownik otwiera te bramki, co powoduje natychmiastową transmisję informacji do komputera. Istnieją przypadki szczególne, gdy przechowywanie informacji przekazywanej z bloków funkcjonalnych do komputera jest konieczne nie ze względu na potrzebę synchronizacji transmisji, ale z innych przyczyn, na przykład, gdy ilość bitów informacji przesyłanej z bloku funkcjonalnego, różni się od ilości bitów dla informacji magistrali komputera. W takich przypadkach układ według wynalazku należy uzupełnić o jeden rejestr buforowy. Korzystnym rozwiązaniem jest wykorzystanie do tego celu rejestru buforowego zainstalowanego w bloku sprzęgającym, dla potrzeb odwrotnego kierunku transmisji, to jest z komputera do bloków funkcjonalnych. Takie rozwiązanie nie zwiększa ilości rejestrów.

Przedmiot wynalazku jest uwidoczniony w przykładzie wykonania na rysunku, który przedstawia schemat powiązania komputera z blokami funkcjonalnymi sprzężonymi z obiektem kontrolowanym lub sterowanym. Na rysunku tym, w celu uzyskania większej przejrzystości, pominięto elementy i połączenia służące do transmisji z komputera do bloków funkcjonalnych oraz elementy i połączenia sterujące nieistotne dla wyjaśnienia istoty wynalazku.

Komputer 1 za pomocą magistrali komputera 2 jest połączony z urządzeniami zewnętrznymi 3, spośród których jednym jest blok sprzęgający 4. Blok sprzęgający 4 za pomocą magistrali szafy 5 jest połączony ze sterownikami 6, w ilości „n” sztuk. Każdy ze sterowników (kaset) 6 jest połączony za pomocą magistrali kasety 7 z blokami funkcjonalnymi 8, w ilości „m” sztuk.

Komputer 1 w celu uzyskania informacji z określonego bloku funkcjonalnego 8 przesyła po magistrali 2 do bloku sprzęgającego 4, adres danego bloku. Blok sprzęgający 4 przesyła ten adres po szynach adresowych magistral 5 i 7. Na podstawie zdekodowanego adresu jest wytworzony sygnał A_1 otwierający bramki 9 w sterowniku 6 (kasety) i sygnał A_{11} otwierający bramki 9 i 10. Po magistralach 5 i 7 informacja z rejestru informacji źródłowej 11 zaadresowanego bloku funkcjonalnego 8 dociera na wejścia zespołu bramek 12 w bloku sprzęgającym 4. Czas ustalania stanów przejściowych jest określany doświadczalnie i umożliwia ustalenie z pewnym zapasem czasu opóźnienia generowanego przez układ opóźniający 13.

Układ opóźniający 13 rozpoczyna odmierzenie czasu opóźnienia z chwilą, gdy blok sprzęgający 4 rozpoczął przekazywanie adresów otrzymanych z komputera 1 na magistralę 5. Po upływie czasu τ układ opóźniający 13 generuje sygnał do magistrali 2, informujący komputer 1, że urządzenie sprzęgające jest gotowe do transmisji informacji z bloków funkcjonalnych 8 do komputera 1. Przychodzące w odpowiedzi z komputera 1 polecenia przesłania informacji jest dekodowane i wzmacniane przez układ 14, który wytwarza sygnał otwierający bramki 12, a tym samym drogę dla informacji na magistralę 2 i dalej do komputera 1.

Zastrzeżenia patentowe

1. Układ przenoszący informacje w urządzeniu sprzęgającym komputer z sterowanym lub kontrolowanym obiektem posiadający bramki w blokach funkcjonalnych i w sterowniku, z n a m i e n n y t y m, że informacja z rejestrów (11) w blokach funkcjonalnych (8) jest przenoszona do bloku sterującego (4) bezpośrednio przez bramkę (9) sterownika (6) i bramkę (10) bloku funkcjonalnego (8), które to bramki są otwierane jednocześnie.

2. Układ według zastrz. 1, z n a m i e n n y t y m, że umieszczone w bloku sterującym (4) bramki (12) są otwierane w chwilach odpowiednich do transmisji z punktu widzenia komputera (1), przez sygnały wytworzone w układzie opóźniającym (14).

3. Układ według zastrz. 1, z n a m i e n n y t y m, że rejestr buforowy umieszczony w bloku sterującym (4) w celu buforowania informacji przesyłanych z komputera (1) do bloków funkcjonalnych (8) przechowuje również informacje przesyłane z bloków funkcjonalnych (8) do komputera (1), na czas ich partiowego przesyłania.

