

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

are arranged on two end faces C or two lateral surfaces B of the multilayer body 2, while being connected to the internal electrode layers 15. In a cross-section obtained by cutting the multilayer body 2 at a plane that is perpendicular to the length direction L at a position where the external electrodes are not arranged, the distance T1 between the first lateral surface Ba-side end of an internal electrode layer 15 which is closest to the first main surface and the first lateral surface Ba-side end of an internal electrode layer 15 which is closest to the second main surface is longer than the distance T2 between the second lateral surface Bb-side end of the internal electrode layer 15 which is closest to the first main surface and the second lateral surface Bb-side end of the internal electrode layer 15 which is closest to the second main surface.

(57) 要約: ツームストーン現象の発生を抑制、防止することが可能な、実装信頼性の高い積層セラミックコンデンサを提供する。誘電体層 1 4 と内部電極層 1 5 が交互に複数積層する内層部 1 1 を含み、積層方向に相対する第 1 主面及び第 2 主面を形成する積層体 2 と、前記積層体 2 の 2 つの端面 C と 2 つの側面 B のいずれかに配置され前記内部電極層 1 5 と接続する複数の外部電極と、を備えた積層セラミックコンデンサであって、前記外部電極が配置されない位置において前記積層体 2 を長さ方向 L に垂直な面で切断した断面をみたとき、最も前記第 1 主面側に位置する内部電極層 1 5 の第 1 側面 B a 側の端部と最も前記第 2 主面側に位置する内部電極層 1 5 の第 1 側面 B a 側の端部との距離 T 1 が、最も前記第 1 主面側に位置する内部電極層 1 5 の第 2 側面 B b 側の端部と最も前記第 2 主面側に位置する内部電極層 1 5 の第 2 側面 B b 側の端部との距離 T 2 より長い、積層セラミックコンデンサ 1。

明 細 書

発明の名称： 積層セラミックコンデンサ

技術分野

[0001] 本発明は、積層セラミックコンデンサに関する。

背景技術

[0002] 近年、携帯電話などの電子機器に搭載され広く使用されている積層セラミックコンデンサは、電子機器の小型化にともない、さらに小型・軽量化を進める開発が進められている。

[0003] 一方、積層セラミックコンデンサは、実装する際、基板のランド上に付与されたはんだペースト上に外部電極を取り付け、積層セラミックコンデンサなどの電子部品が固定された基板全体を加熱することによりはんだペーストを溶融し、その後に硬化させることにより、電子部品が基板上に実装される。このとき、ランド上のはんだ溶融のバランスが崩れ、積層セラミックコンデンサの一方の外部電極の下にはんだが回り込みフィレットが形成されると、はんだ溶融時の表面張力により、積層セラミックコンデンサなどのチップが立ち上がる、いわゆるツームストーン現象が発生する。特に、積層セラミックコンデンサは小型化されることで自重が小さくなると、ツームストーン現象が発生しやすくなる傾向にある。

[0004] このため、小型化した積層セラミックコンデンサを確実に実装することを目的とし、ツームストーン現象が発生しにくい構造の積層セラミックコンデンサが求められる。

先行技術文献

特許文献

[0005] 特許文献1：特開平8－306580号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明は、従来の積層セラミックコンデンサよりもさらに確実にツームス

トーン現象の発生を抑制、防止することが可能な、実装信頼性の高い積層セラミックコンデンサを提供することを目的とする。

課題を解決するための手段

[0007] 本発明者は、誘電体層と内部電極層が交互に複数積層する内層部において、最も第1主面側に位置する内部電極層の第1側面側の端部と最も第2主面側に位置する内部電極層の第1側面側の端部との距離 T_1 を、最も第1主面側に位置する内部電極層の第2側面側の端部と最も第2主面側に位置する内部電極層の第2側面側の端部との距離 T_2 より長くすることにより、積層セラミックコンデンサの重心を第1側面側に移すことができ、第1側面を基板に向けて実装することでツームストーン現象の発生を抑制、防止することができることを見出し、本発明を完成するに至った。

[0008] すなわち、本発明は、誘電体層と内部電極層が交互に複数積層する内層部を含み、積層方向に相対する第1主面及び第2主面と、前記積層方向と交差する長さ方向に相対する第1端面及び第2端面と、前記積層方向と前記幅方向に交差する幅方向に相対する第1側面及び第2側面と、を形成する積層体と、

前記積層体の前記2つの端面と前記2つの側面のいずれかに配置され前記内部電極層と接続する複数の外部電極と、

を備えた積層セラミックコンデンサであって、

前記外部電極が配置されない位置において前記積層体を前記長さ方向に垂直な面で切断した断面をみたとき、

最も前記第1主面側に位置する内部電極層の前記第1側面側の端部と最も前記第2主面側に位置する内部電極層の前記第1側面側の端部との距離 T_1 が、最も前記第1主面側に位置する内部電極層の第2側面側の端部と最も前記第2主面側に位置する内部電極層の第2側面側の端部との距離 T_2 より長い、積層セラミックコンデンサである。

発明の効果

[0009] 本発明によれば、実装する際のツームストーン現象の発生を抑制、防止す

ることができ、実装信頼性の高い積層セラミックコンデンサを提供することが可能となる。

図面の簡単な説明

- [0010] [図1]積層セラミックコンデンサ1（第1実施形態）の概略斜視図である。
- [図2]積層セラミックコンデンサ1（第1実施形態）の図1に示すⅠ-Ⅰ線に沿って切断した断面図である。
- [図3]積層セラミックコンデンサ1（第1実施形態）の図1に示すⅡ-Ⅱ線に沿って切断した断面図である。
- [図4]積層セラミックコンデンサ1（第1実施形態）の内層部11の積層状態を説明する分解斜視図である。
- [図5]積層セラミックコンデンサ1（第1実施形態）の製造方法を説明するフローチャートである。
- [図6]セラミックグリーンシート101の表面に積層セラミックコンデンサ1（第1実施形態）の内部電極層15となる内部電極層パターン103が印刷された素材シート203の斜視図である。
- [図7]素材シート203上にセラミックペースト102が配置された状態を示す斜視図である。
- [図8]図7の部分断面図である。
- [図9]素材シート203の積層状態を説明する図である。
- [図10]積層セラミックコンデンサ1（第1実施形態）の実装状態を示す図である。
- [図11]積層セラミックコンデンサ300（第2実施形態）の概略斜視図である。
- [図12]積層セラミックコンデンサ300（第2実施形態）の内層部11における内部電極層15の状態を説明する分解斜視図である。
- [図13]積層セラミックコンデンサ300（第2実施形態）の内層部11におけるセラミックペースト102A、102Bの配置を説明する分解斜視図である。

発明を実施するための形態

[0011] 以下、本発明の積層セラミックコンデンサについて、2端子型セラミックコンデンサを第1実施形態とし、3端子型積層セラミックコンデンサを第2実施形態として説明する。図1は、第1実施形態の積層セラミックコンデンサ1の概略斜視図である。図2は、第1実施形態の積層セラミックコンデンサ1の図1に示すI-I線に沿って切断した断面図である。図3は、第1実施形態の積層セラミックコンデンサ1の図1に示すI-I線に沿って切断した断面図である。

[0012] 実施形態は、本発明の実施の形態を例示的に示したものであり、本発明が実施形態の内容に限定されることはない。また、異なる実施形態に記載された内容を組み合わせて実施することも可能であり、その場合の実施内容も本発明に含まれる。また、図面は、明細書の理解を助けるためのものであって、模式的に描画されている場合があり、描画された構成要素又は構成要素間の寸法の比率が、明細書に記載されたそれらの寸法の比率と一致していない場合がある。また、明細書に記載されている構成要素が、図面において省略されている場合や、個数を省略して描画されている場合などがある。

[0013] (積層セラミックコンデンサ1)

積層セラミックコンデンサ1は、2端子型積層セラミックコンデンサ(第1実施形態)である。積層セラミックコンデンサ1は、積層体2と積層体2の両端に設けられた一対の端面外部電極3とを備える。積層体2は、誘電体層14と内部電極層15とを複数含む内層部11と、外層部12とを備える。積層セラミックコンデンサ1の寸法は、特に限定されないが、長さ方向L寸法が0.6mm以上3.2mm以下、幅方向W寸法が0.3mm以上2.5mm以下、積層方向T寸法が0.3mm以上2.5mm以下であることが好ましい。

[0014] なお、以下の説明では、積層セラミックコンデンサ1の向きを表わす用語として、積層セラミックコンデンサ1において、誘電体層14と内部電極層15とが積層されている方向を積層方向Tとする。積層セラミックコンデン

サ 1 において、積層方向 T と交差し、一对の端面外部電極 3 が設けられている方向を長さ方向 L とする。長さ方向 L 及び積層方向 T のいずれにも交差する方向を幅方向 W とする。なお、実施形態においては、積層方向 T と、長さ方向 L と、幅方向 W とは、互いに直交している。

また、図 2 は、積層セラミックコンデンサ 1 を幅方向 W に垂直な面で切断した長さ方向 L と積層方向 T とを通る L T 断面であり、図 3 は、積層セラミックコンデンサ 1 を長さ方向 L に垂直な面で切断した幅方向 W と積層方向 T とを通る W T 断面である。

[0015] さらに、以下の説明において、積層体 2 の 6 つの外表面のうち、積層方向 T に相対する一对の外表面を第 1 主面 A a と第 2 主面 A b とし、幅方向 W に相対する一对の外表面を第 1 側面 B a と第 2 側面 B b とし、長さ方向 L に相対する一对の外表面を第 1 端面 C a と第 2 端面 C b とする。

なお、第 1 主面 A a と第 2 主面 A b とを特に区別して説明する必要のない場合、まとめて主面 A とし、第 1 側面 B a と第 2 側面 B b とを特に区別して説明する必要のない場合、まとめて側面 B とし、第 1 端面 C a と第 2 端面 C b とを特に区別して説明する必要のない場合、まとめて端面 C として説明する。

[0016] (積層体 2)

積層体 2 は、内層部 1 1 と、内層部 1 1 の積層方向 T の両側に配置される外層部 1 2 とを備える。積層体 2 の寸法は、特に限定されないが、長さ方向 L 寸法が 0.6 mm 以上 3.2 mm 以下、幅方向 W 寸法が 0.3 mm 以上 2.5 mm 以下、積層方向 T 寸法が 0.3 mm 以上 2.5 mm 以下であることが好ましい。

[0017] (内層部 1 1)

内層部 1 1 は、積層方向 T に沿って交互に積層された誘電体層 1 4 と内部電極層 1 5 とを複数組合む。

[0018] (内部電極層 1 5)

内部電極層 1 5 は、複数の第 1 内部電極層 1 5 A と、複数の第 2 内部電極

層 1 5 B とを備える。第 1 内部電極層 1 5 A と第 2 内部電極層 1 5 B とは交互に配置されている。なお、第 1 内部電極層 1 5 A と第 2 内部電極層 1 5 B とを特に区別して説明する必要のない場合、まとめて内部電極層 1 5 として説明する。

[0019] 内部電極層 1 5 は、たとえば、N i、C u、A g、P d、A g－P d 合金、A u 等に代表される金属材料により形成されていることが好ましい。また、内部電極層 1 5 の積層方向 T の厚さは 0. 2 5 μ m 以上 0. 6 0 μ m 以下が好ましく、特に 0. 3 μ m 以上 0. 5 μ m 以下が好ましい。内部電極層 1 5 の数は、1 4 以上 1 0 0 0 以下であることが好ましい。

[0020] 内部電極層 1 5 は、対向部 1 5 a と、対向部 1 5 a から端面 C まで延びて端面外部電極 3 に接続される引き出し部 1 5 b とを有している。

[0021] (誘電体層 1 4)

誘電体層 1 4 は、セラミック材料で製造されている。セラミック材料としては、たとえば、B a T i O₃ を主成分とする誘電体セラミックが用いられる。また、セラミック材料として、これらの主成分に M n 化合物、F e 化合物、C r 化合物、C o 化合物、N i 化合物等の副成分のうちの少なくとも一つを添加したものをを用いてもよい。なお、誘電体層 1 4 の積層方向 T の厚さは 0. 3 μ m 以上 1. 5 μ m 以下が好ましく、特に、0. 5 μ m 以上 1. 0 μ m が好ましい。また、誘電体層 1 4 の数は、上部外層部 1 2 a 及び下部外層部 1 2 b も含めて 1 4 以上 1 0 0 0 以下であることが好ましい。

[0022] 図 4 は、内層部 1 1 の積層状態を説明する分解斜視図である。後に詳述するが、積層セラミックコンデンサ 1 の製造時において、誘電体層 1 4 となるセラミックグリーンシート 1 0 1 に内部電極層 1 5 となる内部電極層パターン 1 0 3 が印刷された素材シート 2 0 3 上の、内部電極層パターン 1 0 3 が配置されていない領域に、セラミックペースト 1 0 2 が印刷されている。また、セラミックペースト 1 0 2 は、第 1 側面 B a 側の内部電極層 1 5 の一辺に一定の幅でオーバーラップしている。このようなセラミックグリーンシート 1 0 1 上に内部電極層パターン 1 0 3 とセラミックペースト 1 0 2 が印刷

された素材シート203を積層したものが内層部11となる。

[0023] セラミックペースト102は、第1側面Ba側の内部電極層15の一端を一定の幅でオーバーラップしているので、図3に示すように、内部電極層15の第1側面Ba側の端部は積層方向Tの間隔が広くなる。そして、このような内部電極層15が複数積層された積層体2においては、最も第1主面Aa側に位置する内部電極層15としての最上層の内部電極層15の第1側面Ba側の端部と、最も第2主面Ab側に位置する内部電極層15としての最下層の内部電極層15の第1側面側Baの端部との距離T1が、最も第1主面Aa側に位置する内部電極層15としての最上層の内部電極層15の第2側面側Bbの端部と、最も第2主面Ab側に位置する内部電極層15としての最下層の内部電極層15の第2側面Bb側の端部との距離T2より長くなる。

ここで、最も第1主面Aa側に位置する内部電極層15としての最上層の内部電極層15の第1側面Ba側の端部と、最も第2主面Ab側に位置する内部電極層15としての最下層の内部電極層15の第1側面側Baの端部との距離T1と、最も第1主面Aa側に位置する内部電極層15としての最上層の内部電極層15の第2側面側Bbの端部と、最も第2主面Ab側に位置する内部電極層15としての最下層の内部電極層15の第2側面Bb側の端部との距離T2の測定は、積層セラミックコンデンサ1を長さ方向に対して垂直になるように、積層セラミックコンデンサ1の長さ方向寸法の $1/2$ となる位置まで断面研磨した断面において、走査型電子顕微鏡（SEM）あるいは金属顕微鏡を用いて測定することができる。

[0024] 距離T1と距離T2の長さの差は、積層体2における第1側面Ba側と第2側面Bb側との積層方向Tの厚さの差と対応し、図1に示すように、積層セラミックコンデンサ1の第1主面Aaと第2主面Abには第1側面Ba側の表面に長さ方向Lに沿って盛り上がり部Mが形成される。

[0025] また、内部電極層15を中央部を含む中央領域と、中央領域より第1側面Ba側にある第1側面側領域と、中央領域より第2側面Bb側にある第2側

面側領域と、に分けたとき、隣り合う2つの内部電極層15間の距離であって、第1側面側領域のいずれかの位置における前記積層方向の距離 t_1 が、前記第2側面側領域のいずれかの位置における前記積層方向の距離 t_2 より長くすることが好ましい。

ここで、第1側面側領域のいずれかの位置における前記積層方向の距離 t_1 と、第2側面側領域のいずれかの位置における前記積層方向の距離 t_2 の測定は、積層セラミックコンデンサ1を長さ方向の長さに対して垂直になるように、積層体の長さ方向寸法の $1/2$ となる位置まで断面研磨した断面において、走査型電子顕微鏡（SEM）あるいは金属顕微鏡を用いて測定することができる。

[0026] 積層セラミックコンデンサ1を構成する積層体2の容積は、第2側面Bb側より第1側面Ba側の方が大きく、重量が大きいため、積層体2の重心は、積層体2の中心より第1側面Ba側にある。したがって、図10のように、第1側面Baを基板に向けて、積層セラミックコンデンサ1を実装すれば、最小限の重量増加とともに、積層セラミックコンデンサ1の重心を基板に近づけることができるため、実装時におけるツームストーン現象の発生を効果的に抑制、防止することが可能となる。

[0027] 実装する際、確実に第1側面Baを基板に向けて配置するため、積層体2の第1側面Ba及び／又は第2側面Bbには、配置する方向を識別するための識別手段を備えることが好ましい。識別手段としては、特に限定されるものではないが、たとえば、第2側面Bbに印字、刻印、又は着色を施すなどの手段が挙げられる。

[0028] また、第1側面Baを基板に向けて配置するため、端面外部電極3に配置する方向を識別する識別手段を備えることが好ましい。識別手段としては、特に限定されるものではないが、たとえば、端面外部電極3の第2側面Bb側の面の形状や長さを、第1側面Baの形状とは異なるものにするなどの手段が挙げられる。

[0029] （外層部12）

外層部 1 2 は、内層部 1 1 の一方に配置される上部外層部 1 2 a と、内層部 1 1 の積層方向 T の他方に側に配置される下部外層部 1 2 b とを備える。上部外層部 1 2 a と下部外層部 1 2 b とを特に区別して説明する必要がない場合、合わせて外層部 1 2 として説明する。

[0030] 外層部 1 2 は、内層部 1 1 の誘電体層 1 4 と同じ材料で製造されている。そして、外層部 1 2 の厚みはたとえば $20\ \mu\text{m}$ 以下であり、 $10\ \mu\text{m}$ 以下であることがより好ましい。

なお、上部外層部 1 2 a 及び下部外層部 1 2 b は、内層部の積層方向の両側にそれぞれ所定の厚みで配置されている。実施形態では同じ厚みであるがこれに限定されず、異なってもよい。

[0031] (端面外部電極 3)

第 1 内部電極層 1 5 A の引き出し部 1 5 b の端部は第 1 端面 C a に露出し、第 1 端面外部電極 3 A に電氣的に接続されている。第 2 内部電極層 1 5 B の引き出し部 1 5 b の端部は第 2 端面 C b に露出し、第 2 端面外部電極 3 B に電氣的に接続されている。これにより、第 1 端面外部電極 3 A と第 2 端面外部電極 3 B との間は、複数のコンデンサ要素が電氣的に並列に接続された構造となっている。

また、端面外部電極 3 は、端面 C だけでなく、主面 A 及び側面 B の端面 C 側の一部も覆い、積層体 2 の盛り上がり部 M の部分も覆っている。

[0032] 端面外部電極 3 と後述の第 2 実施形態が備える側面外部電極 4 は、いずれも、下地電極層と、下地電極層上に配置されためっき層を備えた構造とすることができる。

[0033] 下地電極層は、以下に説明するような、焼き付け層、導電性樹脂層、直接めっき層等から選ばれる少なくとも 1 つの層を含む。

[0034] (焼き付け層)

焼き付け層は、ガラス及び金属を含む導電性ペーストを積層体に塗布して焼き付けたものであり、内部電極と同時焼成したものでもよく、内部電極を焼成した後に焼き付けてもよい。焼き付け処理の温度は、 $700\sim 900\text{ }^{\circ}\text{C}$

であることが好ましい。

[0035] ガラス成分は、B、Si、Ba、Mg、Al、Li等から選ばれる少なくとも1つを含む。また、金属としては、たとえば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au等から選ばれる少なくとも1つを含む。

[0036] 焼き付け層の厚さは、たとえば、 $3\mu\text{m}$ 以上 $70\mu\text{m}$ 以下であることが好ましい。また、焼き付け層は、複数層であってもよい。

[0037] (導電性樹脂層)

導電性樹脂層は、焼き付け層の表面に形成されるか、あるいは、積層体の表面上に直接形成される。導電性樹脂層は、複数層であってもよい。

[0038] 導電性樹脂層の形成方法としては、熱硬化性樹脂及び金属成分を含む導電性樹脂ペーストを焼き付け層上もしくは積層体上に塗布し、 $250\sim 550^{\circ}\text{C}$ 以上の温度で熱処理を行い、樹脂を熱硬化させ、導電性樹脂層を形成する。この時の熱処理時の雰囲気は、 N_2 雰囲気であることが好ましい。また、樹脂の飛散を防ぎ、かつ、各種金属成分の酸化を防ぐため、酸素濃度は 100ppm 以下に抑えることが好ましい。

[0039] 端面Cの中央部における導電性樹脂層の厚さは、たとえば、 $10\mu\text{m}$ 以上 $150\mu\text{m}$ 以下であることが好ましい。

[0040] 導電性樹脂層の樹脂としては、たとえば、エポキシ樹脂、フェノール樹脂、ウレタン樹脂、シリコーン樹脂、ポリイミド樹脂などの公知の種々の熱硬化性樹脂を使用することができる。その中でも、耐熱性、耐湿性、密着性などに優れたエポキシ樹脂は最も適切な樹脂の一つである。導電性樹脂層に含まれる樹脂は、導電性樹脂全体の体積に対して、 $25\text{vol}\%$ 以上 $65\text{vol}\%$ 以下で含まれていることが好ましい。

[0041] また、導電性樹脂層には、熱硬化性樹脂とともに、硬化剤を含むことが好ましい。硬化剤としては、ベース樹脂としてエポキシ樹脂を用いる場合、エポキシ樹脂の硬化剤としては、フェノール系、アミン系、酸無水物系、イミダゾール系など公知の種々の化合物を使用することができる。

[0042] 導電性樹脂層は、熱硬化性樹脂を含むため、たとえばめっき膜や導電性ペ

ーストの焼成物からなる導電層よりも柔軟性に富んでいる。このため、セラミック電子部品に物理的な衝撃や熱サイクルに起因する衝撃が加わった場合であっても、導電性樹脂層が緩衝層として機能し、セラミック電子部品へのクラックを防止することができる。

[0043] 導電性樹脂層に含まれる金属としては、A g、C u、又はそれらの合金を使用することができる。また、金属粉の表面にA gコーティングされたものを使用することができる。金属粉の表面にA gコーティングされたものを使用する際には金属粉としてC uやN iを用いることが好ましい。またC uに酸化防止処理を施したものを使用することもできる。

[0044] 導電性金属にA gの導電性金属粉を用いる理由としては、A gは金属の中で比抵抗が比較的低いため電極材料に適しており、A gは貴金属であるため酸化せず安定性が高いためである。なお、A gコーティングされた金属を用いる理由としては、上記のA gの特性は保ちつつ、母材の金属を安価なものにすることが可能になるためである。

[0045] 導電性樹脂層に含まれる金属は、導電性樹脂全体の体積に対して、35 vol %以上75 vol %以下で含まれていることが好ましい。

[0046] 導電性樹脂層に含まれる金属の形状は、特に限定されない。導電性フィラーは、球状、扁平状等であってもよい。導電性樹脂層に含まれる金属の平均粒径は、特に限定されないが、たとえば、0.3 μ m以上10 μ m以下程度にすることができる。

[0047] 導電性樹脂層に含まれる金属は、主に導電性樹脂層の通電性を担う。具体的には、導電性フィラーどうしが接触することにより、導電性樹脂層内部に通電経路が形成される。

[0048] (めっき層)

積層体の内部電極が露出する端面に直接めっき層を設けてもよい。すなわち、積層セラミックコンデンサは、内部電極層、表面電極層に電氣的に直接接続するめっき層を含む構造であってもよい。このような場合、前処理として積層体の表面に触媒を配設した後で、直接めっき層が形成されてもよい。

[0049] めっき層は、たとえば、Cu、Ni、Sn、Pb、Au、Ag、Pd、Bi又はZnなどから選ばれる少なくとも1種の金属又は当該金属を含む合金を含むことが好ましい。たとえば、第1内部電極層及び第2内部電極層がNiを用いて形成される場合、直接めっき層は、Niと接合性のよいCuを用いて形成されることが好ましい。

[0050] めっき層の1層あたりの厚さは、2 μ m以上15 μ m以下であることが好ましい。めっき層は、ガラスを含まないことが好ましい。めっき層の単位体積あたりの金属割合は、99体積%以上であることが好ましい。

[0051] めっき処理を行うにあたっては、電解めっき、無電解めっきのどちらを採用してもよいが、無電解めっきはめっき析出速度を向上させるために、触媒などによる前処理が必要となり、工程が複雑化するというデメリットがある。したがって、通常は、電解めっきを採用することが好ましい。めっき工法としては、バレルめっきを用いることが好ましい。また、必要に応じて、下層めっき電極の表面に形成される上層めっき電極を同様に形成してもよい。

[0052] 下地電極層が薄膜層の場合、薄膜層は、スパッタ法又は蒸着法等の薄膜形成法により形成され、金属粒子が堆積された1 μ m以下の層である。

[0053] 下地電極層の上に配置されるめっき層は、たとえば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au等から選ばれる少なくとも1つを含む。

[0054] めっき層は複数層により形成されていてもよい。好ましくは、Niめっき、Snめっきの2層構造である。Niめっき層は、下地電極層がセラミック電子部品を実装する際にはんだによって侵食されることを防止することができ、Snめっき層は、セラミック電子部品を実装する際にはんだの濡れ性を向上させ、容易に実装することができる。めっき層一層あたりの厚さは、2 μ m以上15 μ m以下であることが好ましい。

[0055] (積層セラミックコンデンサ1の製造方法)

次に、実施形態の積層セラミックコンデンサ1の製造方法の一例について説明する。図5は、積層セラミックコンデンサ1の製造方法を説明するフローチャートである。

[0056] (内部電極層パターン形成工程 S 1)

まず、誘電体層 1 4 となるセラミックグリーンシート 1 0 1 に、導電性ペーストにより内部電極層 1 5 となる内部電極層パターン 1 0 3 を形成する。

図 6 は、セラミックグリーンシート 1 0 1 の表面に内部電極層 1 5 となる内部電極層パターン 1 0 3 が印刷された素材シート 2 0 3 の斜視図である。

[0057] (セラミックグリーンシート 1 0 1)

セラミックグリーンシート 1 0 1 は、セラミックス粉末、バインダ及び溶剤を含むセラミックスラリーがキャリアフィルム上においてダイコータ、グラビアコータ、マイクログラビアコータ等を用いてシート状に成形された帯状のシートである。

[0058] (内部電極層パターン 1 0 3)

内部電極層パターン 1 0 3 は、たとえば、スクリーン印刷、グラビア印刷、凸版印刷等の印刷によって形成される。

[0059] ここで、内部電極層パターン 1 0 3 は、セラミックグリーンシート 1 0 1 上において、その厚みによる段差 1 0 4 が形成される。実施形態で段差 1 0 4 は傾斜面である。

[0060] (オーバーラップ誘電体配置工程 S 2)

次いで、内部電極層パターン 1 0 3 の厚みによる段差 1 0 4 を埋め、且つ内部電極層パターン 1 0 3 の第 1 側面 B a 側の一辺に一定の幅でオーバーラップするように、誘電体層を形成するセラミックペースト 1 0 2 を素材シート 2 0 3 上に配置する。また、内部電極層パターン 1 0 3 が形成される予定の外周部に誘電体層を形成するセラミックペースト 1 0 2 を素材シート 2 0 3 上に先に配置し、後から内部電極層パターン 1 0 3 の第 1 側面 B a 側の一辺に一定の幅でオーバーラップするように内部電極を配置してもよい。

図 7 は、素材シート 2 0 3 上にセラミックペースト 1 0 2 が配置された状態を示す斜視図である。図 8 は、図 7 の V I I I - V I I I 線に沿った断面図である。

なおセラミックペースト 1 0 2 は、たとえば、スクリーン印刷、グラビア

印刷、凸版印刷等の印刷によって付与する。セラミックペースト 102 は、セラミックグリーンシート 101 の材料としての誘電体との成分比が異なっているとしてもよく、同じ成分比であってもよく、異なる成分を含むものであってもよい。

[0061] セラミックペースト 102 は、内部電極層 15 の第 1 側面 Ba 側の一辺に一定の幅で重なるように付与される。重なり幅は、内部電極層 15 の幅方向寸法に対して、33%未満であることが好ましく、2%以上25%以下であることが好ましい。

また、図 8 に示すように、内部電極層パターン 103 の段差 104 は傾斜面であるので、セラミックペースト 102 は徐々に内部電極層パターン 103 上に乗り上げる。ゆえに、セラミックペースト 102 の上面は滑らかになる。セラミックペースト 102 の厚さは、セラミックグリーンシート 101 の厚さの 0.4 倍以上 0.8 倍以下であることが好ましい。

[0062] (積層工程 S3)

図 9 は素材シート 203 の積層状態を説明する図である。素材シート 203 は、図 9 に示すように、積層方向 T に隣り合う内部電極層パターン 103 が、長さ方向 L に交互に位置がずれるように配置される。

[0063] さらに、複数枚積層された素材シート 203 の一方の側に、上部外層部 12a となる上部外層部用セラミックグリーンシート 212 が積み重ねられ、他方の側に下部外層部 12b となる下部外層部用セラミックグリーンシート 213 が積み重ねられる。

[0064] (マザーブロック形成工程 S4)

続いて、上部外層部用セラミックグリーンシート 212 と、積み重ねられた複数の素材シート 203 と、下部外層部用セラミックグリーンシート 213 とを熱圧着してマザーブロックを形成する。

[0065] (マザーブロック分割工程 S5)

次いで、マザーブロックを、図 9 に示す位置 Z で切断する。なお、長さ方向 L の切断位置 Z のみ示すが、積層体 2 は幅方向に延びる位置 Z と直交する

方向に延びる、幅方向Wの所定の切断位置においても切断され、矩形の積層体2が複数製造される。

[0066] (焼成工程S6)

焼成工程では、積層チップに脱バインダ処理及び焼成処理を施して、素体部にする。焼成処理により導電ペースト層と誘電体層用グリーンシートとが共焼結されて、それぞれ内部電極層15と誘電体層14とになる。脱バインダ処理の条件はグリーンシート及び導電ペースト層に含まれる有機バインダの種類に応じて決めればよい。また焼成処理は、積層チップが十分に緻密化する温度で行えばよい。焼成温度は、誘電体や内部電極層の材料にもよるが、900℃～1400℃であることが好ましい。

[0067] (外部電極形成工程S7)

外部電極形成工程では、積層体2に端面外部電極3を形成して、積層セラミックコンデンサ1にする。端面外部電極3の形成は公知の手法で行えばよい。また、後述する第2実施形態が備える側面外部電極4も、端面外部電極3と同様に形成することができる。たとえば、積層体2の内部電極層15が引き出されて露出した端面Cに、下地電極層、導電性樹脂層もしくは直接めっき層を形成し、さらに、必要に応じて、めっき層を設ける。本実施形態では焼き付け層上にNiめっき層及びSnめっき層を形成した。Niめっき層及びSnめっき層は、たとえばバレルめっき法により、順次形成される。このようにして、積層セラミックコンデンサを得ることができる。

[0068] (積層セラミックコンデンサ300)

積層セラミックコンデンサ300は、3端子型積層セラミックコンデンサ(第2実施形態)である。3端子型積層セラミックコンデンサを構成する誘電体層、内部電極層、外部電極等は、2端子型積層セラミックコンデンサのそれと共通することが多いことから、以下では、2端子型積層セラミックコンデンサと異なる構成を中心に説明する。

[0069] 図11～図13に、積層セラミックコンデンサ300の形状及び構造を示す。図11は、3端子型積層セラミックコンデンサ300の外観図である。

図12は、積層セラミックコンデンサ300の内層部11における内部電極層15の状態を説明する分解斜視図である。図13は、積層セラミックコンデンサ300の内層部11におけるセラミックペースト102A、102Bの配置を説明する分解斜視図である。なお、誘電体層と内部電極層を積層する方向を積層方向Tとし、積層方向Tに直交する長さ方向L、さらに積層方向Tと長さ方向Lに直交する幅方向Wを用いて、積層セラミックコンデンサ300の構造について言及する。なお、実施形態においては、幅方向W、長さ方向L、及び積層方向Tは、互いに直交しているが、必ずしも互いに直交する関係になるとは限らず、互いに交差する関係であってもよい。

[0070] 積層体2の表面に、第1端面外部電極3A、第2端面外部電極3B、側面外部電極4が形成されている。

[0071] 第1端面外部電極3Aは、積層体2の第1端面Caに形成されている。第1端面外部電極3Aは、キャップ形状に形成されており、縁の部分が、積層体2の第1端面Caから、第1主面Aa、第2主面Ab、第1側面Ba、第2側面Bbに延出して形成されている。

[0072] 第2端面外部電極3Bは、積層体2の第2端面Cbに形成されている。第2端面外部電極3Bは、キャップ形状に形成されており、縁の部分が、積層体2の第2端面Cbから、第1主面Aa、第2主面Ab、第1側面Ba、第2側面Bbに延出して形成されている。

[0073] 側面外部電極4は、積層体2の左右いずれかの側面に形成することができるが、図11には、積層体2の第1側面Baと第2側面Bbにそれぞれ第1側面外部電極4Aと第2側面外部電極4Bを形成した形態を示す。側面外部電極4は、第1主面Aa、第2主面Abにも延出して形成されている。

[0074] 図11は、積層セラミックコンデンサ300の内部電極層15と誘電体層14を模式的に示したものである。

[0075] 内部電極層15は、第1内部電極層15Aと第2内部電極層15Bにより構成される。第1内部電極層15Aと第2内部電極層15Bは、それぞれ誘電体層14の上に配置されている。

[0076] 第1内部電極層15Aは、幅方向Wにおいて、積層体2の内部を貫通し、側面外部電極4と接続し、第2内部電極層15Bとの間で静電的な容量を形成する。実施形態では、第1内部電極層15Aの両端が積層体2の側面Bに引き出され、側面外部電極4と接続する一方、積層体2の端面Cには引き出されず、端面外部電極3とは接続しない形状とする。第1内部電極層15Aは、図12に示すような、略十字形状とすることができるが、これに限定されることなく、側面外部電極4と接続し、端面外部電極3とは接続しない形状であれば、あらゆる形状を採用することができる。

[0077] 図12に示す実施形態では、第1内部電極層15Aは、誘電体層14を介して第2内部電極層15Bと対向する第1対向部15Aaと、第1対向部15Aaから延び、積層体2の第1側面Baに引き出される第1側面側引き出し部15Ab1と、第1対向部15Aaから延び、積層体2の第2側面Bbに引き出される第2側面側引き出し部15Ab2を備えているが、引き出し部はいずれか一方、たとえば、第1側面側引き出し部15Ab1を備えれば、3端子型積層セラミックコンデンサとして機能する。

[0078] 第2内部電極層15Bは、長さ方向Lにおいて、積層体2の内部を貫通し、端面外部電極3と接続する。第2内部電極層15Bは、その両端が積層体の端面Cに引き出され、端面外部電極3と接続する一方、積層体の側面Bには引き出されず、側面外部電極4とは接続しない形状とする。

[0079] 実施形態では、図12に示すように長方形状としているが、これに限定するものではなく、第2内部電極層15Bは、誘電体層14を介して第1内部電極層15Aと対向する第2対向部15Baと、第2対向部15Baから延び積層体2の2つの側面B又は2つの端面Cのいずれかであって積層体2を積層方向Tから平面視したときに第1側面側引き出し部15Ab1とは異なる位置に引き出される第1引き出し部15Bb1と、第2対向部15Baから延び積層体2の2つの側面B又は2つの端面Cのいずれかであって積層体2を積層方向Tから平面視したときに第1側面側引き出し部15Ab1、第2側面側引き出し部15Ab2と第1引き出し部15Bb1とは異なる位置

に引き出される第2引き出し部15Bb2と、を有していればよい。外部電極は、第1引き出し部15Bb1と第2引き出し部15Bb2の位置に応じて配置することができる。

[0080] 第1内部電極層15Aが側面外部電極4に接続され、第2内部電極層15Bが第1端面外部電極3Aと第2端面外部電極3Bに接続された積層セラミックコンデンサ300は、3端子型コンデンサとして使用することができる。すなわち、積層セラミックコンデンサ300は、回路において電源ライン又は信号ラインを途中で中断し、中断した一方に第1端面外部電極3Aを接続し、中断した他方に第2端面外部電極3Bを接続し、かつ、側面外部電極4をグランドに接続することによって、3端子型コンデンサとして使用することができる。この場合、第2内部電極層15Bがスルー電極になり、第1内部電極層15Aがグランド電極になる。

[0081] 図13は、積層セラミックコンデンサ300の内層部11において、製造時において塗布されるセラミックペースト102A、102Bの範囲を模式的に示すものである。積層セラミックコンデンサ300の製造時において、誘電体層14となるセラミックグリーンシート101Aに第1内部電極層15Aとなる内部電極層パターン103Aが印刷された素材シート203A上の内部電極層パターン103Aが配置されていない領域に、セラミックペースト102Aが印刷されている。また、セラミックペースト102Aは、第1内部電極層15Aの第1対向部15Aaから第1側面Ba側の第1側面外部電極4Aに延びる第1側面側引き出し部15Ab1を覆っている。また、セラミックペースト102Aは、第1側面Ba側の第1内部電極層15Aの第1対向部15Aaの一辺に相当する位置の内部電極層パターン103Aを一定の幅で覆っている。同様に、誘電体層14となるセラミックグリーンシート101Bに第2内部電極層15Bとなる内部電極層パターン103Bが印刷された素材シート203B上の内部電極層パターン103Bが配置されていない領域に、セラミックペースト102Bが印刷されている。また、セラミックペースト102Bは、第1側面Ba側の第2内部電極層15Bの一

辺に相当する位置の内部電極層パターン 103B を一定の幅で覆っている。

[0082] セラミックペースト 102A、102B は、第 1 側面 Ba 側の内部電極層 15 の一边を一定の幅でオーバーラップしているので、内部電極層 15 の第 1 側面 Ba 側の端部は積層方向 T の間隔が広くなる。そして、このような内部電極層 15 が複数積層された積層体 2 においては、側面外部電極 4 が配置されない位置において積層体 2 を長さ方向 L に垂直な面で切断した断面をみたとき、図 3 に示す断面図のように、最上層の内部電極層 15 の第 1 側面 Ba 側の端部と最下層の内部電極層 15 の第 1 側面側 Ba の端部との距離 T1 が、最上層の内部電極層 15 の第 2 側面側 Bb の端部と最下層の内部電極層 15 の第 2 側面 Bb 側の端部との距離 T2 より長くなる。

[0083] 積層セラミックコンデンサ 300 を構成する積層体 2 の容積は、第 2 側面側より第 1 側面側の方が大きく、重量が大きいので、積層体 2 の重心は、積層体 2 の中心より第 1 側面 Ba 側にある。したがって、第 1 側面 Ba を基板に向けて、積層セラミックコンデンサ 300 を実装すれば、最小限の重量増加とともに、積層セラミックコンデンサ 1 の重心を基板に近づけることができるため、実装時におけるツームストーン現象の発生を効果的に抑制、防止することが可能となる。

[0084] 以上、本発明の実施形態について説明したが、本発明は実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の態様で実施することが可能である。本発明は以下の組み合わせを含む。

[0085] <1>誘電体層と内部電極層が交互に複数積層する内層部を含み、積層方向に相対する第 1 主面及び第 2 主面と、前記積層方向と交差する長さ方向に相対する第 1 端面及び第 2 端面と、前記積層方向と前記長さ方向に交差する幅方向に相対する第 1 側面及び第 2 側面と、を形成する積層体と、

前記積層体の 2 つの端面と 2 つの側面のいずれかに配置され前記内部電極層と接続する複数の外部電極と、

を備えた積層セラミックコンデンサであって、

前記外部電極が配置されない位置において前記積層体を前記長さ方向に垂

直な面で切断した断面をみたとき、

最も前記第 1 主面側に位置する内部電極層の前記第 1 側面側の端部と最も前記第 2 主面側に位置する内部電極層の前記第 1 側面側の端部との距離 T_1 が、最も前記第 1 主面側に位置する内部電極層の第 2 側面側の端部と最も前記第 2 主面側に位置する内部電極層の第 2 側面側の端部との距離 T_2 より長い、積層セラミックコンデンサ。

[0086] <2>前記内部電極層を中央部を含む中央領域と、前記中央領域より前記第 1 側面側にある第 1 側面側領域と、前記中央領域より前記第 2 側面側にある第 2 側面側領域と、に分けたとき、

隣り合う 2 つの前記内部電極層間の距離であって、

前記第 1 側面側領域の前記積層方向の距離 t_1 が、前記第 2 側面側領域の前記積層方向の距離 t_2 より長い部分を有する、<1>記載の積層セラミックコンデンサ。

[0087] <3>前記積層体の第 1 側面及び／又は第 2 側面に配置する方向を識別する識別手段を備える、<1>又は<2>記載の積層セラミックコンデンサ。

[0088] <4>前記外部電極に配置する方向を識別する識別手段を備える、<1>乃至<3>のいずれかに記載の積層セラミックコンデンサ。

[0089] <5>複数の前記内部電極層は、前記第 1 端面に引き出される複数の第 1 内部電極層と前記第 2 端面に引き出される複数の第 2 内部電極層を備え、第 1 端面と第 2 端面に外部電極を備えた、<1>乃至<4>のいずれかに記載の積層セラミックコンデンサ。

[0090] <6>複数の前記内部電極層は、第 1 内部電極層と第 2 内部電極層を備え、

前記第 1 内部電極層は、前記誘電体層を介して前記第 2 内部電極層と対向する第 1 対向部と、前記第 1 対向部から延び前記積層体の第 1 側面に引き出される第 1 側面側引き出し部と、を有し、

前記第 2 内部電極層は、前記誘電体層を介して前記第 1 内部電極層と対向する第 2 対向部と、前記第 2 対向部から延び前記積層体の前記 2 つの側面又

は前記2つの端面のいずれかであって前記積層体を前記積層方向から平面視したときに前記第1側面側引き出し部とは異なる位置に引き出される第1引き出し部と、前記第2対向部から延び前記積層体の前記2つの側面又は前記2つの端面のいずれかであって前記積層体を前記積層方向から平面視したときに前記第1側面側引き出し部と前記第1引き出し部とは異なる位置に引き出される第2引き出し部と、を有し、

前記複数の外部電極は、前記第1側面側引き出し部と接続される第1側面側外部電極と、前記第1引き出し部と接続される第1外部電極と、前記第2引き出し部に接続される第2外部電極と、を有する、＜1＞乃至＜4＞のいずれかに記載の積層セラミックコンデンサ。

符号の説明

[0091]	A	主面
	A a	第1主面
	A b	第2主面
	B	側面
	B a	第1側面
	B b	第2側面
	C	端面
	C a	第1端面
	C b	第2端面
	M	盛り上がり部
	T	積層方向
	W	幅方向
	L	長さ方向
	1	積層セラミックコンデンサ
	2	積層体
	3	端面外部電極
	4	側面外部電極

- 1 1 内層部
- 1 2 外層部
- 1 4 誘電体層
- 1 5 内部電極層
- 1 5 a 対向部
- 1 5 b 引き出し部
- 1 0 1 セラミックグリーンシート
- 1 0 2 セラミックペースト
- 1 0 3 内部電極層パターン
- 1 0 4 段差
- 2 0 3 素材シート
- 3 0 0 積層セラミックコンデンサ

請求の範囲

- [請求項1] 誘電体層と内部電極層が交互に複数積層する内層部を含み、積層方向に相對する第1主面及び第2主面と、前記積層方向と交差する長さ方向に相對する第1端面及び第2端面と、前記積層方向と前記長さ方向に交差する幅方向に相對する第1側面及び第2側面と、を形成する積層体と、
- 前記積層体の2つの端面と2つの側面のいずれかに配置され前記内部電極層と接続する複数の外部電極と、
- を備えた積層セラミックコンデンサであって、
- 前記外部電極が配置されない位置において前記積層体を前記長さ方向に垂直な面で切断した断面をみたとき、
- 最も前記第1主面側に位置する内部電極層の前記第1側面側の端部と最も前記第2主面側に位置する内部電極層の前記第1側面側の端部との距離 T_1 が、最も前記第1主面側に位置する内部電極層の第2側面側の端部と最も前記第2主面側に位置する内部電極層の第2側面側の端部との距離 T_2 より長い、積層セラミックコンデンサ。
- [請求項2] 前記内部電極層を中央部を含む中央領域と、前記中央領域より前記第1側面側にある第1側面側領域と、前記中央領域より前記第2側面側にある第2側面側領域と、に分けたとき、
- 隣り合う2つの前記内部電極層間の距離であって、
- 前記第1側面側領域の前記積層方向の距離 t_1 が、前記第2側面側領域の前記積層方向の距離 t_2 より長い部分を有する、請求項1記載の積層セラミックコンデンサ。
- [請求項3] 前記積層体の第1側面及び／又は第2側面に配置する方向を識別する識別手段を備える、請求項1又は2記載の積層セラミックコンデンサ。
- [請求項4] 前記外部電極に配置する方向を識別する識別手段を備える、請求項1乃至3のいずれかに記載の積層セラミックコンデンサ。

[請求項5] 複数の前記内部電極層は、前記第1端面に引き出される複数の第1内部電極層と前記第2端面に引き出される複数の第2内部電極層を備え、第1端面と第2端面に外部電極を備えた、請求項1乃至4のいずれかに記載の積層セラミックコンデンサ。

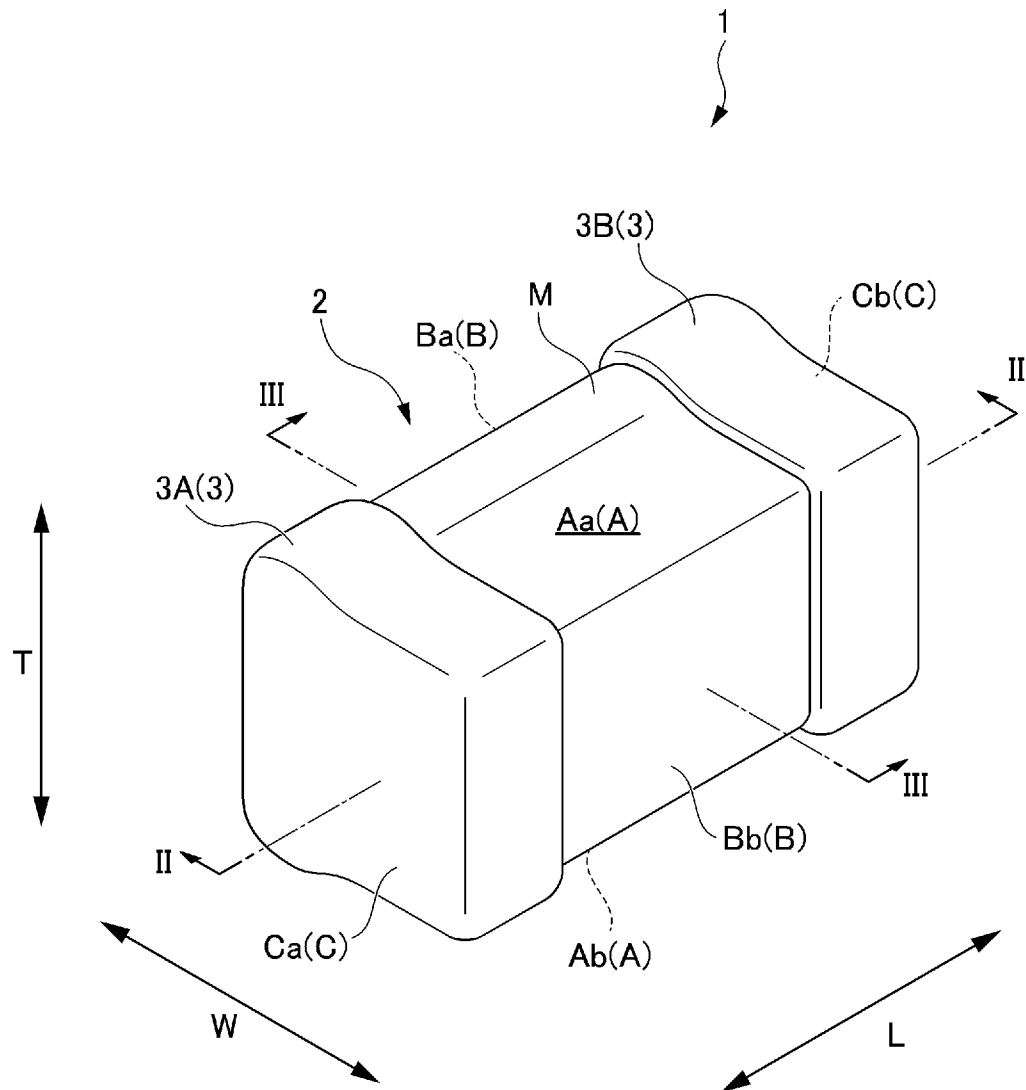
[請求項6] 複数の前記内部電極層は、第1内部電極層と第2内部電極層を備え、

前記第1内部電極層は、前記誘電体層を介して前記第2内部電極層と対向する第1対向部と、前記第1対向部から延び前記積層体の第1側面に引き出される第1側面側引き出し部と、を有し、

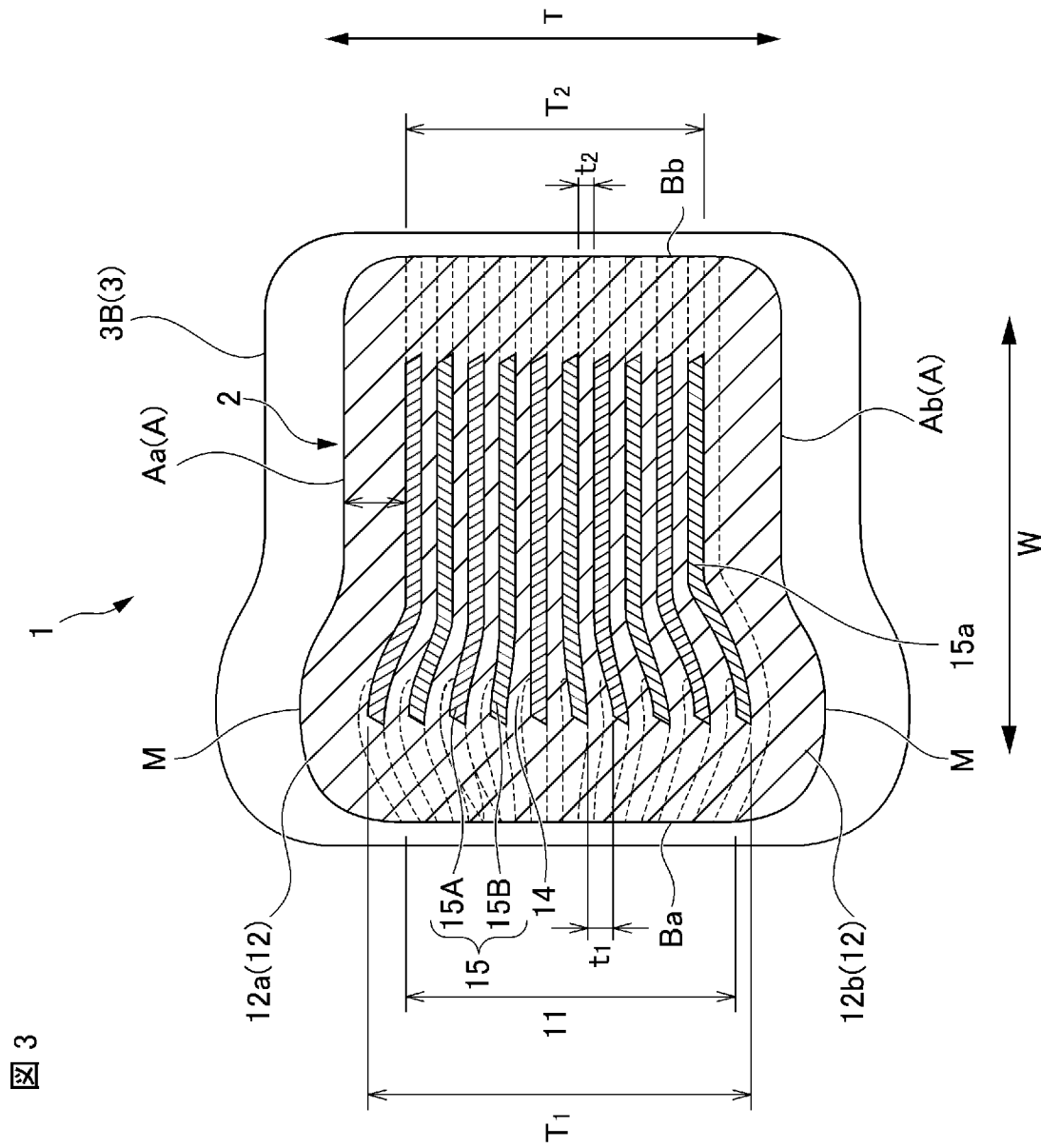
前記第2内部電極層は、前記誘電体層を介して前記第1内部電極層と対向する第2対向部と、前記第2対向部から延び前記積層体の前記2つの側面又は前記2つの端面のいずれかであって前記積層体を前記積層方向から平面視したときに前記第1側面側引き出し部とは異なる位置に引き出される第1引き出し部と、前記第2対向部から延び前記積層体の前記2つの側面又は前記2つの端面のいずれかであって前記積層体を前記積層方向から平面視したときに前記第1側面側引き出し部と前記第1引き出し部とは異なる位置に引き出される第2引き出し部と、を有し、

前記複数の外部電極は、前記第1側面側引き出し部と接続される第1側面側外部電極と、前記第1引き出し部と接続される第1外部電極と、前記第2引き出し部に接続される第2外部電極と、を有する、請求項1乃至4のいずれかに記載の積層セラミックコンデンサ。

[図1]

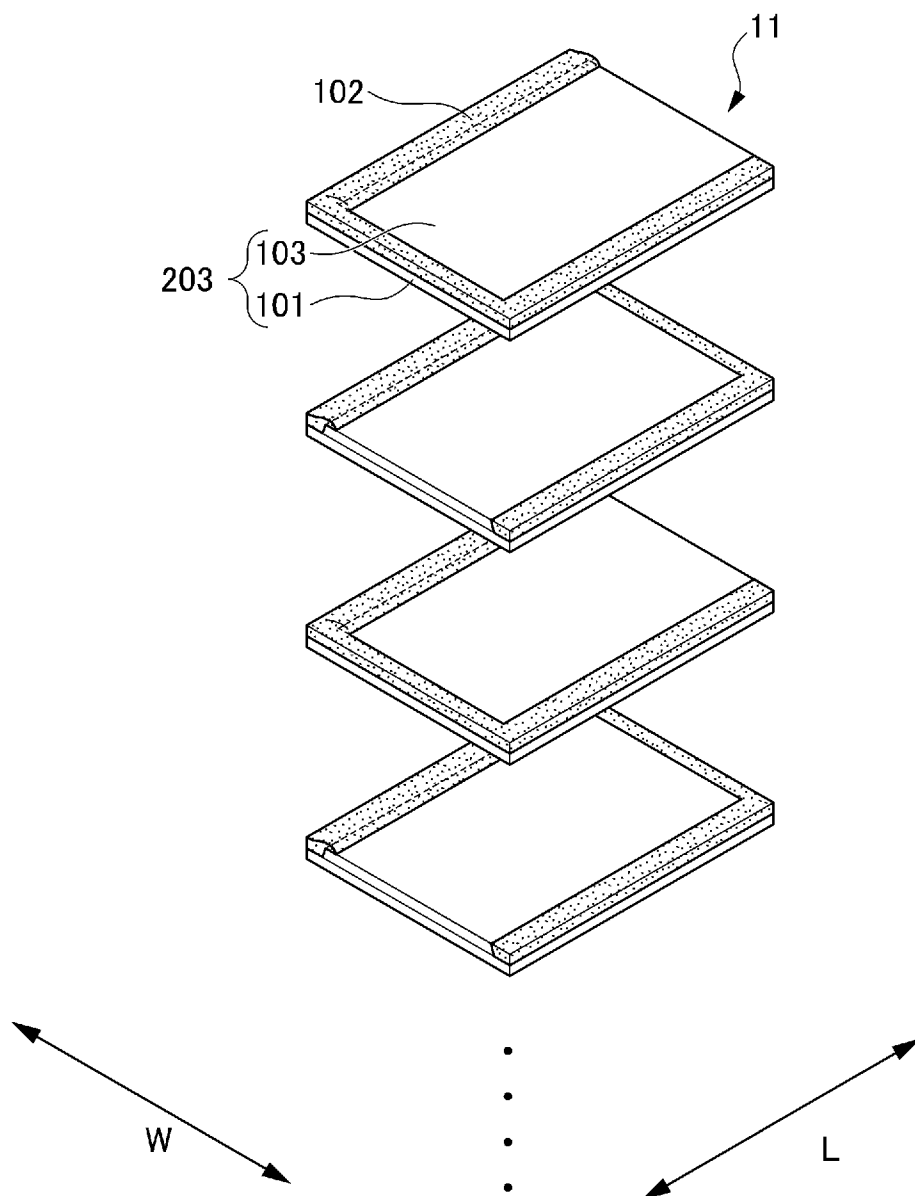


[図3]



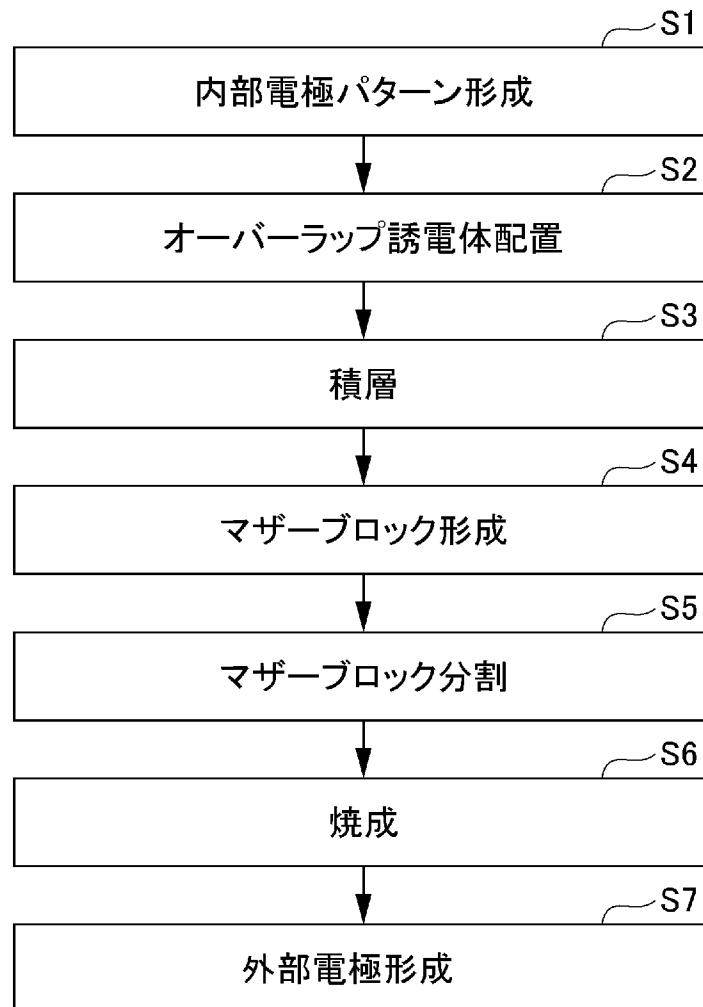
[図4]

図 4



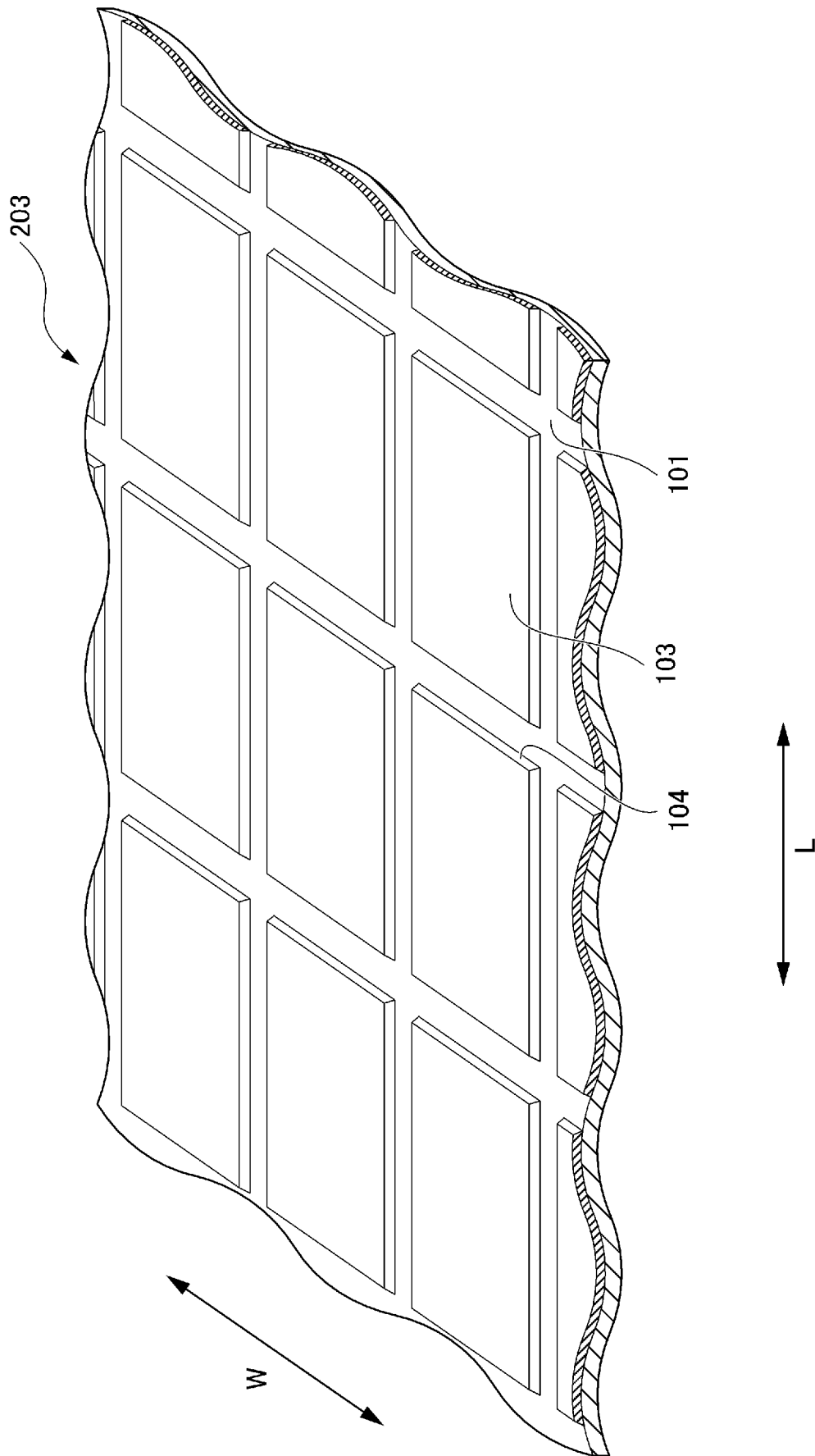
[図5]

図 5



[図6]

図 6



[図8]

図 8

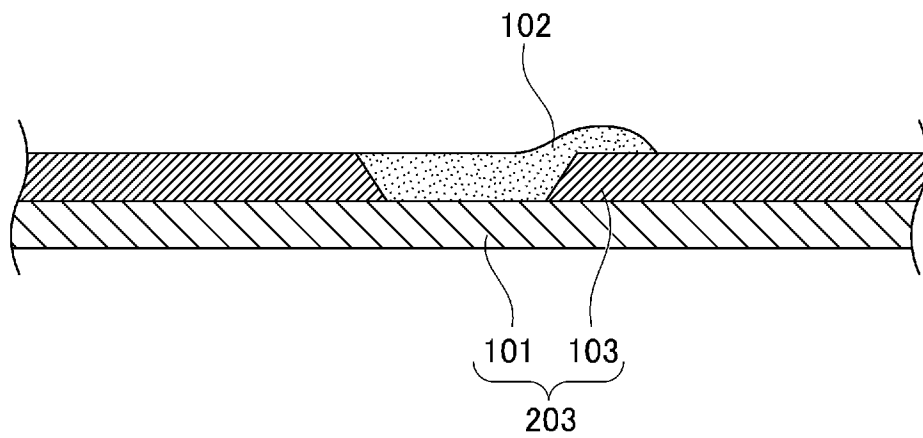
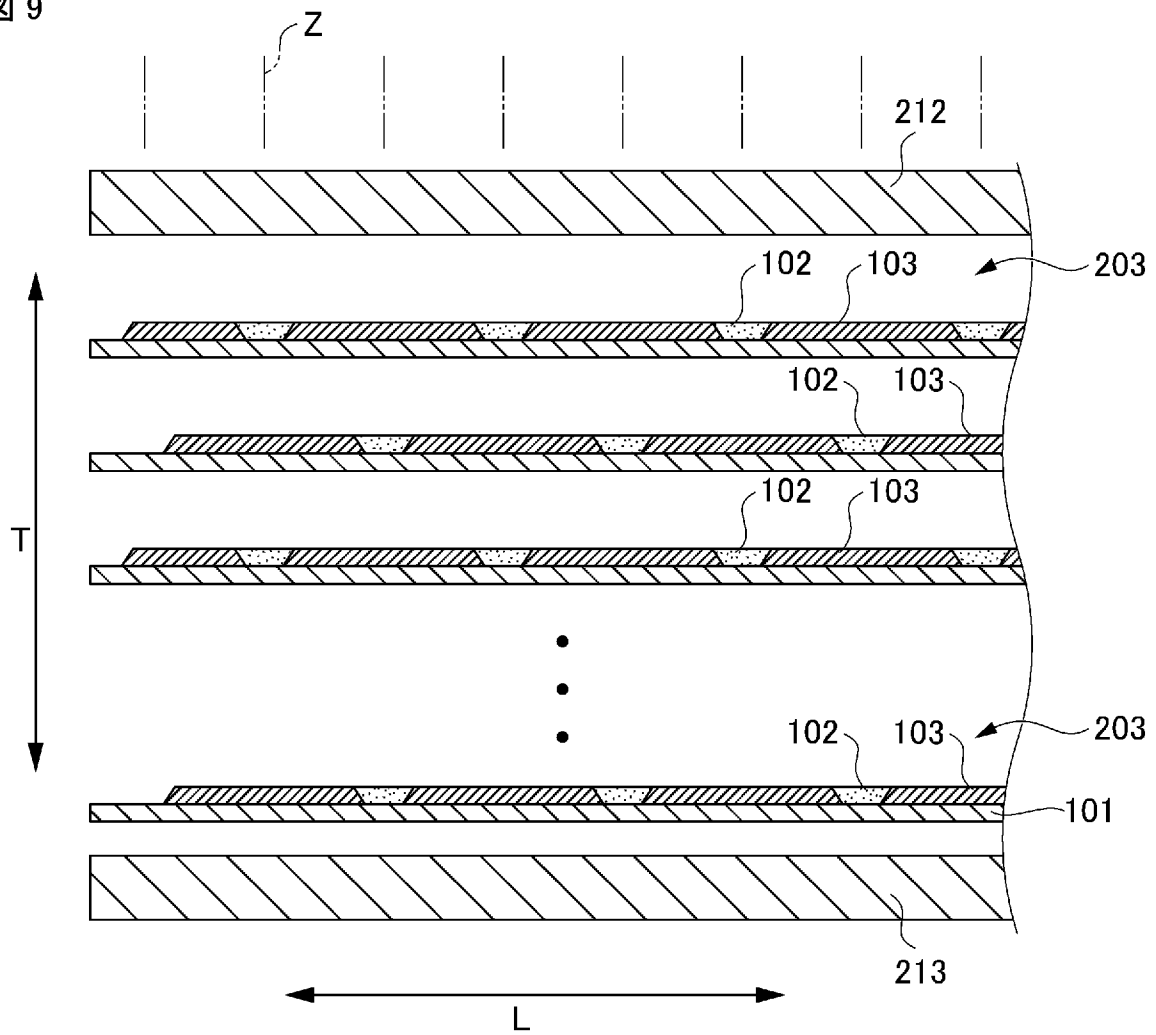
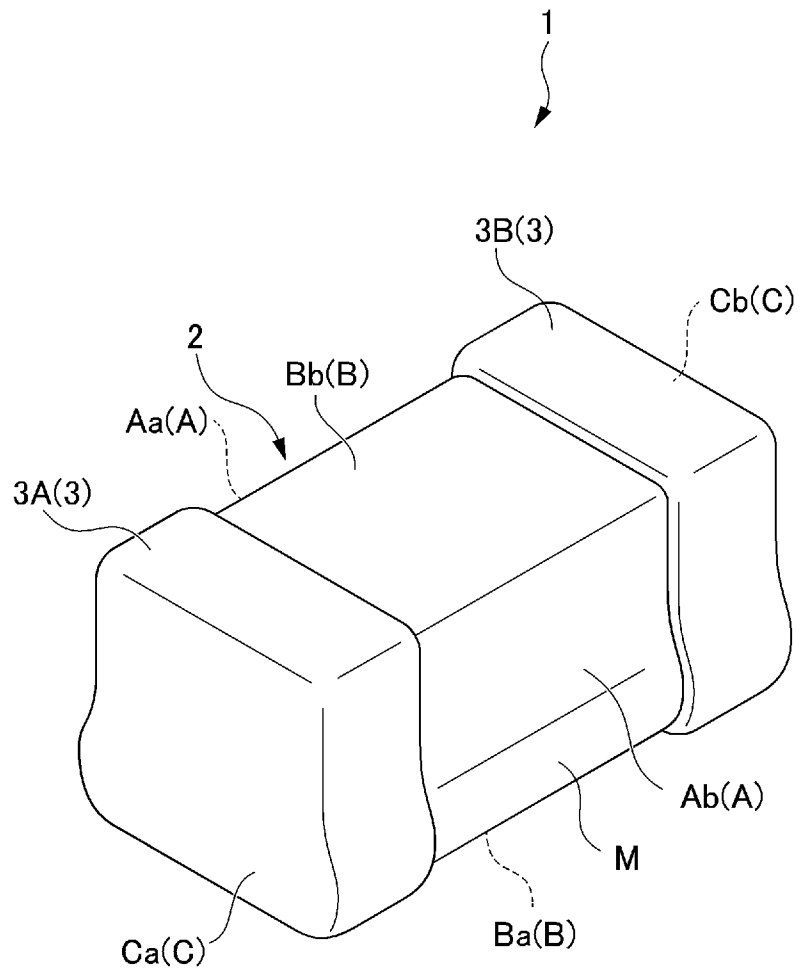


图 9

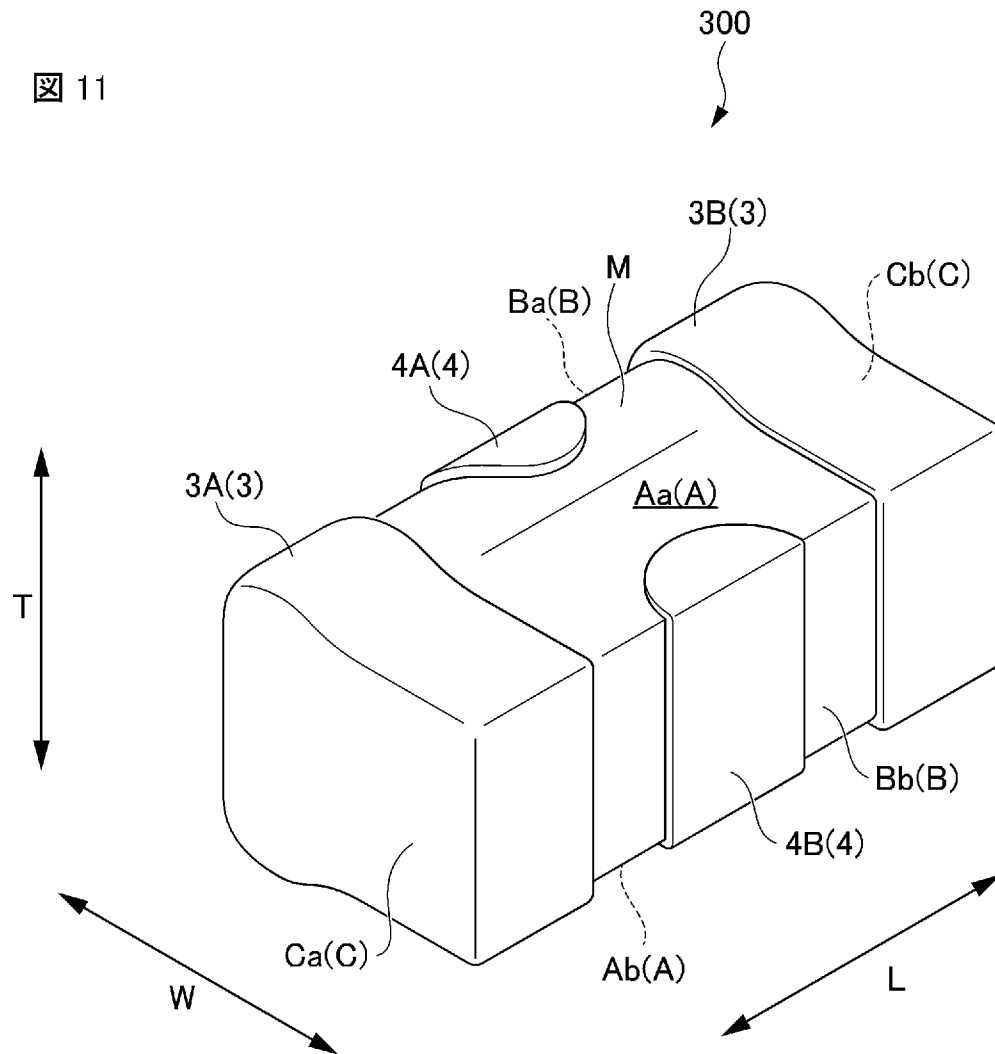


[図10]

図 10

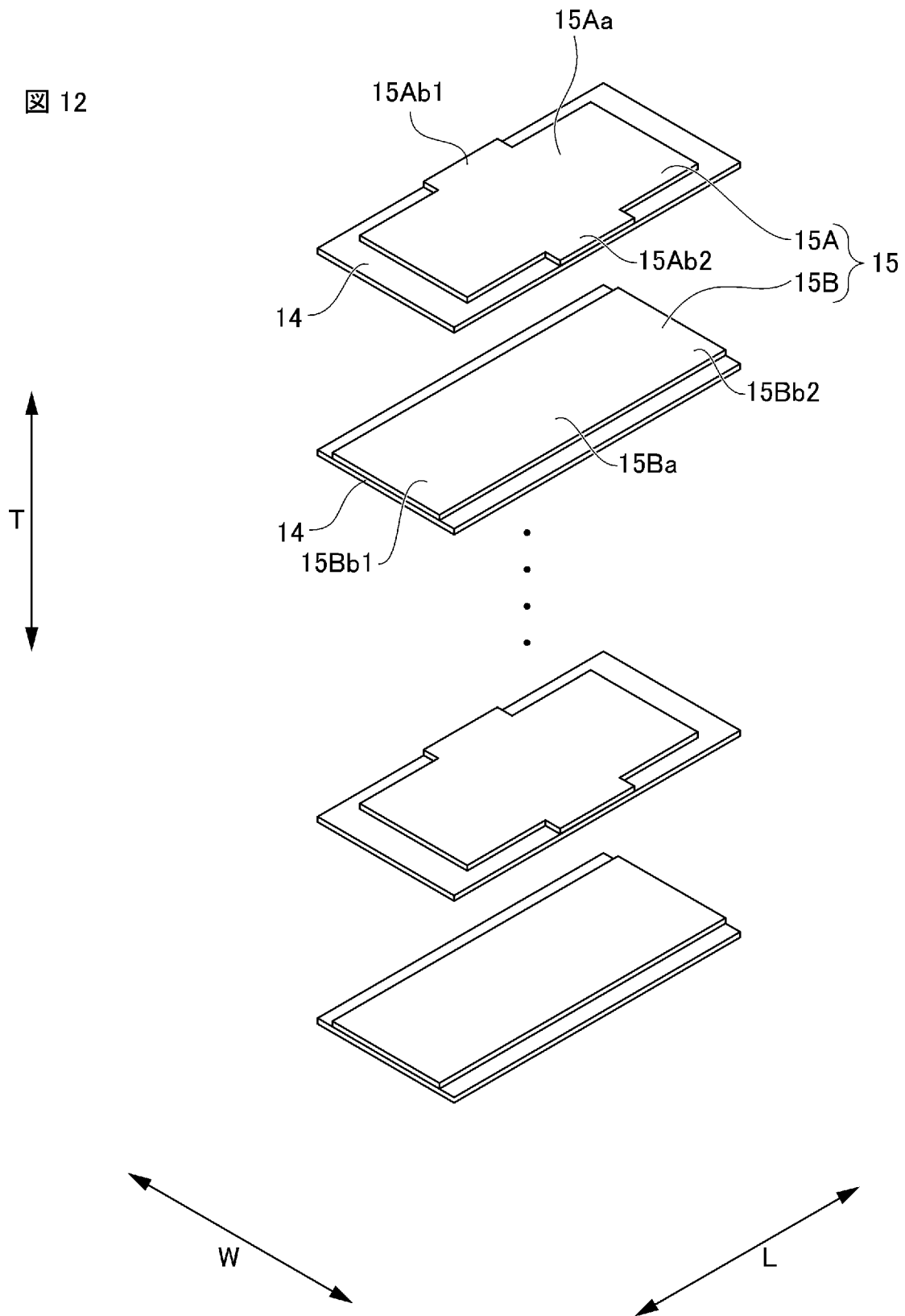


[図11]

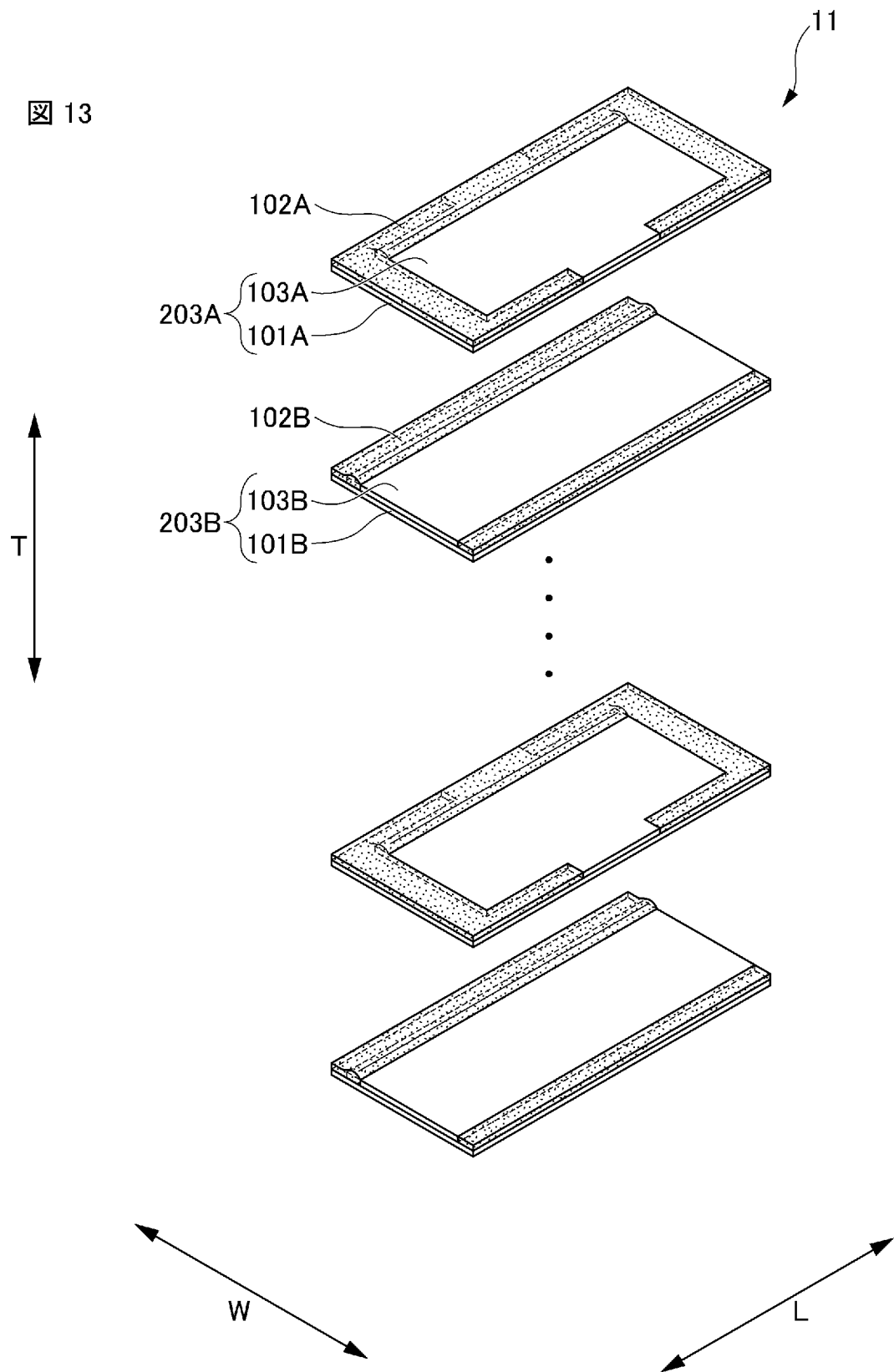


[図12]

図 12



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/041748

A. CLASSIFICATION OF SUBJECT MATTER**H01G 4/30**(2006.01)i; **H01G 2/24**(2006.01)i

FI: H01G4/30 513; H01G4/30 512; H01G4/30 201C; H01G4/30 201K; H01G4/30 201F; H01G2/24

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/30; H01G2/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2024
 Registered utility model specifications of Japan 1996-2024
 Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-170849 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 28 September 2015 (2015-09-28)	1-6
A	JP 2022-053271 A (MURATA MFG. CO., LTD.) 05 April 2022 (2022-04-05)	1-6
A	JP 2022-075191 A (MURATA MFG. CO., LTD.) 18 May 2022 (2022-05-18)	1-6
A	JP 2014-160693 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 04 September 2014 (2014-09-04)	1-6
A	JP 2014-222749 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 27 November 2014 (2014-11-27)	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “D” document cited by the applicant in the international application
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

30 January 2024

Date of mailing of the international search report

13 February 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/041748

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2015-170849	A	28 September 2015	US	2015/0255213	A1	
				KR	10-2015-0105101	A	
				CN	104900405	A	
JP	2022-053271	A	05 April 2022	US	2022/0093331	A1	
JP	2022-075191	A	18 May 2022	US	2022/0148807	A1	
JP	2014-160693	A	04 September 2014	US	2014/0160621	A1	
				KR	10-2014-0075459	A	
				CN	103871742	A	
JP	2014-222749	A	27 November 2014	US	2014/0334062	A1	
				KR	10-1444598	B1	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01G 4/30(2006.01)i; H01G 2/24(2006.01)i

FI: H01G4/30 513; H01G4/30 512; H01G4/30 201C; H01G4/30 201K; H01G4/30 201F; H01G2/24

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01G4/30; H01G2/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-170849 A（サムソン エレクトローメカニックス カンパニーリミテッド、） 28.09.2015（2015 - 09 - 28）	1-6
A	JP 2022-053271 A（株式会社村田製作所）05.04.2022（2022 - 04 - 05）	1-6
A	JP 2022-075191 A（株式会社村田製作所）18.05.2022（2022 - 05 - 18）	1-6
A	JP 2014-160693 A（サムソン エレクトローメカニックス カンパニーリミテッド、） 04.09.2014（2014 - 09 - 04）	1-6
A	JP 2014-222749 A（サムソン エレクトローメカニックス カンパニーリミテッド、） 27.11.2014（2014 - 11 - 27）	1-6

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

30.01.2024

国際調査報告の発送日

13.02.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

多田 幸司 5D 5292

電話番号 03-3581-1101 内線 3551

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/041748

引用文献			公表日	パテントファミリー文献			公表日
JP	2015-170849	A	28.09.2015	US	2015/0255213	A1	
				KR	10-2015-0105101	A	
				CN	104900405	A	
JP	2022-053271	A	05.04.2022	US	2022/0093331	A1	
JP	2022-075191	A	18.05.2022	US	2022/0148807	A1	
JP	2014-160693	A	04.09.2014	US	2014/0160621	A1	
				KR	10-2014-0075459	A	
				CN	103871742	A	
JP	2014-222749	A	27.11.2014	US	2014/0334062	A1	
				KR	10-1444598	B1	