



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월24일
(11) 등록번호 10-2024915
(24) 등록일자 2019년09월18일

- (51) 국제특허분류(Int. Cl.)
 G06F 1/22 (2006.01) G06F 1/26 (2006.01)
 G06F 1/32 (2019.01) G06F 13/38 (2006.01)
 G06F 13/40 (2006.01) G06F 13/42 (2006.01)
 H02J 7/00 (2006.01)
- (52) CPC특허분류
 G06F 1/22 (2013.01)
 G06F 1/263 (2013.01)
- (21) 출원번호 10-2018-7004300(분할)
- (22) 출원일자(국제) 2016년02월18일
 심사청구일자 2018년04월18일
- (85) 번역문제출일자 2018년02월12일
- (65) 공개번호 10-2018-0019252
- (43) 공개일자 2018년02월23일
- (62) 원출원 특허 10-2017-7027844
 원출원일자(국제) 2016년02월18일
 심사청구일자 2017년09월28일
- (86) 국제출원번호 PCT/US2016/018520
- (87) 국제공개번호 WO 2016/204825
 국제공개일자 2016년12월22일
- (30) 우선권주장
 62/182,273 2015년06월19일 미국(US)
 (뒷면에 계속)
- (56) 선행기술조사문헌
 John Hyde, "Designing USB Type-C Products
 Using Cypress' s CCG1 Controllers", Cypress
 Semiconductor, 2015.06.03.
 (뒷면에 계속)

전체 청구항 수 : 총 20 항

심사관 : 손경완

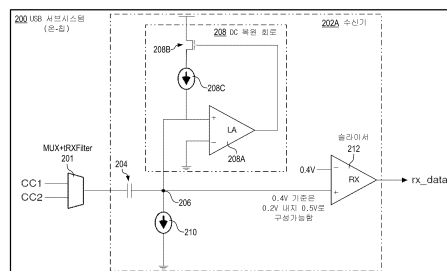
(54) 발명의 명칭 높은 아이들 노이즈 및 DC-레벨 거절을 가지는 저전력 타입-C 수신기

(57) 요약

높은 DC-레벨 시프트 허용오차 및 높은 노이즈 거절을 가지는 저전력 USB 타입-C 수신기들에 대한 기법들이 본원에 설명된다. 예시적인 실시예에서, USB-인에이블드 디바이스는 USB 타입-C 서브시스템의 CC(Configuration Channel) 라인에 커플링된 수신기 회로를 포함한다. 수신기 회로는, CC 라인 상의 인입 신호가 로컬 접지에 대

(뒷면에 계속)

대표도 - 도2



해 250mV보다 큰 DC 오프셋을 가질 때에도 인입 신호로부터 데이터를 수신하고 그리고 인입 신호가 300mVpp 보다 큰 크기를 가지는 노이즈를 포함할 때에도 인입 신호를 거절하도록 구성된다.

(52) CPC특허분류

- G06F 1/266 (2013.01)
- G06F 1/3287 (2019.01)
- G06F 13/385 (2013.01)
- G06F 13/40 (2013.01)
- G06F 13/4282 (2013.01)
- H02J 2007/0062 (2013.01)

(56) 선행기술조사문헌

- Andrew Rogers, "Introduction to USB Type-C" , Microchip, 2015.01.30.
- JP2004104998 A
- US20080005446 A1
- US20130139005 A1
- US20130254759 A1

(30) 우선권주장

- 62/218,432 2015년09월14일 미국(US)
- 14/977,589 2015년12월21일 미국(US)

명세서

청구범위

청구항 1

디바이스로서,

USB(Universal Serial Bus) 타입-C 서브시스템의 CC(Configuration Channel) 라인에 커플링된 수신기 회로를 포함하고,

상기 수신기 회로는,

상기 CC 라인 상의 인입 신호(incoming signal)가 로컬 접지에 대해 250mV보다 큰 직류(DC) 오프셋을 가질 때, 상기 인입 신호로부터 유효 BMC-인코딩 데이터를 수신하고; 그리고

USB-PD 명세서에 명시된 VBUS 충전 전류가 존재하는 상태에서 동작하도록 구성되는,

디바이스.

청구항 2

제 1 항에 있어서,

상기 수신기 회로는, 상기 USB-PD 명세서에서 허용된 DC 오프셋들에 대해 준수하지 않는 타입-C 케이블들을 지원(support)하도록 구성되는,

디바이스.

청구항 3

제 1 항에 있어서,

상기 수신기 회로는, 상기 인입 신호가 상기 유효 BMC-인코딩 데이터를 전송할 때, 상기 인입 신호에 기초하여 웨이크업(wake-up) 신호의 발생을 야기시키도록 구성되는,

디바이스.

청구항 4

제 1 항에 있어서,

상기 수신기 회로는, 상기 CC 라인 상의 동작 웨이크업 및 상기 유효 BMC-인코딩 데이터의 수신 둘 모두를 위한 단일 경로(path)를 제공하도록 구성되는,

디바이스.

청구항 5

제 1 항에 있어서,

상기 수신기 회로는:

상기 CC 라인으로부터 복원(restore) 노드로 직렬로 커플링된 캐패시터 - 상기 캐패시터는 상기 CC 라인 상의 상기 인입 신호의 DC 성분을 차단하도록 구성됨 -;

상기 복원 노드에 커플링되고 상기 인입 신호의 전압을 제 1 기준 전압으로 시프트하도록 구성된 복원 회로; 및

상기 복원 노드에 커플링되고 시프트된 전압을 제 2 기준 전압에 비교하도록 구성된 슬라이서(slicer) 회로

를 포함하는,
디바이스.

청구항 6

제 1 항에 있어서,
상기 디바이스는 집적 회로(IC)를 포함하고, 상기 IC는 상기 USB 타입-C 서브시스템을 포함하고 상기 USB 타입-C 서브시스템은 상기 수신기 회로를 포함하는,
디바이스.

청구항 7

집적 회로(IC) 제어기로서,
USB 타입-C 서브시스템; 및
상기 USB 타입-C 서브시스템의 CC 라인에 커플링된 수신기 회로
를 포함하고, 상기 수신기 회로는:

상기 CC 라인으로부터 복원 노드로 직렬로 커플링된 캐패시터 - 상기 캐패시터는 상기 CC 라인 상의
인입 신호의 직류(DC) 성분을 차단하도록 구성됨 -;

상기 복원 노드에 커플링되고 상기 인입 신호의 전압을 제 1 기준 전압으로 시프트하도록 구성된 복원
회로; 및

상기 복원 노드에 커플링되고 시프트된 전압을 제 2 기준 전압에 비교하도록 구성된 슬라이서 회로
를 포함하며,

상기 수신기 회로는 USB-PD 명세서에 명시된 VBUS 충전 전류들이 존재하는 상태에서 동작하도록 구성되는,
집적 회로(IC) 제어기.

청구항 8

제 7 항에 있어서,
상기 수신기 회로는, 상기 USB-PD 명세서에서 허용된 DC 오프셋들에 대해 준수하지 않는 타입-C 케이블들을 지
원하도록 구성되는,
집적 회로(IC) 제어기.

청구항 9

제 7 항에 있어서,
상기 수신기 회로는, 상기 인입 신호가 유효 BMC-인코딩 데이터를 전송할 때, 상기 인입 신호에 기초하여 웨이
크업 신호의 발생을 야기시키도록 구성되는,
집적 회로(IC) 제어기.

청구항 10

제 7 항에 있어서,
상기 수신기 회로는, 상기 CC 라인 상의 동작 웨이크업 및 유효 BMC-인코딩 데이터의 수신 둘 모두를 위한 단일
경로를 제공하도록 구성되는,
집적 회로(IC) 제어기.

청구항 11

제 7 항에 있어서,

상기 수신기 회로는, 상기 인입 신호가 로컬 접지에 대해 250mV보다 큰 직류(DC) 오프셋을 가질 때, 상기 CC 라인 상의 인입 신호로부터 유효 BMC-인코딩 데이터를 수신하도록 구성되는,

집적 회로(IC) 제어기.

청구항 12

USB(Universal Serial Bus) 타입-C 케이블로서,

상기 타입-C 케이블의 제 1 말단에 배치된 제 1 타입-C 커넥터(connector); 및

상기 타입-C 케이블 내에 배치되고 상기 제 1 타입-C 커넥터의 CC 라인에 커플링되는 제 1 집적 회로(IC) 칩을 포함하고, 상기 제 1 집적 회로(IC) 칩은 제 1 수신기 회로를 포함하고, 상기 제 1 수신기 회로는 적어도:

상기 CC 라인 상의 인입 신호가 로컬 접지에 대해 250mV보다 큰 직류(DC) 오프셋을 가질 때, 상기 인입 신호로부터 유효 BMC-인코딩 데이터를 수신하고; 그리고

상기 제 1 타입-C 커넥터의 VBUS 라인 상에 VBUS 충전 전류가 존재하는 상태에서 동작하도록 구성되며, 상기 VBUS 충전 전류는 USB-PD 명세서에 명시되는,

USB 타입-C 케이블.

청구항 13

제 12 항에 있어서,

상기 USB 타입-C 케이블은, 상기 USB-PD 명세서에서 허용된 DC 오프셋들에 대해 준수하지 않는,

USB 타입-C 케이블.

청구항 14

제 12 항에 있어서,

상기 제 1 수신기 회로는, 상기 인입 신호가 상기 유효 BMC-인코딩 데이터를 전송할 때, 상기 인입 신호에 기초하여 웨이크업 신호의 발생을 야기시키도록 구성되는,

USB 타입-C 케이블.

청구항 15

제 12 항에 있어서,

상기 제 1 수신기 회로는, 상기 CC 라인 상의 동작 웨이크업 및 상기 유효 BMC-인코딩 데이터의 수신 둘 모두를 위한 단일 경로를 제공하도록 구성되는,

USB 타입-C 케이블.

청구항 16

제 12 항에 있어서,

상기 제 1 수신기 회로는:

상기 CC 라인으로부터 복원 노드로 직렬로 커플링된 캐패시터 — 상기 캐패시터는 상기 CC 라인 상의 상기 인입 신호의 DC 성분을 차단하도록 구성됨 —;

상기 복원 노드에 커플링되고 상기 인입 신호의 전압을 제 1 기준 전압으로 시프트하도록 구성된 복원 회로; 및

상기 복원 노드에 커플링되고 시프트된 전압을 제 2 기준 전압에 비교하도록 구성된 슬라이서 회로를 포함하는,

USB 타입-C 케이블.

청구항 17

제 12 항에 있어서,

상기 USB 타입-C 케이블은:

상기 타입-C 케이블의 제 2 말단에 배치되고 상기 CC 라인에 커플링되는 제 2 타입-C 커넥터; 및

상기 타입-C 케이블 내에 배치되고 상기 CC 라인에 커플링되는 제 2 집적 회로(IC) 칩 - 상기 제 2 집적 회로 (IC) 칩은 제 2 수신기 회로를 포함함 -

을 더 포함하는,

USB 타입-C 케이블.

청구항 18

제 17 항에 있어서,

상기 제 2 수신기 회로는:

상기 CC 라인으로부터 복원 노드로 직렬로 커플링된 캐패시터 - 상기 캐패시터는 상기 CC 라인 상의 상기 인입 신호의 DC 성분을 차단하도록 구성됨 -;

상기 복원 노드에 커플링되고 상기 인입 신호의 전압을 제 1 기준 전압으로 시프트하도록 구성된 복원 회로; 및

상기 복원 노드에 커플링되고 시프트된 전압을 제 2 기준 전압에 비교하도록 구성된 슬라이서 회로를 포함하는,

USB 타입-C 케이블.

청구항 19

제 12 항에 있어서,

상기 제 1 타입-C 커넥터는 타입-C 리셉터클(receptacle)인,

USB 타입-C 케이블.

청구항 20

제 12 항에 있어서,

상기 타입-C 케이블의 제 2 말단에 배치되는 제 2 USB 2.0 커넥터를 더 포함하는,

USB 타입-C 케이블.

발명의 설명

기술 분야

[0001] 본 출원은 2015년 9월 14일에 출원된 미국 가 출원 번호 제 62/218,432호 및 2015년 6월 19일에 출원된 미국 가 출원 번호 제 62/182,273호의 우선권을 주장하는, 2015년 12월 21일에 출원된 미국 출원 번호 제 14/977,589호의 국제 출원이며, 이들 모두는 그 전체가 본원에 인용에 의해 통합된다.

[0002] 본 개시내용은 일반적으로 USB(Universal Serial Bus) 타입-C 서브시스템들에 관한 것이다.

배경 기술

[0003] 다양한 전자 디바이스들(예컨대, 이블테면 스마트폰들, 셀 폰들, 태블릿들, 노트북 컴퓨터들, 랩톱 컴퓨터들, 데스크톱 컴퓨터들, 허브들 등)은 USB(Universal Serial Bus) 연결기들을 통하여 통신하도록 구성된다.

USB 타입-C라 불리는 새로이 나타난 USB 연결기들의 기술은 최근에 USB 타입-C 규격의 다양한 릴리스(release)들(예컨대, 이를테면 2014년 8월 11일자 릴리스 1.0, 2015년 4월 3일자 릴리스 1.1 등)에서 정의되었다. USB 타입-C 규격의 다양한 릴리스들은 USB 전력 전달(USB-PD) 규격의 다양한 개정판(예컨대, 이를테면 2012년 7월 5일자 릴리스된 개정판 1.0, 2014년 8월 11일자 릴리스된 개정판 2.0 등)들에서 정의된 더 새로운 USB 전력 전달 프로토콜들을 통한 USB 통신들뿐만 아니라 전력 전달을 지원할 수 있는 USB 타입-C 리셉터클(receptacle)들, 플러그 및 케이블들을 정의한다.

[0004] 다른 파라미터들 중, USB-PD 규격은 USB 타입-C 연결기 서브시스템들의 CC(Configuration Channel) 라인들 상에서 허용되는 노이즈 및 DC-레벨 전압 시프트들에 대한 상한들을 정의한다. 그러나, 다양한 전자 디바이스들의 CC 라인들 상에서 전체 통신들을 관리하는 것은 특정 USB 타입-C 구현들에 맡겨진다. 이런 목적을 위하여, 더 높은 노이즈 거절 및 더 높은 DC-레벨 시프트 허용오차가 타입-C 케이블들 및 타입-C 인에이블드 전자 디바이스들 둘 모두에서 USB 타입-C 구현들의 전체 동작 및 전력 소비를 향상시킬 수 있지만, 현재 USB 타입-C 구현들은 CC 라인들 상에서 노이즈 검출 및 DC-레벨 전압 시프트 허용오차에서 매우 효율적이지 않다.

도면의 간단한 설명

[0005] 도 1a는 일부 실시예들에 따른 타입-C 서브시스템을 가지는 예시적인 온-다이(on-die) 집적 회로(IC) 제어기를 예시한다.

[0006] 도 1b는 예시적인 실시예들에 따른, 도 1a의 타입-C 서브시스템을 가지는 IC 제어기를 포함할 수 있는 예시적인 디바이스들을 예시한다.

[0007] 도 2는 일부 실시예들에 따른, 예시적인 온-칩 USB 타입-C 서브시스템에서의 수신기 회로를 예시한다.

[0008] 도 3은 일부 실시예들에 따른, 예시적인 복원 회로 동작을 도시하는 파형들을 가진 다이어그램을 예시한다.

[0009] 도 4a는 일부 실시예들에 따른, BMC(Biphase Mark Code)-인코딩된 데이터 "0"에 대한 예시적인 슬라이서(slicer) 회로 동작을 도시하는 파형들을 가지는 다이어그램을 예시한다.

[0010] 도 4b는 일부 실시예들에 따른, BMC-인코딩된 데이터 "1"에 대한 예시적인 슬라이서 회로 동작을 도시하는 파형들을 가지는 다이어그램을 예시한다.

[0011] 도 5는 일부 실시예들에 따른, DC-레벨 시프트 후 예시적인 복원 노드 복구를 도시하는 파형들을 가진 다이어그램을 예시한다.

[0012] 도 6은 일부 실시예들에 따른 예시적인 IC 제어기를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0006] [0013] 다음 설명은, 높은 DC-레벨 시프트 허용오차 및 높은 노이즈 거절을 가지는 저전력 USB 타입-C 수신기에 대한 본원에 설명된 기법들의 다양한 실시예들의 우수한 이해를 제공하기 위하여, 특정 시스템들, 컴포넌트들, 방법들 등의 예들 같은 다수의 특정 세부사항들을 설명한다. 그러나, 적어도 일부 실시예들이 이들 특정 세부사항들 없이 실시될 수 있다는 것이 당업자에게 자명할 것이다. 다른 경우들에서, 본원에 설명된 기법들을 불필요하게 모호하게 하는 것을 회피하기 위하여 잘-알려진 컴포넌트들, 엘리먼트들 또는 방법들은 상세히 설명되지 않거나 간단한 블록 다이어그램 포맷으로 제시된다. 따라서, 이후 설명되는 특정 세부사항들은 단지 예시적이다. 특정 구현들은 이들 예시적인 세부사항들로부터 가변할 수 있고 본 발명의 사상 및 범위 내에 있는 것으로 여전히 고려될 수 있다.

[0007] [0014] "실시예", "일 실시예", "예시적인 실시예", "일부 실시예들" 및 "다양한 실시예들"에 대한 상세한 설명의 참조는, 실시예(들)와 관련되어 설명된 특정 피처, 구조, 또는 특징이 본 발명의 적어도 하나의 실시예에 포함되는 것을 의미한다. 게다가, 상세한 설명의 다양한 장소들에서 어구들 "실시예", "일 실시예", "예시적인 실시예", "일부 실시예들", 및 "다양한 실시예들"의 출현들은 반드시 모두가 동일한 실시예(들)를 지칭하지 않는다.

[0008] [0015] 상세한 설명은 상세한 설명의 일부를 형성하는 첨부 도면들에 대한 참조들을 포함한다. 도면들은 예시적인 실시예들에 따른 예시들을 도시한다. 또한 본원에서 "예들"로서 지칭될 수 있는 이들 실시예들은, 당업자들이 본원에 설명된 청구된 청구 대상의 실시예들을 실시할 수 있게 하기 위하여 충분히 상세히 설명된다. 청

구된 청구 대상의 범위 및 사상으로부터 벗어남이 없이, 실시예들이 조합될 수 있거나, 다른 실시예들이 활용될 수 있거나, 또는 구조적, 논리적 및 전기적 변화들이 이루어질 수 있다. 본원에 설명된 실시예들이 청구 대상의 범위를 제한하는 것으로 의도되는 것이 아니라 오히려 당업자로 하여금 청구 대상을 실시, 제작 및/또는 사용할 수 있게 하도록 의도되는 것으로 이해되어야 한다.

[0009] [0016] 본원에는 전자 디바이스들의 USB 타입-C 수신기들에 대한 기법들의 다양한 실시예들이 설명된다. 그런 전자 디바이스들의 예들은 제한 없이, 퍼스널 컴퓨터들(예컨대, 데스크톱 컴퓨터들, 랩톱 컴퓨터들, 노트북 컴퓨터들 등), 모바일 컴퓨팅 디바이스들(예컨대, 태블릿들, 태블릿 컴퓨터들, e-판독기 디바이스들 등), 모바일 통신 디바이스들(예컨대, 스마트폰들, 셀 폰들, 퍼스널 디지털 어시스턴트들, 메시징 디바이스들, 포켓 PC들 등), 연결 디바이스들(예컨대, 케이블들, 어댑터들, 허브들, 도킹 스테이션들 등), 오디오/비디오/데이터 레코딩 및/또는 재생 디바이스들(예컨대, 카메라들, 음성 레코더들, 핸드-헬드 스캐너들, 모니터들 등), 및 통신 및/또는 배터리 충전을 위한 타입-C 연결기들(인터페이스들)을 사용할 수 있는 다른 유사한 전자 디바이스들을 포함한다.

[0010] [0017] 본원에 사용된 바와 같이, 전자 디바이스는, 전자 디바이스가 USB(Universal Serial Bus) 규격의 적어도 하나의 릴리스를 따르면, "USB-인에이블드"로서 지칭된다. 그런 USB 규격들의 예들은, 제한 없이, USB 규격 개정판 2.0, USB 3.0 규격, USB 3.1 규격, 및/또는 다양한 보충판들(예컨대, 이를테면 온-더-고(On-The-Go) 또는 OTG), 버전들 및 이의 에러터(errata)들을 포함한다. USB 규격들은 일반적으로 표준 통신 시스템들 및 주변 장치들을 설계 및 구축하기 위하여 요구되는 차동 직렬 버스의 특징들(예컨대, 속성들, 프로토콜 정의, 트랜잭션들의 타입들, 버스 관리, 프로그래밍 인터페이스들 등)을 정의한다. 예컨대, 주변 전자 디바이스는 호스트 디바이스의 USB 포트를 통하여 호스트 디바이스에 부착된다. USB 2.0 포트는 5V의 전력 라인(VBUS로 표시됨), 데이터 라인들의 차동 쌍(D+ 또는 DP, 및 D- 또는 DN으로 표시됨), 및 전력 리턴을 위한 접지 라인(GND로 표시됨)을 포함한다. USB 3.0 포트는 또한 USB 2.0과의 역 호환성을 위한 VBUS, D+, D-, 및 GND 라인들을 제공한다. 게다가, 더 빠른 차동 버스(USB 슈퍼스피드(SuperSpeed) 버스)를 지원하기 위하여, USB 3.0 포트는 또한 송신기 데이터 라인들의 차동 쌍(SSTX+ 및 SSTX-로 표시됨), 수신기 데이터 라인들의 차동 쌍(SSRX+ 및 SSRX-로 표시됨), 전력을 위한 전력 라인(DPWR로 표시됨), 및 전력 리턴을 위한 접지 라인(DGND로 표시됨)을 제공한다. USB 3.1 포트는 USB 2.0 및 USB 3.0 통신들과 역 호환성을 위하여 USB 3.0 포트와 동일한 라인들을 제공하지만, 인핸스드 슈퍼스피드(Enhanced SuperSpeed)로서 지칭되는 피쳐(feature)들의 컬렉션(collection)에 의해 슈퍼스피드 버스의 성능을 확장시킨다.

[0011] [0018] 일부 전자 디바이스들은 USB 타입-C 규격의 특정 릴리스 및/또는 버전(예컨대, 그런 USB 타입-C 규격, 릴리스 1.0, USB 타입-C 규격, 릴리스 1.1, 또는 이후 릴리스)에 따를 수 있다. 본원에 사용된 바와 같이, USB "타입-C 서브시스템"은 기능들을 수행하고 USB 타입-C 규격의 적어도 하나의 릴리스에서 특정된 요건들을 만족 시키도록 구성 및 동작가능한 집적 회로(IC) 제어기의 펌웨어 및/또는 소프트웨어에 의해 제어가능할 수 있는 하드웨어 회로를 지칭한다. 그런 타입-C 기능들 및 요건들의 예들은, 제한 없이, USB 2.0 및 USB 3.0/3.1에 따른 데이터 및 다른 통신들, 타입-C 리셉터클들을 위한 전자-기계적 정의들 및 성능 요건들, 타입-C 플러그들을 위한 전자-기계적 정의들 및 성능 요건들, 레거시 케이블 어셈블리들 및 어댑터들에 대한 타입-C에 대한 요건들, 타입-C 기반 디바이스 검출 및 인터페이스 구성을 위한 요건들, 타입-C 연결기들을 위해 최적화된 전력 전달을 위한 요건들 등을 포함할 수 있다.

[0012] [0019] USB 타입-C 규격에 따라, USB 타입-C 케이블은 케이블의 양쪽 단부들에서 USB 타입-C 포트들을 정의하기 위하여 내부에 하나 또는 그 초과와 집적 회로(IC) 디바이스들이 배치된 능동 케이블이다. USB 2.0 및 USB 3.0/3.1에 따른 USB 통신들을 지원하기 위하여, 타입-C 포트는 특히 VBUS, D+, D-, GND, SSTX+, SSTX-, SSRX+, 및 SSRX- 라인들을 제공한다. 게다가, 타입-C 포트는 또한 타입-C 케이블을 통한 연결들의 발견, 구성 및 관리를 위해 구성 채널(CC로 표시됨) 라인 및 측파대 기능성의 시그널링을 위한 측파대 유스(Sideband Use)(SNU로 표시됨) 라인을 제공한다. 타입-C 포트는 타입-C 플러그 및 타입-C 리셉터클과 연관될 수 있다. 사용의 용이함을 위하여, 타입-C 플러그 및 타입-C 리셉터클은 플러그-투-리셉터클 방향에 무관하게 동작하는 가역성 쌍으로서 설계된다. 따라서, 표준 타입-C 플러그 또는 리셉터클로서 배치된 표준 타입-C 연결기(인터페이스)는 특히 4개의 VBUS 라인들, 4개의 접지 리턴(GND) 라인들, 2개의 D+ 라인들(DP1 및 DP2), 2개의 D-라인들(DN1 및 DN2), 2개의 SSTX+라인들(SSTXP1 및 SSTXP2), 2개의 SSTX-라인들(SSTXN1 및 SSTXN2), 2개의 SSRX+라인들(SSRXP1 및 SSRXP2), 2개의 SSRX-라인들(SSRXN1 및 SSRXN2), 2개의 CC 라인들(CC1 및 CC2), 및 2개의 SBU 라인들(SBU1 및 SBU2)을 위한 핀들을 제공한다. 케이블의 타입-C 플러그가 타입-C 리셉터클에 부착될 때, CC 라인들 중 하나는 신호 방향을 설정하도록 케이블을 통하여 연결되고 다른 CC 라인들은 타입-C 케이블 내에 배치된 집

적 회로(IC) 디바이스(들)에 전력을 인가하기 위한 5V 전력 라인(Vconn으로 표시됨)으로서 바뀌어질 수 있다.

[0013]

[0020] 일부 전자 디바이스들은 USB-PD 규격의 특정 개정판 및/또는 버전(예컨대, 그런 USB 전력 전달 규격, 개정판 1.0, USB 전력 전달 규격, 개정판 2.0, 또는 이들의 이후 개정판들 및/또는 버전들)에 따를 수 있다. USB-PD 규격은 USB 포트들을 통하여 단일 타입-C 케이블을 거쳐 데이터 통신들과 함께 USB-인에이블드 디바이스들에/USB-인에이블드 디바이스들로부터 더 유연한 전력 전달을 제공함으로써 USB-인에이블드 디바이스들의 최대 가능성을 가능하게 하도록 설계된 표준을 정의한다. 예컨대, USB-PD 규격은 최대 100W에서 USB 타입-C 케이블들을 통한 전력 전달을 관리하는데 필요한 아키텍처, 프로토콜들, 전력 공급 작동, 파라미터들, 및 케이블링을 설명한다. USB-PD 규격에 따라, USB-인에이블드 디바이스들은 더 이전 USB 규격들(예컨대, 이를테면 USB 2.0 규격, USB 3.1 규격, USB 배터리 충전 규격 개정판 1.0/1.1/1.2 등)에서 정의된 것보다 USB 타입-C 케이블(예컨대, 통신 채널로서 VBUS 또는 CC 라인을 사용함으로써)을 통해 더 많은 전류 및/또는 더 높거나 더 낮은 전압들을 협상할 수 있다.

[0014]

[0021] USB-PD 규격은 USB 타입-C 케이블들의 CC(Configuration Channel) 라인들 상에서 통신들을 가능하게 하기 위한 다양한 파라미터들을 정의한다. 그런 파라미터들의 예들은 CC 라인들 상에서 허용되는 노이즈 및 직류(DC)-레벨 전압 시프트들에 대한 상한들을 포함한다. 예컨대, USB 타입-C 케이블이 하나 또는 그 초과인 집적 회로(IC) 디바이스(들)가 내부에 배치되어 있는 능동 디바이스이기 때문에, 타입-C 케이블이 사용 중일 때(예컨대, 타입-C 케이블이 적어도 하나의 USB-인에이블드 디바이스에 연결될 때), 케이블 내의 IC(들)는 전력을 소비하고 케이블 내의 다양한 라인들은 캐패시티브 커플링(을 통하여 다른 라인들 상에 노이즈를 유발할 수 있다. 따라서, 이의 다양한 개정판들에서, USB-PD 규격은 250mVpp 내지 300mVpp(Vpp는 피크-피크 전압임)의 허용된 CC-라인 노이즈에 대한 상한 및 타입-C 케이블의 하나의 단부로부터 다른 단부로 허용되는 DC-레벨 시프트에 대한 250 mV의 상한을 정의한다.

[0015]

[0022] 캐패시티브 커플링(capacitive coupling)에 의해 생성된 노이즈는 타입-C 케이블들 및 리셉터클들의 USB 타입-C 서브시스템들의 CC 라인들에 기반하여 통신들 및 동작들에 악영향을 미칠 수 있다. 그런 악영향들을 회피하기 위하여, USB-PD 규격은 동작 동안 타입-C 케이블의 CC 라인에 대해 허용되는 노이즈에 대해 최대 250mVpp 또는 기껏해야 최대 300mVpp(다양한 규격 개정판들에 따름)의 이론적 최대치를 정의한다. 이론적으로, USB-PD 규격에 따라, 이것은, 250mVpp(또는 최대 300mVpp)보다 더 큰 피크-피크 전압을 가진 CC 라인 상에서의 임의의 신호가 유효(노이즈 없음) 신호로 고려되는 것을 의미한다. 실제로, 종래의 USB 타입-C 서브시스템 구현들은 약 최대 160mVpp의 노이즈 크기를 가지는 신호들만을 노이즈로서 거절할 수 있는데 그 이유는 노이즈 검출 및 거절을 위하여 사용되는 종래에-설계된 하드웨어 회로가 노이즈와 유효 신호 간을 적절히 구별하기 위하여 상당히 큰 Vpp 마진(예컨대, 약 100mVpp)을 필요로 하였기 때문이다. 그러나, 단지 최대 160mVpp의 노이즈 거절은 많은 실제 타입-C 기반 애플리케이션들에 충분하지 않다. 실제 동작 동안, 타입-C 케이블에서의 노이즈 소스들(예컨대, 이를테면 D+, D- 라인들 등에서의 통신들)이 CC 라인 상의 캐패시티브 커플링을 통하여 250mVpp보다 더 큰 전압 크기를 가지는 노이즈를 생성할 수 있기 때문에 이것은 적지 않다. 따라서, 종래의 USB 타입-C 서브시스템 구현들의 하나의 단점은, 250mVpp보다 큰 CC 라인 상의 노이즈가 유효(노이즈 없음) 신호로서 고려되고 종래의 USB 타입-C 서브시스템이 자신의 IC 제어기를 (지속되는 노이즈에 대한 응답으로, 아마도 연속적으로) 웨이크업(wake up) 하고 그리고 신호를 프로세싱하기 위하여 전력 및 다른 온-칩 리소스들을 소비할 것이지만, 실제로 이 신호는 노이즈로서 거절되어야 한다는 점이다.

[0016]

[0023] 로컬 접지에 관련하여 DC-레벨 전압 시프트(또한 DC-레벨 시프트, 또는 DC 오프셋으로 지칭됨)는 또한 타입-C 케이블들의 USB 타입-C 서브시스템들의 CC 라인들 상에서의 통신들에 악영향을 미칠 수 있다. 그런 악영향들을 회피하기 위하여, USB-PD 규격은 동작 동안 타입-C 케이블의 CC 라인 상에서 송신되는 신호들에 대해 허용되는 DC-레벨 시프트의 최대 양을 정의한다. 구체적으로, 동작 시 타입-C 케이블의 CC 라인 상에서의 신호는 0V 내지 1.2V이도록 허용되지만, USB-PD 규격은 그런 신호가 로컬 접지에 관련하여 최대 250mV까지 상향 또는 하향으로 시프트되게 한다. 예컨대, 동작 동안, 타입-C 케이블의 일측 상에서의 디바이스는 자신의 로컬 접지에 관련하여 전압을 제공할 전력 제공자일 것이지만, 다른 측 상에서의 디바이스(및/또는 케이블 자체)는 자신의 로컬 접지에 관련하여 전압을 수신할 전력 소비자일 것이다. 케이블 자체의 저항으로 인해, 이것은 타입-C 케이블의 한쪽 단부로부터 다른 쪽 단부로 IR(전압) 강하를 유발한다. 따라서, 타입-C 케이블의 일 측상의 디바이스가 CC 라인 상에서 신호를 송신할 때, 이 신호는 케이블의 다른 측 상의 디바이스의 로컬 접지에 관련하여 특정 양만큼 효과적으로 시프트(상향 또는 하향)된다. 이런 전압 시프트를 고려하기 위하여 USB-PD 규격은 로컬 접지에 관련하여 최대 250mV의 DC-레벨의 시프트를 허용한다. 그러나, 250mV의 이런 시프트 마진은 많은 실제 타입-C-기반 애플리케이션들을 위해 충분하지 않다. 예컨대, 상이한 제조자들에 의해 팔리는 상이한

타입-C 케이블들은 완전히 USB 타입-C 규격을 따르지 않을 수 있고 및/또는 많은 이유들(예컨대, 이를테면 상이한 제조 기술들, 제조시 사용된 상이한 전도성 및 절연 재료들, 그 내부에 사용된 상이한 타입들의 IC 칩들 등) 때문에 상이한 내부 저항들을 가질 수 있다. 다른 예에서, 다양한 동작 상황들에서, USB-인에이블드 디바이스들의 다양한 제조자들은 더 빠른 전력 전달 시간들을 제공하기 위하여 타입-C 케이블에 걸쳐 더 높은 전류들을 제공하기를 원할 수 있고, 이에 의해 USB-PD 규격에 의해 허용되는 마진 이상으로 타입-C 케이블을 걸친 IR 강하가 증가된다. 이에 관련하여, 종래의 USB 타입-C 서브시스템 구현들은 결함이 있는데, 그 이유는 종래의 하드웨어 회로가 USB-PD 규격에 의해 허용된 마진들보다 더 높은 DC-레벨 시프트들을 가진 CC 라인 통신들을 제공하도록 설계되지 않았기 때문이다.

[0017] [0024] 종래 USB 타입-C 서브시스템들에 대한 상기 그리고 다른 결함들(예컨대, 더 높은 DC-레벨 시프트 허용 오차 및 더 높은 노이즈 거절에 관련하여)을 처리하기 위하여, 본원에 설명된 USB 타입-C 수신기들에 대한 기법들은, 인입 신호가 로컬 접지에 관련하여 250mV의 DC 오프셋보다 더 큰 DC 오프셋을 가질 때에도 CC 라인 상의 인입 신호로부터 데이터를 수신하고, 및/또는 인입 신호가 300 mVpp보다 더 큰 크기를 가지는 노이즈(예컨대, 이를테면 300mVpp 내지 500mVpp, 300mVpp 내지 350mVpp, 350mVpp 내지 400mVpp, 400mVpp 내지 450mVpp, 450mVpp 내지 500Vpp의 범위들 중 하나 또는 그 초과, 또는 이들의 임의의 서브-범위들의 노이즈 크기)를 포함할 때에도 인입 신호를 거절하도록 구성된 수신기 회로를 제공한다. 본원에 사용된 바와 같이, "인입 신호"는 USB 타입-C 서브시스템의 특징(예컨대, CC) 라인 상의 신호를 지칭한다. 본원에 설명된 기술들의 상황에서, 그런 인입 신호는 BMC-인코딩된 데이터를 반송하는 유효 신호일 수 있거나 (예컨대, 타입-C 서브시스템 또는 이들의 CC 라인의 아이들(idle) 조건 동안) 노이즈를 포함하는 및/또는 노이즈인 신호일 수 있다. 일부 실시예들에서, 수신기 회로는 먼저, 예컨대 인입 신호가 300-500mVpp 범위의 피크-피크 전압을 가진 노이즈를 반송하더라도, CC 라인 상의 인입 신호가 노이즈인지 아닌지를 결정할 수 있다. 그 다음으로, 수신기 회로는, 인입 신호가 노이즈인 것으로 결정되면, 인입 신호를 거절하고; 그렇지 않으면, 수신기 회로는, 인입 신호가 로컬 접지에 관련하여 250mV보다 큰 DC 오프셋을 가지더라도, 인입 신호로부터의 데이터를 프로세싱한다(또는 이 데이터의 프로세싱을 유발함).

[0018] [0025] 본원에 설명된 USB 타입-C 수신기들에 대한 기법들은 몇몇 상이한 타입들의 타입-C 애플리케이션들에서 구현될 수 있다. 그런 타입들의 타입-C 애플리케이션들의 예들은: 타입-C 서브시스템을 갖는 IC 제어기가 (예컨대, USB-인에이블드 호스트 디바이스에서) 다운스트림에 면하는 USB 포트를 제공하도록 구성되는 DFP(downstream facing port) USB 애플리케이션; 타입-C 서브시스템을 가지는 IC 제어기가 (예컨대, USB-인에이블드 주변 디바이스 또는 어댑터에서) 업스트림에 면하는 USB 포트를 제공하도록 구성되는 UFP(upstream facing port) USB 애플리케이션; 타입-C 서브시스템을 가지는 IC 제어기가 동일한 USB 포트 상에서 DFP 및 UFP 애플리케이션들 둘 모두를 지원하도록 구성되는 DRP(dual role port) USB 애플리케이션; 및 타입-C 서브시스템을 가지는 IC 제어기가 케이블 디바이스(예컨대, 능동, 타입-C 케이블, Vconn-전력인가 액세서리 등) 내에 타입-C 포트들을 제공하도록 구성된 EMCA(electronically marked cable application)(그러나 이에 제한되지 않을 수 있음)를 포함한다.

[0019] [0026] 예시적인 실시예에서, 디바이스는 USB 타입-C 서브시스템의 CC 라인에 커플링된 수신기 회로를 포함한다. 수신기 회로는, 인입 신호가 로컬 접지에 관련하여 250mV보다 큰 DC 오프셋을 가질 때, CC 라인 상의 인입 신호로부터 데이터를 수신하도록 구성된다. 이 실시예에서, 수신기 회로는, 인입 신호가 300mVpp보다 더 큰 크기를 가지는 노이즈, 예컨대 300mVpp - 350mVpp, 350mVpp - 400mVpp, 400mVpp - 450mVpp, 또는 450mVpp - 500Vpp의 범위들 중 하나의 노이즈 크기를 포함할 때 인입 신호를 노이즈로서 거절하도록 추가로 구성된다. 이 실시예의 하나의 양상에서, CC 라인 상의 인입 신호는 아이들 조건 동안 노이즈를 포함할 수 있고, 그리고 다른 양상에서 인입 신호는 능동 노이즈를 포함할 수 있다. 일 양상에서, 수신기 회로는 CC 라인으로부터 복원 노드로 직렬로 커플링된 캐패시터 - 캐패시터는 CC 라인 상의 인입 신호의 DC 성분을 차단하기 위하여 고역-통과 필터로서 구성됨 -; 복원 노드에 커플링되고, 인입 신호의 전압을 제 1 기준 전압으로 시프트하도록 구성된 복원 회로; 및 복원 노드에 커플링되고, 시프트된 전압을 제 2 기준 전압에 비교하도록 구성된 슬라이서 회로를 포함할 수 있다. 이런 양상에서, 복원 회로는: 피드백 루프에서 연산 증폭기로서 구성된 제 1 비교기; 제 1 비교기의 출력에 의해 제어되는 전류 소스; 및 복원 노드에 커플링된 전류 싱크(sink)를 포함할 수 있고, 복원 노드는 캐패시터를 전류 소스의 출력 및 제 1 비교기의 입력에 커플링한다. 이런 양상에서, 슬라이서 회로는 제 2 비교기를 포함할 수 있고, 제 2 비교기의 제 1 입력은 복원 노드에 커플링되고 제 2 비교기의 제 2 입력은 제 2 기준 전압에 커플링된다. 이런 양상에서, 제 1 기준 전압 및 제 2 기준 전압은, 인입 신호가 노이즈가 아닌 것을 표시하기 위하여 슬라이서 회로의 출력이 토글링되는(toggled) 전압 임계치(예컨대, 최대 500mVpp)를 정의하도록 구성된다. 이런 양상에서, 슬라이서 회로는, 시프트된 전압이 전압 임계치를 초과할 때 웨이크업 신호

를 생성하도록 구성되지만, 디바이스는, 시프트된 전압이 전압 임계치이거나 전압 임계치 미만일 때 슬립(sleep) 상태에 남아 있도록 구성된다. 일 양상에서, 디바이스는 집적 회로(IC) 칩을 포함하고, IC 칩은 USB 타입-C 서브시스템을 포함하고 USB 타입-C 서브시스템은 수신기 회로를 포함한다. 예시적인 양상에서, 디바이스는 USB 타입-C 케이블이다.

[0020] [0027] 예시적인 실시예에서, 집적 회로(IC) 제어기는 USB 타입-C 서브시스템, 및 USB 타입-C 서브시스템의 CC 라인에 커플링된 수신기 회로를 포함한다. 수신기 회로는 CC 라인으로부터 복원 노드로 직렬로 커플링된 캐패시터 - 캐패시터는 CC 라인 상의 인입 신호의 DC 성분을 차단하기 위하여 고역-통과 필터로서 구성됨 -; 복원 노드에 커플링되고, 인입 신호의 전압을 제 1 기준 전압으로 시프트하도록 구성된 복원 회로; 및 복원 노드에 커플링되고, 시프트된 전압을 제 2 기준 전압에 비교하도록 구성된 슬라이서 회로를 포함한다. 이 실시예의 일 양상에서, IC 제어기의 복원 회로는: 피드백 루프에서 연산 증폭기로서 구성된 제 1 비교기; 제 1 비교기의 출력에 의해 제어되는 전류 소스; 및 복원 노드에 커플링된 전류 싱크를 포함하고, 복원 노드는 캐패시터를 전류 소스의 출력 및 제 1 비교기의 입력에 커플링한다. 일 양상에서, IC 제어기의 슬라이서 회로는 제 2 비교기를 포함하고, 제 2 비교기의 제 1 입력은 복원 노드에 커플링되고 제 2 비교기의 제 2 입력은 제 2 기준 전압에 커플링된다. 이런 양상에서, 제 1 기준 전압 및 제 2 기준 전압은 최대 500mVpp의 전압 임계치를 정의하도록 구성되고, 슬라이서 회로의 출력은, 시프트된 전압이 전압 임계치를 초과할 때 인입 신호가 노이즈가 아닌 것을 표시하기 위하여 토글링된다. 예시적인 양상에서, IC 제어기의 수신기 회로는, 인입 신호가 로컬 접지에 관련하여 250mV보다 큰 DC 오프셋을 가질 때, CC 라인 상의 인입 신호로부터 데이터를 수신하도록 구성된다.

[0021] [0028] 예시적인 실시예에서, 시스템은 USB 타입-C 케이블, 및 USB 타입-C 케이블에 부착되고 및/또는 연결되는 USB-인에이블드 디바이스를 포함한다. USB-인에이블드 디바이스는 USB 타입-C 케이블의 CC 라인에 커플링된 수신기 회로를 포함하고, 수신기 회로는, 인입 신호가 로컬 접지에 관련하여 250mV보다 큰 DC 오프셋을 가질 때, CC 라인 상의 인입 신호로부터 데이터를 수신하도록 구성된다. 이 실시예의 일 양상에서, 수신기 회로는, 인입 신호가 300mVpp보다 큰 크기를 가지는 노이즈를 포함할 때, 인입 신호를 거절하도록 추가로 구성되고, 동일하거나 상이한 양상에서 노이즈의 크기는 300mVpp 내지 500mVpp 범위일 수 있다.

[0022] [0029] 도 1a는 본원에 설명된 USB 타입-C 수신기들에 대한 기법들에 따라 구성된 예시적인 디바이스(100)를 예시한다. 도 1a에 예시된 실시예에서, 디바이스(100)는 IC 다이 상에 제조된 집적 회로(IC) 제어기 칩이다. 예컨대, IC 제어기(100)는 캘리포니아주, 산호세 Cypress Semiconductor Corporation에 의해 개발된 USB 제어기들의 패밀리로부터의 단일-칩 IC 디바이스일 수 있다.

[0023] [0030] 다른 컴포넌트들 중, IC 제어기(100)는 CPU 서브시스템(102), 주변장치 상호연결부(114), 시스템 리소스들(116), 다양한 입력/출력(I/O) 블록들(예컨대, 118A-118C), 및 USB 서브시스템(200)을 포함한다. 게다가, IC 제어기(100)는 다수의 전력 상태들(122)을 지원하도록 구성되고 동작가능한 회로 및 펌웨어를 제공한다.

[0025] *[0031] CPU 서브시스템(102)은 시스템 상호연결부(112)에 커플링되는 하나 또는 그 초과 CPU들(중앙 프로세서 유닛들)(104), 플래시 메모리(106), SRAM(Static Random Access Memory)(108), 및 ROM(Read Only Memory)(110)을 포함한다. CPU(104)는 시스템-온-칩 디바이스에서 동작할 수 있는 적절한 프로세서이다. 일부 실시예들에서, CPU는 광범위한 클럭 게이팅(clock gating)으로 저전력 동작을 위해 최적화될 수 있고 그리고 CPU가 다양한 전력 상태들에서 동작하게 하는 다양한 내부 제어기 회로들을 포함할 수 있다. 예컨대, CPU는 CPU를 슬립 상태에서부터 웨이킹(wake)하도록 구성된 웨이크업 인터럽트 제어를 포함할 수 있고, 이에 의해 IC 칩이 슬립 상태에 있을 때 전력이 스위칭 오프되게 한다. 플래시 메모리(106)는 데이터 및/또는 프로그램들을 저장하도록 구성가능한 임의의 타입의 프로그램 메모리(예컨대, NAND 플래시, NOR 플래시 등)일 수 있다. SRAM(108)은 CPU(104)에 의해 액세스되는 데이터 및 펌웨어/소프트웨어 명령들을 저장하기에 적절한 임의의 타입의 휘발성 또는 비휘발성 메모리일 수 있다. ROM(110)은 부트-업(boot-up) 루틴들, 구성 파라미터들, 및 다른 시스템-온-칩 펌웨어를 저장하도록 구성가능한 임의의 타입의 적절한 스토리지일 수 있다. 시스템 상호연결부(112)는 CPU 서브시스템(102)의 다양한 컴포넌트들을 서로 커플링시키는 인터페이스로서 구성되는 시스템 버스(예컨대, 단일-레벨 또는 다중-레벨 어드밴스드 고성능 버스, 또는 AHB)일뿐 아니라, CPU 서브시스템 및 주변장치 상호연결부(114)의 다양한 컴포넌트들 간의 데이터 및 제어 인터페이스이다.

[0026] [0032] 주변장치 상호연결부(114)는 CPU 서브시스템(102)과 이의 주변장치들 및 다른 리소스들, 이를테면 시스템 리소스들(116), I/O 블록들(예컨대, 118A-118C), 및 USB 서브시스템(200) 간의 기본 데이터 및 제어 인터페이스를 제공하는 주변장치 버스(예컨대, 단일-레벨 또는 다중-레벨 AHB)이다. 주변장치 상호연결부는 CPU 서브시스템에 부담을 주지 않고 주변장치 블록들 간에 데이터를 전달하도록 프로그래밍될 수 있는 다양한 제어기 회

로들(예컨대, 직접 메모리 액세스, 또는 DMA 제어기들)을 포함할 수 있다. 다양한 실시예들에서, CPU 서브시스템 및 주변장치 상호연결부의 컴포넌트들 각각은 CPU, 시스템 버스 및/또는 주변장치 버스의 각각의 선택 또는 타입에 따라 상이할 수 있다.

[0027] [0033] 시스템 리소스들(116)은 자신의 다양한 상태들 및 모드들에서 IC 제어기(100)의 동작을 지원하는 다양한 전자 회로들을 포함한다. 예컨대, 시스템 리소스들(116)은 각각의 제어기 상태/모드 이블테면, 예컨대 전압 및/또는 전류 기준들, 웨이크업 인터럽트 제어기(WIC: wake-up interrupt), POR(power-on-reset) 등에 요구되는 전력 리소스들을 제공하는 전력 서브시스템을 포함할 수 있다. 일부 실시예들에서, 시스템 리소스들(116)의 전력 서브시스템은 또한 IC 제어기(100)가 몇몇 상이한 전압 및/또는 전류 레벨들을 가지는 외부 소스들로부터 전력을 인출하게 하는 회로들을 포함할 수 있다. 시스템 리소스들(116)은 또한 IC 제어기(100)에 의해 사용되는 다양한 클록들을 제공하는 클록 서브시스템뿐 아니라, 다양한 제어기 기능들, 이블테면 외부 리셋을 허용하는 회로들을 포함할 수 있다.

[0028] [0034] IC 제어기, 이블테면 IC 제어기(100)는 다양한 실시예들 및 구현들에서 다양한 상이한 타입들의 I/O 블록들 및 서브시스템들을 포함할 수 있다. 예컨대, 도 1a에 예시된 실시예에서, IC 제어기(100)는 GPIO(general purpose input output) 블록들(118A), TCPWM(timer/counter/pulse-width-modulation) 블록들(118B), SCB들(serial communication blocks)(118C), 및 USB 서브시스템(200)을 포함한다. GPIO들(118A)은 다양한 기능들, 이블테면 예컨대 풀-업(pull-up)들, 풀-다운(down)들, 입력 임계치 선택, 입력 및 출력 버퍼 인에이블링/디스에이블링, 다양한 I/O 핀들에 연결된 신호들 멀티플렉싱 등을 구현하도록 구성된 회로들을 포함한다. TCPWM들(118B)은 타이머들, 카운터들, 펄스-폭 변조기들, 디코더들 및 입력/출력 신호들 상에서 동작하도록 구성된 다양한 다른 아날로그/혼합 신호 엘리먼트들을 구현하도록 구성된 회로들을 포함한다. SCB들(118C)은 다양한 직렬 통신 인터페이스들, 이블테면 예컨대 I²C, SPI(serial peripheral interface), UART(universal asynchronous receiver/transmitter) 등을 구현하도록 구성된 회로들을 포함한다.

[0029] [0035] USB 서브시스템(200)은 본원에 설명된 기법들에 따라 구성된 타입-C 서브시스템이고, 그리고 또한 USB 포트들(예컨대, 이블테면 USB 2.0, USB 3.0/3.1 등)을 통한 USB 통신들에 대한 지원뿐 아니라 다른 USB 기능성, 이블테면 전력 전달 및 배터리 충전을 제공할 수 있다. USB 서브시스템(200)은 다양한 디지털 인코딩/디코딩 기능들(예컨대, BMC 인코딩/디코딩, 순환 중복 검사들, 또는 CRC 등) 및 물리적 계층 송신들에 관련된 아날로그 신호 프로세싱 기능들을 수행하기 위한 집적된 기저대역 PHY 회로로서 구성된 타입-C 트랜시버 및 물리적 계층 로직, PHY(도시되지 않음)을 포함한다. IC 제어기(100)(및/또는 이의 USB 서브시스템(200))는 또한 USB-PD 규격에서 정의된 통신들, 이블테면 예컨대 SOP, SOP' 및 SOP" 메시징에 응답하도록 구성될 수 있다.

[0030] [0036] USB 서브시스템(200)의 타입-C 트랜시버는 수신기 회로(들)(202A) 및 송신기 회로(들)(202B)를 포함한다. 수신기 회로(202A)는 본원에 설명된 기법들에 따라 구성된다. 예컨대, 수신기 회로(202A)는 CC 라인에 커플링되고 그리고 CC 라인으로부터 복원 노드로 직렬로 커플링된 캐패시터 - 캐패시터는 CC 라인 상의 인입 신호의 DC 성분을 차단하도록 구성됨 -; 복원 노드에 커플링되고, 인입 신호의 전압을 제 1 기준 전압으로 시프트하도록 구성된 복원 회로; 및 복원 노드에 커플링되고, 시프트된 전압을 제 2 기준 전압에 비교하도록 구성된 슬라이서 회로를 포함한다. 동작 시, 수신기 회로(202A)의 컴포넌트들은, 본원에 설명된 기법들에 따라, 인입 신호가 로컬 접지에 관련하여 250mV보다 많은 DC-레벨 시프트(DC 오프셋)를 가질 때, CC 라인 상의 인입 신호로부터 데이터를 수신하고 그리고 인입 신호가 300mVpp보다 더 큰 크기(예컨대, 최대 500mVpp)를 가지는 노이즈를 반송할 때 인입 신호를 거절하도록 구성된다.

[0031] [0037] 도 1b는, USB 타입-C 수신기들에 대해 설명된 기법들이 구현될 수 있는 예시적인 동작 상황들을 예시한다. 이들 동작 상황들 각각에서, IC 제어기(이블테면 도 1a의 IC 제어기(100))는 본원에 설명된 기법들에 따라 USB-인에이블드 디바이스에 배치되고 구성될 수 있다. 도 1b를 참조하여, 하나의 예시적인 실시예에서, USB 제어기(100A)는 DFP, UFP 및/또는 DRP USB 애플리케이션으로서 컴퓨팅 디바이스(예컨대, 랩톱 컴퓨터(130))에 배치되고 구성될 수 있다. 다른 예시적인 실시예에서, USB 제어기(100B)는 DFP, UFP 및/또는 DRP USB 애플리케이션으로서 전자 디바이스(예컨대, 모니터(140))에 배치되고 구성될 수 있다. 또 다른 예시적인 실시예에서, USB 제어기(100C)는 UFP USB 애플리케이션으로서 네트워킹 디바이스(예컨대, 허브(150))에 배치되고 구성될 수 있다. 또 다른 예시적인 실시예에서, USB 제어기(100D) 및 (가능하게) USB 제어기(100E)는 EMCA 애플리케이션으로서 타입-C 케이블(160)의 하나(또는 둘 모두의) 플러그들 내에 배치되고 구성될 수 있다. 또 다른 예시적인 실시예에서, USB 제어기(100F)는 DFP, UFP 및/또는 DRP USB 애플리케이션으로서 모바일 디바이스(예컨대, 스마트폰/태블릿(170))에 배치되고 구성될 수 있다.

- [0032] [0038] 도 2는 일부 실시예들에 따라, IC 제어기의 USB 타입-C 서브시스템의 예시적인 수신기 회로를 예시한다. 다른 컴포넌트들(도시되지 않음) 중, USB 서브시스템(200)은 USB 서브시스템(200)의 CC 라인들의 수신 경로에서 수신기 회로(202A)에 커플링된 멀티플렉서(201)를 포함한다. 멀티플렉서(201)는 USB-PD 규격에 제공되는 시간-상수 100ns 단극 필터(tRXFilter)를 포함한다. 동작 시, 멀티플렉서(201)는, CC 채널 상에서 통신들을 위해 사용되는 하나의 CC 라인(다른 CC 라인은 5V Vcomm 전력 라인으로서 바뀌어 짐)을 (수신기 회로(202A)에 대한 수신 경로 상에) 멀티플렉싱한다.
- [0033] [0039] 수신기 회로(202A)는 캐패시터(204), 복원 노드(206), DC 복원 회로(208), 약전류 싱크(210), 및 슬라이서 회로(212)를 포함한다. 캐패시터(204)는 멀티플렉서(201)로부터 복원 노드(206)로 직렬로 커플링되고 고역-통과 필터로서 구성된다. 예컨대, 캐패시터(204)는 CC 라인 상의 인입 신호의 DC 성분을 차단하도록 구성되지만, 특정 주파수를 초과하는 인입 신호의 주파수 성분들을 감쇠시키지 않는다. 이런 방식에서, 캐패시터(204)는 교류(AC) 디커플링 캐패시터로서 작용한다. 복원 노드(206)는 복원 회로(208), 전류 싱크(210) 및 슬라이서 회로(212)에 커플링된다. 복원 회로(208)는 비교기(208A), 스위치(208B) 및 약전류 소스(208C)를 포함한다. 비교기(208A)의 네거티브 입력 단자는 제 1 기준 전압(예컨대, 도 2의 로컬 접지)에 커플링되고, 그리고 비교기(208A)의 포지티브 입력 단자는 복원 노드(206)에 커플링된다. 비교기(208A)의 출력은 제어 신호로서 스위치(208B)에 커플링된다. 스위치(208B)는 전류 소스(208C)를 턴 온 및 턴 오프하도록 직렬로 커플링되고, 차례로 전류 소스(208C)는 복원 노드(206) 및 비교기(208A)의 포지티브 입력 단자에 커플링된다. 슬라이서 회로(212)는 수신(RX) 비교기를 포함한다. RX 비교기의 포지티브 입력 단자는 복원 노드(206)에 커플링되고, 그리고 RX 비교기의 네거티브 입력 단자는 제 2 기준 전압에 커플링된다. 도 2에 예시된 바와 같이, 제 2 기준 전압은 400mV로 세팅되지만, 다양한 실시예들에서 그런 기준 전압이 정적으로/동적으로 구성 및/또는 프로그램가능할 수 있고 200mV 내지 500mV 범위로 세팅될 수 있다는 것이 주목된다. 슬라이서 회로(212)의 RX 비교기의 rx_데이터 출력은, 인입 신호가 유효(노이즈 없음)하고 데이터를 반송할 때, 인입 CC-라인 신호를 토글링 및 전달하도록 구성된다.
- [0034] [0040] 동작 시, 캐패시터(204)는 CC 라인 상의 인입 신호의 DC 성분을 차단하고 그리고 신호 스윙(swing)만을 허용하도록 AC-디커플링 캐패시터로서 작용한다. 비교기(208A)는 피드백 루프에서 연산 증폭기로서 복원 회로(208)에 구성된다. 전류 소스(208C)는 비교기(208A)의 출력 신호에 의해 스위치(208B)를 통해 제어된다. 비교기(208A)의 포지티브 입력상의 전압(복원 노드(206)의 전압)이 비교기의 네거티브 입력상의 전압을 초과하게 될 때, 비교기 출력은 하이(high)로 진행하고, 따라서 전류 소스(208C)를 차단한다. 비교기(208A)의 포지티브 입력상의 전압이 비교기의 네거티브 입력상의 전압 미만일 때, 비교기 출력은 로우(low)로 진행하고/남아있고 전류 소스(208C)를 인에이블한다. 이런 방식에서, 복원 노드(206)의 전압(비교기(208A)의 포지티브 입력상의 전압)은 연속으로 조절되고 비교기(208A)의 네거티브 입력에서 제 1 기준 전압에 매우 근접하도록(예컨대, 도 2에 예시된 바와 같이, 로컬 접지) 유지된다. 전류 싱크(210)는 복원 노드(206)에 커플링되고 그리고 CC 라인 상의 임의의 포지티브 DC 오프셋들(예컨대, 포지티브 DC-레벨 시프트들)이 비교기(208A)의 네거티브 입력상에 세팅된 제 1 기준 전압으로 다시 연속하여 복원되는 것을 보장하기 위하여 "항상-온"으로 구성된다. 슬라이서 회로(212)는, 복원 노드(206) 상의 인입 CC-라인 신호가 유효(예컨대, 노이즈 없음) 신호일 때를 검출 및 토글링하도록 구성된다. 예컨대, 슬라이서 회로(212)에서 RX 비교기의 포지티브 입력상의 전압(복원 노드(206)의 전압)이 RX 비교기의 네거티브 입력상의 제 2 기준 전압을 초과하게 될 때, RX 비교기의 출력은, CC 라인 상의 인입 신호가 노이즈가 없음을 표시하도록 하이로 진행한다. 이런 방식에서, 인입 CC-라인 신호가 데이터를 반송할 때, 슬라이서 회로(212)의 출력은 웨이크업 신호를 생성하기 위하여 USB 서브시스템(200)의 다른 컴포넌트들(도시되지 않음)에 의해 사용되도록 신호를 전달한다. 슬라이서 회로(212)의 RX 비교기의 포지티브 입력상의 전압(복원 노드(206)의 전압)이 RX 비교기의 네거티브 입력상의 제 2 기준 전압 미만일 때/미만에 남아있을 때, 슬라이서 회로(212)의 출력은, CC 라인 상의 인입 신호가 노이즈가 있는 것을 표시하도록 로우로 남아있다. 이런 방식에서, 슬라이서 회로(212)는 노이즈를 차단하고 USB 서브시스템(200) 및/또는 이의 IC 제어기에 대한 웨이크업 신호를 생성하지 않고(또는 생성되게 유발하지 않고), 이에 의해 IC 제어기 및/또는 USB 서브시스템이 슬립 상태에 남아 있고 전력을 보존하게 된다.
- [0035] [0041] 본원에 설명된 USB 타입-C 수신기들에 대한 기법들에 따라, (비교기(208A)의 네거티브 입력에서의) 제 1 기준 전압과 (슬라이서 회로(212)의 RX 비교기의 네거티브 입력에서의) 제 2 기준 전압 간의 차이는, 슬라이서 회로(212)가 인입 신호를 유효 신호로서 검출하기 전에, 인입 신호에 의해 도달되어야 하는 전압 크기를 가진 전압 임계치를 정의한다. 이 전압 크기(예컨대, V_{th})는, 수신기 회로(202A)가 거절할 수 있는 노이즈 크기와 동일한데, 그 이유는 인입 신호가 V_{th} 노이즈 임계치를 넘지 않으면, 슬라이서 회로(212)의 rx_데이터 출력

이 토글링하지 않기 때문이다. 다양한 실시예들에서, V_{th} 임계치 크기는 슬라이서 회로(212)의 rx_데이터 출력의 50%에 근접한 듀티 사이클을 가지는 출력을 제공하기 위하여, (예컨대, 구성 및/또는 프로그래밍에 의해) 정상 신호의 크기의 절반에 근접하도록 세팅될 수 있다. 이런 방식에서, 본원에 설명된 기법들은, 종래의 USB 타입-C 수신기들의 회로들에 비교하여 개선된 노이즈 거절 성능을 제공한다.

[0036] [0042] 게다가, 본원에 설명된 USB 타입-C 수신기들에 대한 기법들은, AC-디커플링 캐패시터(204) 및 복원 회로(208)의 동작으로 인해 개선된 DC-레벨 시프트 허용오차를 달성한다. 예컨대, 인입 CC-라인 신호가 그의 DC-레벨 전압을 시프트할 때, 복원 노드(206) 상의 전압은 DC-레벨 시프트와 동일한 양만큼 일시적으로 상향 또는 하향으로 시프트할 것이다. 일단 DC-레벨 시프트(예컨대, 로컬 접지에 관련한 DC 오프셋)가 정지되면, 복원 회로(208)의 피드백 루프는, 복원 노드(206) 상의 전압이 비교기(208A)의 네거티브 입력의 기준 전압으로 리턴하는 것을 보장할 것이다. 이런 방식에서, 본원에 설명된 기법들은, 종래의 USB 타입-C 수신기들의 회로들에 비교하여 개선된 DC-레벨 시프트 허용오차를 제공한다.

[0037] [0043] 도 3은 복원 회로(예컨대, 이를테면 도 2의 복원 회로(208))의 예시적인 동작을 도시하는 파형들을 가진 다이어그램(300)을 예시한다. 다이어그램(300)은, 수신기 회로(예컨대, 이를테면 도 2의 수신기 회로(202A))의 출력이 유효 신호를 표시하게 토글링하지 않도록, 인입 CC-라인 신호의 피크-피크 전압이 V_{th} 임계치 크기 바로 아래인 동작 예를 예시한다.

[0038] [0044] 도 3을 참조하여, 파형(302)은 CC-라인 상의 인입 신호의 전압을 표시하고, 파형(304)은 복원 노드(예컨대, 이를테면 도 2의 복원 노드(206))의 전압을 표시하고, 파형(306)은 슬라이서 회로(예컨대, 이를테면 도 2의 슬라이서 회로(212))의 rx_데이터 출력상의 전압을 표시하고, 파형(307)은 복원 회로(예컨대, 이를테면 도 2의 복원 회로(208))의 제 1 기준 전압을 표시하고, 그리고 파형(309)은 슬라이서 회로(예컨대, 이를테면 도 2의 슬라이서 회로(212))의 제 2 기준 전압을 표시한다. 다이어그램(300)에 예시된 바와 같이, 파형(302)은, 인입 CC-라인 신호가 약 360mVpp의 피크-피크 전압을 가지는 것을 표시하는 반면, 파형들(309 및 307) 간의 차이는, 전압 임계치(V_{th})가 약 380mVpp인 것을 표시한다. 인입 신호 상의 피크-피크 전압이 노이즈에 대한 전압 임계치 크기보다 작기 때문에, 파형(306)의 거의-제로 전압은, 인입 신호가 노이즈인 것으로 결정되는 것을 표시한다. 다이어그램(300)은 또한, 인입 CC-라인 신호가 최대로 대략 파형(307)의 전압 레벨까지(예컨대, 복원 노드의 전압까지) 시프트되는 것을 표시한다.

[0039] [0045] 도 4a는 유효 BMC-인코딩된 데이터("0")에 대한 슬라이서 회로(예컨대, 이를테면 도 2의 슬라이서 회로(212))의 예시적인 동작을 도시하는 파형들을 가진 다이어그램(400)을 예시하는 반면, 도 4b는 유효 BMC-인코딩된 데이터("1")에 대한 슬라이서 회로의 예시적인 동작을 도시하는 파형들을 가진 다이어그램(410)을 예시한다. USB-PD 규격에 따라, CC 라인 상에서 송신되는 유효 데이터는 BMC(Biphase Mark Code)로 인코딩되고, 여기서 디지털 데이터("0")는 시간 단위 내에서 단일 전이로서 인코딩되고 그리고 디지털 데이터("1")는 시간 단위 내에서 2개의 전이로서 인코딩된다.

[0040] [0046] 도 4a를 참조하여, 파형(402)은, CC-라인 상의 인입 신호의 전압을 표시하고, 파형(404)은 복원 노드(예컨대, 이를테면 도 2의 복원 노드(206))의 대응하는 전압을 표시하고, 그리고 파형(406)은 슬라이서 회로(예컨대, 이를테면 도 2의 슬라이서 회로(212))의 rx_데이터 출력상의 전압을 표시한다. 다이어그램(400)에 예시된 바와 같이, 파형들(402 및 404)은, 인입 신호의 DC-레벨이 약 1.25V만큼 상향 시프트되는 것을 표시하는 반면, 파형(406)은, (복원 노드에서) 상향 시프트된 신호가 여전히 데이터 "0"의 BMC 인코딩을 보존하는 것을 표시한다.

[0041] [0047] 도 4b를 참조하여, 파형(412)은, CC-라인 상의 인입 신호의 전압을 표시하고, 파형(414)은 복원 노드(예컨대, 이를테면 도 2의 복원 노드(206))의 대응하는 전압을 표시하고, 그리고 파형(416)은 슬라이서 회로(예컨대, 이를테면 도 2의 슬라이서 회로(212))의 rx_데이터 출력상의 전압을 표시한다. 다이어그램(410)에 예시된 바와 같이, 파형들(412 및 414)은, 인입 신호의 DC-레벨이 약 1.25V만큼 상향 시프트되는 것을 표시하는 반면, 파형(416)은, (복원 노드에서) 상향 시프트된 신호가 여전히 데이터 "1"의 BMC 인코딩을 보존하는 것을 표시한다.

[0042] [0048] 도 5는, CC 라인 상의 인입 신호의 DC-레벨 전압 시프트들 이전 및 이후 복원 노드(예컨대, 이를테면 도 2의 복원 노드(206))에서 예시적인 응답을 도시하는 파형들을 가진 다이어그램(500)을 예시한다. 도 5를 참조하여, 파형(502)은 CC-라인 상의 인입 신호의 전압을 표시하고, 파형(504)은 복원 노드에서 대응하는/응답 전압을 표시하고, 그리고 수직 라인(505)은 특정 시점("C1")을 표시한다. 다이어그램(500)에 예시된 바와 같이, 파형(502)은, 인입 신호 상의 전압이 먼저 약 240mV로부터 약 840mV까지 상향 시프트되고, 그 다음 약 840mV로

부터 약 2.4V까지 상향 시프트되고, 그리고 마지막으로 약 2.4V로부터 약 240mV까지 하향 시프트되는 것을 표시한다. 과형(504)은, 이들 DC-레벨 시프트들에 대한 응답으로, 인입 신호 상의 DC-레벨 시프트 이전 및 이후 둘 모두에서 복원 노드 상의 대응하는 전압이 약 1.4V에 센터링된 채로 유지되는 것을 표시한다. 복원 회로(예컨대, 이를테면 도 2의 복원 회로(208))가 1.4V의 전압 크기 주위에서 복원 노드 상의 전압을 연속으로 조정하는 것을 과형(504)의 퍼지(fuzzy) 라인이 표시하는 것이 주목된다. 과형(504)은 또한, 인입 신호에 대한 전압의 제 1 2개의 DC-레벨 시프트들이 포지티브 전압 변화들인 반면, 제 3 DC-레벨 시프트가 네거티브 전압 변화인 것을 표시한다. 다이어그램(500)에 예시된 바와 같이, 복원 노드 상의 전압은 각각 인입 신호의 제 1 2개의 DC-레벨 시프트들을 일시적으로/잠시 따르지만 이후 항상-온 전류 싱크(예컨대, 이를테면 도 2의 전류 싱크(210))에 의한 풀-다운(pull-down)으로 인해 자신의 안정 전압(예컨대, 약 1.4V)으로 복원된다. 다이어그램(500)은 또한, 인입 신호의 마지막 DC-레벨 시프트에서(대략 시간 인덱스 500.0U에서), 복원 노드 상의 전압이 일시적으로/잠시 아래로 내려가지만 이후 전류 소스(예컨대, 이를테면 도 2의 전류 소스(208C))로부터의 풀-업(pull-up)으로 인해 자신의 안정 전압(예컨대, 대략 1.4V)로 다시 복원된다는 것을 예시한다.

[0043] [0049] 도 6은 예시적인 실시예에 따른 IC 제어기(600)를 예시한다. IC 제어기(600)는 도 1의 IC 제어기(100)와 유사하게 USB 타입-C 수신기들에 대해 설명된 기법들을 구현할 수 있다. 도 6에서, IC 제어기(600)는 USB 타입-C 서브시스템을 포함하며, USB 타입-C 서브시스템은 하드웨어 블록들(615, 620, 625, 및 630)뿐 아니라, 동작들을 제어하기 위하여 다양한 제어, 검출, 선택 및 인에이블/디스에이블 신호들을 제공하는 다양한 다른 컴포넌트들을 포함(특히, 도시되지 않은 다른 컴포넌트들도 포함함)한다.

[0044] [0050] 하드웨어 블록들(615 및 620)은 본원에 설명된 기법들에 따라 동작할 수 있는 USB 타입-C 트랜시버를 구현하도록 구성된다. 예컨대, 하드웨어 블록(615)은 USB 타입-C 연결기 또는 포트(도 6에 도시되지 않음)의 일부인 CC 라인들(CC1 및 CC2) 칩 핀들에 커플링된 멀티플렉서(201)를 포함한다. 멀티플렉서(201)는 또한 IC 제어기(600)의 USB 타입-C 서브시스템의 CC-라인 통신 경로 상에 구성되는 수신기 회로(202A) 및 송신 회로(202B)에 커플링된다. 수신기 회로(202A)는, 본원에 설명된 기법들에 따라, 인입 신호가 로컬 접지에 관련하여 250mV보다 많은 DC 오프셋을 가질 때에도 CC 라인 상의 인입 신호로부터 데이터를 수신하고 그리고 인입 신호가 300mVpp 보다 큰 크기를 가지는 노이즈를 포함할 때에도 인입 신호를 노이즈로서 거절하도록 구성된다. 게다가, 하드웨어 블록(615)은 또한 CC(CC1/CC2) 라인들 상에 활성 배터리 및 방전 배터리 Rd 종단 및 Rp 종단을 제공하고, UFP 및 DFP 애플리케이션들에 대해 CC 라인들 상의 DC 전압 레벨들을 감지하기 위하여 사용되는 비교기들을 가진다. Rp 종단 회로("Rp 종단")는 어서트(assert)될 때, 타입-C 케이블을 통해 호스트 디바이스를 식별하는 풀-업 저항기 엘리먼트(들)를 포함한다. Rd 종단 회로("Rd 종단")는, 어서트될 때, 타입-C 케이블을 통해 주변장치 디바이스를 식별하는 풀-다운 저항기 엘리먼트(들)를 포함한다.

[0045] [0051] 수신기 회로(202A)의 출력은 하드웨어 블록(620)의 컴포넌트들에 커플링된다. 하드웨어 블록(620)은 수신기 회로(202A)로부터 유효 CC-라인 신호를 수신하고, 수신된 신호를 기반으로, SOP(start of packet)를 검출하고, 4b5b 디코딩을 사용함으로써 패킷으로부터 데이터를 디코딩하고, 그리고 디코딩된 데이터에 대해 CRC(cyclic redundancy check)를 수행하도록 구성된다. 이후, 하드웨어 블록(620)은 디코딩되고 검사된 데이터를 IC 제어기(600) 및/또는 이의 USB 타입-C 서브시스템의 다른 컴포넌트들에 중계하도록 구성된다.

[0046] [0052] 하드웨어 블록들(625 및 630)은 USB 타입-C 동작에 필요한 다양한 다른 기능들을 구현하도록 구성된다. 예컨대, 하드웨어 블록(625)은 VCONN1 및 VCONN2 공급 핀들에 대한 Ra 종단을 구현하고, 그리고 전력을 Vddd 공급부에 공급한다. Ra 종단 회로("Ra 종단")는, 어서트될 때, IC 제어기(600)를 타입-C 케이블에 의해 연결된 주변장치 또는 호스트 디바이스로서 식별할 수 있는 풀-다운 저항기 엘리먼트(들)를 포함한다. 하드웨어 블록(630)은, SAR(successive approximation register) 제어 로직과 함께, IC 제어기 칩 또는 오프-다이의 다양한 전압들을 측정하기 위하여 사용될 수 있는 8-비트 ADC(Analog-to-Digital Converter)를 구현한다.

[0047] [0053] 본원에 설명된 기법들에 따라, DC 복원 회로와 AC-디커플링 캐패시터의 조합은 USB 타입-C 수신기 회로가 CC 라인 상의 인입 신호의 DC-레벨 시프트들의 제한되지 않은 거절을 효과적으로 달성하게 한다. 게다가, 그런 조합을 가지는 수신기 회로는 수신 경로 및 아이들 노이즈 거절 둘 모두를 구현하는 단지 2개의 비교기들만을 필요로 한다. 본원에 설명된 기법들에 따른 수신기 회로들은 또한 더 많은 아이들(및 심지어 능동) 노이즈 거절을 제공하고, 이에 의해 IC 제어기 칩이 슬립 상태에 더 오래 남아있게 하고 아이들 노이즈로 인한 웨이크업 없이 전력을 보존하게 한다. 그런 수신기 회로들은 또한 부가적인 구성을 요구함이 없이 CC-라인 동작 웨이크업 및 데이터 수신 둘 모두를 위해 단일 경로를 제공하고, 높은 VBUS 충전 전류들의 존재에서 동작할 수 있고, 그리고 넓은 범위의 높은 DC-레벨 시프트들 및 IR 강하들을 생성하는 비-순응적 타입-C 케이블들을 지원할

수 있다.

[0048] [0054] 본원에 설명된 USB 타입-C 수신기들에 대한 기법들의 다양한 실시예들은 다양한 동작들을 포함할 수 있다. 이들 동작들은 하드웨어 컴포넌트들, 디지털 하드웨어 및/또는 펌웨어, 및/또는 이들의 조합들에 의해 수행 및/또는 제어될 수 있다. 본원에 사용된 바와 같이, 용어 "~에 커플링되는"은 직접적으로 또는 하나 또는 그 초과와 개재 컴포넌트들을 통하여 간접적으로 연결되는 것을 의미할 수 있다. 본원에 설명된 다양한 온-다이 버스들을 통하여 제공된 임의의 신호들은 다른 신호들과 시간 멀티플렉싱되고 하나 또는 그 초과와 공통 온-다이 버스들을 통해 제공된다. 부가적으로, 회로 컴포넌트들 또는 블록들 간의 상호연결은 버스들 또는 단일 신호 라인들로서 도시될 수 있다. 버스들 각각은 대안적으로 하나 또는 그 초과와 단일 신호 라인들일 수 있고 단일 신호 라인들 각각은 대안적으로 버스들일 수 있다.

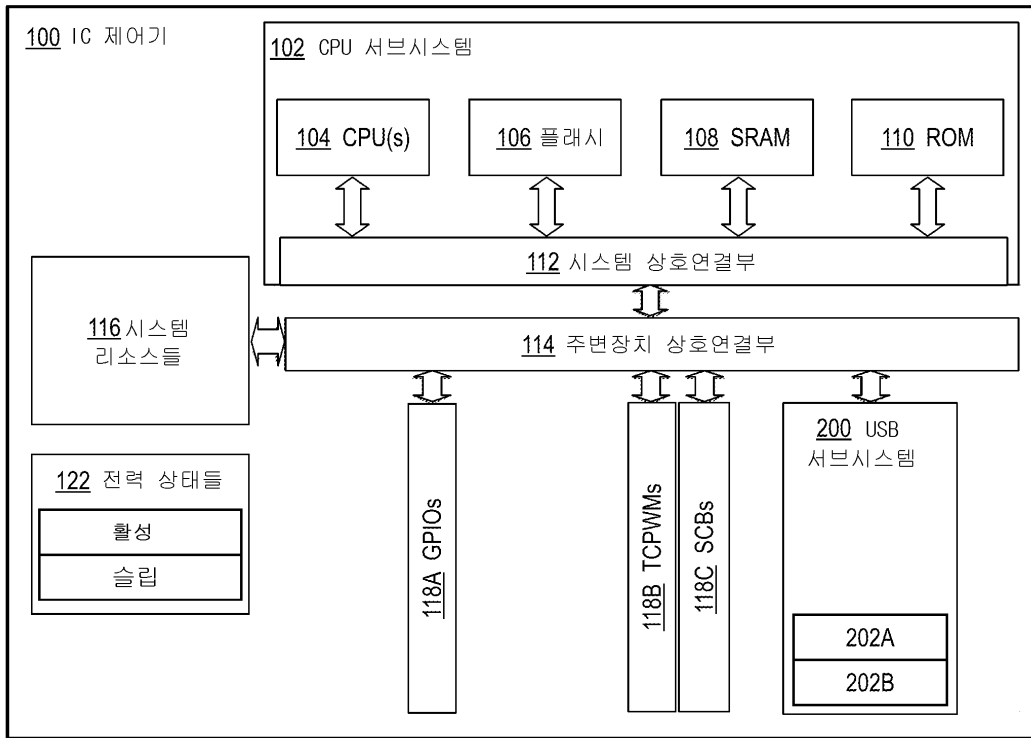
[0049] [0055] 특정 실시예들은 비-일시적 컴퓨터-판독가능 매체, 예컨대 이클테면 휘발성 메모리 및/또는 비휘발성 메모리 상에 저장된 명령들을 포함할 수 있는 컴퓨터 프로그램 제품으로서 구현될 수 있다. 이들 명령들은 하나 또는 그 초과와 일반-목적 또는 특수-목적 프로세서들(예컨대, 이클테면 CPU들) 또는 이들의 등가물들(예컨대, 이클테면 프로세싱 코어들, 프로세싱 엔진들, 마이크로제어기들 등)을 포함하는 하나 또는 그 초과와 디바이스들을 프로그래밍하기 위하여 사용될 수 있어서, 프로세서(들) 또는 이들의 등가물들에 의해 실행될 때, 명령들은 디바이스(들)로 하여금 본원에 설명된 USB 타입-C 수신기들에 대한 설명된 동작들을 수행하게 한다. 컴퓨터-판독가능 매체는 또한 머신(예컨대, 이클테면 디바이스 또는 컴퓨터)에 의해 판독가능한 형태의 정보(예컨대, 소프트웨어, 프로세싱 애플리케이션 등)를 저장하거나 송신하기 위한 하나 또는 그 초과와 메커니즘들을 포함할 수 있다. 비일시적 컴퓨터-판독가능 스토리지 매체는 전자기 스토리지 매체(예컨대, 플로피 디스크들, 하드 디스크들 등), 광학 스토리지 매체(예컨대, CD-ROM), 자기-광학 스토리지 매체, ROM(read-only memory), RAM(random-access memory), 소거가능 프로그램가능 메모리(예컨대, EPROM 및 EEPROM), 플래시 메모리, 또는 정보를 저장하기에 적절한 다른 지금-알려진 또는 이후-개발되는 비일시적 타입의 매체(그러나 이에 제한되지 않음)를 포함할 수 있다.

[0050] [0056] 비록 본원의 회로(들)의 동작들이 특정 순서로 도시되고 설명되지만, 일부 실시예들에서 각각의 회로의 동작들의 순서는 변경될 수 있어서, 특정 동작들은 역순으로 수행될 수 있거나 특정 동작은 적어도 부분적으로 다른 동작들과 동시에 및/또는 병렬로 수행될 수 있다. 다른 실시예들에서, 별개의 동작들의 명령들 또는 서브-동작들은 간헐적 및/또는 교번적 방식으로 수행될 수 있다.

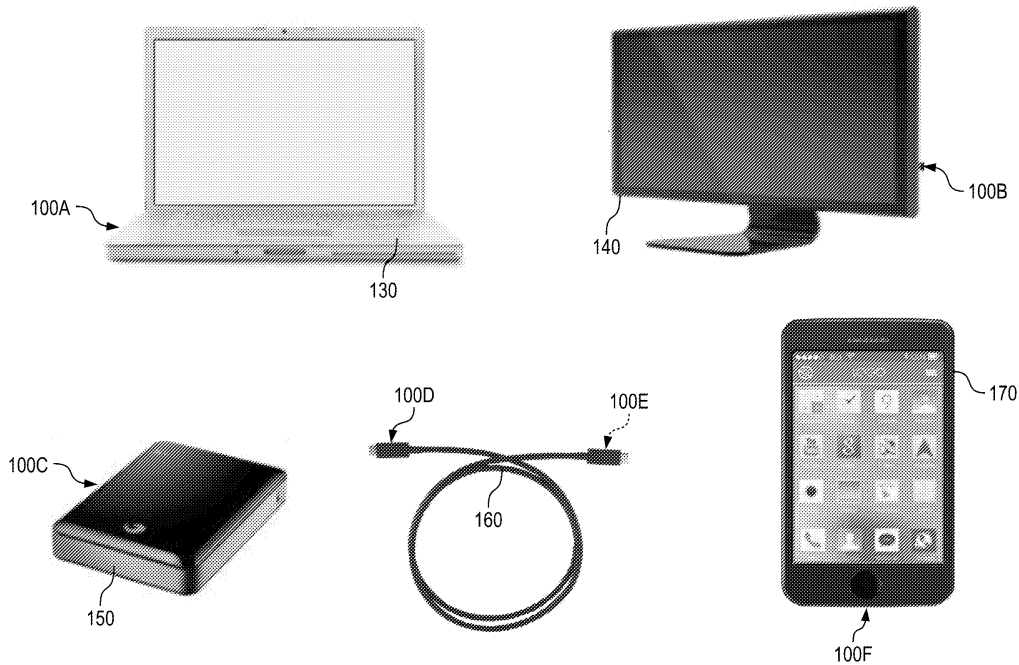
[0051] [0057] 전술한 설명에서, 본 발명은 본 발명의 특정 예시적인 실시예들을 참조하여 설명되었다. 그러나, 다양한 수정들 및 변화들이 첨부된 청구항들에 설명된 바와 같이 본 발명의 더 넓은 사상 및 범위에서 벗어나지 않고 이루어질 수 있다는 것이 명백할 것이다. 따라서, 명세서 및 도면들은 제한적 의미보다 오히려 예시로 고려된다.

도면

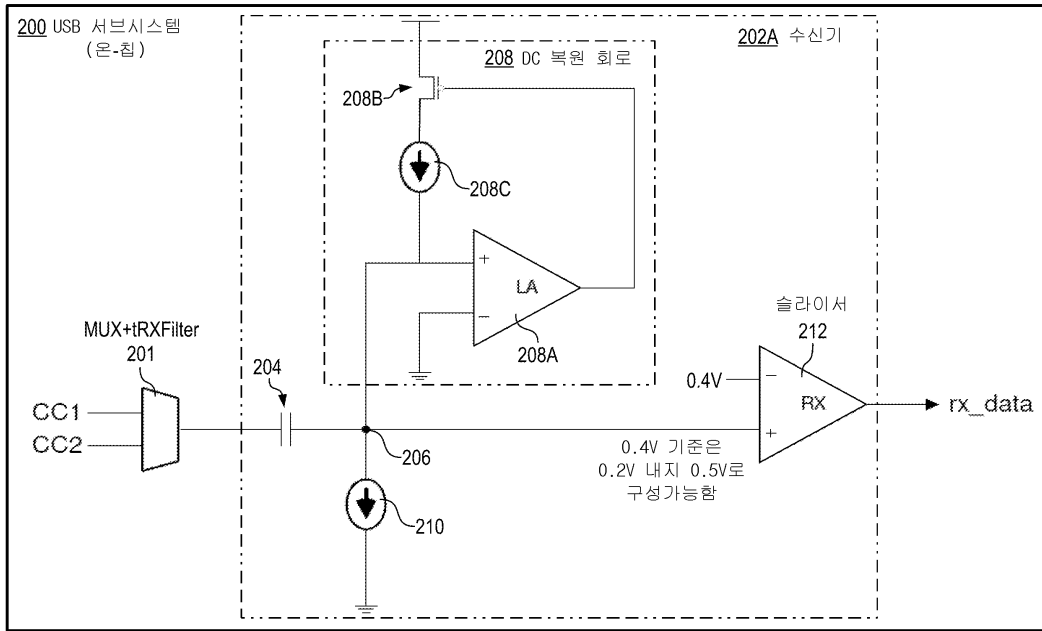
도면1a



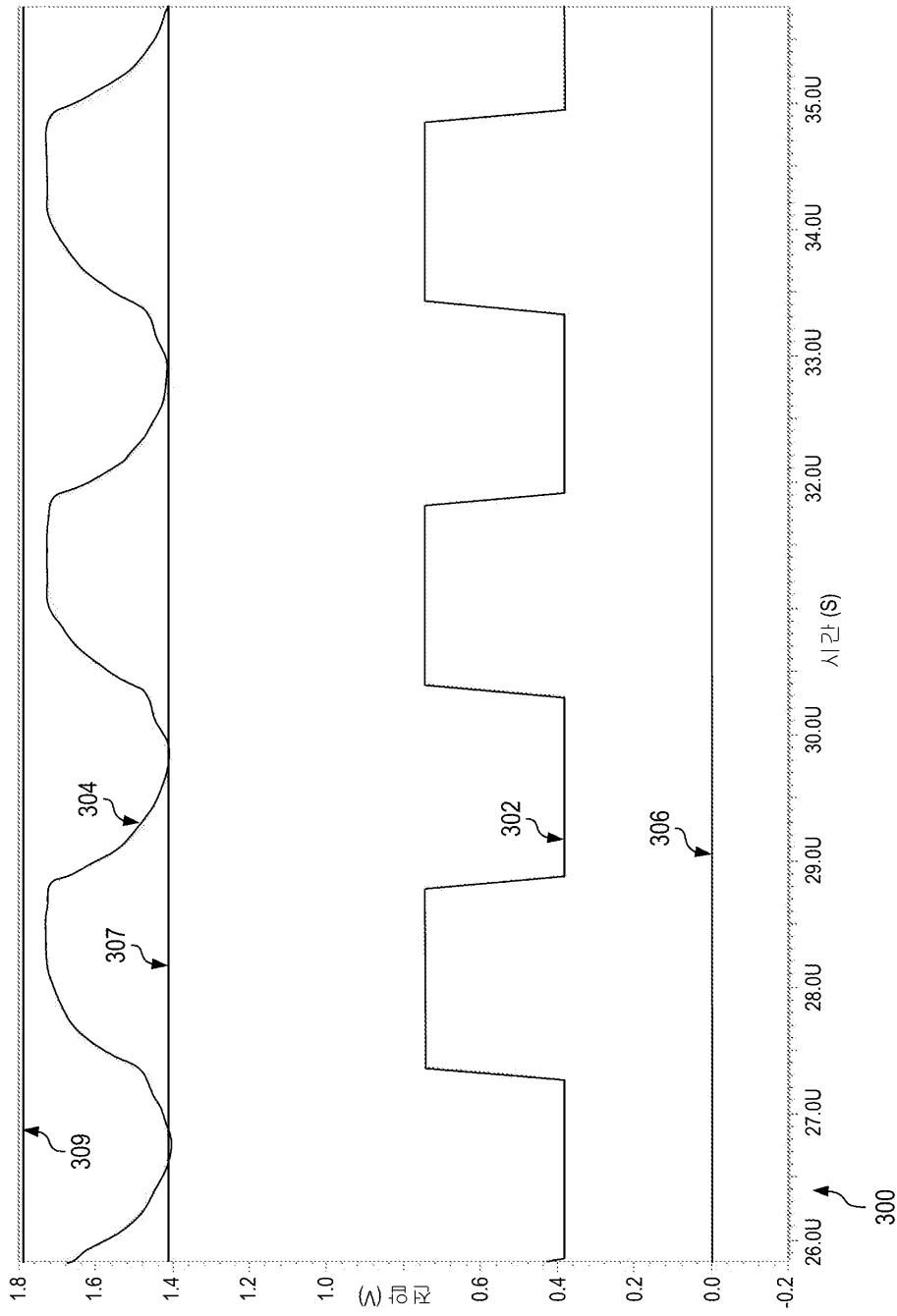
도면1b



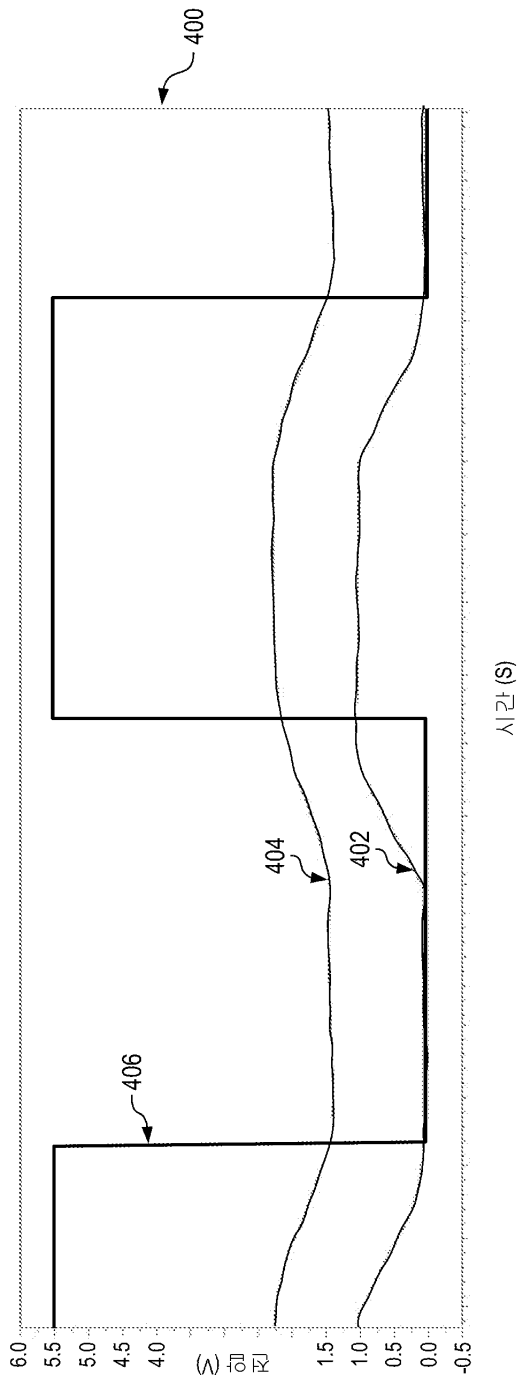
도면2



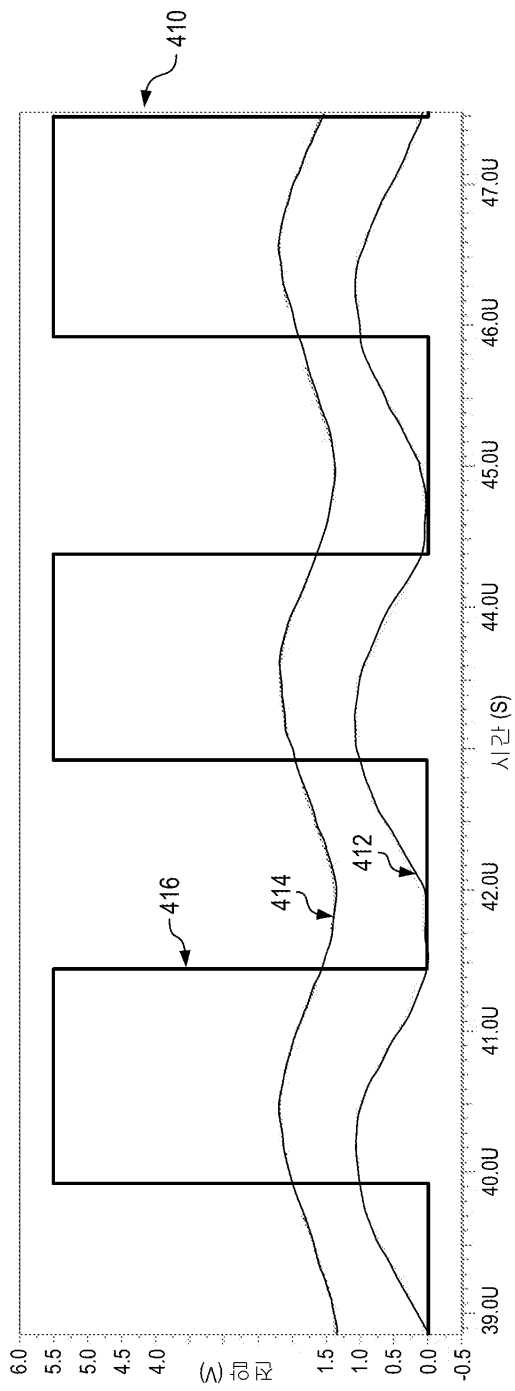
도면3



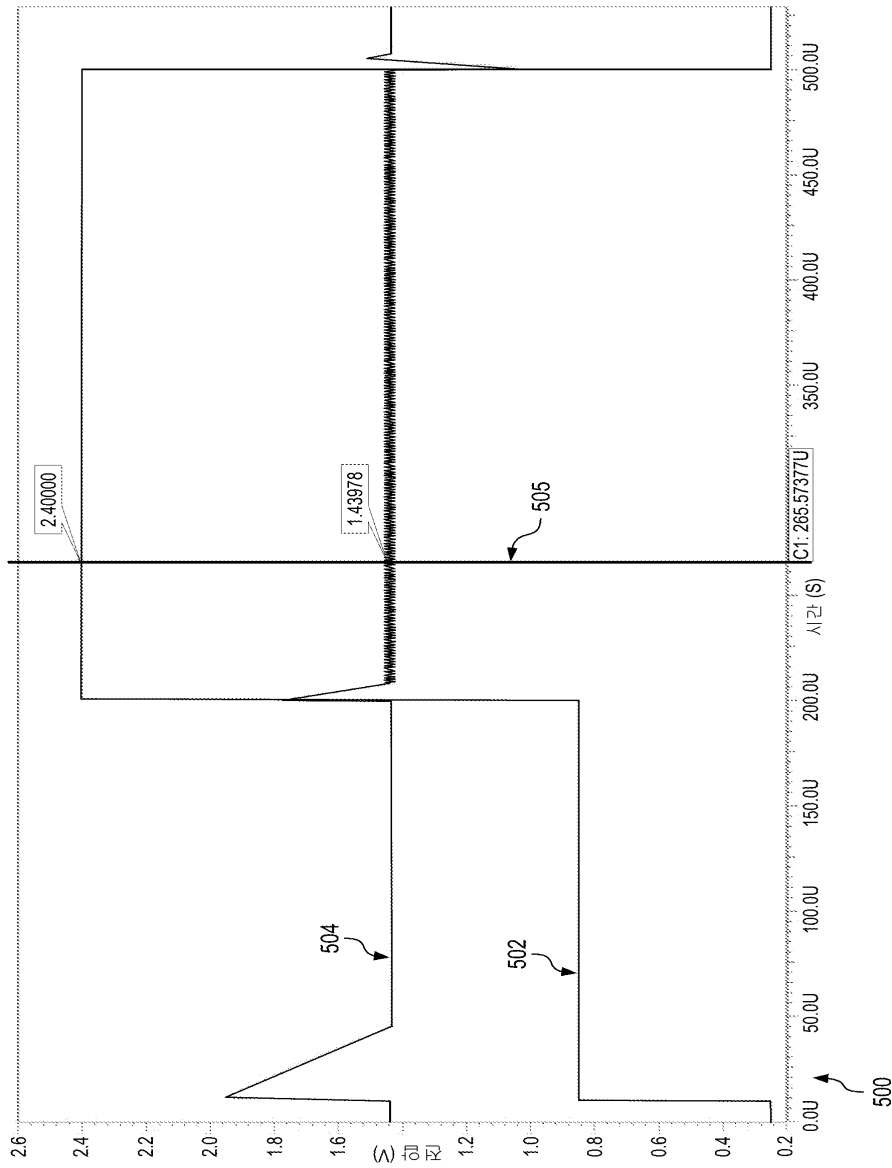
도면4a



도면4b



도면5



도면6

