

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



PCT



(43) 国际公布日
2007 年 10 月 11 日 (11.10.2007)

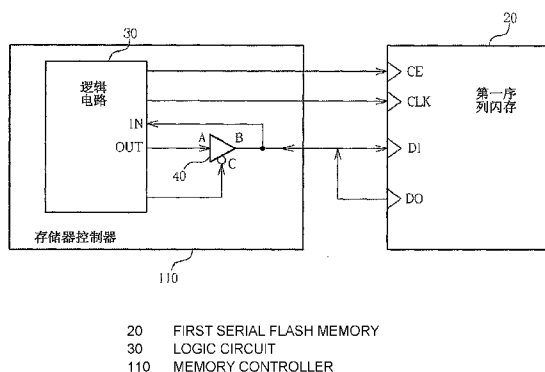
(10) 国际公布号
WO 2007/112697 A1

- (51) 国际专利分类号:
G11C 7/00 (2006.01)
- (21) 国际申请号: PCT/CN2007/001095
- (22) 国际申请日: 2007 年 4 月 4 日 (04.04.2007)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
11/278,547 2006 年 4 月 4 日 (04.04.2006) US
- (71) 申请人 (对除美国外的所有指定国): 联发科技股份有限公司(MEDIATEK INC.) [CN/CN]; 中国台湾
- (72) 发明人; 及
(75) 发明人/申请人 (仅对美国): 赖明祥(LAI, Mingshi-ang) [CN/CN]; 中国台湾省新竹市东南街287号, Taiwan (CN)。 蔡忠宏(TSAI, Chunghung) [CN/CN]; 中国台湾省新竹县竹北市文田街22号, Taiwan (CN)。
- (74) 代理人: 北京三友知识产权代理有限公司(BEIJING SANYOU INTELLECTUAL PROPERTY AGENCY); 中国北京市金融街35号国际企业大厦A座16层, Beijing 100032 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,

[见续页]

(54) **Title:** Memory controller with bi-directional buffer for achieving high speed capability and related method thereof

(54) **发明名称:** 以双向缓冲器来高速存取数据的存储器控制器及相关方法



20 FIRST SERIAL FLASH MEMORY
30 LOGIC CIRCUIT
110 MEMORY CONTROLLER

(57) **Abstract:** A memory controller with a bi-directional buffer for achieving high speed capability and a related method thereof. The memory controller (110) includes: a logic circuit (30), and a first bi-directional buffer (40) connected to the logic circuit (30) for turnaround the direction of the data flow selectively according to a control signal generated from the logic circuit (30). The first bi-directional buffer (40) includes an input end coupled to the first data output end of the logic circuit (30), a control end coupled to the logic circuit (30) for receiving the control signal, and an output end coupled to the first data input end of the logic circuit (30). The output end also couples to an input data end and an output data end of a first serial flash memory (20) synchronously. The controller (110) can access a serial memory using less number of pins, can realize in cascode architecture, and

the use of the turnaround controller can ensure that all of the data are still transferred correctly when the direction of the data operation is changed.

(57) 摘要:

一种以双向缓冲器来高速存取数据的存储器控制器及相关方法。该存储器控制器(110)包含有: 一逻辑电路(30), 以及一第一双向缓冲器(40), 耦接于该逻辑电路(30), 用来依据从该逻辑电路(30)所产生的一控制信号选择性地回传数据流的方向。该第一双向缓冲器(40)包含有: 一输入端, 耦接于该逻辑电路(30)的一第一数据输出端; 一控制端, 耦接于该逻辑电路(30), 用来接收该控制信号; 以及一输出端, 耦接于该逻辑电路(30)的一第一数据输入端, 该输出端用来同时耦接于该第一序列式闪存(20)的一输入数据端以及一输出数据端。该控制器(110)可以利用较少的接脚数目来存取一序列存储器, 并可以以串叠架构来执行, 且使用回转控制器可以保证当该数据操作改变方向时所有的数据依然可以被正确的传送。

WO 2007/112697 A1



BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,

所引用双字母代码及其它缩写符号, 请参考刊登在每期PCT公报期刊起始的“代码及缩写符号简要说明”。

以双向缓冲器来高速存取数据的存储器控制器及相关方法

技术领域

本发明有关于一种存储器控制器, 尤指一种具有双向缓冲器来高速存取数据的存储器控制器及其相关方法 (MEMORY CONTROLLER WITH
5 BI-DIRECTIONAL BUFFER FOR ACHIEVING HIGH SPEED CAPABILITY AND RELATED METHOD THEREOF)。

背景技术

闪存是一非挥发性存储器, 举例来说, 即使供应闪存的电源中断之后, 闪存内的储存内容仍可继续保存, 而这也是闪存优于其它如动态随机存取存储器 (Dynamic Random Access Memory, DRAM)、静态随机存取存储器 (Static
10 Random Access Memory, SRAM) 等挥发性存储器的特点。

传统处理器大部分利用一存储器控制器由一接口传递信号以便存取平行闪存, 但平行闪存的缺点是, 需要很多接脚 (pin) 来连接到该存储器控制器, 而序列闪存少的接脚来连接到该存储器控制器, 因此减少了连接到该
15 存储器控制器所需要的信号, 例如, 一序列周边接口总线 (SPI bus) 的序列闪存仅需要一存储器控制器来控制四个信号 (数据输入、数据输出、时钟脉冲, 以及芯片使能) 即可, 反之, 如果该存储器控制器接上的是一含有 10 位地址的平行闪存, 则该存储器控制器便需要接收 21 个信号。因此, 序列闪存可适用于尺寸较小且成本较低电子装置。

20 在存储器控制器与序列闪存间的数据传输可分为两个阶段: 第一个阶段是命令阶段 (Command stage), 此时地址与指令信号将传入数据输入端 (data in); 第二阶段称为数据输入/输出阶段 (data in/out stage), 此时数据将在序列闪存 (serial Flash memory) 与存储器控制器之间传送。

发明内容

本发明的主要目的在于通过提供具有一输出端同时耦接于一序列闪存的一数据输入端以及一数据输出端的存储器控制器，以减少存储器控制器的接脚数量。

- 5 本发明的另一目的在于，提供一种用来存取一第一序列式闪存的存储器控制器，该存储器控制器包含有：一逻辑电路；以及一第一双向缓冲器，其耦接于该逻辑电路，用来依据从该逻辑电路所产生的一控制信号选择性地回转数据流的方向，该第一双向缓冲器包含有：一输入端，其耦接于该逻辑电路的一第一数据输出端；一控制端，其耦接于该逻辑电路，用来接收该控制信号；以及一输出端，其耦接于该逻辑电路的一第一数据输入端，该输出端
10 用来同时耦接于该第一序列式闪存的一输入数据端以及一输出数据端。

- 本发明的又一目的在于，提供一种用来存取一第一序列式闪存的方法，该方法包含有：提供一逻辑电路来控制该第一序列式闪存的数据存取，其中该逻辑单元包含一第一数据输出端以及一第一数据输入端；提供一第一双向
15 缓冲器，其中该第一双向缓冲器包含一输入端、一控制端以及一输出端；各自耦接该输入端以及该输入端到该第一数据输出端以及该第一数据输入端；以及由传送一控制信号到该第一双向缓冲器的该控制端来选择性回转该数据流的方向。

- 本发明的控制器可以利用较少的接脚数目来存取一序列存储器，并可以
20 以串叠架构来执行，而且使用回转控制器可以保证当该数据操作改变方向时所有的数据依然可以被正确的传送。

附图说明

图 1 为本发明第一实施例的存储器控制器的示意图。

图 2 为本发明第二实施例的存储器控制器的示意图。

图 3 为本发明第三实施例的存储器控制器的示意图。

图 4 为本发明第四实施例的存储器控制器的示意图。

图 5 为本发明第五实施例的存储器控制器的示意图。

图 6 为本发明第六实施例的存储器控制器的示意图。

5 图 7 为本发明的第一种串叠架构的示意图。

图 8 为本发明的第二种串叠架构的示意图。

图 9 为本发明的第三种串叠架构的示意图。

主要组件符号说明：

110、120、130、140、150、160：存储器控制器

10 20：第一序列闪存

30：逻辑电路

40：双向缓冲器

290、390、590、690：回转控制器

250、450、550、650：可调式延迟电路

15 260、560、660：多任务器 (multiplexer)

350：时钟脉冲闸单元

460：数据传输逻辑电路

470：数据接收逻辑电路

570：缓冲器

20 580、680：参考时钟脉冲信号

670：触发器

220：第二序列闪存

940：第二双向缓冲器

具体实施方式

25 请参照图 1，图 1 为本发明第一实施例的存储器控制器 110 的示意图。

存储器控制器 110 使用一序列周边接口总线 (SPI bus) 来存取第一序列闪存 20, 而第一序列闪存 20 包含四种信号: 数据输入 (DI)、数据输出 (DO)、芯片使能 (CE) 以及时钟脉冲信号 (CLK)。存储器控制器 110 包含一逻辑电路 30, 其利用该序列周边接口总线来耦接于第一序列闪存 20, 此外, 存储器控制器 110 另包含一双向缓冲器 40, 双向缓冲器 40 包含一输入端 A、一控制端 C 以及一输出端 B, 其中输入端 A 耦接于逻辑电路 30 的第一数据输出端 OUT, 控制端 C 耦接于逻辑电路 30, 用来接收一控制信号, 而输出端 B 耦接于逻辑电路 30 的第一数据输入端 IN 并用来连接第一序列闪存 20 的数据输入端 (DI) 和数据输出端 (DO)。在此实施例中, 双向缓冲器 40 为一三态 (tri-state) 缓冲器, 但请注意, 这仅是本发明一实施例并非本发明的限制。

三态缓冲器 40 可让存储器控制器 110 只使用一个接脚即可传输数据。在此将说明三态缓冲器 40 的运作。如前所述, 三态缓冲器 40 包含输入端 A、控制端 C 以及输出端 B, 当一使能的控制信号输入至控制端 C 时, 三态缓冲器 40 的输出会等于其输入, 在此状况下, 数据将从存储器控制器 110 传送至第一序列闪存 20; 另一方面, 若是传至控制端 C 的控制信号是非使能的, 则三态缓冲器 40 的输出会处于一高电阻状态 “Z”, 表示此时无电流通过, 换句话说, 任何传至输入端 A 的数据即不再会被输出, 在此状况下, 数据将从第一序列闪存 20 传至存储器控制器 110。

当该控制信号由使能状态转变为非使能状态或者由非使能状态转变为使能状态, 数据的传送与接收之间将出现一段延迟空档。由逻辑电路 30 产生的时钟脉冲信号, 其上升边缘 (正缘) 或下降边缘 (负缘) 用来触发该控制信号传输至三态缓冲器 40, 在此实施例中, 该时钟脉冲信号的上升边缘指出何时数据要被传输, 在数据传输前, 该数据信号需要时间来稳定, 否则该数据信号会逆向输送, 因而中断前一组数据帧的传输。所以, 若欲解决数据传送的逆向 (turnaround) 问题, 必须在该控制信号以及该时钟脉冲信号中择一来加以延迟, 以让该数据信号获得足够时间来稳定, 以及让一完整的

数据帧能顺利完成传送。

本发明揭露了数种方法和装置来调整该控制信号或该时钟脉冲信号，以解决上述的逆向问题。第一种方法是將一可调式延迟电路耦接于逻辑电路 30 上来调整该控制信号。请参照图 2，图 2 为本发明第二实施例的存储器控制器 120 的示意图。存储器控制器 120 另包含一回转控制器 (turnaround controller) 290，回转控制器 290 包含一可调式延迟电路 250 以及一多任务器 260。可调式延迟电路 250 包含复数个以串联方式连接在一起的延迟缓冲器 (图中并未显示)，而从该复数个延迟缓冲器的复数个输出则平行地传至一多任务器 (图中并未显示)。可调式延迟电路 250 接收到由逻辑电路 30 发送的一时钟脉冲信号 Sclk 以及一选择信号 SS 后，便根据选择信号 SS 所提供的需求延迟时间，输出依据该需求延迟时间而加以延迟的时钟脉冲信号 Sclk 至多任务器 260。接着，多任务器 260 便根据其所接受到的延迟时钟脉冲信号以及由逻辑电路 30 所传送的时钟脉冲信号 Sclk 及选择信号 SEL，将一选取的时钟脉冲信号传送到序列闪存 20。

第二种方法是利用一时钟脉冲门控 (clock-gating) 装置来门控该时钟脉冲信号 (例如：门控一个周期)，以使数据稳定。请参照图 3，图 3 为本发明第三实施例的存储器控制器 130 的示意图。存储器控制器 130 另包含一回转控制器 390，回转控制器 390 另包含耦接于逻辑电路 30 的输出端的时钟脉冲门控单元 (clock gating unit) 350，用来接收时钟脉冲信号 Sclk 以及时钟脉冲门控信号 Sg。当时钟脉冲门控信号 Sg 由高逻辑准位转换至低逻辑准位以及再由低逻辑准位转至高逻辑准位时，则时钟脉冲周期即可被缩短。

请参照图 4，图 4 为本发明第四实施例的存储器控制器 140 的示意图。存储器控制器 140 另包含：一数据传输逻辑电路 460，具有第一数据输出端 OUT 耦接于双向缓冲器 40；以及一数据接收逻辑电路 470，具有第一数据输入端 IN 耦接至一可调式延迟电路 450。可调式延迟电路 450 可从数据传输

逻辑电路 460 接收时钟脉冲信号 Sclk，并输出一延迟后的时钟脉冲信号至数据接收逻辑电路 470。

请参照图 5，图 5 为本发明第五实施例的存储器控制器 150 的示意图。存储器控制器 150 另包含一回转控制器 590，回转控制器 590 包含一可调式
5 延迟电路 550、一多任务器 560 以及一缓冲器 570。如图 5 所示，缓冲器 570 为一触发器，请注意，该触发器的使用仅为回转控制器 590 的一个实施例，任何具有与触发器相同的延迟功能的组件都可应用于回转控制器 590 中。可调式延迟电路 550 包含复数个串接的延迟缓冲器（未在图中显示），而从延迟缓冲器输出的信号则平行地传至多任务器（未在图中显示）。可调式延迟
10 电路 550 接收到由逻辑电路 30 发出的控制信号 Sc 后，便依据控制可调式延迟电路 550 中多任务器的选择信号 SS 来输出一第一延迟控制信号，由于可调式延迟电路 550 的功能和操作与现有技术相同，在此便不再赘述。缓冲器（触发器）570 耦接于逻辑电路 30，经参考时钟脉冲信号 580 触发后便输出一第二延迟控制信号，请注意，逻辑电路 30 与缓冲器 570 是由参考时钟脉
15 冲信号 580 来触发，例如：逻辑电路 30 由上升边缘所触发，而缓冲器 570 则由下降边缘所触发。该第一延迟信号与该第二延迟信号都会传送至多任务器 560，另外，多任务器 560 的第三个输入是来自逻辑电路 30 的选择信号 SEL，由于选择信号 SEL 包含控制信号所需延迟时间的信息，因此多任务器 560 便可根据选择信号 SEL 来输出一受选控制信号（resultant control
20 signal）至第一双向缓冲器 40，如此一来，控制信号便可依据设定来加以延迟。

请参照图 6，图 6 为本发明第六实施例的存储器控制器 160 的示意图。相同的，第六实施例包含一回转控制器 690，如图 6 所示，回转控制器 690 的组件与回转控制器 590 所含的组件相同，但组件的组合架构并不一样，为
25 了避免混淆，回转控制器 690 的组件将标上不同的号码，但请注意，号码不同并不代表它们的功能与第五图的相同组件不一样。在图 6 中，触发器 670

从逻辑电路 30 接收一控制信号 Sc 后便输出一延迟控制信号,其中多任务器 660 和逻辑电路 30 由参考时钟脉冲训号 680 的不同触发边缘所触发,当多任务器 660 接收到控制信号 Sc、该延迟控制信号以及选择信号 SEL 后,便输出一受选控制信号,接着,可调式延迟电路 650 接收到来自多任务器 660 的该受选控制信号后,便依据选择信号 SS 将该受选控制信号延迟,并输出一延迟受选控制信号至第一双向缓冲器 40。

请注意,该输出端同时耦接于第一序列闪存 20 的输入端以及输出端,同时允许第二序列闪存 220 可以耦接到存储器控制器 110,以降低接脚的使用数目,进以达到本发明的目的。请参照图 7,图 7 为本发明的第一种串叠架构的示意图。存储器控制器 110 分别与第二序列闪存 220 的一数据输入端与一数据输出端耦接在一起,存储器控制器 110 另接上一第二芯片使能接脚,该接脚的另一端也耦接于第二序列闪存 220 的数据输入端,存储器控制器 110 的时钟脉冲输出端则分别耦接于第一序列闪存 20 与第二序列闪存 220,因此经由芯片使能信号与双向缓冲器 40 的适当控制,当使能的控制信号不存在,数据输出接脚处于三态(tri-state),因此多个闪存便可以共享相同的连接路径。

但当有指令信号传入时,该数据输出接脚的三态即无法再维持,因此便需要另一种串叠架构。请参照图 8,图 8 为本发明的第二种串叠架构的示意图。在此架构里,存储器控制器 110 包含一芯片使能接脚,分别与第一序列闪存 20 与第二序列闪存 220 耦接在一起。请注意,此实施例与前一个实施例不同的地方是存储器控制器 110 另包含一第二时钟脉冲输出端,耦接于第二序列闪存 220,而相同的是,存储器控制器 110 的输出端仍旧分别耦接于第二序列闪存 220 以及第一序列闪存 20 的数据输入端与数据输出端。

在图 7 与图 8 中,第一序列闪存 20 与第二序列闪存 220 都耦接于逻辑电路 30,请参照图 9,图 9 为本发明的第三种串叠架构的示意图。在此架构里,存储器控制器 110 另包含一第二双向缓冲器 940,其具有:一输入端 D,

耦接于逻辑电路 30 的一第二数据输出端；一控制端 F，耦接于第一双向缓冲器 40 的该控制端；以及一输出端 E，耦接于逻辑电路 30 的一第二数据输出端。存储器控制器 110 的时钟脉冲输出端耦接于第二序列闪存 220 的一时钟脉冲输入端，而存储器控制器 110 的芯片使能端则耦接于第二序列闪存 220 的芯片使能输入端。请注意，存储器控制器 110 的时钟脉冲输出端与芯片使能端仍分别耦接于第一序列闪存 20 的时钟脉冲输入端以及芯片使能输入端。

本发明的优点在于控制器可以利用较少的接脚数目来存取一序列存储器，此外，本发明另一个优点是控制器可以以串叠架构来执行，而且使用回转控制器可以保证当该数据操作改变方向时所有的数据依然可以被正确的传送。

以上所述仅为本发明的较佳实施例，凡依本发明的权利要求所做的均等变化与修饰，都应属本发明的涵盖范围。

权 利 要 求 书

1. 一种用来存取一第一序列式闪存的存储器控制器，其特征在于，所述存储器控制器包含有：

一逻辑电路；以及

5 一第一双向缓冲器，其耦接于该逻辑电路，用来依据从该逻辑电路所产生的一控制信号选择性地回转数据流的方向，该第一双向缓冲器包含有：

一输入端，其耦接于该逻辑电路的一第一数据输出端；

一控制端，其耦接于该逻辑电路，用来接收该控制信号；以及

10 一输出端，其耦接于该逻辑电路的一第一数据输入端，该输出端用来同时耦接于该第一序列式闪存的一输入数据端以及一输出数据端。

2. 如权利要求 1 所述的存储器控制器，其特征在于，该第一双向缓冲器为一三态缓冲器。

3. 如权利要求 1 所述的存储器控制器，其特征在于，所述存储器控制器
15 还包含有：

一回转控制器，其耦接于该逻辑电路以及该第一双向缓冲器的该控制端，用来控制该控制信号的时序。

4. 如权利要求 3 所述的存储器控制器，其特征在于，该回转控制器包含有：

20 一可调延迟电路，其电连接于该逻辑电路，用来接收该控制信号以及输出一第一延迟控制信号；

一触发器，其电连接于该逻辑电路，用来接收该控制信号以及输出一第二延迟控制信号，其中该触发器以及该逻辑电路由一参考时钟脉冲的不同边缘来触发；以及

25 一多任务器，其电连接于该触发器、该可调延迟电路以及该逻辑电路，

用来接收来自该逻辑电路的一选择信号、该第一延迟控制信号以及该第二延迟控制信号，以及依据该选择信号从该第一延迟控制信号以及该第二延迟控制信号中选择输出一受选控制信号到该第一双向缓冲器。

5 5. 如权利要求 3 所述的存储器控制器，其特征在于，该回转控制器包
含有：

一触发器，其电连接于该逻辑电路，用来接收该控制信号以及输出一延迟控制信号，其中该触发器以及该逻辑电路由一参考时钟脉冲的不同边缘来触发；

10 一多任务器，其电连接于该触发器以及该逻辑电路，用来接收该延迟控制信号、该控制信号以及来自该逻辑电路的一选择信号，以及依据该选择信号从该延迟控制信号与该控制信号中选择输出一受选控制信号到该第一双向缓冲器；以及

一可调延迟电路，其电连接于该多任务器，用来接收该受选控制信号、延迟该受选控制信号以及输出一延迟受选控制信号到该第一双向缓冲器。

15 6. 如权利要求 1 所述的存储器控制器，其特征在于，所述存储器控制器还包含有：

一回转控制器，其耦接于该逻辑电路的一时钟脉冲输出端，用来控制输出到该第一序列式闪存的一时钟脉冲信号的时序。

20 7. 如权利要求 6 所述的存储器控制器，其特征在于，该回转控制器包
含有：

一时钟脉冲门控单元，其用来依据从该逻辑电路所产生的一时钟脉冲门控信号来选择性地门控该时钟脉冲信号。

8. 如权利要求 6 所述的存储器控制器，其特征在于，该回转控制器包
含有：

25 一可调延迟电路，其用来接收该时钟脉冲信号以及输出一延迟时钟脉冲信号；以及

一多任务器，其耦接于该可调延迟电路以及该逻辑电路的该时钟脉冲输出端，用来接收该延迟时钟脉冲信号、该时钟脉冲信号以及来自该逻辑电路的一选择信号，以及依据该选择信号从该延迟时钟脉冲信号以及该时钟脉冲信号中选择输出一受选时钟脉冲信号。

5 9. 如权利要求 1 所述的存储器控制器，其特征在于，该逻辑电路包含有：

一数据传输逻辑电路，其耦接于该逻辑电路的该第一数据输出端；以及
一数据接收逻辑电路，其耦接于该逻辑电路的该第一数据输入端；以及
该存储器控制器还包含有：

10 一可调延迟电路，其耦接于该逻辑电路的一时钟脉冲输出端以及该数据接收逻辑电路，用来接收输出到该第一序列式闪存的一时钟脉冲信号并输出一延迟时钟脉冲信号来驱动该数据接收逻辑电路。

10. 如权利要求 1 所述的存储器控制器，其特征在于，该存储器控制器可存取一第二序列式闪存，以及该第一双向控制器的该输出端另用来同时耦
15 接于该第二串行式存储器的一输入数据端以及一输出数据端。

11. 如权利要求 10 所述的存储器控制器，其特征在于，该逻辑电路还包含一时钟脉冲输出端，以及该时钟脉冲输出端用来控制该第一串行式存储器以及该第二串行式存储器的时序。

12. 如权利要求 10 所述的存储器控制器，其特征在于，该逻辑电路还
20 包含一芯片使能端，以及该芯片使能端用来使能该第一串行式存储器的运作以及该第二串行式存储器的运作。

13. 如权利要求 1 所述的存储器控制器，其特征在于，该存储器控制器可存取一第二序列式闪存，以及该存储器控制器还包含有：

一第二双向缓冲器，其耦接于该逻辑单元，用来依据从该逻辑电路所产生的该控制信号选择性地回转数据流的方向，该第二双向缓冲器包含有：
25

一输入端，其耦接于该逻辑电路的一第二数据输出端；

一控制端，其耦接于该逻辑电路以及该第一双向缓冲器的该控制端，用来接收该控制信号；以及

一输出端，其耦接于该逻辑电路的一第二数据输入端，该输出端用来同时耦接于该第二序列式闪存的一输入数据端以及一输出数据端。

14. 如权利要求 1 所述的存储器控制器，其特征在于，该逻辑电路还包含一时钟脉冲输出端，以及该时钟脉冲输出端用来控制该第一串行式存储器以及该第二串行式存储器的时序。

15. 如权利要求 14 所述的存储器控制器，其特征在于，该逻辑电路还包含一芯片使能端，以及该芯片使能端用来使能该第一串行式存储器的运作以及该第二串行式存储器的运作。

16. 一种用来存取一第一序列式闪存的方法，其特征在于，所述方法包含有：

提供一逻辑电路来控制该第一序列式闪存的数据存取，其中该逻辑单元包含一第一数据输出端以及一第一数据输入端；

提供一第一双向缓冲器，其中该第一双向缓冲器包含一输入端、一控制端以及一输出端；

各自耦接该输入端以及该输入端到该第一数据输出端以及该第一数据输入端；以及

由传送一控制信号到该第一双向缓冲器的该控制端来选择性回转该数据流的方向。

17. 如权利要求 16 所述的方法，其特征在于，传送该控制信号到该第一双向缓冲器的该控制端的步骤包含：

延迟从该逻辑电路所接收的该控制信号来产生一第一延迟控制信号；

延迟从该逻辑电路所接收的该控制信号来产生一第二延迟控制信号；以及

多任务处理该第一、第二延迟控制信号来输出一受选控制信号到该第一双向缓冲器。

18. 如权利要求 16 所述的方法，其特征在于，传送该控制信号到该第一双向缓冲器的该控制端的步骤包含：

5 延迟从该逻辑电路所接收的该控制信号来产生一延迟控制信号；

多任务处理从该逻辑电路所接收的该控制信号以及该延迟控制信号，以输出一受选控制信号到该第一双向缓冲器；以及

延迟该受选控制信号以输出一延迟受选控制信号到该第一双向缓冲器。

19. 如权利要求 16 所述的方法，其特征在于，该逻辑电路还包含一时钟脉冲输出端，用来输出一时钟脉冲信号到该第一串行式存储器，以及该方法还包含：

选择性地门控该时钟脉冲信号。

20. 如权利要求 16 所述的方法，其特征在于，该逻辑电路还包含一时钟脉冲输出端，用来输出一时钟脉冲信号到该第一串行式存储器，以及该方法还包含：

延迟从该逻辑电路所接收的该时钟脉冲信号来产生一延迟时钟脉冲信号；

多任务处理从该逻辑电路所接收的该时钟脉冲信号以及该延迟时钟脉冲信号，以输出一受选时钟脉冲信号到该第一双向缓冲器。

21. 如权利要求 16 所述的方法，其特征在于，该逻辑电路包含有一数据传输逻辑电路耦接于该逻辑电路的该第一数据输出端以及一数据接收逻辑电路耦接于该逻辑电路的该第一数据输入端，以及该方法还包含：

接收该逻辑电路输出到该第一序列式闪存的一时钟脉冲信号；以及

22. 如权利要求 16 所述的方法，其特征在于，所述方法还包含将该输
25 辑电路。

22. 如权利要求 16 所述的方法，其特征在于，所述方法还包含将该输

出端同时耦接于该第二串行式存储器的一输入数据端以及一输出数据端。

23. 如权利要求 16 所述的方法，其特征在于，所述方法还包含：

提供一第二双向缓冲器，其中该第二双向缓冲器包含有一输入端、一控制端以及一输出端；

- 5 耦接该第二双向缓冲器的该输入端到该逻辑电路的一第二数据输出端；
耦接该第二双向缓冲器的该输入端到该第二串行式存储器的一输入数据端以及一输出数据端；以及

由传送该控制信号到该第二双向缓冲器的该控制端来选择性回转该数据流的方向。

1/9

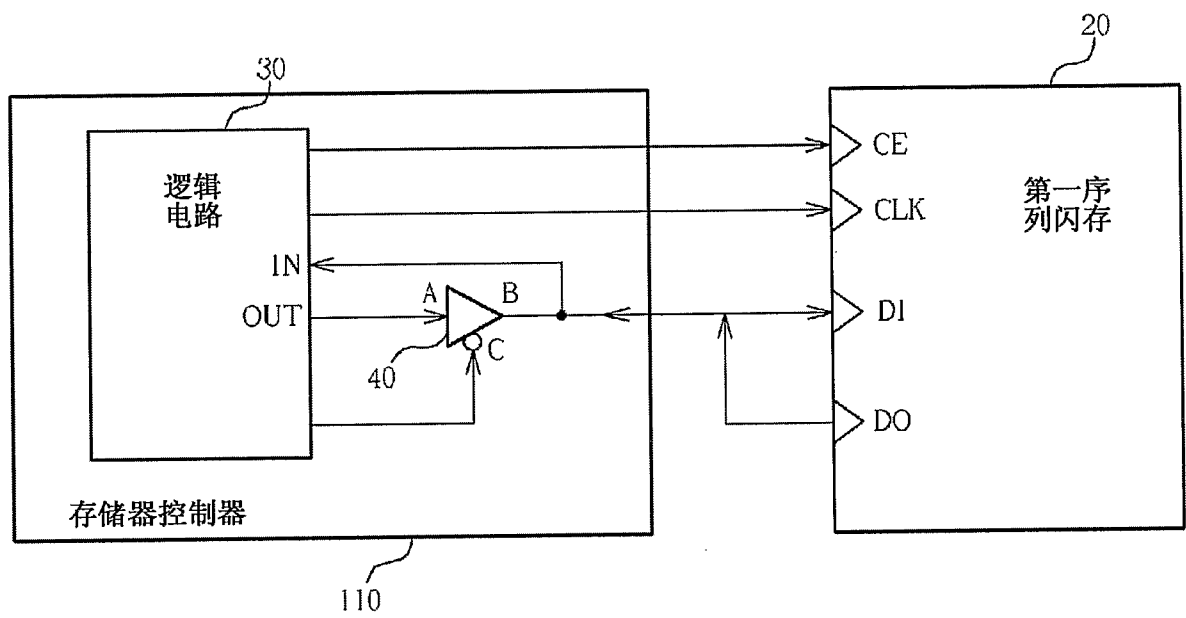


图 1

2/9

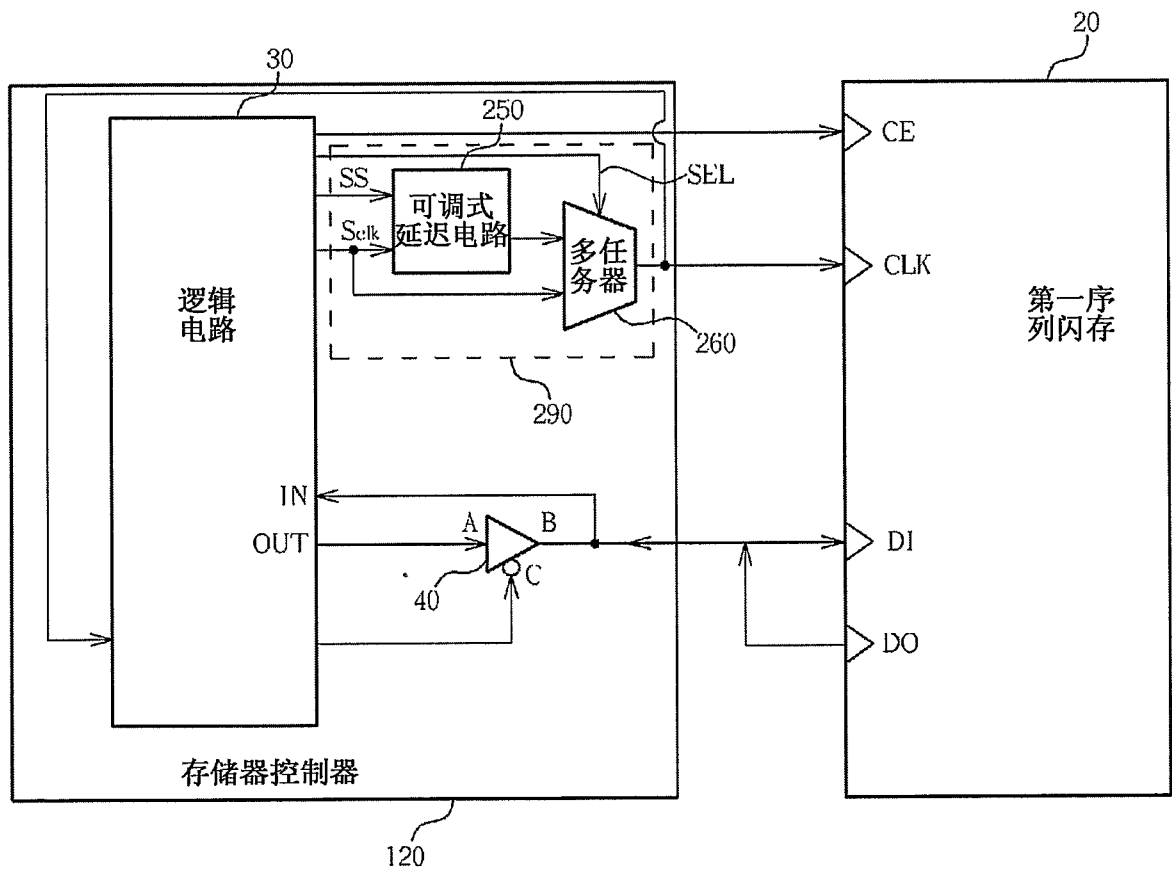


图 2

3/9

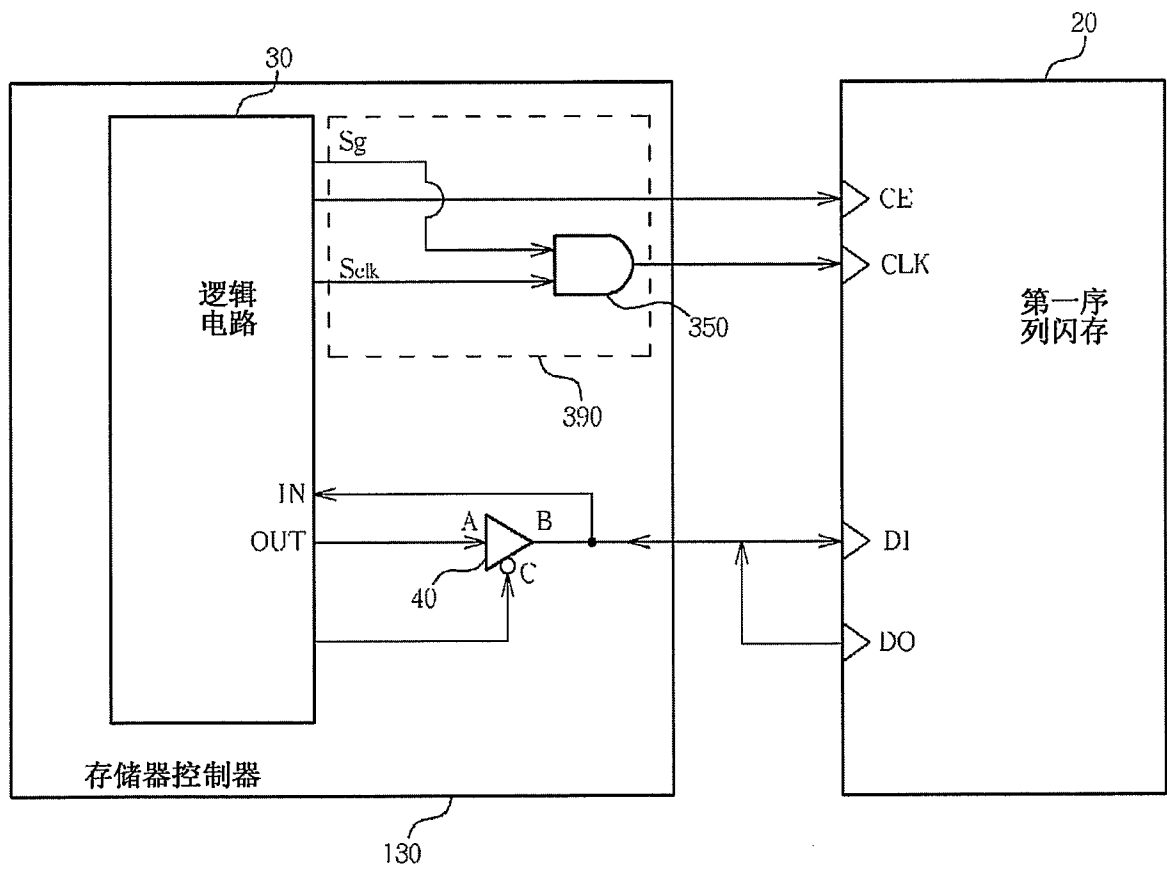


图 3

4/9

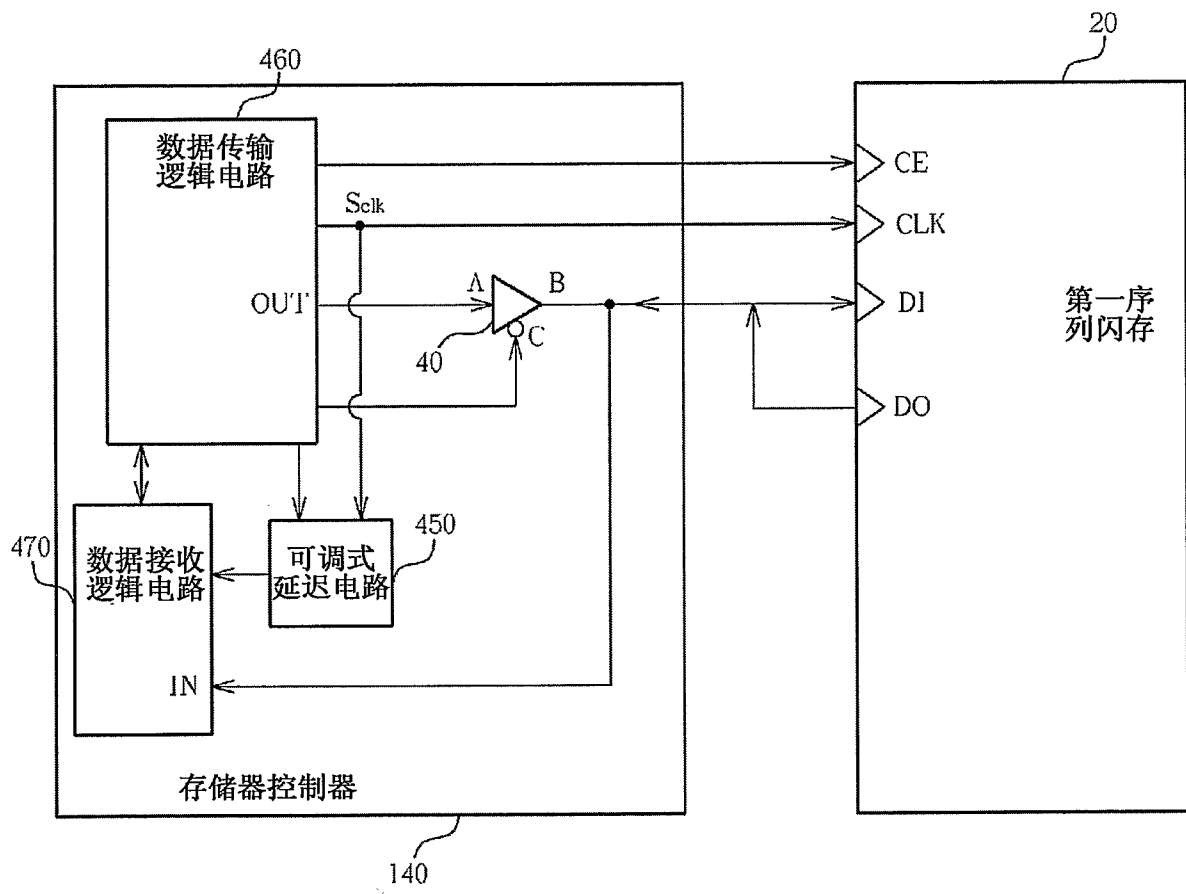


图 4

5/9

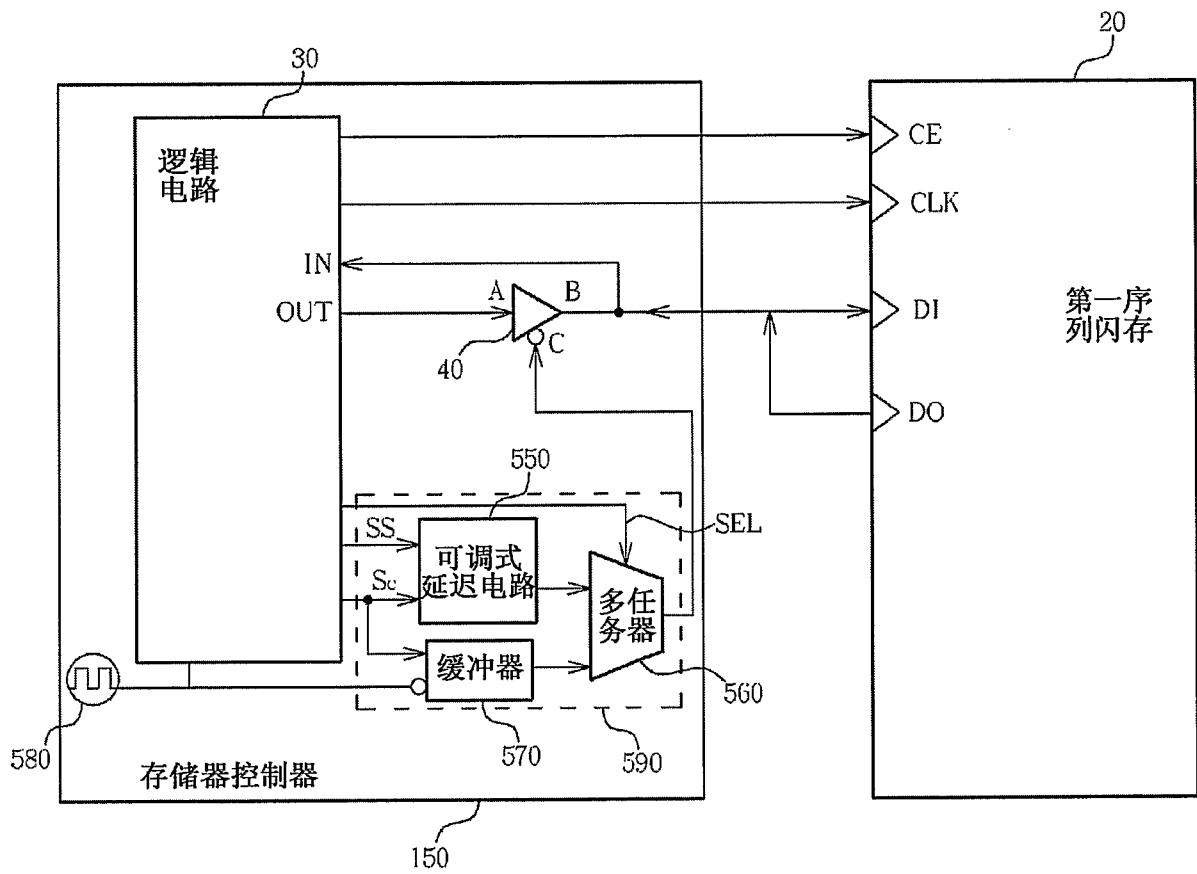


图 5

6/9

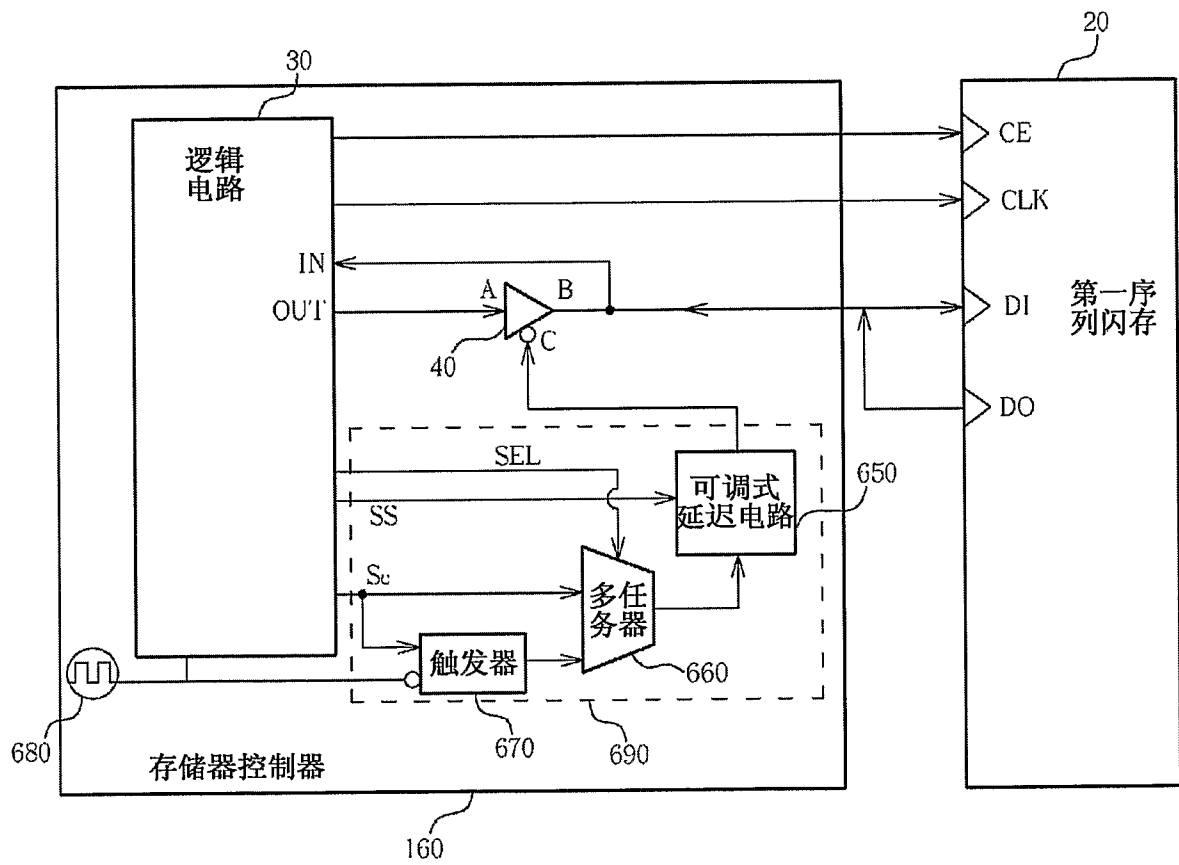


图 6

7/9

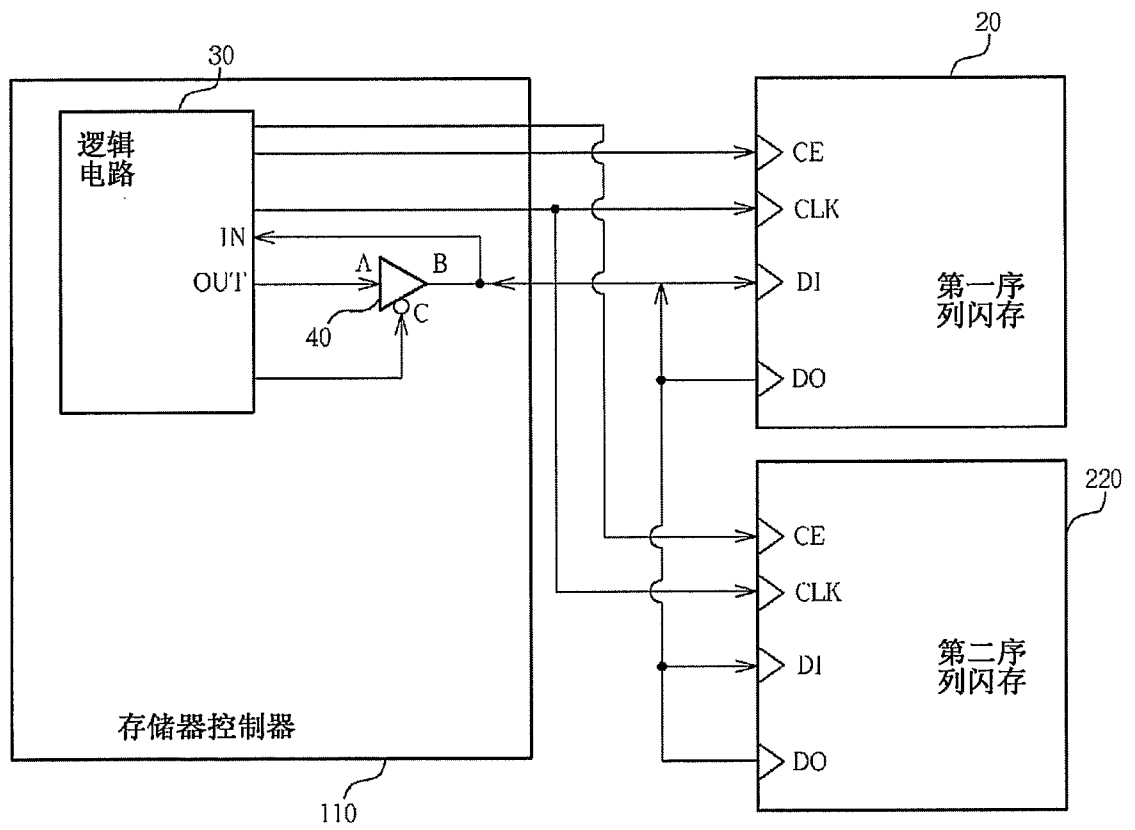


图 7

8/9

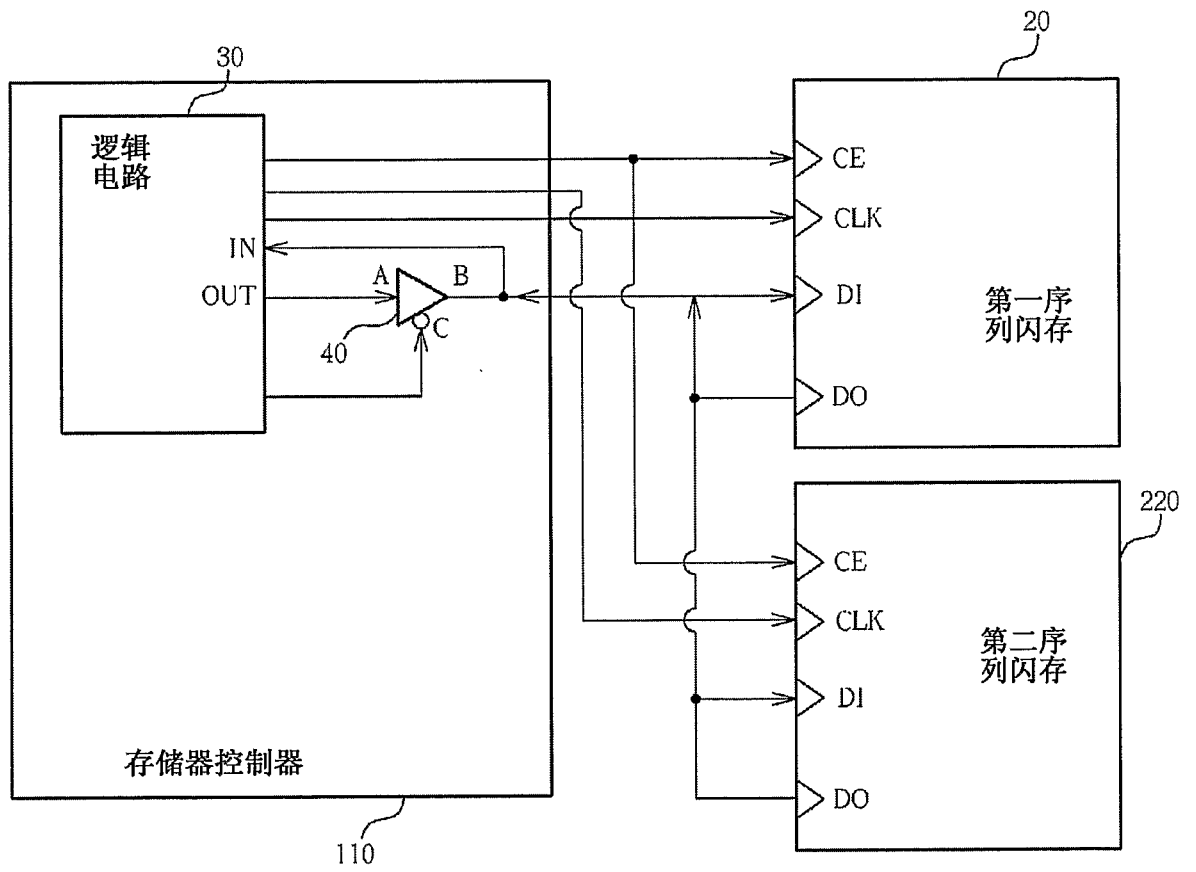


图 8

9/9

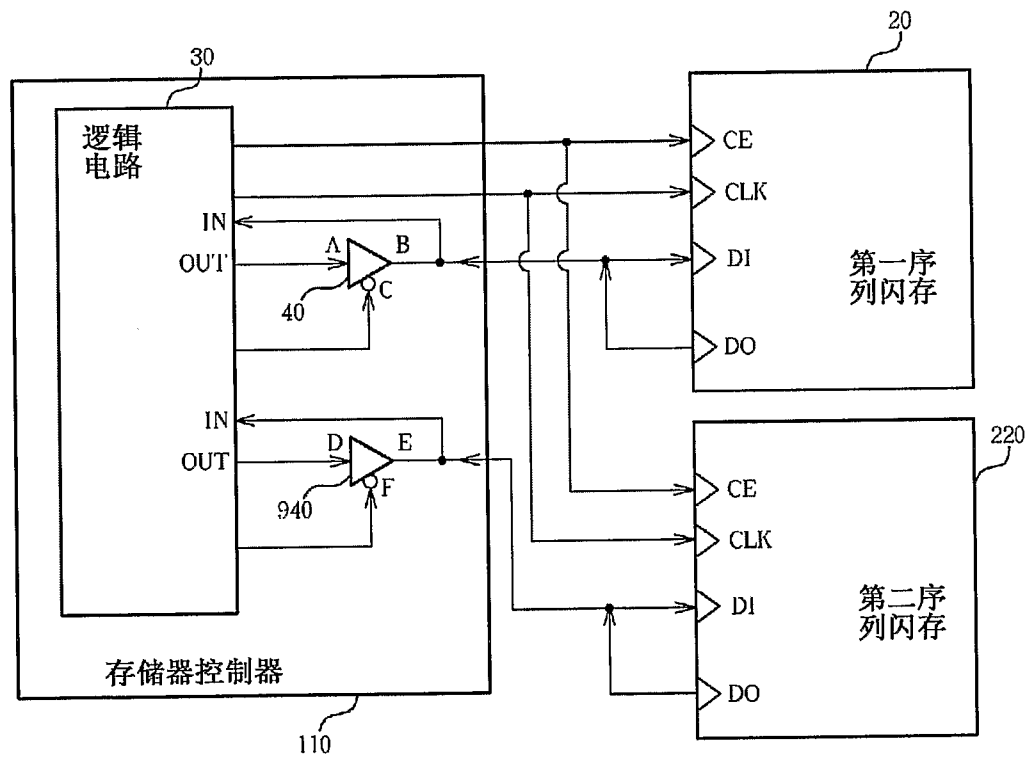


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2007/001095

A. CLASSIFICATION OF SUBJECT MATTER

G11C 7/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G11C 7/, G06F12/, G06F13/

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WPI
EPODOC PAJ CNPAT CNKI memory, access, controller, bi-directional, buffer, tri-state, input, output, control+,
turnaround, signal, data flow, direction, delay, trigger, multitask, pin, enable

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US6256716B1, (PHAM B et al), 03 Jul. 2001(03.07.2001), Description column 4 line45—column5 line23, column6 line1—column7 line13, Fig.4, 5	1—3, 6, 16
A	JP63115250A, (OKI ELECTRIC IND CO LTD), 19 May 1988(19.05.1988), the whole document	1—23
A	US2006067156A1, (INFINEON TECHNOLOGIES AG et al), 30 Mar. 2006 (30. 03. 2006), the whole document	1—23

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
02 Jul. 2007(02.07.2007)

Date of mailing of the international search report
19 Jul. 2007 (19.07.2007)

Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer
DENG,Qian
Telephone No. (86-10)62084027

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2007/001095

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US6256716B1	03.07.2001	EP1008942A2	14.06.2000
		CA2291992A1	10.06.2000
		JP2000242600A	08.09.2000
		US2001016894A1	23.08.2001
		US6535968B2	18.03.2003
		EP1008942B1	09.03.2005
		DE69924081E	14.04.2005
		DE69924081T2	13.04.2006
JP63115250A	19.05.1988	None	
US2006067156A1	30. 03. 2006	DE102005042427A1	13.04.2006
		CN1779854A	31.05.2006

A. 主题的分类

G11C 7/00 (2006.01) i

按照国际专利分类表(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

包含在检索领域中的除最低限度文献以外的检索文献

IPC: G11C 7/, G06F12/, G06F13/

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI EPODOC PAJ CNPAT CNKI
 存储, 存取, 控制器, 双向, 缓冲器, 三态, 输入, 输出, 控制, 回转, 信号, 数据流, 方向, 延迟, 触发器, 多
 任务, 引脚, 接脚, 使能, 转 memory, access, controller, bi-directional, buffer, tri-state, input, output, control+, turnaround,
 signal, data flow, direction, delay, trigger, multitask, pin, enable

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US6256716B1, (PHAM B et al), 03.7 月 2001(03.07.2001), 说明书第 4 栏第 45 行— 第 5 栏第 23 行, 第 6 栏第 1 行—第 7 栏第 13 行, 附图 4, 5	1—3, 6, 16
A	JP63115250A, (OKI ELECTRIC IND CO LTD), 19.5 月 1988(19.05.1988), 全文	1—23
A	US2006067156A1, (INFINEON TECHNOLOGIES AG et al), 30.3 月 2006 (30. 03. 2006), 全文	1—23

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇
引用文件的公布日而引用的或者因其他特殊理由而引
用的文件

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了
理解发明之理论或原理的在后文件“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的
发明不是新颖的或不具有创造性“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件
结合并且这种结合对于本领域技术人员为显而易见时,
要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

02.7 月 2007(02.07.2007)

国际检索报告邮寄日期

19.7 月 2007 (19.07.2007)

中华人民共和国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

邓茜

电话号码: (86-10) 62084027

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2007/001095

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US6256716B1	03.07.2001	EP1008942A2	14.06.2000
		CA2291992A1	10.06.2000
		JP2000242600A	08.09.2000
		US2001016894A1	23.08.2001
		US6535968B2	18.03.2003
		EP1008942B1	09.03.2005
		DE69924081E	14.04.2005
		DE69924081T2	13.04.2006
JP63115250A	19.05.1988	无	
US2006067156A1	30. 03. 2006	DE102005042427A1	13.04.2006
		CN1779854A	31.05.2006