

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5049101号  
(P5049101)

(45) 発行日 平成24年10月17日 (2012.10.17)

(24) 登録日 平成24年7月27日 (2012.7.27)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 2 F 1/133 (2006.01)

G 0 9 G 3/36

G 0 9 G 3/20 6 4 1 C

G 0 9 G 3/20 6 2 1 B

G 0 9 G 3/20 6 2 1 A

G 0 9 G 3/20 6 2 3 C

請求項の数 5 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2007-291713 (P2007-291713)  
 (22) 出願日 平成19年11月9日 (2007.11.9)  
 (65) 公開番号 特開2008-176286 (P2008-176286A)  
 (43) 公開日 平成20年7月31日 (2008.7.31)  
 審査請求日 平成22年2月19日 (2010.2.19)  
 (31) 優先権主張番号 特願2006-343800 (P2006-343800)  
 (32) 優先日 平成18年12月21日 (2006.12.21)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 502356528  
 株式会社ジャパンディスプレイイースト  
 千葉県茂原市早野3300番地  
 (73) 特許権者 506087819  
 パナソニック液晶ディスプレイ株式会社  
 兵庫県姫路市飾磨区妻鹿日田町1-6  
 (74) 代理人 110000154  
 特許業務法人はるか国際特許事務所  
 (72) 発明者 盛 育子  
 千葉県茂原市早野3300番地 株式会社  
 日立ディスプレイズ内  
 (72) 発明者 楠 隆太郎  
 千葉県茂原市早野3300番地 株式会社  
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

複数のサブピクセルを有する液晶表示パネルと、前記複数のサブピクセルの各サブピクセルに走査電圧を入力する複数の走査線と、前記複数のサブピクセルの各サブピクセルに映像電圧を入力する複数の映像線とを備える液晶表示パネルと、

前記複数の走査線に走査電圧を供給する走査線駆動回路と、

前記複数の映像線に映像電圧を供給する映像線駆動回路とを備え、

前記複数のサブピクセルの各サブピクセルは、画素電極と、対向電極とを有し、

前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の階調電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の階調電圧を印加するときを負極性の駆動状態とするとき、前記映像線駆動回路は、前記各サブピクセルの駆動状態として、2フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、N (N 4) フレーム毎に、前記各サブピクセルの駆動状態の位相を反転させる位相反転駆動を行う液晶表示装置であって、

前記位相反転駆動の直後の最初のフレーム A の期間の1水平走査期間の長さを、通常のフレーム B の期間の1水平走査期間の長さよりも短くすることを特徴とする液晶表示装置。

【請求項2】

前記走査線駆動回路にシフトクロックを送出する表示制御回路を備え、

前記表示制御回路は、前記シフトクロックのパルス幅を変更し、前記位相反転駆動の直後の最初のフレーム A の期間の 1 水平走査期間の長さを ( $H_a -$ ) ( $\quad$  を任意の値)、通常のフレーム B の期間の 1 水平走査期間の長さを  $H_a$  とすることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記位相反転駆動の直後の最初のフレーム A の期間の 1 水平走査期間における前記シフトクロックの High レベルのパルス幅が、前記通常のフレーム B の期間の 1 水平走査期間の前記シフトクロックにおける High レベルのパルス幅よりも広いことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記対向電極に印加する対向電圧は、一定の電圧であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

複数のサブピクセルを有する液晶表示パネルと、前記複数のサブピクセルの各サブピクセルに走査電圧を入力する複数の走査線と、前記複数のサブピクセルの各サブピクセルに映像電圧を入力する複数の映像線とを備える液晶表示パネルと、

前記複数の走査線に走査電圧を供給する走査線駆動回路と、

前記複数の映像線に映像電圧を供給する映像線駆動回路とを備え、

前記複数のサブピクセルの各サブピクセルは、画素電極と、対向電極とを有し、

前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の階調電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の階調電圧を印加するときを負極性の駆動状態とするとき、前記映像線駆動回路は、前記各サブピクセルの駆動状態として、1 フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、 $M$  ( $M \geq 2$ ) フレーム毎に、前記各サブピクセルの駆動状態の位相を反転させる位相反転駆動を行う液晶表示装置であって、

前記位相反転駆動の直後の最初のフレーム A の期間の 1 水平走査期間の長さを、通常のフレーム B の期間の 1 水平走査期間の長さよりも短くすることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、交流化駆動方法により生じる画質低下を抑制して高品質の映像表示を可能とした液晶表示装置に関する。

【背景技術】

【0002】

アクティブ素子として薄膜トランジスタを使用する TFT 方式の液晶表示モジュールは高精細な画像を表示できるため、テレビ、パソコン用ディスプレイ等の表示装置として使用されている。

液晶表示モジュールは、基本的には、少なくとも一方が透明なガラス等からなる二枚の ( 一対の ) 基板の間に、液晶を挟持した、所謂、液晶表示パネルを有する。この液晶表示パネルは、隣接する 2 本の走査線 ( ゲート線ともいう。 ) と、隣接する 2 本の映像線 ( ソース線またはドレイン線ともいう。 ) とで囲まれる領域に、走査線からの走査信号によってオンする薄膜トランジスタと、映像線からの映像信号が前述の薄膜トランジスタを介して供給される画素電極とが形成されて、所謂、サブピクセルが構成される。

ここで、各映像線は、液晶表示パネルの一方の辺側 ( 長辺側 ) に配置されるドレインドライバに接続され、各走査線は、液晶表示パネルの他方の辺側 ( 短辺側 ) に配置されるゲートドライバに接続される。

【0003】

なお、本願発明に関連する先行技術文献としては以下のものがある。

【特許文献1】特開2003-99017号公報

【特許文献2】特開2005-309274号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

映像線に供給される階調電圧は、液晶容量に直流電圧が印加されることを防止するため、一水平走査期間毎に、対向電極に印加されるコモン電圧（VCOM）に対して高電位の階調電圧（以下、正極性（+）の階調電圧）と、コモン電圧（VCOM）に対して低電位の階調電圧（以下、負極性（-）の階調電圧）とに、極性を切り替えて交流化駆動する。この交流化駆動方法として、コモン対称法が知られている。

10

図8は、従来の液晶表示モジュールにおいて、垂直走査期間（以下、フレームという）毎に、白と黒を交互に表示した場合の、あるサブピクセルにおけるサブピクセルの極性及びサブピクセルの電圧レベルを簡易的に表した模式図である。

図8に示すように、負極性時「黒表示」、正極性時「白表示」といった液晶の交流化周期に合わせて階調電圧が変化した場合、サブピクセルの電圧は、コモン電圧（VCOM）に対して、正極性側（プラス側）に偏り、液晶に対して実効値として直流が印加されるパターンとなる。

特に、このパターンは、動画映像を表示する場合に良く発生し、常時、液晶に直流信号が印加されるため、表示品位を低下させると共に、液晶自体の寿命を著しく低下させる。

また、フレーム毎に、白と黒の映像が交互に変化する表示データは、テレビ信号などのインターレース（飛越）走査信号を液晶駆動でのプログレッシブ（順次）走査に変換する際に良く起こり、例えば、液晶表示モジュールにテレビ映像やDVD映像を表示して観賞する場合、液晶の駆動電圧の偏りが発生し、画質劣化を引き起こす原因となる。

20

【0005】

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、交流化駆動方法により生じる画質低下を抑制して高品質の映像表示が可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

30

【0006】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

（1）複数のサブピクセルと、前記各サブピクセルに階調電圧を入力する複数の映像線とを有する液晶表示パネルと、前記各映像線に前記階調電圧を供給する映像線駆動回路とを備え、前記各サブピクセルは、画素電極と、対向電極とを有し、前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の階調電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の階調電圧を印加するときを負極性の駆動状態とするとき、前記映像線駆動回路は、前記各サブピクセルの駆動状態として、2フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、N（N 4）フレーム毎に、前記各サブピクセルの駆動状態の位相を反転させる液晶表示装置であって、前記位相反転直後の最初のフレームAの期間に、前記サブピクセルにある一つの階調を表示するために前記映像線駆動回路から前記各映像線に供給する階調電圧をVA、通常のフレームBの期間に、前記サブピクセルに前記階調を表示するために前記映像線駆動回路から前記各映像線に供給する正規の階調電圧をVBとするとき、少なくとも中間階調において、 $|VA| < |VB|$ を満足する。

40

（2）（1）において、複数の階調基準電圧を生成する階調基準電圧生成回路を備え、前記映像線駆動回路は、前記階調基準電圧生成回路から入力される複数の階調基準電圧に基づき、前記階調電圧を生成する階調電圧生成回路を有し、前記階調基準電圧生成回路が、

50

前記フレーム A の期間に生成する前記各階調基準電圧を第 1 群の各階調基準電圧とし、当該第 1 群の各階調基準電圧を、それぞれ、 $V_{R1} \sim V_{Rj} (j = 3)$ 、前記フレーム B の期間に生成する前記各階調基準電圧を第 2 群の各階調基準電圧とし、当該第 2 群の各階調基準電圧を、それぞれ、 $V_1 \sim V_j$  とするとき、 $|V_{Rk}| < |V_k| \{k = 2 \sim (j - 1)\}$  を満足する。

(3)(2)において、前記表示パネルは、前記各サブピクセルに選択走査電圧を入力する複数の走査線を有し、前記階調基準電圧生成回路は、前記選択走査電圧が供給される前記走査線の位置に応じて、前記 $V_{Rk} (k = 2 \sim (j - 1))$ の各階調基準電圧の電圧値を異ならせ、前記映像線駆動回路は、前記選択走査電圧が供給される前記走査線上の前記サブピクセルに前記階調電圧を書き込むときに、前記映像線駆動回路から前記走査線までの距離に応じて、少なくとも中間階調において、前記 $|V_A|$ の電圧値を異ならせる。

10

(4)(3)において、前記選択走査電圧が供給される前記走査線が、前記映像線駆動回路に近い位置の場合の前記 $V_A$ を $V_{An}$ 、前記選択走査電圧が供給される前記走査線が、前記映像線駆動回路に遠い位置の場合の前記 $V_A$ を $V_{Af}$ 、前記選択走査電圧が供給される前記走査線が、前記映像線駆動回路に近い位置と遠い位置の中間の位置の場合の前記 $V_A$ を $V_{Am}$ とするとき、少なくとも中間階調において、 $|V_{An}| < |V_{Am}| < |V_{Af}|$  を満足する。

(5)(2)において、表示制御回路を備え、前記階調基準電圧生成回路は、前記表示制御回路からの階調基準電圧データに基づき、各フレームに生成する前記各階調基準電圧のそれぞれの電圧を設定する。

20

(6)(5)において、前記階調基準電圧データを格納するメモリを有し、前記表示制御回路は、前記メモリに格納された前記階調基準電圧データを読み出し、前記階調補正表示データを前記階調基準電圧生成回路に送信する。

(7)(6)において、前記メモリは、EPROMである。

(8)(1)において、前記対向電極に印加する対向電圧は、一定の電圧である。

(9)(1)において、前記液晶表示パネルは、液晶を挟持する一对の基板を有し、前記画素電極と、前記対向電極は、前記一对の基板の一方の基板上に形成されており、前記対向電極と前記画素電極は、絶縁膜を介して積層されている。

【0007】

(10)複数のサブピクセルと、前記各サブピクセルに階調電圧を入力する複数の映像線とを有する液晶表示パネルと、タイミング調整を行う表示制御回路と、前記表示制御回路が搭載されたプリント配線基板と、前記液晶表示パネルまたは前記プリント配線基板の温度を検出する温度検出器と、前記各映像線に前記階調電圧を供給する映像線駆動回路とを備え、前記各サブピクセルは、画素電極と、対向電極とを有し、前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の階調電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の階調電圧を印加するときを負極性の駆動状態とするとき、前記映像線駆動回路は、前記各サブピクセルの駆動状態として、2フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、 $N (N = 4)$  フレーム毎に、前記各サブピクセルの駆動状態の位相を反転させる液晶表示装置であって、前記位相反転直後の最初のフレーム A の期間に、前記サブピクセルにある一つの階調を表示するために前記映像線駆動回路から前記各映像線に供給する階調電圧を $V_A$ 、通常のフレーム B の期間に、前記サブピクセルに前記階調を表示するために前記映像線駆動回路から前記各映像線に供給する正規の階調電圧を $V_B$ とするとき、少なくとも中間階調において、 $|V_A| < |V_B|$  を満足し、前記 $V_A$ は、前記温度検出器で検出した温度に基づき設定される。

30

40

(11)(10)において、 $T_1$ を第1の温度、 $T_2$ を $T_1$ よりも高温( $T_1 < T_2$ )の第2の温度とするとき、前記温度検出器で検出した温度が $T_1$ のときの前記 $V_A$ の値を $V_{AT1}$ 、前記温度検出器で検出した温度が $T_2$ のときの前記 $V_A$ の値を $V_{AT2}$ とするとき、少なくとも中間階調において、 $|V_{AT1}| > |V_{AT2}|$  を満足する。

50

(12)(11)において、複数の階調基準電圧を生成する階調基準電圧生成回路を備え、前記映像線駆動回路は、前記階調基準電圧生成回路から入力される複数の階調基準電圧に基づき、前記階調電圧を生成する階調電圧生成回路を有し、前記階調基準電圧生成回路が、前記フレームAの期間に生成する前記各階調基準電圧を第1群の各階調基準電圧、前記フレームBの期間に生成する前記各階調基準電圧を第2群の各階調基準電圧とし、前記階調基準電圧生成回路が前記T1の温度の時に生成する前記第1群の各階調基準電圧を、それぞれ、 $V_{RT1} \sim V_{RjT1}$  ( $j = 3$ )、前記T2の温度の時に生成する前記第1群の各階調基準電圧を、それぞれ、 $V_{R1T2} \sim V_{TjT2}$  とするとき、 $|V_{RkT1}| > |V_{RkT2}|$  ( $k = 2 \sim (j - 1)$ ) を満足する。

(13)(11)において、前記温度検出器で検出した温度がT2のときに、前記位相反転直後の最初のフレームに連続するフレームCに前記映像線駆動回路から前記各映像線に供給する階調電圧をVA2とするとき、少なくとも中間階調において、 $|VB| < |VA2|$  を満足する。

(14)(13)において、前記階調基準電圧生成回路が前記フレームCの期間に生成する前記第1群の各階調基準電圧を、それぞれ、 $V_{RC1} \sim V_{RCj}$  ( $j = 3$ ) とするとき、 $|V_k| < |V_{RCk}|$  ( $k = 2 \sim (j - 1)$ ) を満足する。

(15)(12)において、前記階調基準電圧生成回路は、前記表示制御回路からの階調基準電圧データに基づき、各フレームに生成する前記各階調基準電圧のそれぞれの電圧を設定する。

#### 【0008】

(16)複数のサブピクセルを有する液晶表示パネルと、前記複数のサブピクセルの各サブピクセルに走査電圧を入力する複数の走査線と、前記複数のサブピクセルの各サブピクセルに映像電圧を入力する複数の映像線とを備える液晶表示パネルと、前記複数の走査線に走査電圧を供給する走査線駆動回路と、前記複数の映像線に映像電圧を供給する映像線駆動回路とを備え、前記複数のサブピクセルの各サブピクセルは、画素電極と、対向電極とを有し、前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の階調電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の階調電圧を印加するときを負極性の駆動状態とするとき、前記映像線駆動回路は、前記各サブピクセルの駆動状態として、2フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、N(N=4)フレーム毎に、前記各サブピクセルの駆動状態の位相を反転させる液晶表示装置であって、前記位相反転直後の最初のフレームAの期間の1水平走査期間の長さを、通常のフレームBの期間の1水平走査期間の長さよりも短くする。

(17)(16)において、前記走査線駆動回路にシフトクロックを送出する表示制御回路を備え、前記表示制御回路は、前記シフトクロックのパルス幅を変更し、前記位相反転直後の最初のフレームAの期間の1水平走査期間の長さを( $H_a -$ ) (を任意の値)、通常のフレームBの期間の1水平走査期間の長さを $H_a$ とする。

(18)(17)において、前記位相反転直後の最初のフレームAの期間の1水平走査期間における前記シフトクロックのHighレベルのパルス幅が、前記通常のフレームBの期間の1水平走査期間の前記シフトクロックにおけるHighレベルのパルス幅よりも広い。

(19)(16)において、前記対向電極に印加する対向電圧は、一定の電圧である。

#### 【0009】

(20)複数のサブピクセルを有する液晶表示パネルと、前記複数のサブピクセルの各サブピクセルに走査電圧を入力する複数の走査線と、前記複数のサブピクセルの各サブピクセルに映像電圧を入力する複数の映像線とを備える液晶表示パネルと、前記複数の走査線に走査電圧を供給する走査線駆動回路と、前記複数の映像線に映像電圧を供給する映像線駆動回路とを備え、前記複数のサブピクセルの各サブピクセルは、画素電極と、対向電極とを有し、前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の階調電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加

10

20

30

40

50

する対向電圧よりも低電位の階調電圧を印加するときを負極性の駆動状態とするとき、前記映像線駆動回路は、前記各サブピクセルの駆動状態として、2フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、 $N(N \geq 4)$ フレーム毎に、前記各サブピクセルの駆動状態の位相を反転させる液晶表示装置であって、前記位相反転直後の最初のフレームAの期間の1水平走査期間の映像電圧の基準書き込み時間を、通常のフレームBの期間の1水平走査期間の映像電圧の基準書き込み時間よりも短くする。

(21)(20)において、前記映像線駆動回路に出力タイミング制御用クロックを送出する表示制御回路を備え、前記表示制御回路は、前記出力タイミング制御用クロックのパルス幅を変更し、前記位相反転直後の最初のフレームAの期間の1水平走査期間の映像電圧の基準書き込み時間を $(Hb - \quad)$  $(\quad)$ を任意の値、通常のフレームBの期間の1水平走査期間の映像電圧の基準書き込み時間を $Hb$ とする。

10

(22)(21)において、前記位相反転直後の最初のフレームAの期間の1水平走査期間における前記出力タイミング制御用クロックのHighレベルのパルス幅が、前記通常のフレームBの期間の1水平走査期間の前記出力タイミング制御用クロックにおけるHighレベルのパルス幅よりも広い。

【0010】

(23)複数のサブピクセルと、前記各サブピクセルに階調電圧を入力する複数の映像線とを有する液晶表示パネルと、前記各映像線に前記階調電圧を供給する映像線駆動回路とを備え、前記各サブピクセルは、画素電極と、対向電極とを有し、前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の階調電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の階調電圧を印加するときを負極性の駆動状態とするとき、前記映像線駆動回路は、前記各サブピクセルの駆動状態として、1フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、 $M(M \geq 2)$ フレーム毎に、前記各サブピクセルの駆動状態の位相を反転させる液晶表示装置であって、前記位相反転直後の最初のフレームAの期間に、前記サブピクセルにある一つの階調を表示するために前記映像線駆動回路から前記各映像線に供給する階調電圧を $V_A$ 、通常のフレームBの期間に、前記サブピクセルに前記階調を表示するために前記映像線駆動回路から前記各映像線に供給する正規の階調電圧を $V_B$ とするとき、少なくとも中間階調において、 $|V_A| < |V_B|$ を満足する。

20

30

【0011】

(24)複数のサブピクセルを有する液晶表示パネルと、前記複数のサブピクセルの各サブピクセルに走査電圧を入力する複数の走査線と、前記複数のサブピクセルの各サブピクセルに映像電圧を入力する複数の映像線とを備える液晶表示パネルと、前記複数の走査線に走査電圧を供給する走査線駆動回路と、前記複数の映像線に映像電圧を供給する映像線駆動回路とを備え、前記複数のサブピクセルの各サブピクセルは、画素電極と、対向電極とを有し、前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の階調電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の階調電圧を印加するときを負極性の駆動状態とするとき、前記映像線駆動回路は、前記各サブピクセルの駆動状態として、1フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、 $M(M \geq 2)$ フレーム毎に、前記各サブピクセルの駆動状態の位相を反転させる液晶表示装置であって、前記位相反転直後の最初のフレームAの期間の1水平走査期間の長さを、通常のフレームBの期間の1水平走査期間の長さよりも短くする。

40

【0012】

(25)複数のサブピクセルを有する液晶表示パネルと、前記複数のサブピクセルの各サブピクセルに走査電圧を入力する複数の走査線と、前記複数のサブピクセルの各サブピクセルに映像電圧を入力する複数の映像線とを備える液晶表示パネルと、前記複数の走査線に走査電圧を供給する走査線駆動回路と、前記複数の映像線に映像電圧を供給する映像線

50

駆動回路とを備え、前記複数のサブピクセルの各サブピクセルは、画素電極と、対向電極とを有し、前記画素電極に対して前記対向電極に印加する対向電圧よりも高電位の階調電圧を印加するときを正極性の駆動状態、また、前記画素電極に対して前記対向電極に印加する対向電圧よりも低電位の階調電圧を印加するときを負極性の駆動状態とすると、前記映像線駆動回路は、前記各サブピクセルの駆動状態として、1フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、 $M(M-2)$ フレーム毎に、前記各サブピクセルの駆動状態の位相を反転させる液晶表示装置であって、前記位相反転直後の最初のフレームAの期間の1水平走査期間の映像電圧の基準書き込み時間を、通常のフレームBの期間の1水平走査期間の映像電圧の基準書き込み時間よりも短くする。

10

#### 【発明の効果】

#### 【0013】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明の液晶表示装置によれば、交流化駆動方法により生じる画質低下を抑制して高品質の映像表示が可能となる。

#### 【発明を実施するための最良の形態】

#### 【0014】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

20

#### 〔実施例1〕

図1は、本発明の実施例1の液晶表示モジュールの概略構成を示すブロック図である。本実施例の液晶表示モジュールは、液晶表示パネル1と、ドレインドライバ2と、ゲートドライバ3と、表示制御回路(タイミングコントローラ)4と、電源回路5と、階調基準電圧生成回路6とで構成される。

ドレインドライバ2は、液晶表示パネル1の一辺に配置された半導体チップで構成され、また、ゲートドライバ3は、液晶表示パネル1の他の辺に配置された半導体チップで構成される。

表示制御回路4は、メモリ(例えば、EEPROM)40を有し、テレビ受信回路等の表示信号源(ホスト側)から入力される表示データ( $R[7:0]$ 、 $G[7:0]$ 、 $B[7:0]$ )と、ドットクロック(DCLK)、ディスプレイタイミング信号(DTMG)、水平同期信号(HSYNC)、および垂直同期信号(VSYNC)に基づき、表示データの交流化等、液晶表示パネル1の表示に適したタイミング調整を行い、同期信号(クロック信号)と共にドレインドライバ2と、ゲートドライバ3に入力する。

30

表示制御回路4の制御の基に、ゲートドライバ3は、走査線(GL)に走査電圧を供給し、また、ドレインドライバ2は、映像線(DL)に階調電圧を供給して映像を表示する。電源回路5は液晶表示装置に要する各種の電圧を生成し、階調基準電圧生成回路6は、 $V1 \sim V12$ の階調基準電圧を生成する。

#### 【0015】

40

図1において、TF Tは薄膜トランジスタ、PXは画素電極であり、CTは対向電極、C1cは液晶層を等価的に示す液晶容量、Cad dは、画素電極(PX)と対向電極(CT)との間に形成された保持容量である。

図1に示す液晶表示パネル1において、列方向に配置された各サブピクセルの薄膜トランジスタ(TF T)の第1の電極(ドレイン電極またはソース電極)は、映像線(DL)に接続され、各映像線(DL)は列方向に配置されたサブピクセルに、表示データに対応する階調電圧を供給するドレインドライバ2に接続される。

また、行方向に配置された各サブピクセルの薄膜トランジスタ(TF T)のゲート電極は、それぞれ走査線(GL)に接続され、各走査線(GL)は、1水平走査時間、薄膜トランジスタ(TF T)のゲート電極に走査電圧(正または負のバイアス電圧)を供給する

50

ゲートドライバ3に接続される。

液晶表示パネル1に画像を表示する際、ゲートドライバ3は、走査線（GL）を上から下（あるいは、下から上）に向かって順次選択し、一方で、ある走査線の選択期間中に、ドレインドライバ2は、表示データに対応する階調電圧を、映像線（DL）に供給する。

映像線（DL）に供給された電圧は、薄膜トランジスタ（TFT）を経由して、画素電極（PX）に印加され、最終的に、保持容量（Cadd）と、液晶容量（Clc）に電荷がチャージされ、液晶分子をコントロールすることにより画像が表示される。

#### 【0016】

ここでは、各サブピクセルに供給される階調電圧が、大きくなるほど高い輝度を示す、所謂、ノーマリ黒表示モード（Normally Black-displaying Mode）で動作することを前提とする。

10

液晶表示パネル1は、画素電極（PX）、対向電極（CT）、薄膜トランジスタ（TFT）、映像線（DL）、走査線（GL）等が形成された第1の基板（TFT基板、アクティブマトリクス基板ともいう）と、カラーフィルタ等が形成される第2の基板（対向基板ともいう）とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

図5は、本実施例の液晶表示パネル1の概略構造を示す断面図である。

図5に示すように、第1の基板（SUB1）側には、櫛歯状の画素電極（PX）と面状の対向電極（CT）とが絶縁膜（PAS3）を介して積層されており、画素電極（PX）と対向電極（CT）との間に形成されるアーチ状の電気力線が液晶層（LC）を貫くように分布することにより液晶層（LC）の液晶を配向変化させ、透過及び反射の表示が可能となる。なお、図5において、AL1、AL2は配向膜である。

20

さらに、実際の製品では、液晶表示パネル1の後ろ側にバックライトが配置されるが、本発明は、バックライトの構造とは関係がないので、バックライトの詳細な説明も省略する。

#### 【0017】

図2は、図1に示すドレインドライバ2の概略回路構成を示すブロック図である。

図2において、21はクロック制御部、22はラッチアドレスセクタ、23はラッチ回路、24はD/Aコンバータ回路、25は出力アンプ回路である。

30

ラッチ回路23は、ラッチアドレスセクタ22の制御の元に、表示制御回路4から出力される表示データラッチ用クロック（CL2）に同期して、外部から入力される表示データ（R[7:0]、G[7:0]、B[7:0]）を順次ラッチする。

ラッチ回路23にラッチされた表示データは、表示制御回路4から出力される、出力タイミング制御用クロック信号（CL1）に基づき、D/Aコンバータ回路24に出力される。

D/Aコンバータ回路24は、階調基準電圧生成回路6から入力される、正極性のV1～V6の階調基準電圧と、負極性のV7～V12の階調基準電圧に基づき、正極性および負極性の0～255階調の階調電圧を生成する階調電圧生成回路（24-1）を有する。

40

D/Aコンバータ回路24は、階調電圧生成回路（24-1）で生成された、正極性および負極性の0～255階調の階調電圧の中から、ラッチ回路23から入力された表示データに対応した階調電圧を選択して、出力アンプ回路25に入力する。

出力アンプ回路25は、D/Aコンバータ回路24から入力された階調電圧を、アンプ回路で電流増幅し、対応する映像線（DL）に出力する。

#### 【0018】

図3は、図2に示す階調電圧生成回路（24-1）の回路構成を示す図であり、図3（a）は全体の回路構成を、図3（b）は、図3（a）の（イ）で示す部分を拡大して示す図である。

図3（a）に示すように、図2に示す階調電圧生成回路（24-1）は、階調基準電圧

50

生成回路 6 から入力される 6 値の階調基準電圧 ( $V_1 - V_6$ ) の各階調基準電圧間を、直列抵抗分圧回路 (24 - 2) により分圧して、正極性の 0 ~ 255 階調分の階調電圧を生成する部分と、階調基準電圧生成回路 6 から入力される 6 値の階調基準電圧 ( $V_7 - V_{12}$ ) の各階調基準電圧間を、直列抵抗分圧回路 (24 - 3) により分圧して、負極性の 0 ~ 255 階調分の階調電圧を生成する部分とで構成される。

図 4 は、図 1 に示す階調基準電圧生成回路 6 の一例を示す図である。図 4 に示す階調基準電圧生成回路 6 は、抵抗分圧回路で構成したものである。 $V_1 \sim V_{12}$  の階調基準電圧は、分圧抵抗の抵抗値の比により設定され、抵抗分圧回路の出力は、バッファ回路 63 により、電流増幅されてドレインドライバ 2 の階調電圧生成回路 (24 - 1) に出力される。

10

図 4 では、分圧抵抗を、それぞれ、( $R_{B1-1}$ 、 $R_{B1-2}$ 、 $R_{B1-3}$ )、( $R_{B2-1}$ 、 $R_{B2-2}$ 、 $R_{B2-3}$ ) ~ ( $R_{B12-1}$ 、 $R_{B12-2}$ 、 $R_{B12-3}$ )、( $R_{B13-1}$ 、 $R_{B13-2}$ 、 $R_{B13-3}$ ) の 3 つの抵抗で構成し、その中の一つを選択回路 65 で選択するようにしたものである。

さらに、レジスタ 66 を備え、このレジスタ 66 から出力される制御データにより、選択回路 65 を制御する。この場合に、表示制御回路 4 から、予め、レジスタ 66 に、第 1 群と第 2 群の階調基準電圧データを格納しておき、表示制御回路 4 からの指示に基づき、レジスタ 66 から出力される制御データを変更し、選択回路 65 で選択する抵抗を切り替えることにより、第 1 群の階調基準電圧、あるいは、第 2 群の階調基準電圧を、ドレインドライバ 2 の階調電圧生成回路 (24 - 1) に出力する。なお、第 1 群と第 2 群の階調基準電圧データは、表示制御回路 4 のメモリ 40 に階調基準電圧データを格納される。

20

【0019】

[ 位相反転駆動法の説明 ]

図 9 は、図 8 に示すように、フレーム毎に白と黒を交互に表示する時に、ある一定周期 (期間 A, 期間 B) でサブピクセル極性の位相を反転した場合のフレーム毎のサブピクセル極性を表す模式図である。

図 9 に示す位相反転信号によって、サブピクセルの極性の位相を反転した場合、例えば、期間 A は負極性 ( - ) の駆動状態から開始され、期間 B は正極性 ( + ) の駆動状態から開始されるため、期間 A と期間 B の各区間におけるサブピクセルの極性を比較すると、全て正極 ( + )、負極性 ( - ) の反対の極性となる。以下、本明細書では、この交流化駆動方法を、位相反転駆動法と称する。(前記特許文献 2 参照)。

30

図 10 は、この位相反転駆動法における、あるサブピクセルにおけるサブピクセルの極性及びサブピクセルの電圧レベルを簡易的に表した模式図である。

図 10 に示すように、位相反転駆動法によって、コモン電位 ( $V_{COM}$ ) より、負極性側 (マイナス側) に偏っていたサブピクセルの電圧は、位相反転後、正極性側 (プラス側) に偏ることとなる。

このように、サブピクセルの電圧の偏りを、ある一定周期で、正極性側、および、負極性側になるように交流化駆動することで、結果として液晶に印加される実効的な直流電圧を低減することができる。

【0020】

40

図 8 に示す位相反転駆動法における、サブピクセルの電圧が、コモン電圧 ( $V_{COM}$ ) に対して、正極性側 (プラス側)、あるいは、負極性側 (マイナス側) に偏り、液晶に対して実効値として直流が印加されるという問題点は、図 11 に示す駆動方法でも解消することができる。

図 11 は、1 フレーム毎に白と黒を交互に表示する場合に、2 フレーム毎にサブピクセルの極性を正極性 負極性、あるいは、負極性 正極性へと変化させるときの、あるサブピクセルにおけるサブピクセルの極性及びサブピクセルの電圧レベルを簡易的に表した模式図である。

図 8 に示す位相反転駆動法では、1 フレーム毎に、あるサブピクセルにおけるサブピクセルの極性を正極性 負極性、あるいは、負極性 正極性へと変化させるのに対して、図

50

11に示す駆動方法では、2フレーム毎に、あるサブピクセルにおけるサブピクセルの極性を正極性 負極性、あるいは、負極性 正極性へと変化させる。

したがって、図11に示すように、サブピクセルの電圧は、コモン電圧（VCOM）に対して、正極性側（プラス側）、あるいは、負極性側（マイナス側）に偏ることはなくなり、結果として液晶に印加される実効的な直流電圧を低減することができる。

一方、近年液晶表示装置では、動画性能を向上させるために、1フレーム期間を、60Hzから120Hzへとより高速化することが要望されている。そして、1フレーム期間を120Hzとする場合に、互いに隣接する60Hzの2つのフレームの各画像の間の画像は、互いに隣接する60Hzのフレームの各画像データから補間法により生成するのが一般的である。

10

そして、図8に示すように、60Hzの各フレーム毎に、あるサブピクセルに白と黒を交互に表示する場合に、補間により生成された画像を含む120Hzの各フレーム毎に、あるサブピクセルに表示される画像は、図12に示すように、白 灰色 黒 灰色 白 灰色 黒 灰色と変化する。即ち、互いに隣接する60Hzの2つのフレームの画像が白、黒の場合は、補間により生成された120Hzのフレームの画像は灰色になる。

したがって、図12に示すように、2フレーム毎に、正極性の「白」、「灰色」、負極性の「黒」、「灰色」といった液晶の交流化周期に合わせて階調電圧が変化した場合、サブピクセルの電圧は、コモン電圧（VCOM）に対して、正極性側（プラス側）に偏り、液晶に対して実効値として直流が印加されることになる。

【0021】

20

[ 本発明の位相反転駆動法の説明 ]

図6は、本発明の実施例の液晶表示モジュールにおける位相反転駆動法を説明するための図である。

本実施例は、図12に示す駆動方法において、ある一定周期（図9に示す期間A，期間Bに相当）で、サブピクセル極性の位相を反転するものである。これにより、図6に示すように、位相反転駆動法によって、コモン電位（VCOM）より、負極性側（マイナス側）に偏っていたサブピクセルの電圧は、位相反転後、正極性側（プラス側）に偏ることとなる。

これにより、サブピクセルの電圧の偏りを、ある一定周期で、正極性側、および、負極性側になるように交流化駆動することで、結果として液晶に印加される実効的な直流電圧を低減することができる。

30

この場合に、位相反転直後の最初のフレームのサブピクセルの極性に着目すると、図6に示すように、正極性（プラス（+））、あるいは、負極性（マイナス（-））のサブピクセルの極性が連続する。同一のサブピクセルの極性の連続は、位相反転の切替えタイミングによっては、{（-）（-）（-）（-）}又は{（+）（+）（+）（+）}となる場合がある。

そして、サブピクセルの極性が連続する場合、液晶駆動（交流化）条件が見かけ上変わるため、副作用として表示画面にフリッカ（輝度が上昇する現象）が発生する。

フリッカは、図6で示した位相反転信号の切替えタイミング、即ち、位相反転信号の立ち上がり、および立ち下がり直後の第1フレームに発生する。結果として、位相反転駆動においては、液晶に直流電圧が印加されるのを防止する効果がある一方、副作用としてフリッカが発生し、表示品位を低下させる問題点がある。なお、このフリッカは、図10に示すように、1フレーム毎に白と黒を交互に表示する時に、ある一定周期（期間A，期間B）でサブピクセル極性の位相を反転した場合にも発生することはいうまでもない。

40

そこで、本実施例では、図6に示すように、位相反転駆動法により、サブピクセルの極性が、{（-）（-）（-）（-）}、あるいは、{（+）（+）（+）（+）}と連続する場合に、位相反転直後の最初のフレームにおいて、図6のVaに示す電圧分（以下、補正電圧という）だけ、サブピクセル電圧が通常の場合よりも低くされる。これにより、前述したように、フリッカ（輝度上昇）を防止している。

【0022】

50

以下、本実施例において、位相反転直後の最初のフレームの（以下、フレーム A という）において、サブピクセル電圧を通常のフレーム（以下、フレーム B という）の時よりも低くする方法について説明する。

階調基準電圧生成回路 6 は、フレーム A の期間内に、第 1 群の階調基準電圧を、階調電圧生成回路（24 - 1）に出力し、また、フレーム B の期間内に、第 2 群の階調基準電圧を、階調電圧生成回路（24 - 1）に出力する。

図 2 に示す階調電圧生成回路（24 - 1）は、階調基準電圧生成回路 6 から入力される 12 値の階調基準電圧（ $V_1 - V_{12}$ ）の各階調基準電圧間を、直列抵抗分圧回路（24 - 2, 24 - 3）により分圧して、正極性および負極性の 0 ~ 255 階調分の階調電圧を生成する。

10

したがって、階調電圧生成回路（24 - 1）は、フレーム A の期間内に、正極性および負極性の 0 ~ 255 階調の第 1 群の階調電圧を生成し、また、フレーム B の期間内に、正極性および負極性の 0 ~ 255 階調の第 2 群の階調電圧を生成する。

この場合に、フレーム A の期間に生成する第 1 群の各階調基準電圧を、それぞれ、 $V_{R1} \sim V_{R12}$ （ $j = 3$ ）、フレーム B の期間に生成する第 2 群の各階調基準電圧を、それぞれ、 $V_1 \sim V_{12}$  とするとき、 $V_{R1} \sim V_{R12}$  と、 $V_1 \sim V_{12}$  とは、下記（1）式の関係を満たす。

〔数 1〕

$$|V_{R1}| = |V_1|、$$

$$|V_{R12}| = |V_{12}|、$$

$$|V_{Rk}| < |V_k| \{ k = 2 \sim 11 \}$$

$$\dots\dots\dots (1)$$

20

【0023】

したがって、本実施例において、フレーム A の期間内に映像線（DL）に供給される、正極性および負極性の 0 ~ 255 階調の第 1 群の階調電圧（ $V_A$ ）は、フレーム B の期間内に映像線（DL）に供給される、正極性および負極性の 0 ~ 255 階調の第 2 群の階調電圧（ $V_B$ ）よりも、少なくとも中間階調において、電圧の絶対値（ $|V_A| < |V_B|$ ）が小さくなる。これにより、前述したフリッカ（輝度上昇）を防止する。

一般に液晶層に印加する電圧と透過率との関係は、リニアではなく、最大階調に相当する透過率の高いところと、最小階調に相当する透過率の低いところでは、液晶層に印加する電圧に対する透過率の変化は少なく、中間階調に相当する透過率の中間のところでは、液晶層に印加する電圧に対する透過率の変化が大きい。そのため、本実施例では、最小階調付近と最大階調付近を除いて、少なくとも中間階調において、 $|V_A| < |V_B|$  を満足するようにしている。

30

なお、図 6 の  $V_a$  に示す補正電圧の最適な電圧値は、各階調毎に異なるので、各階調毎に、図 6 の  $V_a$  に示す補正電圧が最適な電圧値となるように、第 1 群の各階調基準電圧（ $V_{R1} \sim V_{R12}$ ）を設定する。

また、液晶表示パネル 1 のドレインドライバ 2 に近い領域（以下、液晶表示パネル 1 の上部という）と、液晶表示パネル 1 のドレインドライバ 2 から遠い領域（以下、液晶表示パネル 1 の下部という）、液晶表示パネル 1 のドレインドライバ 2 に近い領域と、ドレインドライバ 2 から遠い領域との間の領域（以下、液晶表示パネル 1 の中央という）とでも、図 6 に示す補正電圧の最適な電圧値が異なっている。

40

【0024】

具体的には、液晶表示パネル 1 の上部の補正電圧の最適な電圧値を  $V_{An}$ 、液晶表示パネル 1 の中央の補正電圧の最適な電圧値を  $V_{Am}$ 、液晶表示パネル 1 の下部の補正電圧の最適な電圧値を  $V_{Af}$  とするとき、少なくとも中間階調において、 $V_{An}$ 、 $V_{Am}$ 、 $V_{Af}$  は、下記（2）式に示す関係がある。

〔数 2〕

$$|V_{An}| < |V_{Am}| < |V_{Af}|$$

$$\dots\dots\dots (2)$$

50

そこで、本実施例において、階調電圧を書き込む表示ライン（選択走査電圧が供給される走査線（DL））数をカウントすることにより、液晶表示パネル1の上部、液晶表示パネル1の中央、および、液晶表示パネル1の下部を検出し、それに合わせて、前述した第1群の各階調基準電圧（VR1～VRj）を変更するようにしてもよい。

即ち、予め、レジスタ66に、液晶表示パネル1の上部、中央、および、下部に対応した3種類の第1群の階調基準電圧データを格納しておき、液晶表示パネル1の走査位置（選択走査電圧が供給される走査線（DL）の位置）に応じて、表示制御回路4からの指示に基づき、レジスタ66から出力される制御データを変更し、選択回路65で選択する抵抗を切り替えることにより、1フレーム内で、VR1～VR12の第1群の階調基準電圧を、3種類の第1群の階調基準電圧の中から選択して、ドレインドライバ2の階調電圧生成回路（24-1）に出力すればよい。なお、3種類の第1群の階調基準電圧データは、表示制御回路4のメモリ40に階調基準電圧データを格納される。

【0025】

[ 実施例2 ]

図7は、本発明の実施例2の液晶表示モジュールの概略構成を示すブロック図である。本実施例の液晶表示モジュールは、液晶表示パネル1に温度検出器41が設けられている点で、前述の実施例と相異なるが、その他の構成は、前述の実施例1と同じである。

以下、本実施例の構成について、前述の実施例と相異点を中心に説明する。なお、温度検出器41は、プリント配線基板、例えば、表示制御回路4が実装されるプリント配線基板上に設けるようにしてもよい。

一般に、液晶分子の応答は、温度に大きく影響する。そのため、図6のVaに示す補正電圧の最適な電圧値は、温度により変化する。

そこで、本実施例では、温度検出器41により、液晶表示パネル1の温度を検出し、その温度に基づき、VR1～VR12の第1群の階調基準電圧を変更し、それに伴い、図6のVaに示す補正電圧の最適な電圧値を変更するようにしたものである。

具体的には、T1を第1の温度（例えば、20度以下）、T2をT1よりも高温（ $T1 < T2$ ）の第2の温度（例えば、30度以上）とするとき、温度検出器41で検出した温度がT1のときの、フレームAの期間内に映像線（DL）に供給される正極性および負極性の0～255階調の第1群の階調電圧（VA）の電圧値をVAT1、温度検出器41で検出した温度がT2のときの、フレームAの期間内に映像線（DL）に供給される正極性および負極性の0～255階調の第1群の階調電圧（VA）の電圧値をVAT2とするとき、少なくとも中間階調において、 $|VAT1| > |VAT2|$  の関係を満足するように、VAT1と、VAT2の各電圧値を設定する。

【0026】

つまり、温度が高い程、液晶分子の応答が早くなるので、温度が高いときに、図6のVaに示す補正電圧の最適な電圧値を、低い電圧とするものである。

したがって、本実施例では、階調基準電圧生成回路6が、フレームAの期間に、T1の温度の時に生成して出力する第1群の各階調基準電圧を、それぞれ、VR1T1～VR12T1、T2の温度の時に生成して出力する第1群の各階調基準電圧を、それぞれ、VR1T2～VR12T2とするとき、第1群の各階調基準電圧は、下記（3）式を満たすように設定する。

[ 数3 ]

$$\begin{aligned} |VR1T1| &= |VR1T2|、 \\ |VR12T1| &= |VR12T2|、 \\ |VRkT1| &< |VRkT2| \quad (k = 2 \sim 11) \\ &\dots\dots\dots (3) \end{aligned}$$

具体的には、予め、レジスタ66に、液晶表示パネル1の温度に応じた、それぞれの第1群の階調基準電圧データを格納しておき、温度検出器41で検出した液晶表示パネル1の温度に応じて、表示制御回路4からの指示に基づき、レジスタ66から出力される制御データを変更し、選択回路65で選択する抵抗を切り替えることにより、温度検出器41

10

20

30

40

50

で検出した液晶表示パネル 1 の温度に応じて、 $V R 1 T 1 \sim V R 1 2 T 1$ 、あるいは、 $V R 1 T 2 \sim V R 1 2 T 2$  の第 1 群の各階調基準電圧を選択して、ドレインドライバ 2 の階調電圧生成回路 (24-1) に出力する。なお、 $V R 1 T 1 \sim V R 1 2 T 1$ 、あるいは、 $V R 1 T 2 \sim V R 1 2 T 2$  の第 1 群の階調基準電圧データは、表示制御回路 4 のメモリ 40 に階調基準電圧データを格納される。

#### 【0027】

さらに、温度が高温の場合、位相反転直後の最初のフレーム（フレーム A）と、位相反転直後の最初のフレームに連続するフレーム（以下、フレーム C という）の 2 つのフレームで、図 6 の  $V a$  に示す補正電圧を最適な電圧値に設定することも可能である。

即ち、フレーム A において、図 6 の  $V a$  に示す補正電圧を、過補正（ノーマリブラック特性の場合より暗くなるような補正）の電圧値となし、フレーム C において、逆補正（ノーマリブラック特性の場合より明るくなるような補正）を施し、最適な電圧値とすることも可能である。

ここで、フレーム C の時の、第 1 群の階調電圧を  $V A F 2$  とするとき、少なくとも中間階調において、 $|V B| < |V A F 2|$  を満足する。

そのため、階調基準電圧生成回路 6 が、フレーム C の期間に生成する各階調基準電圧を第 3 群の階調基準電圧とし、第 3 群の階調基準電圧を、それぞれ、 $V R C 1 \sim V R C 1 2$  とするとき、 $V R C 1 \sim V R C 1 2$  は、下記 (4) 式を満たすように設定する。

#### [数 4]

$$\begin{aligned} &|V 1| < |V R C 1| \\ &|V 1 2| < |V R C 1 2| \\ &|V k| < |V R C k| \quad (k = 2 \sim 11) \\ &\dots\dots\dots (4) \end{aligned}$$

具体的には、予め、レジスタ 66 に、それぞれの第 1 群の階調基準電圧データを格納しておき、温度検出器 41 で検出した液晶表示パネル 1 の温度に応じて、表示制御回路 4 からの指示に基づき、レジスタ 66 から出力される制御データを変更し、選択回路 65 で選択する抵抗を切り替えることにより、 $V R C 1 \sim V R C 1 2$  の第 1 群の各階調基準電圧を選択して、ドレインドライバ 2 の階調電圧生成回路 (24-1) に出力する。なお、 $V R C 1 \sim V R C 1 2$  の第 1 群の階調基準電圧データは、表示制御回路 4 のメモリ 40 に階調基準電圧データを格納される。

#### 【0028】

##### [実施例 3]

図 17 は、図 6 に示す位相反転駆動方法において、位相反転直後の最初のフレームにフリッカが発生する理由を説明するための図であり、図 6 に示す位相反転駆動方法において、位相反転直後の最初のフレームの期間にサブピクセルに書き込まれる映像電圧と、図 12 に示す交流化駆動方法において、サブピクセルに書き込まれる映像電圧とを説明するための図である。

図 12 に示す交流化駆動方法では、あるサブピクセルの電圧は、交流化のタイミングで正極性の映像電圧から負極性の映像電圧、あるいは、負極性の映像電圧から正極性の映像電圧に変動することになる。これに対して、図 6 に示す位相反転駆動法により、サブピクセルの極性が、 $\{(-)(-)(-)(-)\}$ 、あるいは、 $\{(+)(+)(+)(+)\}$  と連続する場合に、位相反転直後の最初のフレームにおいて、あるサブピクセルの電圧は、正極性の映像電圧から正極性の映像電圧、あるいは、負極性の映像電圧から負極性の映像電圧に変動することになる。

そのため、図 6 に示す位相反転駆動法において、位相反転直後の最初のフレームに、サブピクセルに書き込まれる映像電圧（図 17 の A）は、図 12 に示す交流化駆動方法において、サブピクセルに書き込まれる映像電圧（図 17 の B）よりも、 $V b$  の電圧だけ高くなる。これにより、図 6 に示す位相反転駆動法において、位相反転直後の最初のフレームに前述したフリッカが発生する。

#### 【0029】

そこで、本実施例では、図 13 に示すように、位相反転直後の最初のフレーム A の期間の 1 水平走査期間 (TL1) の長さを、通常フレーム B の期間の 1 水平走査期間 (TL2) の長さよりも短くしたものである。即ち、本実施例では、位相反転直後の最初のフレーム A の期間の 1 水平走査期間 (TL1) の長さを (Ha - )、通常フレーム B の期間の 1 水平走査期間 (TL2) を、正規の 1 水平走査期間の長さを Ha としている。ここで、 は液晶表示モジュール毎に設定される値である。

本実施例によれば、位相反転直後の最初のフレーム A の期間における 1 水平走査期間内の映像電圧の書き込み時間が、通常フレーム B の期間における 1 水平走査期間内のサブピクセルへの映像電圧の書き込み時間よりも短くなるので、位相反転直後の最初のフレーム A の期間に、サブピクセルに書き込まれる映像電圧 (図 13 の A) と、通常フレーム B の期間に、サブピクセルに書き込まれる映像電圧 (図 13 の B) との間の電位差をほぼ 0 V にすることができる。これにより、位相反転直後の最初のフレームに前述したフリッカが発生するのを防止することが可能となる。

なお、図 13 は、本実施例の液晶表示モジュールにおいて、位相反転直後の最初のフレームの期間にサブピクセルに書き込まれる映像電圧と、通常フレームの期間にサブピクセルに書き込まれる映像電圧とを説明するための図である。

#### 【0030】

図 14 は、図 13 に示すタイミング制御を実行するための回路構成を説明するためのブロック図である。なお、この回路は、表示制御回路 4 内に設けられる。

図 14 において、31 は、High レベルのパルス幅が短いクロックを生成するクロック生成回路であり、クロック生成回路 31 は、通常フレーム B の期間にゲートドライバ 3 に供給されるシフトクロック (CL3) を生成する。32 は、High レベルのパルス幅が長いクロックを生成するクロック生成回路であり、クロック生成回路 32 は、位相反転直後の最初のフレーム A の期間にゲートドライバ 3 に供給されるシフトクロック (CL3) を生成する。

シフトクロック (CL3) の High レベルのパルス幅が長くなると、薄膜トランジスタ (TFT) がゲートオフとなる時刻が早くなり、1 水平走査期間の長さが短くなる。これにより、1 水平走査期間内に、サブピクセルに映像電圧を書き込むための書き込み時間が短くなる。

クロック生成回路 31 とクロック生成回路 32 から出力されるクロックは、セクタ 33 により選択されてゲートドライバ 3 に供給される。このセクタ 33 は、制御回路 34 により制御され、制御回路 34 は、位相反転直後の最初のフレーム A の期間と、通常フレーム B の期間とに応じてセクタ 33 を制御する。

#### 【0031】

前述の説明では、位相反転直後の最初のフレーム A の期間の 1 水平走査期間と、通常フレーム B の期間の 1 水平走査期間の長さを変更して、位相反転直後の最初のフレーム A の期間にサブピクセルに書き込まれる映像電圧と、通常フレーム B の期間にサブピクセルに書き込まれる映像電圧との間の電位差をほぼ 0 V にする場合について説明したが、1 水平走査期間内に、ドレインドライバ 2 から映像電圧を出力するタイミングを遅らせて、位相反転直後の最初のフレーム A の期間にサブピクセルに書き込まれる映像電圧と、通常フレーム B の期間にサブピクセルに書き込まれる映像電圧との間の電位差をほぼ 0 V にすることもできる。

即ち、図 15 に示すように、1 水平走査期間の映像電圧の基準書き込み時間を Hb、を任意の値とするとき、位相反転直後の最初のフレーム A の期間内の 1 水平走査期間 (TL1) の映像電圧の書き込み時間を (Hb - ) となし、通常フレーム B の期間内の 1 水平走査期間 (TL2) の映像電圧の書き込み時間を Hb とする。

本実施例の変形例でも、位相反転直後の最初のフレーム A の期間における 1 水平走査期間内の映像電圧の書き込み時間が、通常フレーム B の期間における 1 水平走査期間内のサブピクセルへの映像電圧の書き込み時間よりも短くなるので、位相反転直後の最初のフレーム A の期間に、サブピクセルに書き込まれる映像電圧 (図 15 の A) と、通常フレ

10

20

30

40

50

ームBの期間に、サブピクセルに書き込まれる映像電圧(図15のB)との間の電位差をほぼ0Vにすることができる。これにより、位相反転直後の最初のフレームに前述したフリッカが発生するのを防止することが可能となる。

なお、図15は、本実施例の液晶表示モジュールの変形例において、位相反転直後の最初のフレームの期間にサブピクセルに書き込まれる映像電圧と、通常のフレーム期間にサブピクセルに書き込まれる映像電圧とを説明するための図である。

#### 【0032】

図16は、図15に示すタイミング制御を実行するための回路構成を説明するためのブロック図である。なお、この回路は、表示制御回路4内に設けられる。

図16において、35は、Highレベルのパルス幅が短いクロックを生成するクロック生成回路であり、クロック生成回路35は、通常のフレームBの期間の1水平走査期間(TL2)にドレインドライバ2に供給される出力タイミング制御用クロック(CL1)を生成する。36は、Highレベルのパルス幅が長いクロックを生成するクロック生成回路であり、クロック生成回路36は、位相反転直後の最初のフレームAの期間の1水平走査期間(TL1)にドレインドライバ2に供給される出力タイミング制御用クロック(CL1)を生成する。

出力タイミング制御用クロック(CL1)のHighレベルのパルス幅が長くなると、ドレインドライバ2から各映像線(DL)に出力する映像電圧の出力タイミングが遅くなるので、これにより、1水平走査期間内のサブピクセルに映像電圧を書き込むための書き込み時間が短くなる。

クロック生成回路35とクロック生成回路36から出力されるクロックは、セクタ33により選択されてドレインドライバ2に供給される。このセクタ33は、制御回路34により制御され、制御回路34は、位相反転直後の最初のフレームAの期間と、通常のフレームBの期間とに応じてセクタ33を制御する。

#### 【0033】

なお、前述の各実施例では、2フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、N(N4)フレーム毎に、前記各サブピクセルの駆動状態の位相を反転させる位相反転駆動方法に、本発明を適用した場合について説明したが、本発明は、1フレーム毎に、正極性の駆動状態から負極性の駆動状態、あるいは、負極性の駆動状態から正極性の駆動状態へ変化させるとともに、M(M2)フレーム毎に、前記各サブピクセルの駆動状態の位相を反転させる位相反転駆動方法にも適用可能であることはいうまでもない。

なお、前述の説明では、本発明をIPS方式の液晶表示装置に適用した実施例について説明したが、本発明はこれに限らず、TN方式やVA方式の液晶表示装置にも適用可能である。但し、TN方式やVA方式の液晶表示パネルであれば、対向電極(CT)は第2の基板側に設けられる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

#### 【図面の簡単な説明】

#### 【0034】

【図1】本発明の実施例1の液晶表示モジュールの概略構成を示すブロック図である。

【図2】図1に示すドレインドライバの概略回路構成を示すブロック図である。

【図3】図2に示す階調電圧生成回路の回路構成を示す図である。

【図4】図1に示す階調基準電圧生成回路の一例を示す図である。

【図5】本発明の実施例1の液晶表示パネルの概略構造を示す断面図である。

【図6】本発明の実施例1の液晶表示モジュールにおける位相反転駆動法を説明するための図である。

【図7】本発明の実施例2の液晶表示モジュールの概略構成を示すブロック図である。

【図8】従来の液晶表示モジュールにおいて、垂直走査期間(以下、フレームという)毎

10

20

30

40

50

に、白と黒を交互に表示した場合の、あるサブピクセルにおけるサブピクセルの極性及びサブピクセルの電圧レベルを簡易的に表した模式図である。

【図 9】図 8 に示すように、1 フレーム毎に白と黒を交互に表示する時に、ある一定周期（期間 A，期間 B）でサブピクセル極性の位相を反転した場合のフレーム毎のサブピクセル極性を表す模式図である。

【図 10】位相反転駆動法において、フレーム毎に、白と黒を交互に表示した場合の、あるサブピクセルにおけるサブピクセルの極性及びサブピクセルの電圧レベルを簡易的に表した模式図である。

【図 11】1 フレーム毎に白と黒を交互に表示する場合に、2 フレーム毎にサブピクセルの極性を正極性 負極性、あるいは、負極性 正極性へと変化させるときの、あるサブピクセルにおけるサブピクセルの極性及びサブピクセルの電圧レベルを簡易的に表した模式図である。

10

【図 12】図 11 に示すように、1 フレーム毎に白と黒を交互に表示する場合に、2 フレーム毎にサブピクセルの極性を正極性 負極性、あるいは、負極性 正極性へと変化させるときの、あるサブピクセルにおけるサブピクセルの極性及びサブピクセルの電圧レベルを簡易的に表した模式図である。

【図 13】本発明の実施例 3 の液晶表示モジュールにおいて、位相反転直後の最初のフレームの期間にサブピクセルに書き込まれる映像電圧と、通常のフレームの期間にサブピクセルに書き込まれる映像電圧とを説明するための図である。

【図 14】図 13 に示すタイミング制御を実行するための回路構成を説明するためのブロック図である。

20

【図 15】本発明の実施例 3 の液晶表示モジュールの変形例において、位相反転直後の最初のフレームの期間にサブピクセルに書き込まれる映像電圧と、通常のフレームの期間にサブピクセルに書き込まれる映像電圧とを説明するための図である。

【図 16】図 15 に示すタイミング制御を実行するための回路構成を説明するためのブロック図である。

【図 17】図 6 に示す位相反転駆動方法において、位相反転直後の最初のフレームにフリッカが発生する理由を説明するための図である。

【符号の説明】

【0035】

30

- 1 液晶表示パネル
- 2 ドレインドライバ
- 3 ゲートドライバ
- 4 表示制御回路
- 5 電源回路
- 6 階調基準電圧生成回路
- 21 クロック制御部
- 22 ラッチアドレスセクタ
- 23 ラッチ回路
- 24 D/Aコンバータ回路
- 24-1 階調電圧生成回路
- 24-2, 24-3 直列抵抗分圧回路
- 25 出力アンプ回路
- 31, 32, 35, 36 クロック生成回路
- 33 セクタ
- 34 制御回路
- 40 メモリ（EEPROM）
- 41 温度検出器
- 65 選択回路（スイッチ回路）
- 66 レジスタ

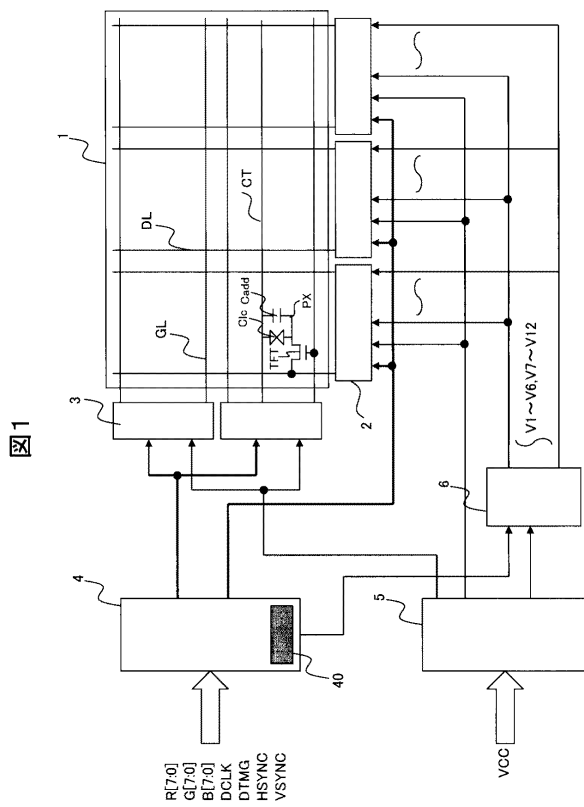
40

50

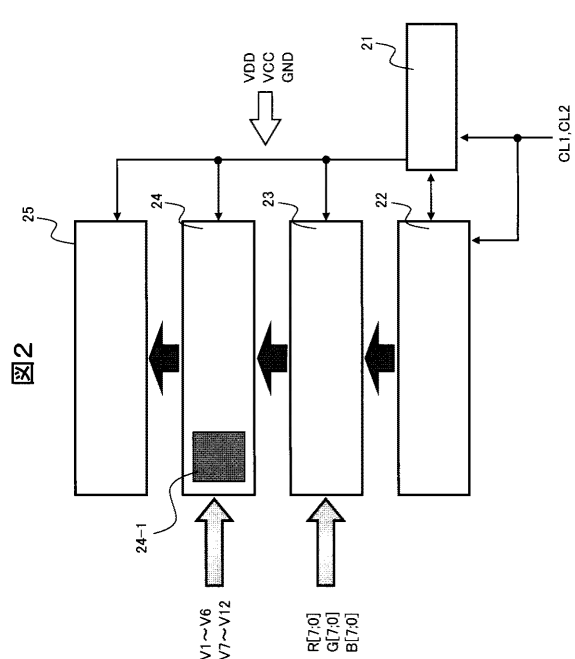
- SUB 1 第1の基板  
 SUB 2 第2の基板  
 AL 1, AL 2 配向膜  
 LC 液晶層  
 GL 走査線  
 DL 映像線  
 TFT 薄膜トランジスタ  
 PX 画素電極  
 CT 対向電極(コモン電極)  
 Clc 液晶容量  
 Cadd 保持容量  
 RB 1 - 1 ~ RB 1 - 3, RB 2 - 1 ~ RB 2 - 3, RB 12 - 1 ~ RB 12 - 3, RB 13 - 1 ~ RB 13 - 3 抵抗  
 DL 映像線(ドレイン線、ソース線)  
 GL 走査線(ゲート線)

10

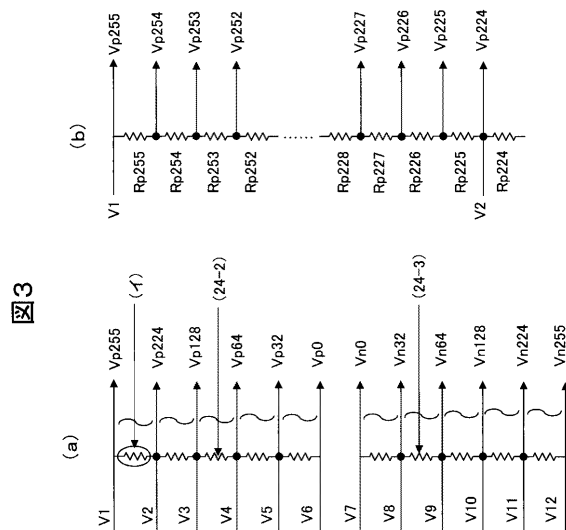
【図1】



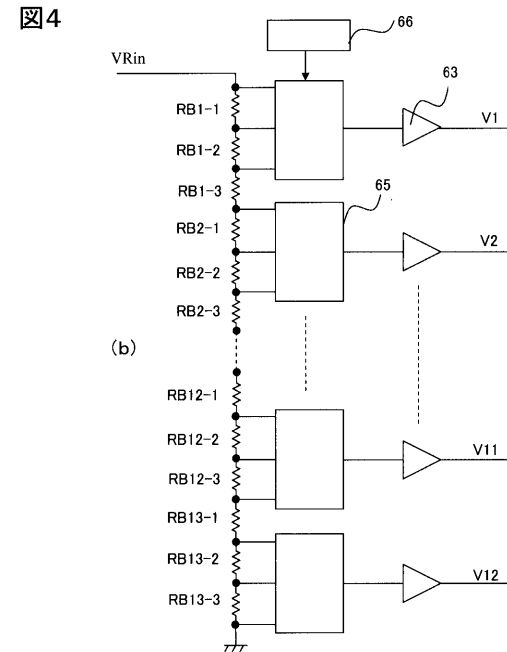
【図2】



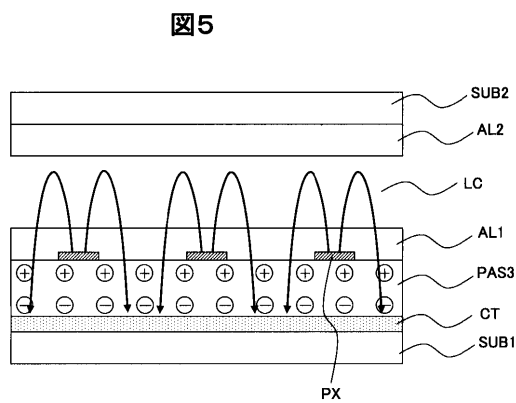
【 図 3 】



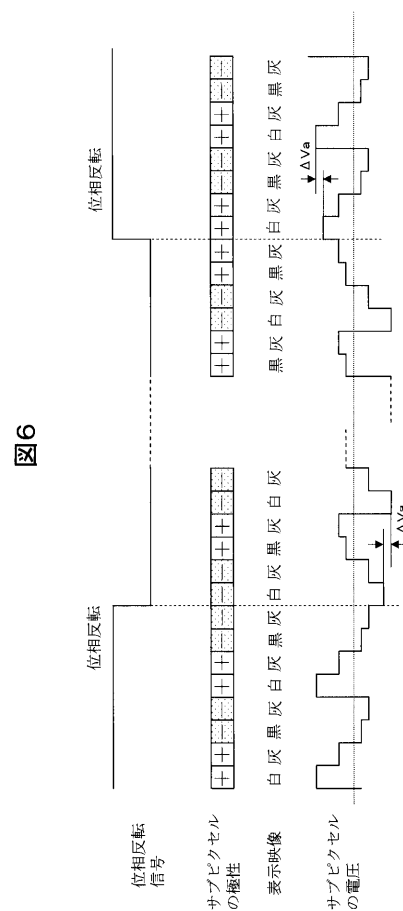
【圖 4】



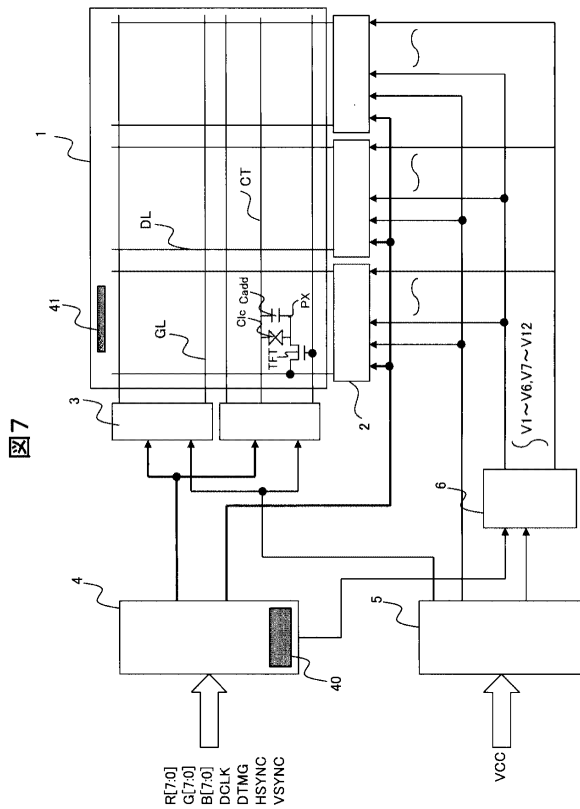
【 図 5 】



【 図 6 】

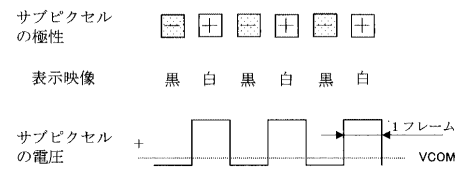


【図 7】



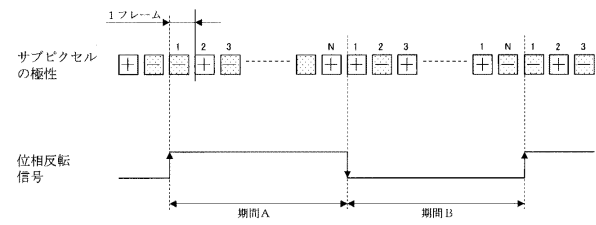
【図 8】

図8



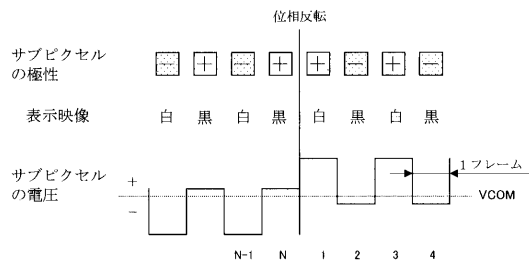
【図 9】

図9



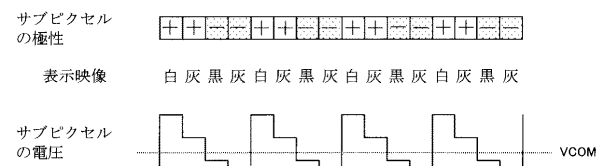
【図 10】

図10



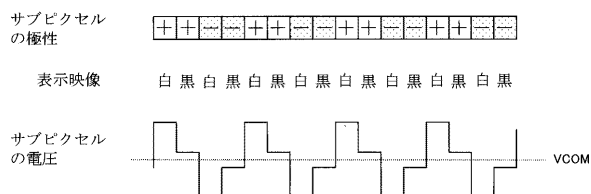
【図 12】

図12



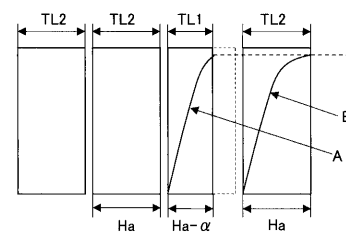
【図 11】

図11



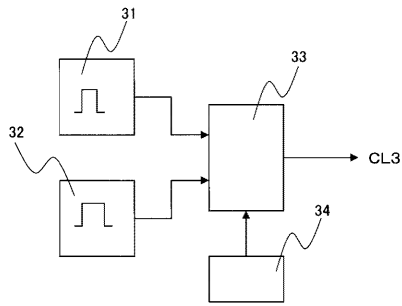
【図 13】

図13



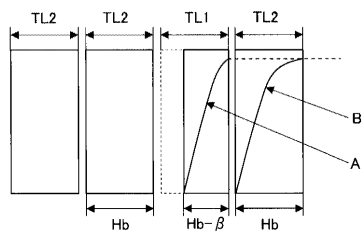
【図 14】

図14



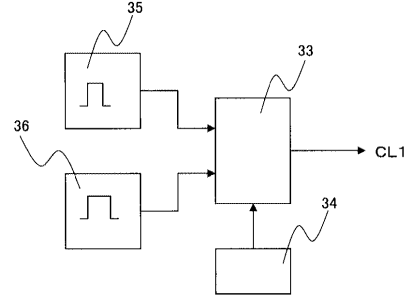
【図 15】

図15



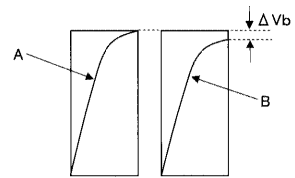
【図 16】

図16



【図 17】

図17



---

 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 1 1 J
	G 0 9 G	3/20	6 2 2 D
	G 0 9 G	3/20	6 1 2 K
	G 0 9 G	3/20	6 1 1 E
	G 0 2 F	1/133	5 5 0
	G 0 2 F	1/133	5 7 5
	G 0 2 F	1/133	5 8 0

審査官 西島 篤宏

(56)参考文献 特開2004-045741(JP,A)  
 特開2001-042282(JP,A)  
 特開2004-094261(JP,A)  
 特開2005-352190(JP,A)  
 特開2002-091403(JP,A)  
 特開2005-156661(JP,A)  
 特開2007-093660(JP,A)  
 特開2007-225861(JP,A)  
 特開2007-183329(JP,A)  
 特開2005-189820(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G      3 / 0 0    -    3 / 3 8  
 G 0 2 F      1 / 1 3 3