

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 23 年 4 月 21 日 (2011.4.21)

【公開番号】特開 2011-49598 (P2011-49598A)
 【公開日】平成 23 年 3 月 10 日 (2011.3.10)
 【年通号数】公開・登録公報 2011-010
 【出願番号】特願 2010-267184 (P2010-267184)
 【国際特許分類】

H 0 1 L 21/3205 (2006.01)
 H 0 1 L 23/52 (2006.01)
 H 0 1 L 27/10 (2006.01)
 H 0 1 L 21/8242 (2006.01)
 H 0 1 L 27/108 (2006.01)

【F I】

H 0 1 L 21/88 S
 H 0 1 L 27/10 4 6 1
 H 0 1 L 27/10 6 2 1 Z
 H 0 1 L 21/88 K

【手続補正書】
 【提出日】平成 23 年 2 月 17 日 (2011.2.17)

【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

多層配線構造を有する半導体装置であって、
 半導体装置の機能を実現するうえで必要な機能パターンと、
 半導体装置の所定の層に、前記機能パターンと共に形成される複数のダミーパターンと
 を備え、

前記複数のダミーパターンは、第一の大きさの複数のダミーパターンと、前記第一の大きさよりも小さい第二の大きさの複数のダミーパターンとで構成され、

前記第一の大きさの複数のダミーパターンが規則的に配置され、

前記第一の大きさの複数のダミーパターンが規則的に配置されない領域に、前記第二の大きさの複数のダミーパターンが規則的に配置され、

前記第一の大きさの複数のダミーパターンと前記機能パターンとの間に前記第二の大きさの複数のダミーパターンが配置され、

第一所定方向に配置された前記第一の大きさの複数のダミーパターンそれぞれと、第二所定方向に配置された前記第二の大きさの複数のダミーパターンそれぞれとは隣り合うように配置され、

前記機能パターン及び前記複数のダミーパターンはそれぞれ、層間絶縁膜上に導電膜を堆積した後、前記導電膜をエッチングすることによりパターンングされて形成されるものであり、

前記第一の大きさのダミーパターン間の幅は、前記第二の大きさのダミーパターン間の幅よりも大きいことを特徴とする半導体装置。

【請求項 2】

前記機能パターンは、少なくとも 1 つの配線層を貫通する配線部材を備え、

前記ダミーパターンは、前記配線部材と干渉しないように形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

メモリ装置の構成要素となる機能パターンが形成されるメモリ領域と、ロジック回路の構成要素となる機能パターンが形成されるロジック回路領域とを備え、前記ロジック回路領域に形成される前記ダミーパターンは、そのダミーパターンと同じ層に形成されるメモリ回路用の機能パターンと同じパターンを含むことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記第一の大きさのダミーパターンは、第一の方向の一边が第一の長さで、前記第一の方向と異なる第二の方向の一边が第二の長さの四角形であり、

前記第二の大きさのダミーパターンは、第三の方向の一边が第三の長さで、前記第三の方向と異なる第四の方向の一边が第四の長さの四角形であり、

前記第一の長さは前記第三の長さよりも長く、前記第二の長さは前記第四の長さよりも長いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記第一所定方向は前記第二所定方向であり、前記第一の方向は前記第三の方向と同じであり、前記第二の方向は前記第四の方向と同じであり、前記第一の長さは前記第二の長さと同じであり、前記第三の長さは前記第四の長さと同じであることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記所定の層は、ゲート電極を覆う前記層間絶縁膜上に形成される層であり、

前記第一の大きさの複数のダミーパターンそれぞれの形状は等しく、前記第二の大きさの複数のダミーパターンそれぞれの形状は等しいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記機能パターンは複数存在し、

前記第一所定方向に配置された前記第一の大きさの複数のダミーパターンそれぞれは前記複数の機能パターンの一部と隣接するように配置され、

前記第二所定方向に配置された前記第二の大きさの複数のダミーパターンそれぞれは前記複数の機能パターンの他の一部と隣接するように配置されることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

多層配線構造を有する半導体装置であって、

半導体装置の機能を実現するうえで必要な機能パターンと、

半導体装置の所定の層に、前記機能パターンと共に形成される複数のダミーパターンとを備え、

前記複数のダミーパターンは、第一の面積の複数のダミーパターンと、前記第一の面積よりも小さい第二の面積の複数のダミーパターンとで構成され、

前記第一の面積の複数のダミーパターンが規則的に第一の領域に配置され、

前記第二の面積の複数のダミーパターンが規則的に第二の領域に配置され、

前記機能パターンと前記第一の領域の間に前記第二の領域が設けられ、

前記第一の領域内の前記第一の面積の複数のダミーパターンそれぞれと、前記第二の領域内の前記第二の面積の複数のダミーパターンそれぞれとは隣接するように配置され、

前記機能パターン及び前記複数のダミーパターンはそれぞれ、層間絶縁膜上に導電膜を堆積した後、前記導電膜をエッチングすることによりパターンングされて形成されるものであり、

前記第一の面積のダミーパターン間の距離は、前記第二の面積のダミーパターン間の距離よりも大きいことを特徴とする半導体装置。

【請求項 9】

前記第一の面積のダミーパターンは、第一の方向の一边が第一の長さで、前記第一の方向と異なる第二の方向の一边が第二の長さの四角形であり、

前記第二の面積のダミーパターンは、第三の方向の一边が第三の長さで、前記第三の方向と異なる第四の方向の一边が第四の長さの四角形であり、

前記第一の長さは前記第三の長さよりも長く、前記第二の長さは前記第四の長さよりも長いことを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記第一の方向は前記第三の方向と同じであり、前記第二の方向は前記第四の方向と同じであり、前記第一の長さは前記第二の長さと同じであり、前記第三の長さは前記第四の長さと同じであることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

前記所定の層は、ゲート電極を覆う前記層間絶縁膜上に形成される層であり、

前記第一の面積の複数のダミーパターンそれぞれの形状は等しく、前記第二の面積の複数のダミーパターンそれぞれの形状は等しいことを特徴とする請求項 8 に記載の半導体装置。

【請求項 12】

前記機能パターンは複数存在し、

前記第一の領域内の前記第一の面積の複数のダミーパターンそれぞれは前記複数の機能パターンの一部と隣接するように配置され、

前記第二の領域内の前記第二の面積の複数のダミーパターンそれぞれは前記複数の機能パターンの他の一部と隣接するように配置されることを特徴とする請求項 8 に記載の半導体装置。

【請求項 13】

多層配線構造を有する半導体装置であって、

半導体装置の機能を実現するうえで必要な機能パターンと、

半導体装置の所定の層に、前記機能パターンと共に形成される複数のダミーパターンとを備え、

平面視で見た際に前記複数のダミーパターンは、それぞれが第一の大きさの領域を有する複数の第一ダミーパターンと、それぞれが前記第一の大きさよりも小さい第二の大きさの領域を有する複数の第二ダミーパターンとで構成され、

前記複数の第一ダミーパターンが規則的に配置され、

前記複数の第一ダミーパターンが規則的に配置されない領域に、前記複数の第二ダミーパターンが規則的に配置され、

前記複数の第一ダミーパターンと前記機能パターンとの間に前記複数の第二ダミーパターンが配置され、

第一所定方向に配置された前記複数の第一ダミーパターンそれぞれと、第二所定方向に配置された前記複数の第二ダミーパターンそれぞれとは隣り合うように配置され、

前記機能パターン及び前記複数のダミーパターンはそれぞれ、層間絶縁膜上に導電膜を堆積した後、前記導電膜をエッチングすることによりパターンニングされて形成されるものであり、

前記第一ダミーパターン間の距離は、前記第二ダミーパターン間の距離よりも大きいことを特徴とする半導体装置。

【請求項 14】

前記第一ダミーパターンは、第一の方向の一边が第一の長さで、前記第一の方向と異なる第二の方向の一边が第二の長さの四角形であり、

前記第二ダミーパターンは、第三の方向の一边が第三の長さで、前記第三の方向と異なる第四の方向の一边が第四の長さの四角形であり、

前記第一の長さは前記第三の長さよりも長く、前記第二の長さは前記第四の長さよりも長いことを特徴とする請求項 13 に記載の半導体装置。

【請求項 15】

前記第一所定方向は前記第二所定方向であり、前記第一の方向は前記第三の方向と同じであり、前記第二の方向は前記第四の方向と同じであり、前記第一の長さは前記第二の長さと同じであり、前記第三の長さは前記第四の長さと同じであることを特徴とする請求項 14 に記載の半導体装置。

【請求項 16】

前記所定の層は、ゲート電極を覆う前記層間絶縁膜上に形成される層であり、

前記第一ダミーパターンそれぞれの形状は等しく、前記第二ダミーパターンそれぞれの形状は等しいことを特徴とする請求項 13 に記載の半導体装置。

【請求項 17】

前記機能パターンは複数存在し、

前記第一所定方向に配置された前記複数の第一ダミーパターンそれぞれは前記複数の機能パターンの一部と隣接するように配置され、

前記第二所定方向に配置された前記複数の第二ダミーパターンそれぞれは前記複数の機能パターンの他の一部と隣接するように配置されることを特徴とする請求項 13 に記載の半導体装置。

【請求項 18】

複数のトランジスタを形成する工程と、

前記複数のトランジスタが形成された層上の層間絶縁膜上に、半導体装置の機能を実現するのに必要な機能パターンと、複数のダミーパターンとを形成する工程とを有する半導体装置の製造方法であって、

前記複数のダミーパターンは、第一の面積の複数のダミーパターンと、前記第一の面積よりも小さい第二の面積の複数のダミーパターンとで構成され、

前記第一の面積の複数のダミーパターンが規則的に配置され、

前記第一の面積の複数のダミーパターンが規則的に配置されない領域に、前記第二の面積の複数のダミーパターンが規則的に配置され、

前記第一の面積の複数のダミーパターン間の距離は、前記第二の面積の複数のダミーパターン間の距離よりも大きく、

前記第一の面積の複数のダミーパターンと前記機能パターンとの間に前記第二の面積の複数のダミーパターンが配置され、

前記機能パターン及び前記複数のダミーパターンを形成する工程において、前記層間絶縁膜上に導電膜を堆積した後、前記導電膜をエッチングすることにより前記機能パターン及び前記複数のダミーパターンがパターンニングされて形成されるものであり、

第一所定方向に配置された前記第一の面積の複数のダミーパターンそれぞれと、第二所定方向に配置された前記第二の面積の複数のダミーパターンそれぞれとは隣り合うように配置されていることを特徴とする半導体装置の製造方法。

【請求項 19】

前記機能パターンは、少なくとも 1 つの配線層を貫通する配線部材を備え、

前記ダミーパターンは、前記配線部材と干渉しないように形成されていることを特徴とする請求項 18 に記載の半導体装置の製造方法。

【請求項 20】

メモリ装置の構成要素となる機能パターンが形成されるメモリ領域と、ロジック回路の構成要素となる機能パターンが形成されるロジック回路領域とを備え、

前記ロジック回路領域に形成される前記ダミーパターンは、そのダミーパターンと同じ層に形成されるメモリ回路用の機能パターンと同じパターンを含むことを特徴とする請求項 18 に記載の半導体装置の製造方法。

【請求項 21】

前記第一の面積のダミーパターンは、第一の方向の一边が第一の長さで、前記第一の方向と異なる第二の方向の一边が第二の長さの四角形であり、

前記第二の面積のダミーパターンは、第三の方向の一边が第三の長さで、前記第三の方向と異なる第四の方向の一边が第四の長さの四角形であり、

前記第一の長さは前記第三の長さよりも長く、前記第二の長さは前記第四の長さよりも長いことを特徴とする請求項 18 に記載の半導体装置の製造方法。

【請求項 22】

前記第一所定方向は前記第二所定方向であり、前記第一の方向は前記第三の方向と同じであり、前記第二の方向は前記第四の方向と同じであり、前記第一の長さは前記第二の長さと同じであり、前記第三の長さは前記第四の長さと同じであることを特徴とする請求項 21 に記載の半導体装置の製造方法。

【請求項 23】

前記第一の面積の複数のダミーパターンそれぞれの形状は等しく、前記第二の面積の複数のダミーパターンそれぞれの形状は等しいことを特徴とする請求項 18 に記載の半導体装置の製造方法。

【請求項 24】

前記機能パターンは複数存在し、

前記第一所定方向に配置された前記第一の面積の複数のダミーパターンそれぞれは前記複数の機能パターンの一部と隣接するように配置され、

前記第二所定方向に配置された前記第二の面積の複数のダミーパターンそれぞれは前記複数の機能パターンの他の一部と隣接するように配置されることを特徴とする請求項 23 に記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本願の発明に係る半導体装置は、多層配線構造を有する半導体装置であって、半導体装置の機能を実現するうえで必要な機能パターンと、半導体装置の所定の層に、該機能パターンと共に形成される複数のダミーパターンとを備え、該複数のダミーパターンは、第一の大きさの複数のダミーパターンと、該第一の大きさよりも小さい第二の大きさの複数のダミーパターンとで構成され、該第一の大きさの複数のダミーパターンが規則的に配置され、該第一の大きさの複数のダミーパターンが規則的に配置されない領域に、該第二の大きさの複数のダミーパターンが規則的に配置され、該第一の大きさの複数のダミーパターンと該機能パターンとの間に該第二の大きさの複数のダミーパターンが配置され、第一所定方向に配置された該第一の大きさの複数のダミーパターンそれぞれと、第二所定方向に配置された該第二の大きさの複数のダミーパターンそれぞれとは隣り合うように配置され、該機能パターン及び該複数のダミーパターンはそれぞれ、層間絶縁膜上に導電膜を堆積した後、該導電膜をエッチングすることによりパターンニングされて形成されるものであり、該第一の大きさのダミーパターン間の幅は、該第二の大きさのダミーパターン間の幅よりも大きいことを特徴とする。