

WO 2023/219400 A1



MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,
SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM,
KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ,
UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ,
TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 본 발명의 실시예에 따른 반도체 소자의 전극 형성 방법은 기판을 준비하는 단계, 기판 상에 저 저항 금속
원소를 포함하는 전구체(precursor)를 분사하는 단계, 기판 상에 수소(H) 또는 산소(O)를 포함하는 가스를 분사하여 저 저항
금속 박막층을 형성하는 단계를 포함할 수 있다. 따라서, 본 발명의 실시예들에 의하면, 저 저항 금속 원소를 포함하는
전구체로부터 기인한 리간드 불순물을 제거한 전극을 마련할 수 있다. 따라서 저항이 낮은 전극을 마련할 수 있다.

명세서

발명의 명칭: 반도체 소자의 전극 형성 방법 및 반도체 소자의 전극 기술분야

- [1] 본 발명은 반도체 소자의 전극 형성 방법에 관한 것으로, 보다 상세하게는 특성을 향상시킬 수 있는 반도체 소자의 전극 형성 방법 및 반도체 소자의 전극에 관한 것이다.

배경기술

- [2] 낸드 플래시(Nand flash) 등과 같은 반도체 소자의 전기적 특성을 향상시키기 위해서는, 전극의 저항을 낮출 필요가 있다.
- [3] 반도체 소자의 전극을 형성하는데 있어서, 금속을 포함하는 전구체(precursor)를 분사하고 이를 기판에 증착시키는 방법으로 형성한다.
- [4] 한편, 전극 형성을 위해 사용되는 전구체는 탄소(C), 산소(O) 및 수소(H) 중 적어도 하나의 리간드(ligand)를 포함하고 있다. 그런데 이러한 리간드들은 전극의 저항을 증가시키는 불순물로 작용하며, 이에 따라 반도체 소자의 전기적 특성이 저하되는 문제가 있다.
- [5]
- [6] 또한, 반도체 기술의 발전에 따라 반도체 소자의 고속화 및 고집적화가 급속도로 진행되고 있으며, 이에 따라 패턴의 미세화 및 패턴 치수의 고정밀화에 대한 요구가 점점 높아지고 있다. 그러나, 반도체 소자의 전극은 하부막 및 상부막에 따라 막의 막질의 특성이 저하되며, 이에 따라 반도체 소자 동작에 영향을 줄 수 있다. 이에, 최근에는 3차원 구조로 반도체 소자를 제조하여 반도체 소자의 동작을 향상시키기 위한 연구 개발이 지속적으로 이루어지고 있다.
- [7] 이와 같은, 제조 과정에서 반도체 소자를 구성하는 실리콘 또는 실리콘 함유막 및 전극은 패터닝 또는 평탄화 과정에서 식각 가스에 노출된다. 식각 가스는 할로젠 원소를 함유한 가스일 수 있다. 할로젠 원소로서 대표적인 불소(F)나 염소(Cl) 등과 같은 원소는 실리콘 또는 실리콘 함유막의 표면과 반응할 수 있다. 실리콘 또는 실리콘 함유막은 증착 가스에 노출되면 식각될 수 있다. 실리콘 또는 실리콘 함유막 위에 절연막이나 유전막이나 금속막이 형성될 때, 이들 박막을 증착 위한 가스가 불소나 염소 등과 같은 할로젠 원소를 포함하는 경우, 박막을 형성하는 과정에서 불소나 염소 등과 같은 할로젠 원소에 의해서 하부막인 실리콘 또는 실리콘 함유막이 의도치 않게 식각될 수 있다. 증착과정에서 증착 가스 등에 포함된 할로젠 원소에 의해서 실리콘 또는 실리콘 함유막이 식각되면, 식각된 실리콘 또는 실리콘 함유막의 표면은 손상을 받아 막의 표면이 불규칙하게 된다. 표면이 불규칙한 하부막 위에 형성되는 상부막은 하부막과 사이의 계면에서 결함이 발생할 수 있고, 상부막의 형성에도 부정적인 영향을 미칠 수 있다.

- [8] 증착 과정에서 발생하는 하부막의 손상을 방지하기 위하여 실리콘 또는 실리콘 함유막 상부에 바로 증착막을 형성하지 않고, 하부막의 손상을 방지하는 목적으로 배리어막을 형성할 수 있다. 증착막이 반도체 소자의 전극으로 사용되기 위한 경우, 실리콘 또는 실리콘 함유막 위에 배리어막으로 티타늄질화막(TiN)을 형성할 수 있다.
- [9] 배리어막으로서 티타늄질화막은 이후에 형성되는 금속막인 전극을 형성할 때 생성되는 할로젠 원소가 하부막인 실리콘 또는 실리콘 함유막을 손상하는 것 방지하기도 하지만, 티타늄질화막을 형성하기 위한 반응가스 역시 할로젠 원소를 포함할 수 있다. 일례로 사염화티탄(TiCl_4)가 티타늄질화막을 형성하는데 일반적으로 사용된다. 따라서, 실리콘 또는 실리콘 함유막과 전극 사이에 형성되는 배리어막인 티타늄질화막도 형성과정에서 하부막인 실리콘 또는 실리콘 함유막의 손상을 줄 수 있고 실리콘 또는 실리콘 함유막의 표면이 불규칙해질 수 있다. 배리어막인 티타늄질화막 상에 전극이 형성될 때, 전극을 형성하는 증착가스에 포함된 할로젠 원소에 의해서 티타늄질화막이 손상을 받을 수 있다. 하부막인 실리콘 또는 실리콘 함유막에 손상을 줄더라도 배리어막인 티타늄질화막 자체가 손상을 받아 티타늄질화막에서 크랙이 발생하거나 티타늄질화막 자체가 손상될 수도 있다.
- [10] (선행기술문헌)
- [11] 한국등록특허 10-0942958
- [12] 한국공개특허 10-2011-0001487

발명의 상세한 설명

기술적 과제

- [13] 본 발명은 전극의 저항을 낮출 수 있는 반도체 소자의 전극 형성 방법을 제공한다.
- [14] 본 발명은 불순물을 제거할 수 있는 반도체 소자의 전극 형성 방법을 제공한다.
- [15] 본 발명은 전극을 형성하는 과정에서 발생하는 하부막의 손상을 감소하기 위한 반도체 소자의 전극 형성 방법 및 반도체 소자의 전극을 제공한다.

기술적 해결방법

- [16] 본 발명의 실시예에 따른 반도체 소자의 전극 형성 방법은 기판을 준비하는 단계; 상기 기판 상에 저 저항 금속 원소를 포함하는 전구체(precursor)를 분사하는 단계; 상기 기판 상에 수소(H) 또는 산소(O)를 포함하는 가스를 분사하여 저 저항 금속 박막층을 형성하는 단계를 포함할 수 있다.
- [17] 상기 전구체를 분사하는 단계 및 저 저항 금속 박막층을 형성하는 단계를 순차적으로 복수회 실시할 수 있다.
- [18] 상기 전구체를 분사하는 단계 후에 상기 기판을 제1플라즈마에 노출시켜 상기 기판 상에 흡착된 불순물을 제거하는 단계; 및 상기 저 저항 금속 박막층을 형성하는 단계 후에 상기 저 저항 금속 박막층을 제2플라즈마에 노출시켜

불순물을 제거하는 단계;를 포함하고, 상기 전구체를 분사하는 단계, 상기 제1플라즈마에 노출시키는 단계, 상기 제2플라즈마에 노출시키는 단계를 순차적으로 복수회 실시할 수 있다.

[19] 상기 저 저항 금속 원소는 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함할 수 있다.

[20] 상기 제1플라즈마는 수소(H)를 포함하는 플라즈마 또는 산소(O)를 포함하는 플라즈마로 형성할 수 있다.

[21] 상기 제2플라즈마는 수소(H)를 포함하는 플라즈마 또는 산소(O)를 포함하는 플라즈마로 형성할 수 있다.

[22] 상기 기관 상에 TiN 박막층을 형성하는 단계를 더 포함하고, 상기 TiN 박막층을 형성하는 단계는, 상기 기관 상에 티타늄(Ti)을 포함하는 소스를 분사하는 단계; 및 상기 기관 상에 질소(N)를 포함하는 가스를 분사하는 단계;를 포함하고, 상기 저 저항 금속 원소를 포함하는 전구체를 분사하는 단계, 저 저항 금속 박막층을 형성하는 단계 및 상기 TiN 박막층을 형성하는 단계를 순차적으로 복수회 실시할 수 있다.

[23] 상기 기관을 준비하는 단계에 있어서, 상부면에 TiN 박막층이 형성된 기관을 준비할 수 있다.

[24]

[25] 본 발명의 실시예에 따른 반도체 소자의 전극 형성 방법은, 기관을 준비하는 단계; 제1 저 저항 금속 원소를 포함하는 소스를 분사하고, 수소(H) 또는 산소(O)를 포함하는 가스를 분사하여 제1 저 저항 금속 박막층을 형성하는 단계; 및 제2 저 저항 금속 원소를 포함하는 소스를 분사하고, 수소(H) 또는 산소(O)를 포함하는 가스를 분사하여 제2 저 저항 금속 박막층을 형성하는 단계;를 포함하고, 상기 제1 저 저항 금속 박막층을 형성하는 단계와 제2 저 저항 금속 박막층을 형성하는 단계를 순차적으로 복수회 실시할 수 있다.

[26] 상기 제1 저 저항 금속 원소 및 제2 저 저항 금속 원소는 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함할 수 있다.

[27] 상기 제1 저 저항 금속 원소와 상기 제2 저 저항 금속 원소는 동일한 금속 원소를 포함할 수 있다.

[28] 상기 제1 저 저항 금속 원소 및 상기 제2 저 저항 금속 원소 중 적어도 하나는, 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 둘 이상을 포함할 수 있다.

[29] 티타늄(Ti)을 포함하는 소스를 분사하고, 질소(N)를 포함하는 리액턴트를 분사하여 TiN 박막층을 형성하는 단계를 더 포함하고, 상기 제1 저 저항 금속 박막층을 형성하는 단계, 제2 저 저항 금속 박막층을 형성하는 단계 및 TiN 박막층을 형성하는 단계를 순차적으로 반복 실시할 수 있다.

[30] 상기 기관을 준비하는 단계에 있어서, 상부면에 TiN 박막층이 형성된 기관을 준비할 수 있다.

[31]

- [32] 본 발명의 실시예에 따른 반도체 소자의 전극 형성 방법은, 기판을 준비하는 단계; 상기 기판 상에 저 저항 금속 원소를 포함하는 액상의 전구체(precursor)를 분사하는 단계; 상기 기판 상에 수소(H) 또는 산소(O)를 포함하는 가스를 분사하여 저 저항 금속 박막층을 형성하는 단계;를 포함할 수 있다.
- [33] 상기 전구체를 분사하는 단계 및 저 저항 금속 박막층을 형성하는 단계를 순차적으로 복수회 실시할 수 있다.
- [34] 상기 저 저항 금속 원소는 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함할 수 있다.
- [35]
- [36] 본 발명의 실시예는 반도체 소자의 전극 형성 방법으로서, 실리콘 또는 실리콘 함유막 상에 루테튬막 또는 루테튬 함유막을 형성하는 단계; 상기 루테튬막 또는 루테튬 함유막 상에 텅스텐 함유막을 형성하는 단계;를 포함할 수 있다.
- [37] 상기 루테튬막 또는 루테튬 함유막의 두께는 상기 텅스텐 함유막 두께의 50%이하의 두께로 형성하는 것이 바람직할 수 있다.
- [38] 상기 루테튬막 또는 루테튬 함유막은 $5\text{\AA} \sim 50\text{\AA}$ 의 두께로 형성하는 것이 바람직할 수 있다.
- [39] 상기 루테튬막 또는 루테튬 함유막은 원자층 증착 방식으로 형성하는 것이 바람직할 수 있다.
- [40] 상기 루테튬막 또는 루테튬 함유막은 루테튬을 함유하는 유기소스로 형성하는 것이 바람직할 수 있다.
- [41] 상기 텅스텐 함유막은 텅스텐 할로젠 가스로 형성하는 것이 바람직할 수 있다.
- [42] 상기 전극은 메모리 소자의 전극, 워드라인, 비트라인, 트랜지스터의 전극, GaN 반도체의 전극, GaAs 반도체의 전극 중 어느 하나인 것이 바람직할 수 있다.
- [43] 본 발명의 실시예에 따른 반도체 소자의 전극 형성 방법은 상기 루테튬막 또는 루테튬 함유막을 형성하기 전에, 상기 실리콘 또는 실리콘 함유막의 표면의 산화물 또는 불순물을 제거하는 단계;를 포함할 수 있다.
- [44] 본 발명의 실시예에 따른 반도체 소자의 전극은, 실리콘 또는 실리콘 함유막; 상기 실리콘 또는 실리콘 함유막 상에 형성된 루테튬막 또는 루테튬 함유막; 및 상기 루테튬막 또는 루테튬 함유막 상에 형성된 텅스텐 함유막;을 포함할 수 있다.
- [45] 상기 루테튬막 또는 루테튬 함유막의 두께는 상기 텅스텐 함유막 두께의 50%이하의 두께로 형성하는 것이 바람직할 수 있다.
- [46] 상기 루테튬막 또는 루테튬 함유막은 $5\text{\AA} \sim 50\text{\AA}$ 의 두께로 형성하는 것이 바람직할 수 있다.
- [47] 상기 루테튬막 또는 루테튬 함유막은 원자층 증착 방식으로 형성하는 것이 바람직할 수 있다.
- [48] 상기 루테튬막 또는 루테튬 함유막은 루테튬을 함유하는 유기소스로 형성하는 것이 바람직할 수 있다.

- [49] 상기 텅스텐 함유막은 텅스텐 할로젠 가스로 형성하는 것이 바람직할 수 있다.
 [50] 상기 전극은 메모리 소자의 전극, 워드라인, 비트라인, 트랜지스터의 전극 중 어느 하나일 수 있다.

발명의 효과

- [51] 본 발명의 실시예들에 의하면, 저 저항 금속 원소를 포함하는 전구체를 분사한 후에 환원가스를 분사한다. 또한, 환원가스를 분사하기 전과 환원가스를 분사한 후에 수소 플라즈마 또는 산소 플라즈마를 발생시킨다.
 [52] 이에, 저 저항 금속 원소를 포함하는 전구체로부터 기인한 리간드 불순물을 제거한 전극을 마련할 수 있다. 따라서 저항이 낮은 전극을 마련할 수 있다.
 [53] 또한, 본 발명의 실시예들에 의하면, 하부막의 손상을 감소시키도록 베리어막 및 전극을 형성할 수 있다.

도면의 간단한 설명

- [54] 도 1은 본 발명의 제1실시예에 따른 전극이 기판 상에 형성된 상태를 도시한 도면이다.
 [55] 도 2는 본 발명의 제1실시예에 따른 방법으로 전극을 형성하는 방법을 설명하기 위한 개념도이다.
 [56] 도 3은 본 발명의 제1실시예에 따른 방법으로 전극을 형성하는 방법을 개념적으로 도시한 공정도이다.
 [57] 도 4는 본 발명의 제2실시예에 따른 전극이 기판 상에 형성된 상태를 도시한 도면이다.
 [58] 도 5는 본 발명의 제2실시예에 따른 방법으로 전극을 형성하는 방법을 설명하기 위한 개념도이다.
 [59] 도 6은 제1실시예의 제1변형예에 따른 전극이 기판 상에 형성된 상태를 도시한 도면이다.
 [60] 도 7은 제1실시예의 제2변형예에 따른 전극이 기판 상에 형성된 상태를 도시한 도면이다.
 [61] 도 8은 본 발명의 제3실시예에 따른 반도체 소자의 구조를 개략적으로 나타내는 도면이다.
 [62] 도 9 내지 도 11은 본 발명의 제3실시예에 따른 반도체 소자의 형성 방법을 예시적으로 나타내는 도면이다.

발명의 실시를 위한 형태

- [63] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 본 발명의 실시예를 설명하기 위하여 도면은 과장될 수 있고, 도면상의 동일한 부호는 동일한 구성요소를 지칭한다.

[64]

[65] 본 발명의 실시예들은 반도체 소자의 전극 형성 방법에 관한 것으로, 보다 상세하게는 전기적 특성이 향상된 반도체 소자의 전극 형성 방법에 관한 것이다. 더 구체적으로, 본 발명의 실시예들은 저 저항 금속 박막층 형성 방법을 포함하는 반도체 소자의 전극 형성 방법에 관한 것이다.

[66] 구체적인 예로, 반도체 소자는 낸드 플래시(Nand flash)일 수 있고, 전극은 상기 낸드 플래시의 게이트 전극일 수 있다. 물론, 실시예들에 따른 방법으로 형성되는 전극은 게이트 전극에 한정되지 않으며 도전성이 필요한 다양한 구성 예를 들어 낸드 플래시의 워드라인(word line)일 수 있다. 그리고 실시예들에 따른 방법으로 형성되는 전극은 낸드 플래시에 한정되지 않으며, 다양한 반도체 소자에서 도전성이 필요한 박막에 적용될 수 있다.

[67]

[68] 도 1은 본 발명의 제1실시예에 따른 전극이 기판 상에 형성된 상태를 도시한 도면이다.

[69] 도 1을 참조하면, 전극(100)은 기판(S) 상에 형성될 수 있다. 여기서 기판(S)은 웨이퍼(wafer)일 수 있고, Si 웨이퍼, GaAs 웨이퍼 및 SiGe 웨이퍼 중 어느 하나 일 수 있다.

[70] 전극(100)은 저 저항 금속 원소를 이용하여 형성된 것일 수 있다. 여기서 저 저항 금속 원소는 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함할 수 있다. 이에, 전극은 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 이용하여 형성된 박막 또는 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함하는 박막일 수 있다.

[71]

[72] 이하, 도 1 내지 도 3을 참조하여 본 발명의 제1실시예에 따른 방법으로 기판 상에 전극을 형성하는 방법을 설명한다.

[73] 도 2는 본 발명의 제1실시예에 따른 방법으로 전극을 형성하는 방법을 설명하기 위한 개념도이다. 도 3은 본 발명의 제1실시예에 따른 방법으로 전극을 형성하는 방법을 개념적으로 도시한 공정도이다.

[74] 도 2에서 'on'은 증착을 위한 원료를 분사하거나 플라즈마(plasma)를 발생시킨다는 의미이고, 'off'는 원료 분사를 중단 또는 종료하거나 플라즈마(plasma)를 발생시키지 않는다는 의미일 수 있다.

[75] 도 2를 참조하면, 전극(100)을 형성하는 방법은, 저 저항 금속 원소를 포함하는 전구체(precursor)를 분사하는 과정(전구체 분사 과정) 및 수소(H) 또는 산소(O)를 포함하는 환원가스를 분사하여 기판(S) 상에 저 저항 금속 박막층(110)을 형성하는 과정(환원가스 분사 과정)을 포함할 수 있다.

[76] 또한, 전극(100)을 형성하는 방법은, 전구체 분사 과정 종료 후에 수소(H) 또는 산소(O)를 포함하는 가스를 이용하여 플라즈마를 발생시키는 과정(제1플라즈마 발생 과정) 및 환원가스 분사 과정 과정 종료 후에 수소(H) 또는 산소(O)를

포함하는 가스를 이용하여 플라즈마(이하, 제2플라즈마)를 발생시켜 저 저항 금속 박막층(110)으로부터 불순물을 제거하는 과정(제2플라즈마 발생 과정)을 더 포함할 수 있다.

[77] 그리고 전극(100)을 형성하는 방법은, 전구체 분사 과정과 제1플라즈마 발생 과정 사이에서 퍼지가스를 분사하는 과정(1차 퍼지 과정) 및 환원가스 분사 과정과 제2플라즈마 발생 과정 사이에서 퍼지가스를 분사하는 과정(2차 퍼지 과정)을 더 포함할 수 있다.

[78] 즉, 전극(100)을 형성하는 방법은, 전구체 분사 과정, 퍼지가스를 분사하는 과정(1차 퍼지 과정), 제1플라즈마 발생 과정, 환원가스 분사 과정, 퍼지가스를 분사하는 과정(2차 퍼지 과정) 및 제2플라즈마 발생 과정을 포함할 수 있다.

[79] 또한, 상술한 바와 같은 '전구체 분사 과정 - 제1플라즈마 발생 과정 - 1차 퍼지 과정 - 환원가스 분사 과정 - 제2플라즈마 발생 과정 - 2차 퍼지 과정'을 저 저항 금속 박막층(110)을 형성하기 위한 하나의 공정 사이클(cycle)(CY)로 할 수 있다. 그리고, 상술한 공정 사이클(CY)을 복수 번 반복하여 도 1과 같이 복수의 저 저항 금속 박막층(110)을 증착 또는 적층한다. 이에, 복수의 저 저항 금속 박막층(110)이 적층된 전극 또는 복수의 저 저항 금속 박막층(110)을 포함하는 반도체 소자의 전극(100)이 형성된다. 이때, 공정 사이클(CY)의 반복 횟수는 형성하고자 하는 전극(100)의 목표 두께에 따라 조절될 수 있다.

[80] 도 1에서는 복수의 공정 사이클(CY)에 의해 형성된 박막층을 구분하기 위하여 각 저 저항 금속 박막층(110)을 구분하여 나타내었지만, 적층된 복수의 저 저항 금속 박막층(110)은 일체형일 수 있다.

[81]

[82] 이하에서 공정 사이클(CY)의 각 단계에 대해 보다 구체적으로 설명한다. 이때 설명의 편의를 위하여 상술한 공정 사이클(CY)에 의해 형성되는 '저 저항 금속 박막층(110)'을 '금속 박막층(110)'으로 약하여 설명한다.

[83] 전구체(precursor)를 분사하는 과정에서는, 저 저항 금속 원소를 포함하는 전구체를 기판(S)이 장입되어 있는 챔버 내부로 분사한다. 즉, 저 저항 금속 원소를 포함하는 재료를 전구체로 사용한다. 여기서, 저 저항 금속 원소는 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나일 수 있다. 즉, 저 저항 금속 원소를 포함하는 전구체는 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함하는 전구체일 수 있다. 그리고 '저 저항 금속 원소를 포함하는 전구체'는 '저 저항 금속 원소를 포함하는 소스'로 명명될 수 있다.

[84] 몰리브덴(Mo)을 포함하는 전구체로 예를 들어 몰리브덴 헥사카보닐(Molybdenum Hexacarbonyl), 몰리브덴펜타클로라이드(Molybdenum Pentachloride) 중 적어도 하나를 포함하는 재료를 사용할 수 있다.

[85] 그리고, 루테튬(Ru)을 포함하는 전구체는 예를 들어 에틸사이클로펜타디에닐 루테튬((EtCp)₂Ru)(Bis(ethylcyclopentadienyl)ruthenium)를 포함하는 재료를 사용할 수 있다.

- [86] 또한, 구리(Cu)를 포함하는 전구체는 예를 들어 유기 금속 화합물을 사용하거나, F 또는 Cl을 함유하는 재료를 사용할 수 있다. 보다 구체적인 예로 유기 금속 화합물인 구리(Cu) 함유 전구체 소스로 예를 들어 Cu(II)-2,2,6,6-tetramethyl-3,5-heptandionate[Cu(thd)₂] 및 Cu(II) hexafluoroacetylacetonate [Cu(hfac)₂] 중 적어도 하나를 포함하는 재료를 사용할 수 있다. 그리고, F 또는 Cl을 함유하는 구리 전구체 소스로 CuCl₁, CuCl₂, CuF₁, CuF₂, CuBr₁, CuBr₂, CuI₁ 또는 CuI₂인 중 적어도 하나를 함유하는 재료를 사용할 수 있다.
- [87] 그리고, 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함하는 전구체는 고체상 또는 액상일 수 있다. 이에, 분사 전에 고체상 또는 액상 상태의 전구체를 가열하여 가스로 변환시킨 후, 가스 상태의 전구체를 기판(S)으로 분사시킨다. 전구체를 기판(S)을 향해 분사하면, 상기 전구체 또는 전구체에 포함된 저저항 금속 원소가 기판(S)으로 흡착되며, 이에 도 3의 (a)와 같이 기판(S) 상에 흡착층(111)이 형성된다. 즉, 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나의 금속을 포함하는 흡착층(111) 또는 박막이 형성된다.
- [88] 전구체 분사 과정이 종료되면, 챔버 내부로 퍼지가스를 분사하여 퍼지한다(1차 퍼지). 이때 퍼지가스로 예를 들어 Ar 가스를 사용할 수 있다.
- [89]
- [90] 한편, 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함하는 전구체에는 그 재료의 종류에 따라 탄소(C), 산소(O) 및 수소(H) 중 적어도 하나의 리간드(ligand)가 포함될 수 있다. 즉, 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나의 저저항 금속 원소를 포함하는 전구체를 분사할 때 불순물로 작용하는 산소(C), 산소(O) 및 수소(H) 중 적어도 하나의 리간드(ligand)가 흡착될 수 있다. 그리고 이러한 리간드들은 전극(100)의 전기적 특성을 저하시키는 예를 들어 저항을 높이는 불순물로 작용한다.
- [91] 따라서, 실시예에서는 전구체를 분사한 후에 산소(O) 또는 수소(H)를 포함하는 환원가스를 분사하여 전구체로부터 기인한 불순물을 제거한다. 또한, 전구체 분사 후와, 환원가스 분사 후에 수소 플라즈마 또는 산소 플라즈마를 발생시켜 전구체로부터 기인한 불순물을 제거한다.
- [92]
- [93] 제1플라즈마 발생 과정은 흡착층(111)으로부터 불순물을 제거하기 위한 단계로서, 전구체의 분사가 종료된 후에 실시될 수 있다. 보다 구체적으로 설명하면, 전구체 분사가 종료되면, 챔버 내부 또는 기판(S)을 향해 플라즈마 발생용 가스를 분사하고, 플라즈마 발생을 위한 전원을 공급한다. 이때 예를 들어 챔버, 챔버 내부에서 기판(S)이 안착되어 있는 서셉터 및 챔버 내부로 가스를 분사하는 분사부 중 적어도 하나에 RF(Radio Frequency) 전원을 인가한다. 또한, 플라즈마 발생용 가스는 예를 들어 수소(H)를 포함하는 가스 또는 산소(O)를 포함하는 가스일 수 있다. 보다 구체적으로 수소(H)를 포함하는

가스는 H_2 가스일 수 있고, 산소(O)를 포함하는 가스는 O_2 가스일 수 있다. 이렇게 RF 전원을 인가하고 수소(H) 또는 산소(O)를 포함하는 가스를 분사하면, 챔버 내부에 수소를 포함하는 플라즈마 또는 산소를 포함하는 플라즈마가 생성될 수 있다. 즉, 수소 플라즈마 또는 산소 플라즈마가 생성될 수 있다. 이에, 기관(S) 또는 흡착층(111)이 형성된 기관(S)이 제1플라즈마에 노출된다.

- [94] 발생된 수소 플라즈마 또는 산소 플라즈마는 기관 상에 흡착된 흡착층(111)과 반응하여, 상기 흡착층(111)로부터 탄소(C), 산소(O) 및 수소(H) 중 적어도 하나를 제거한다. 즉, 전구체로부터 기인한 탄소(C), 산소(O) 및 수소(H) 적어도 하나의 리간드가 흡착층(111)에 함유되어 있는데, 수소 플라즈마 또는 산소 플라즈마가 흡착층(111)과 반응하면, 상기 리간드가 흡착층(111)로부터 떨어져 나간다. 즉, 수소 플라즈마 또는 산소 플라즈마에 의해 흡착층(111)의 전구체에 포함되어 있는 탄소(C), 산소(O) 및 수소(H) 중 적어도 하나의 리간드 결합이 깨지면서 흡착층(111) 밖으로 떨어져 나간다. 다른 말로 설명하면 플라즈마에 의해 흡착층(111)으로부터 탄소(C), 산소(O) 및 수소(H) 중 적어도 하나의 리간드 불순물이 빠져 나간다. 이에 따라, 흡착층(111)에 함유된 탄소(C), 산소(O) 및 수소(H) 적어도 하나의 리간드 불순물의 함량이 감소하거나, 제거될 수 있다.

[95]

- [96] 환원가스 분사 과정은 제1플라즈마 발생 과정이 종료된 후에 실시하며, 환원가스를 챔버 내부에 장입된 기관(S)을 향해 분사한다. 환원가스로 수소(H) 또는 산소(O)를 포함하는 가스를 사용하며, 보다 구체적인 예로, 환원가스로 H_2 가스 또는 O_2 가스를 사용할 수 있다.

- [97] 이하에서는 기관(S)으로 전구체를 분사하여 형성된 흡착층(111)과(도 3의 (a)), 흡착층(111)이 형성된 기관(S)으로 환원가스가 분사되어 환원가스에 노출된 흡착층(111) 또는 환원가스와 반응한 흡착층(111)을 구분하기 위하여, 흡착층(111)이 형성된 기관(S)으로 환원가스가 분사되어 환원가스에 노출된 흡착층(111) 또는 환원가스와 반응한 흡착층(111)을 '저 저항 금속 박막층(110)' 또는 '금속 박막층(110)'으로 명명한다.

- [98] 기관(S)을 향해 환원가스가 분사되면, 이에 도 3의 (c)와 같이 저 저항 금속 박막층(110)(이하, 금속 박막층(110))이 형성된다. 즉, 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함하는 금속 박막층(110)이 형성된다.

- [99] 이때, 환원가스에 포함된 수소(H) 또는 산소(O)는 흡착층(111) 또는 금속 박막층(110)에 잔류하고 있는 탄소(C), 산소(O) 및 수소(H) 중 적어도 하나의 리간드 불순물을 제거한다. 즉, 흡착층(111)에는 제1플라즈마 발생 과정에서 제거되지 못한 탄소(C), 산소(O) 및 수소(H) 중 적어도 하나의 리간드 불순물이 잔류하고 있을 수 있다. 이러한 리간드 불순물은 환원가스 분사 과정에서 분사되는 수소(H) 또는 산소(O)에 의해 추가로 제거될 수 있다. 다시 말해, 환원가스에 포함된 수소(H) 또는 산소(O)에 의해 흡착층(111) 또는 금속 박막층(110)의 전구체에 포함되어 있는 탄소(C), 산소(O) 및 수소(H) 중 적어도

하나의 리간드 결합이 깨지면서 제거될 수 있다. 이에 따라, 금속 박막층(110)에 함유된 탄소(C), 산소(O) 및 수소(H) 적어도 하나의 리간드 불순물의 함량이 감소하거나, 제거될 수 있다.

- [100] 이러한 환원가스 분사 과정에서 분사되는 환원가스의 유량은 상술한 제1플라즈마 발생 과정과 후술되는 제2플라즈마 발생 과정에서 분사되는 가스에 비해 많은 양으로 분사될 수 있다. 즉, 수소(H) 또는 산소(O)를 포함하는 가스의 분사 유량에 있어서, 환원가스 분사 과정에서 분사되는 유량이 제1 및 제2플라즈마 발생 과정에서 분사되는 유량에 비해 많도록 조절하는 것이 바람직하다. 이에, 불순물 제거 측면에서 볼 때, 제1 및 제2플라즈마 발생 과정에 비해 환원가스 분사 과정에서 상대적으로 많은 불순물의 제거가 이루어질 수 있다.
- [101] 또한, 환원가스 분사 과정에서 분사되는 수소(H) 또는 산소(O)를 포함하는 가스는 제1 및 제2플라즈마 발생 과정에서 분사되는 가스에 비해 유량이 많지만, 그 유량은 전구체의 금속을 산화시키지 않을 정도의 미량일 수 있다.
- [102] 상술한 바와 같은 환원가스는 불순물 제거용 가스로 명명될 수 있다.
- [103] 환원가스 분사 과정이 종료되면, 챔버 내부로 퍼지가스를 분사하여 퍼지한다(2차 퍼지). 이때 1차 퍼지에서와 동일한 가스를 사용할 수 있으며 예를 들어 퍼지가스로 예를 들어 Ar 가스를 사용할 수 있다.
- [104]
- [105] 한편, 환원가스를 분사하여 금속 박막층(110)으로부터 불순물을 제거하나, 금속 박막층(110)에 불순물이 일부 잔류할 수 있다.
- [106] 따라서, 환원가스 분사 후에 산소 플라즈마 또는 수소 플라즈마를 발생(제2플라즈마 발생)시켜 불순물을 추가로 제거한다.
- [107] 제2플라즈마 발생 과정은 금속 박막층(110)으로부터 불순물을 추가 제거하기 위한 단계로서, 환원가스 분사가 종료된 후에 실시될 수 있다. 보다 구체적으로는 2차 퍼지가 종료된 후에 실시될 수 있다. 이때, 상술한 제1플라즈마 발생 과정과 동일한 방법으로 제2플라즈마를 발생 또는 생성할 수 있다. 즉, 수소(H) 또는 산소(O)를 포함하는 플라즈마 발생용 가스를 기판(S)을 향해 분사하고, RF 전원을 인가한다. 이에, 챔버 내부에 수소 플라즈마 또는 산소 플라즈마가 생성된다(도 3의 (d) 참조). 이에, 금속 박막층(110)이 제2플라즈마에 노출된다.
- [108] 발생된 수소 플라즈마 또는 산소 플라즈마는 기판(S) 상에 형성 또는 증착된 금속 박막층(110)과 반응한다. 그리고 플라즈마와의 반응에 의해 전구체로부터 기인한 탄소(C), 산소(O) 및 수소(H) 중 적어도 하나의 리간드 불순물이 금속 박막층(110)으로부터 떨어져 나간다. 다른 말로 설명하면 금속 박막층(110)으로부터 탄소(C), 산소(O) 및 수소(H) 중 적어도 하나의 리간드 불순물이 빠져 나간다. 이에 따라, 금속 박막층(110)에 함유된 탄소(C), 산소(O) 및 수소(H) 적어도 하나의 리간드 불순물의 함량이 감소하거나, 제거될 수 있다.

[109]

- [110] 이후, 상술한 바와 같은 '전구체 분사 과정 - 1차 퍼지 과정 - 제1플라즈마 발생 과정 - 환원가스 분사 과정 - 2차 퍼지 과정 - 제2플라즈마 발생 과정'을 포함하는 공정 사이클(CY)을 복수회 반복하여 실시한다. 이에, 도 1과 같이 기판(S) 상에 복수의 금속 박막층(110)이 적층되어 형성되며, 이에 따라 소정 두께의 전극(100)이 형성된다.
- [111]
- [112] 상기에서는 제1플라즈마 발생 과정 종료 후에 환원가스를 분사하는 것으로 설명하였다. 하지만 이에 한정되지 않고 제1플라즈마 발생 과정과 환원가스 분사 과정 사이에 퍼지가스를 분사하는 과정이 더 실시될 수 있다.
- [113]
- [114] 상술한 바와 같은 '전구체 분사 과정, 1차 퍼지 과정, 제1플라즈마 발생 과정, 환원가스 분사 과정, 2차 퍼지 과정, 제2플라즈마 발생 과정'이 실시되는 증착 장치는 전구체 또는 가스를 기판의 측 방향에서 분사하는 증착 장치일 수 있다. 즉, 증착 장치는 챔버, 상부에 기판(S)이 안착될 수 있도록 챔버 내부에 설치된 서셉터 및 서셉터의 측방향에서 상기 서셉터에 안착된 기판(S)을 향해 전구체 또는 가스를 분사할 수 있도록 챔버의 측벽에 설치된 분사부를 포함할 수 있다. 또한, 증착 장치는 챔버, 서셉터 및 분사부 중 적어도 하나에 플라즈마 발생용 전원 예컨대 RF 전원을 인가하는 전원부를 포함할 수 있다. 그리고 이러한 증착 장치를 이용하면 전구체 또는 가스들이 기판(S)의 측 방향에서 분사되어 상기 기판을 향해 흐르게 된다.
- [115] 상기에서는 분사부가 서셉터의 측방향에 설치되어 전구체 또는 가스를 기판(S)의 측 방향으로 분사하는 증착 장치를 이용하여 전극(100)을 형성하는 것을 설명하였다. 하지만 이에 한정되지 않고 분사부는 서셉터의 상측에 위치하도록 챔버의 상부벽에 설치될 수 있다. 이러한 증착 장치를 이용하면 전구체 또는 가스들이 기판(S)의 상측에서 분사될 수 있다.
- [116]
- [117] 도 4는 본 발명의 제2실시예에 따른 전극이 기판 상에 형성된 상태를 도시한 도면이다. 도 5는 본 발명의 제2실시예에 따른 방법으로 전극을 형성하는 방법을 설명하기 위한 개념도이다.
- [118] 도 4를 참조하면, 제2실시예에 따른 전극(100)은 제1금속 박막층(110a) 및 제2금속 박막층(110b)을 포함할 수 있고, 제1금속 박막층(110a)과 제2금속 박막층(110b)은 교대로 적층될 수 있다. 이때, 제1 및 제2금속 박막층(110a, 110b) 각각은 저 저항 금속 원소를 포함하는 층일 수 있다. 즉, 제1 및 제2금속 박막층(110a, 110b) 각각은 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함하는 층일 수 있다. 그리고, 제1금속 박막층(110a)과 제2금속 박막층(110b)은 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 서로 다른 저 저항 금속 원소를 포함하는 층이거나, 동일한 저 저항 금속 원소를 포함하는 층일 수 있다.

- [119] 여기서 제1 및 제2금속 박막층(110a, 110b) 각각은 '제1저 저항 금속 박막층(110a)' 및 '제2저 저항 금속 박막층(110b)'으로 명명될 수 있다.
- [120] 이하, 도 4 및 도 5를 참조하여 본 발명의 제2실시예에 따른 방법으로 기판 상에 전극을 형성하는 방법을 설명한다. 이때, 제1금속 박막층과 제2금속 박막층이 서로 다른 저 저항 금속 원소를 포함하는 층으로 형성되는 경우를 예를 들어 설명한다.
- [121] 도 5를 참조하면, 전극(100)을 형성하는 방법은, 제1공정 사이클(CY₁)과 제2공정 사이클(CY₂)을 포함한다.
- [122] 제1공정 사이클(CY₁)은 제1금속 박막층(110a) 형성을 위한 공정 사이클이다. 이러한 제1공정 사이클(CY₁)은 '제1전구체 분사 과정 - 1차 퍼지 과정 - 제1플라즈마 발생 과정 - 환원가스 분사 과정 - 2차 퍼지 과정 - 제2플라즈마 발생 과정'을 포함할 수 있다. 여기서, 제1전구체는 제1소스로 명명될 수 있다. 제1공정 사이클(CY₁)에서 사용하는 제1전구체는 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나의 저 저항 금속 원소를 포함하는 전구체일 수 있다. 예를 들어 제1공정 사이클(CY₁)에서 사용하는 제1전구체는 몰리브덴(Mo)을 포함하는 전구체일 수 있다. 이에, 제1공정 사이클(CY₁)에 의해 몰리브덴(Mo)을 포함하는 제1금속 박막층(110a)이 형성될 수 있다.
- [123] 제2공정 사이클(CY₂)은 제2금속 박막층(110b) 형성을 위한 공정 사이클로서, 상기 제2공정 사이클(CY₂)은 '제2전구체 분사 과정 - 1차 퍼지 과정 - 제1플라즈마 발생 과정 - 환원가스 분사 과정 - 2차 퍼지 과정 - 제2플라즈마 발생 과정'을 포함할 수 있다. 여기서, 제2전구체는 제2소스로 명명될 수 있다. 이때, 제2공정 사이클(CY₂)에서 사용하는 제2전구체는 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나의 저 저항 금속 원소를 포함하면서, 제1전구체와 다른 전구체일 수 있다. 예를 들어 제2공정 사이클(CY₂)에서 사용하는 제2전구체는 루테튬(Ru)을 포함하는 전구체일 수 있다. 이에, 제2공정 사이클(CY₂)에 의해 루테튬(Ru)을 포함하는 제2금속 박막층(110b)이 형성될 수 있다.
- [124] 또한, 상술한 바와 같은 제1공정 사이클(CY₁)과 제2공정 사이클(CY₂)을 교대로 복수 번 반복하여 실시한다. 이에, 도 4와 같이 몰리브덴(Mo)을 포함하는 제1금속 박막층(CY₁)과, 루테튬(Ru)을 포함하는 제2금속 박막층(CY₂)이 교대로 복수번 적층된 전극이 형성된다.
- [125] 그리고, 제1 및 제2공정 사이클(CY₁, CY₂) 각각은 앞에서 설명한 제1실시예와 같이 제1플라즈마 발생 과정, 환원가스 분사 과정 및 제2플라즈마 발생 과정을 포함한다. 즉, 제1 및 제2공정 사이클(CY₁, CY₂) 각각은 전구체 분사 과정 후에 제1플라즈마를 발생시키고, 환원가스 분사 후에 제2플라즈마를 발생시키며, 상기 제1 및 제2플라즈마는 산소 플라즈마 또는 수소 플라즈마일 수 있다. 또한, 제1 및 제2공정 사이클(CY₁, CY₂) 각각은 제1플라즈마 발생 과정과 제2플라즈마 발생 과정 사이에 실시되는 환원가스 분사 과정을 포함하며, 환원가스로 수소(H) 또는 산소(O)를 포함하는 가스를 사용한다.

- [126] 이에 따라, 저 저항 금속 원소를 포함하는 전구체로 인한 불순물이 제거된 전극(100)을 형성할 수 있다. 즉, 제1공정 사이클(CY₁)에서 제1전구체를 분사한 후 제1플라즈마 발생 과정에서 수소 플라즈마 또는 산소 플라즈마를 발생시킴으로써, 제1전구체가 기판(S) 상에 흡착되어 형성된 제1흡착층으로부터 탄소(C), 산소(O) 및 수소(H) 적어도 하나의 리간드 불순물을 제거할 수 있다. 또한, 제1흡착층이 형성된 기판(S)을 향해 수소(H) 또는 산소(O)를 포함하는 환원가스를 분사함으로써, 잔류하고 있는 탄소(C), 산소(O) 및 수소(H) 적어도 하나의 리간드 불순물을 추가로 제거할 수 있다. 그리고, 제1공정 사이클(CY₂)에서 환원가스를 분사한 후 제2플라즈마 발생 과정에서 수소 플라즈마 또는 산소 플라즈마를 발생시킴으로써, 제1금속 박막층(110a)으로부터 탄소(C), 산소(O) 및 수소(H) 적어도 하나의 리간드 불순물을 추가로 더 제거할 수 있다.
- [127] 또한, 제2공정 사이클(CY₂)에서도 제1플라즈마 발생 과정, 환원가스 분사 과정, 제2플라즈마 발생 과정 각각에서 제2흡착층 및 제2금속 박막층(110b)으로부터 탄소(C), 산소(O) 및 수소(H) 적어도 하나의 리간드 불순물을 제거할 수 있다.
- [128]
- [129] 도 6은 제1실시예의 제1변형예에 따른 전극이 기판 상에 형성된 상태를 도시한 도면이다.
- [130] 상술한 제1실시예에서는 기판 상에 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나의 저 저항 금속 원소를 포함하는 전구체를 이용하여 전극(100)을 형성하는 것을 설명하였다. 하지만, 이에 한정되지 않고 저 저항 금속 원소 외에 다른 금속 원소를 포함하는 금속 박막층을 교대로 적층하여 전극을 형성할 수 있다. 즉, 저 저항 금속 원소를 포함하는 금속 박막층과, 상기 저 저항 금속 원소 외에 다른 원소를 포함하는 금속 박막층을 교대로 적층하여 전극을 형성할 수 있다.
- [131] 이하, 변형예에 따른 전극에 대해 설명한다. 이때, 상술한 제1 및 제2실시예와의 구분을 위하여, 제1변형예에서 저 저항 금속 원소를 포함하는 금속 박막층을 '제1금속 박막층(110a)'이라 명명하고, 상기 저 저항 금속 원소 외에 다른 원소를 포함하는 금속 박막층을 '제3금속 박막층(110c)'이라 명명한다. 또한, 저 저항 금속 원소를 포함하는 제1금속 박막층(110a) 형성을 위한 사이클을 '제1공정 사이클(CY₁)'이라 명명하고, 제3금속 박막층(110c) 형성을 위한 사이클을 '제3공정 사이클(CY₃)'이라 명명한다.
- [132] 도 6을 참조하면, 제1변형예에 따른 전극(100)은 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나의 저 저항 금속 원소를 포함하는 제1금속 박막층(110a) 및 티타늄(Ti)을 포함하는 제3금속 박막층(110c)을 포함할 수 있다. 여기서 티타늄(Ti)을 포함하는 제3금속 박막층(110c)은 TiN 박막층일 수 있다. 그리고 도 6과 같이 제1금속 박막층(110a)과 제3금속 박막층(110c)을 교대로 복수번 적층하여 전극(100)을 형성할 수 있다. 즉, 전극(100)은 복수의 제1금속

박막층(110a)과 복수의 제3금속 박막층(110c)을 포함하며, 제1금속 박막층(110a)과 제3금속 박막층(110c)이 교대로 적층되어 형성될 수 있다.

[133] 티타늄(Ti)을 포함하는 제3금속 박막층(110c)을 형성하는 과정은, 티타늄(Ti)을 포함하는 소스를 기판(S) 상에 분사하는 과정(소스 분사 과정), 퍼지가스를 분사하는 과정(1차 퍼지 과정), 질소(N)를 포함하는 리액턴트 가스를 분사하는 과정(리액턴트 가스 분사 과정), 퍼지가스를 분사하는 과정(2차 퍼지)을 포함할 수 있다.

[134] 또한, '티타늄(Ti)을 포함하는 소스 분사 과정 - 1차 퍼지 과정 - 리액턴트 가스 분사 과정 - 2차 퍼지 과정'을 제3금속 박막층(110c) 형성을 위한 하나의 제3공정 사이클(CY₃)로 할 수 있다. 그리고, 제1공정 사이클(CY₁)과 제3공정 사이클(CY₃)을 교대로 복수회 반복함으로써, 저 저항 금속 원소를 포함하는 제1금속 박막층(110a)과 TiN 금속 박막층인 제3금속 박막층(110c)이 교대로 적층된 전극(100)을 형성할 수 있다.

[135] 또한, 도시되지는 않았지만, 도 4에 도시된 제2실시예에 따른 전극(100)이 TiN 금속 박막층을 포함하도록 형성할 수도 있다. 즉, 저 저항 금속 박막층인 제1 및 제2금속 박막층(110a, 110b)과 TiN 금속 박막층인 제3금속 박막층(110c)을 포함하도록 전극(100)을 형성할 수 있다. 이때, 제1금속 박막층(110a), 제2금속 박막층(110b), 제3금속 박막층(110c)을 순서로 교대로 반복 적층하여 전극을 형성할 수 있다.

[136]

[137] 도 7은 제1실시예의 제2변형예에 따른 전극이 기판 상에 형성된 상태를 도시한 도면이다.

[138] 상술한 제1변형예에서는 저 저항 금속 원소를 포함하는 제1금속 박막층(110a)과 티타늄(Ti)을 포함하는 제3금속 박막층(110c)이 교대로 적층된 전극(100)을 형성하는 것을 설명하였다. 하지만 이에 한정되지 않고 도 7에 도시된 제2변형예와 같이 같이 상부면에 티타늄(Ti)을 포함하는 금속 박막층인 제3금속 박막층(110c)이 형성된 기판(S)을 마련하고, 상기 제3금속 박막층(110c) 상에 복수의 제1 저 저항 금속 박막층(110a)을 형성하여 전극(100)을 형성할 수 있다. 즉, 상부면에 티타늄(Ti)을 포함하는 금속 박막층 예를 들어 TiN 박막층이 형성된 기판(S)을 마련하고, 상기 TiN 박막층 상에 복수의 제1저 저항 금속 박막층(110a)을 형성하여 전극(100)을 형성할 수 있다.

[139]

[140] 이와 같이, 제1 및 제2실시예들, 제1 및 제2변형예들에서는 전극(100)을 형성하는데 있어서, 저 저항 금속 원소를 포함하는 전구체를 분사한 후에 수소(H) 또는 산소(O)를 포함하는 환원가스를 분사한다. 이에, 기판(S)을 향해 전구체를 분사하였을 때 기판(S)으로 흡착된 불순물을 제거할 수 있다. 즉, 전구체에 포함된 탄소(C), 산소(O) 및 수소(H) 중 적어도 하나의 리간드 결합을 환원가스를 이용하여 끊어냄으로써, 기판(S) 상에 흡착된 흡착층(111)으로부터

불순물을 제거할 수 있다.

- [141] 또한, 저 저항 금속 원소를 포함하는 전구체를 분사하는 과정과 환원가스 분사 과정 사이에서 수소 플라즈마 또는 산소 플라즈마를 발생시키고(제1플라즈마 발생), 환원가스를 분사한 후에 수소 플라즈마 또는 산소 플라즈마를 발생시킨다(제2플라즈마 발생). 이에, 환원가스를 분사하기 전에 제1플라즈마를 이용하여 흡착층(111)에 함유되어 있는 탄소(C), 산소(O) 및 수소(H) 중 적어도 하나의 리간드 불순물을 제거할 수 있다. 또한, 환원가스를 분사한 후에 제2플라즈마를 이용하여 금속 박막층(110)에 함유되어 있는 탄소(C), 산소(O) 및 수소(H) 중 적어도 하나의 리간드 불순물을 추가로 더 제거할 수 있다.
- [142] 이에 따라, 저 저항 금속 원소를 포함하는 전구체로부터 기인한 탄소(C), 산소(O) 및 수소(H) 적어도 하나의 리간드 불순물을 제거한 전극(100)을 마련할 수 있다. 따라서, 불순물로 인한 전극(100)의 전기적 특성이 저하되는 것을 억제 또는 방지할 수 있다. 즉, 전기적 특성이 향상된 전극(100) 보다 구체적으로는 저항이 낮은 전극(100)을 마련할 수 있다.
- [143]
- [144] 이하, 도 8 내지 도 11을 참조하여, 본 발명의 제3실시예에 따른 반도체 소자의 전극 및 반도체 소자의 전극 형성 방법에 대해 설명한다.
- [145] 도 8은 본 발명의 제3실시예에 따른 반도체 소자의 구조를 개략적으로 나타내는 도면이다. 도 9 내지 도 11은 본 발명의 제3실시예에 따른 반도체 소자의 형성 방법을 예시적으로 나타내는 도면이다.
- [146] 이때, 도 8 내지 도 11은 설명의 편의를 위하여 앞에서 설명한 도 1, 도 3, 도 6, 도 7과 별개로 도면 부호를 기재하여 도시하였다.
- [147] 본 발명의 제3실시예는 실리콘 또는 실리콘 함유막 위에 전극을 형성할 때, 전극을 형성하는 과정에서 발생하는 하부막의 손상을 감소시킬 수 있는 반도체 소자의 전극 및 이의 형성 방법을 제공한다.
- [148] 또한, 본 발명의 제3실시예는 실리콘 또는 실리콘 함유막 위에 전극을 형성할 때, 전극을 형성하는 과정에서 발생하는 하부막의 손상을 감소하기 위한 보다 개선된 배리어막을 포함하는 반도체 소자의 전극 및 이의 형성 방법을 제공한다.
- [149] 그리고, 본 발명의 제3실시예는 실리콘 또는 실리콘 함유막 위에 전극을 형성할 때, 전극을 형성하는 과정에서 발생하는 하부막의 표면거칠기의 손상을 줄일 수 있는 보다 개선된 반도체 소자의 전극 및 이의 형성 방법을 제공한다.
- [150] 또한, 본 발명의 제3실시예는 실리콘 또는 실리콘 함유막 위에 전극을 형성할 때, 전극을 형성하는 과정에서 발생하는 하부막의 손상을 감소하기 위한 보다 개선된 배리어막의 표면거칠기의 손상을 줄일 수 있는 보다 개선된 반도체 소자의 전극 및 이의 형성 방법을 제공한다.
- [151]
- [152] 제3실시예에 따른 반도체 소자의 전극은 절연막 위에 형성되는 전극일 수 있다.
- [153] 도 9를 참조하면, 기판(미도시)은 실리콘 또는 실리콘 함유막으로 이루어진

절연막(100)이 형성된 기판일 수 있다. 도 10을 참조하면, 상기 기판 위에 배리어막으로서 상기 절연막(100)상에 루테튬(Ru)막 또는 루테튬(Ru)함유막을 형성하는 단계를 실시할 수 있다. 도 11을 참조하면 상기 루테튬(Ru)막 또는 루테튬(Ru) 함유막 상에 텅스텐(W) 또는 텅스텐(W) 함유막을 형성하는 단계를 실시할 수 있다.

- [154] 상기 루테튬(Ru) 또는 루테튬(Ru)함유막은 화학기상 증착 방식(CVD)이나 물리기상 증착 방식(PVD)이나 원자층 증착 방식(ALD, Atomic Layer Deposition)으로 형성할 수 있고 이에 국한되지 않는다.
- [155] 제3실시예에서 상기 루테튬(Ru) 또는 루테튬(Ru)함유막은 원자층 증착 방식(ALD, Atomic Layer Deposition)으로 형성할 수 있다. 구체적으로 상기 루테튬(Ru) 또는 루테튬(Ru)함유막은 기판 상의 절연막(100)에 루테튬(Ru)를 함유하는 소스 가스를 분사하는 단계와 상기 소스 가스를 퍼지하는 단계와 산소(O₂)를 포함하는 가스를 분사하는 단계와 산소를 포함하는 가스를 퍼지하는 단계를 포함하는 증착 사이클을 반복해서 형성할 수 있다. 원자층 증착 방식은 일반적인 다른 화학기상 증착 방식(CVD) 대비 낮은 온도에서 증착이 가능하고, 초박막을 형성할 때 유리할 수 있다.
- [156] 상기 루테튬(Ru)막 또는 루테튬(Ru) 함유막의 두께는 이후에 형성될 전극의 두께의 50% 이하의 두께로 형성하는 것이 바람직하다. 전극이 텅스텐(W)막 또는 텅스텐(W) 함유막 으로 형성되는 경우, 상기 루테튬(Ru)막 또는 루테튬(Ru) 함유막의 두께는 상기 텅스텐(W)막 또는 텅스텐(W) 함유막 두께의 50% 이하의 두께로 형성하는 것이 바람직하다. 구체적으로 상기 루테튬(Ru)막 또는 루테튬(Ru) 함유막은 5Å ~ 50Å의 두께로 형성하는 것이 바람직하다. 5Å이하로 증착을 하게 되면 배리어막으로 효과를 얻기가 어려우며, 50Å의 이상으로 루테튬(Ru)을 두껍게 올리게 되면 고가의 루테튬(Ru)물질을 두껍게 사용하게 되어 고비용이 발생하게 된다.
- [157] 상기 루테튬(Ru)함유막은 루테튬 옥사이드(RuO) 일 수 있다.
- [158] 상기 루테튬(Ru) 또는 루테튬(Ru)함유막은 루테튬(Ru)을 함유하는 유기소스로 형성될 수 있다. 할로젠 원소(불소 또는 염소)를 함유하는 루테튬(Ru) 소스를 사용하여 배리어막을 형성하게 되면 루테튬(Ru)이 형성될 때 루테튬(Ru) 소스에 포함된 할로젠 원소에 의해서 하부막이 손상될 수 있고, 하부막의 표면거칠기를 나쁘게 할 수 있다. 할로젠 원소(불소 또는 염소)를 함유하지 않는 유기소스로 루테튬(Ru) 또는 루테튬(Ru)함유막을 형성할 때 하부막이 손상되지 않을 수 있다.
- [159] 한편, 상기 루테튬(Ru) 또는 루테튬(Ru)함유막은 그 자체로 할로젠 원소(불소 또는 염소)에 대한 저항성이 강하다. 이후 단계에서 전극이 형성될 때, 전극 형성을 위한 가스에 노출되더라도 손상을 줄일 수 있어서, 기존의 티타늄질화막(TiN)대비 개선된 배리어막 특성을 얻을 수 있다.
- [160] 상기 텅스텐(W) 또는 텅스텐(W) 함유막은 화학기상 증착 방식(CVD)이나

물리기상 증착 방식(PVD)이나 원자층 증착 방식으로 형성할 수 있고 이에 국한되지 않는다.

- [161] 제3실시예에서 상기 텅스텐(W) 또는 텅스텐(W) 함유막은 원자층 증착 방식으로 형성할 수 있다. 루테튬(Ru)과 텅스텐(W)을 모두 원자층 증착을 통해 균일한 막질을 확보할 수 있다.
- [162] 또한, 텅스텐(W) 또는 텅스텐(W) 함유막은 육불화텅스텐(WF₆)와 같은 기체상태의 할로젠 가스로 형성할 수 있다.
- [163] 한편, 제3실시예에 따른 반도체 소자의 전극은 메모리 또는 비메모리 소자의 전극 또는 배선일 수 있다. 반도체 소자인 트랜지스터의 액티브층이 실리콘 함유막인 경우, 트랜지스터의 게이트 전극, 소스 전극, 또는 드레인 전극일 수 있다.
- [164] 한편, 트랜지스터의 액티브층이 금속산화물 반도체 또는 3-5족 반도체인 경우, 본 발명의 반도체 소자의 전극은 상기 액티브층과 사이에 루테튬(Ru) 또는 루테튬 함유막을 포함할 수 있다. 상기 반도체 소자의 전극은 인듐, 갈륨, 아연, 주석 중 어느 하나 이상을 포함하는 액티브층과 사이에 루테튬(Ru) 또는 루테튬 함유막을 포함할 수 있다. 상기 반도체 소자의 전극은 GaN, GaAs 등으로 형성된 액티브층과 사이에 루테튬(Ru) 또는 루테튬 함유막을 포함할 수 있다.
- [165] 상기 루테튬(Ru)막 또는 루테튬(Ru) 함유막을 형성하기 전에 상기 실리콘 또는 실리콘 함유막의 표면의 산화물 또는 불순물을 제거하는 단계를 포함할 수 있다. 이는 루테튬(Ru)을 형성하기 전 하부막의 상부에 존재하는 불순물을 제거할 수 있고, 하부막에 존재하는 자연산화막을 제거하고 루테튬(Ru)막 또는 루테튬(Ru) 함유막을 형성하여 고품질의 막을 형성하기 위함이다.
- [166] 본 발명의 따른 구조로 절연막(100), 루테튬(Ru)막(200), 텅스텐(W)막(300)을 포함할 수 있다. 상기 구조의 상부 또는 하부로 비트 라인(160) 및 워드라인 120) 중 적어도 하나가 형성될 수 있다.
- [167] 제3실시예의 계약적인 형성 방법에 대해 설명하면, 반도체 소자의 전극 형성 방법으로서, 실리콘 또는 실리콘 함유막 상에 루테튬막 또는 루테튬 함유막을 형성하는 단계; 및 상기 루테튬막 또는 루테튬 함유막 상에 텅스텐 함유막을 형성하는 단계;를 포함 할 수 있다.
- [168] 상기 루테튬막 또는 루테튬 함유막의 두께는 상기 텅스텐 함유막 두께의 50%이하의 두께로 형성할 수 있다.
- [169] 상기 루테튬막 또는 루테튬 함유막은 5Å ~ 50Å의 두께로 형성할 수 있다.
- [170] 상기 루테튬막 또는 루테튬 함유막은 원자층 증착 방식으로 형성할 수 있다.
- [171] 상기 루테튬막 또는 루테튬 함유막은 루테튬을 함유하는 유기소스로 형성할 수 있다. 상기 텅스텐 함유막은 텅스텐 할로젠 가스로 형성할 수 있다. 상기 전극은 메모리 소자의 전극, 워드라인, 비트라인, 트랜지스터의 전극, GaN 반도체의 전극, GaAs 반도체의 전극 중 어느 하나인 반도체 소자를 형성할 수 있다.
- [172] 상기에서, 본 발명의 바람직한 실시예가 특정 용어들을 사용하여 설명 및

도시되었지만 그러한 용어는 오로지 본 발명을 명확하게 설명하기 위한 것일 뿐이며, 본 발명의 실시 예 및 기술된 용어는 다음의 청구범위의 기술적 사상 및 범위로부터 이탈되지 않고서 여러 가지 변경 및 변화가 가해질 수 있는 것은 자명한 일이다. 이와 같이 변형된 실시 예들은 본 발명의 사상 및 범위로부터 개별적으로 이해되어져서는 안 되며, 본 발명의 청구범위 안에 속한다고 해야 할 것이다.

산업상 이용가능성

- [173] 본 발명의 실시예들에 의하면, 저 저항 금속 원소를 포함하는 전구체로부터 기인한 리간드 불순물을 제거한 전극을 마련할 수 있다. 따라서 저항이 낮은 전극을 마련할 수 있다. 또한, 본 발명의 실시예들에 의하면, 하부막의 손상을 감소시키도록 베리어막 및 전극을 형성할 수 있다.

청구범위

- [청구항 1] 기판을 준비하는 단계;
상기 기판 상에 저 저항 금속 원소를 포함하는 전구체(precursor)를 분사하는 단계;
상기 기판 상에 수소(H) 또는 산소(O)를 포함하는 가스를 분사하여 저 저항 금속 박막층을 형성하는 단계;를 포함하는 반도체 소자의 전극 형성 방법.
- [청구항 2] 청구항 1에 있어서,
상기 전구체를 분사하는 단계 및 저 저항 금속 박막층을 형성하는 단계를 순차적으로 복수회 실시하는 반도체 소자의 전극 형성 방법.
- [청구항 3] 청구항 2에 있어서,
상기 전구체를 분사하는 단계 후에 상기 기판을 제1플라즈마에 노출시켜 상기 기판 상에 흡착된 불순물을 제거하는 단계; 및
상기 저 저항 금속 박막층을 형성하는 단계 후에 상기 저 저항 금속 박막층을 제2플라즈마에 노출시켜 불순물을 제거하는 단계;를 포함하고,
상기 전구체를 분사하는 단계, 상기 제1플라즈마에 노출시키는 단계, 상기 제2플라즈마에 노출시키는 단계를 순차적으로 복수회 실시하는 반도체 소자의 전극 형성 방법.
- [청구항 4] 청구항 1에 있어서,
상기 저 저항 금속 원소는 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함하는 반도체 소자의 전극 형성 방법.
- [청구항 5] 청구항 3에 있어서,
상기 제1플라즈마는 수소(H)를 포함하는 플라즈마 또는 산소(O)를 포함하는 플라즈마로 형성하는 반도체 소자의 전극 형성 방법.
- [청구항 6] 청구항 3에 있어서,
상기 제2플라즈마는 수소(H)를 포함하는 플라즈마 또는 산소(O)를 포함하는 플라즈마로 형성하는 반도체 소자의 전극 형성 방법.
- [청구항 7] 청구항 1에 있어서,
상기 기판 상에 TiN 박막층을 형성하는 단계를 더 포함하고,
상기 TiN 박막층을 형성하는 단계는,
상기 기판 상에 티타늄(Ti)을 포함하는 소스를 분사하는 단계; 및
상기 기판 상에 질소(N)를 포함하는 가스를 분사하는 단계;를 포함하고,
상기 저 저항 금속 원소를 포함하는 전구체를 분사하는 단계, 저 저항 금속 박막층을 형성하는 단계 및 상기 TiN 박막층을 형성하는 단계를 순차적으로 복수회 실시하는 반도체 소자의 전극 형성 방법.
- [청구항 8] 청구항 1에 있어서,
상기 기판을 준비하는 단계에 있어서, 상부면에 TiN 박막층이 형성된

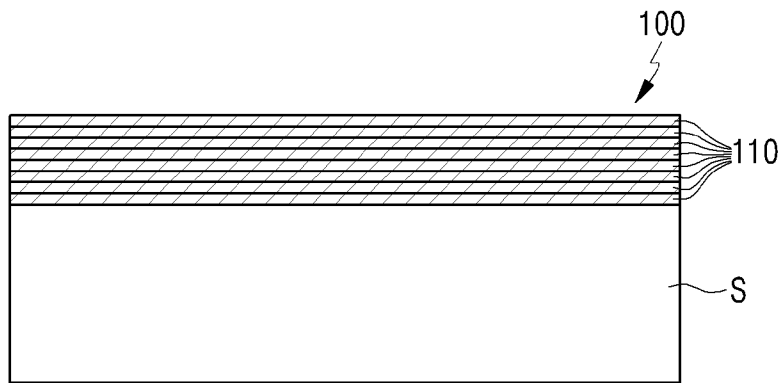
- 기판을 준비하는 반도체 소자의 전극 형성 방법.
- [청구항 9] 기판을 준비하는 단계;
제1 저 저항 금속 원소를 포함하는 소스를 분사하고, 수소(H) 또는 산소(O)를 포함하는 가스를 분사하여 제1 저 저항 금속 박막층을 형성하는 단계; 및
제2 저 저항 금속 원소를 포함하는 소스를 분사하고, 수소(H) 또는 산소(O)를 포함하는 가스를 분사하여 제2 저 저항 금속 박막층을 형성하는 단계;를 포함하고,
상기 제1 저 저항 금속 박막층을 형성하는 단계와 제2 저 저항 금속 박막층을 형성하는 단계를 순차적으로 복수회 실시하는 반도체 소자의 전극 형성 방법.
- [청구항 10] 청구항 9에 있어서,
상기 제1 저 저항 금속 원소 및 제2 저 저항 금속 원소는 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함하는 반도체 소자의 전극 형성 방법.
- [청구항 11] 청구항 9에 있어서,
상기 제1 저 저항 금속 원소와 상기 제2 저 저항 금속 원소는 동일한 금속 원소를 포함하는 반도체 소자의 전극 형성 방법.
- [청구항 12] 청구항 9에 있어서,
상기 제1 저 저항 금속 원소 및 상기 제2 저 저항 금속 원소 중 적어도 하나는, 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 둘 이상을 포함하는 반도체 소자의 전극 형성 방법.
- [청구항 13] 청구항 9에 있어서,
티타늄(Ti)을 포함하는 소스를 분사하고, 질소(N)를 포함하는 리액턴트를 분사하여 TiN 박막층을 형성하는 단계를 더 포함하고,
상기 제1 저 저항 금속 박막층을 형성하는 단계, 제2 저 저항 금속 박막층을 형성하는 단계 및 TiN 박막층을 형성하는 단계를 순차적으로 반복 실시하는 반도체 소자의 전극 형성 방법.
- [청구항 14] 청구항 9에 있어서,
상기 기판을 준비하는 단계에 있어서, 상부면에 TiN 박막층이 형성된 기판을 준비하는 반도체 소자의 전극 형성 방법.
- [청구항 15] 기판을 준비하는 단계;
상기 기판 상에 저 저항 금속 원소를 포함하는 액상의 전구체(precursor)를 분사하는 단계;
상기 기판 상에 수소(H) 또는 산소(O)를 포함하는 가스를 분사하여 저 저항 금속 박막층을 형성하는 단계;를 포함하는 반도체 소자의 전극 형성 방법.
- [청구항 16] 청구항 15에 있어서,

상기 전구체를 분사하는 단계 및 저 저항 금속 박막층을 형성하는 단계를 순차적으로 복수회 실시하는 반도체 소자의 전극 형성 방법.

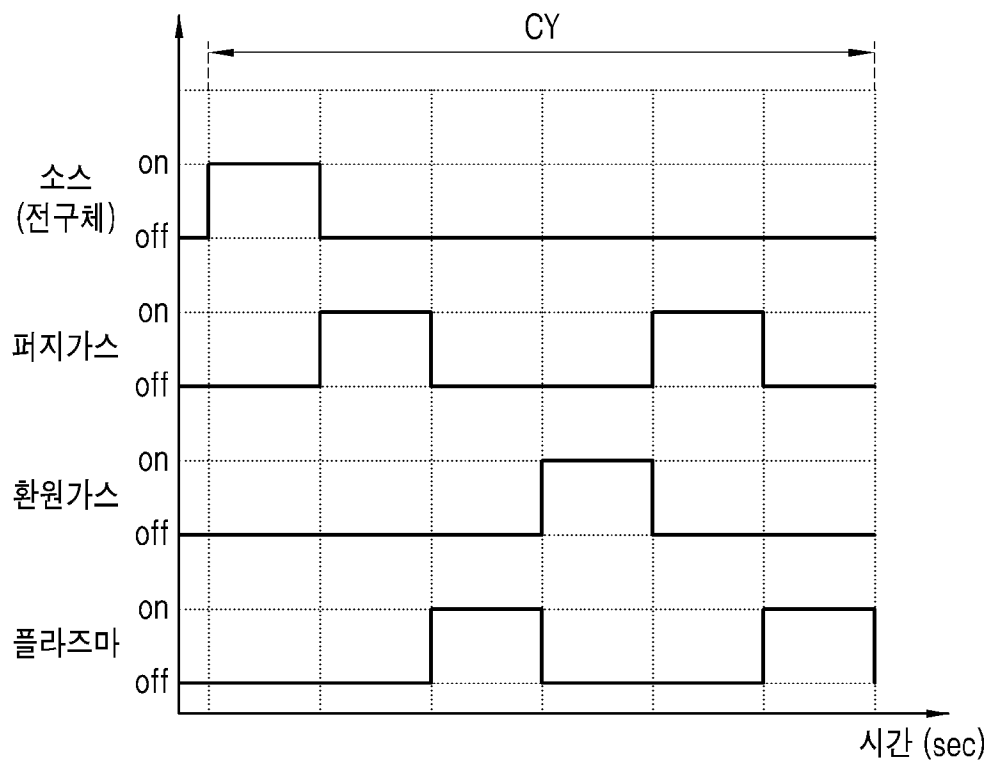
- [청구항 17] 청구항 15에 있어서,
상기 저 저항 금속 원소는 몰리브덴(Mo), 루테튬(Ru) 및 구리(Cu) 중 적어도 하나를 포함하는 반도체 소자의 전극 형성 방법.
- [청구항 18] 반도체 소자의 전극 형성 방법으로서,
실리콘 또는 실리콘 함유막 상에 루테튬막 또는 루테튬 함유막을 형성하는 단계;
상기 루테튬막 또는 루테튬 함유막 상에 텅스텐 함유막을 형성하는 단계;를 포함하는 반도체 소자의 전극 형성 방법.
- [청구항 19] 청구항 18에 있어서,
상기 루테튬막 또는 루테튬 함유막의 두께는 상기 텅스텐 함유막 두께의 50%이하의 두께로 형성하는 반도체 소자의 전극 형성 방법.
- [청구항 20] 청구항 18에 있어서,
상기 루테튬막 또는 루테튬 함유막은 $5\text{\AA} \sim 50\text{\AA}$ 의 두께로 형성하는 반도체 소자의 전극 형성 방법.
- [청구항 21] 청구항 18에 있어서,
상기 루테튬막 또는 루테튬 함유막은 원자층 증착 방식으로 형성하는 반도체 소자의 전극 형성 방법.
- [청구항 22] 청구항 18에 있어서,
상기 루테튬막 또는 루테튬 함유막은 루테튬을 함유하는 유기소스로 형성하는 반도체 소자의 전극 형성 방법.
- [청구항 23] 청구항 18에 있어서,
상기 텅스텐 함유막은 텅스텐 할로젠 가스로 형성하는 반도체 소자의 전극 형성 방법.
- [청구항 24] 청구항 18에 있어서,
상기 전극은 메모리 소자의 전극, 워드라인, 비트라인, 트랜지스터의 전극, GaN 반도체의 전극, GaAs 반도체의 전극 중 어느 하나인 반도체 소자의 전극 형성 방법.
- [청구항 25] 청구항 18에 있어서,
상기 루테튬막 또는 루테튬 함유막을 형성하기 전에,
상기 실리콘 또는 실리콘 함유막의 표면의 산화물 또는 불순물을 제거하는 단계;를 포함하는 반도체 소자의 전극 형성 방법.
- [청구항 26] 실리콘 또는 실리콘 함유막;
상기 실리콘 또는 실리콘 함유막 상에 형성된 루테튬막 또는 루테튬 함유막;및
상기 루테튬막 또는 루테튬 함유막 상에 형성된 텅스텐 함유막;을 포함하는 반도체 소자의 전극.

- [청구항 27] 청구항 26에 있어서,
상기 루테튬막 또는 루테튬 함유막의 두께는 상기 텅스텐 함유막 두께의 50%이하의 두께로 형성하는 반도체 소자의 전극.
- [청구항 28] 청구항 26에 있어서,
상기 루테튬막 또는 루테튬 함유막은 $5\text{\AA} \sim 50\text{\AA}$ 의 두께로 형성하는 반도체 소자의 전극.
- [청구항 29] 청구항 26에 있어서,
상기 루테튬막 또는 루테튬 함유막은 원자층 증착 방식으로 형성하는 반도체 소자의 전극.
- [청구항 30] 청구항 26에 있어서,
상기 루테튬막 또는 루테튬 함유막은 루테튬을 함유하는 유기소스로 형성하는 반도체 소자의 전극.
- [청구항 31] 청구항 26에 있어서,
상기 텅스텐 함유막은 텅스텐 할로젠 가스로 형성하는 반도체 소자의 전극.
- [청구항 32] 청구항 26에 있어서,
상기 전극은 메모리 소자의 전극, 워드라인, 비트라인, 트랜지스터의 전극 중 어느 하나인 반도체 소자의 전극.

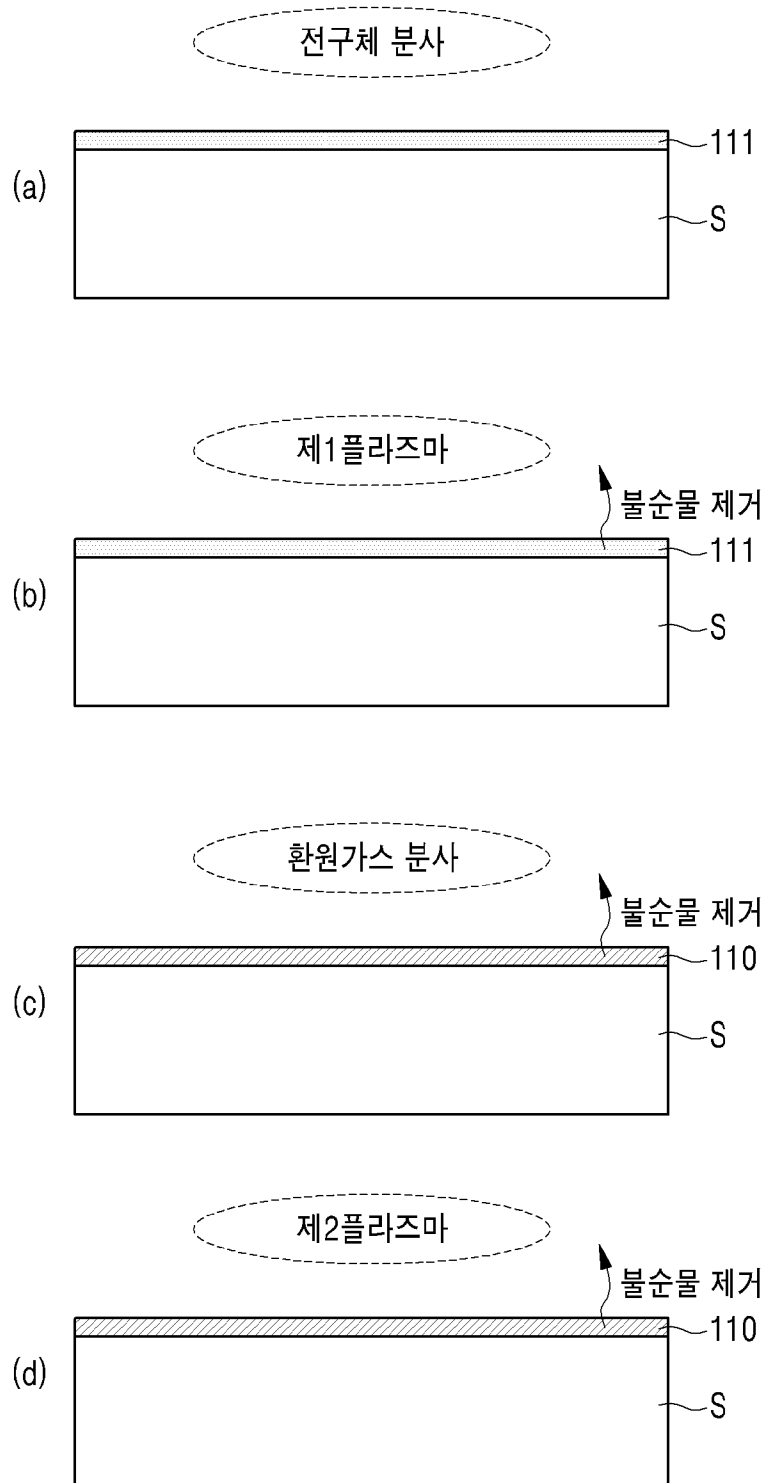
[도1]



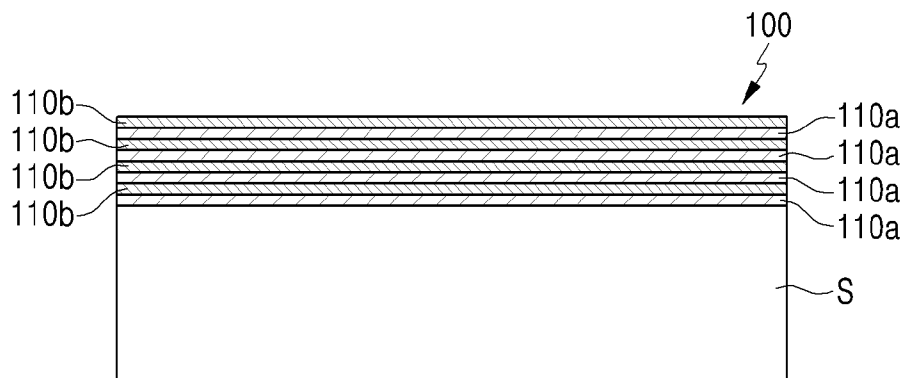
[도2]



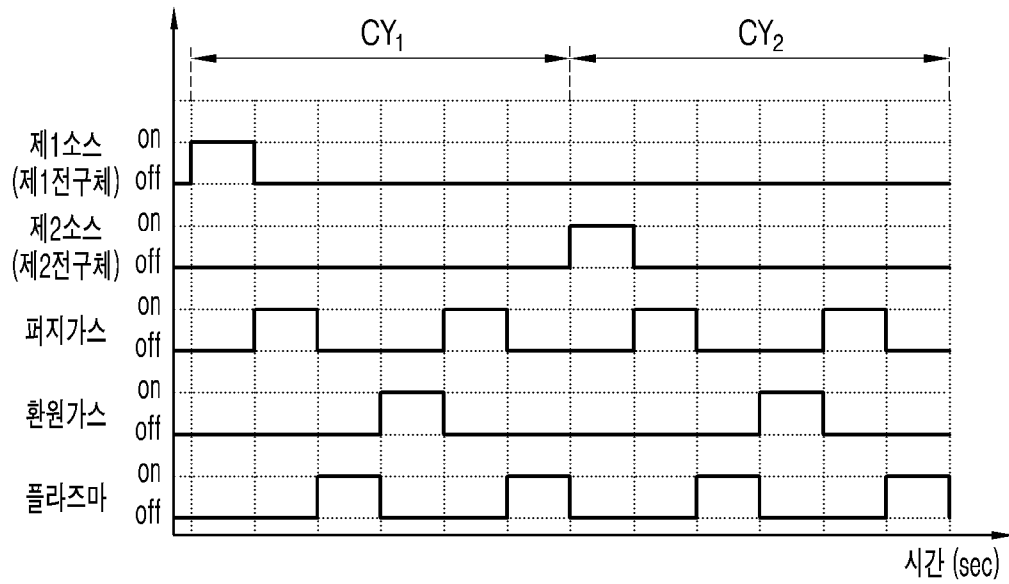
[도3]



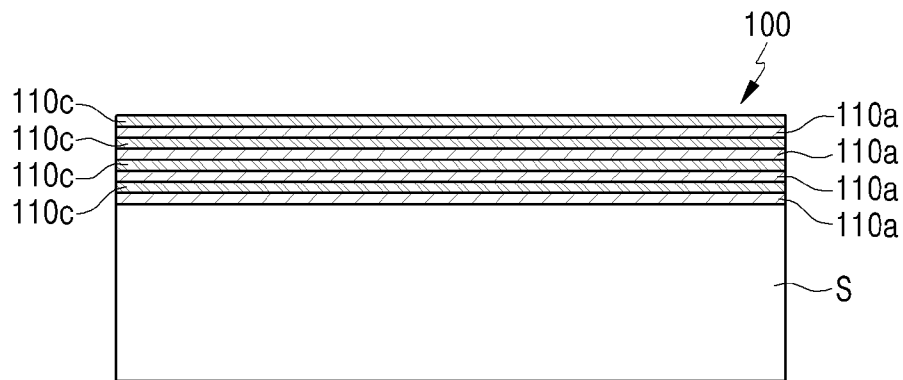
[도4]



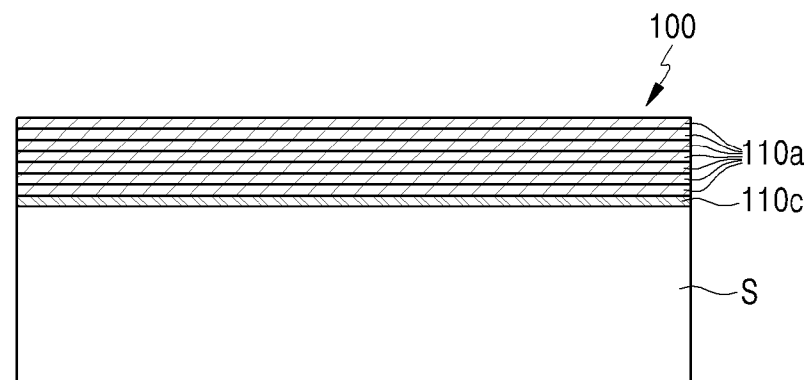
[도5]



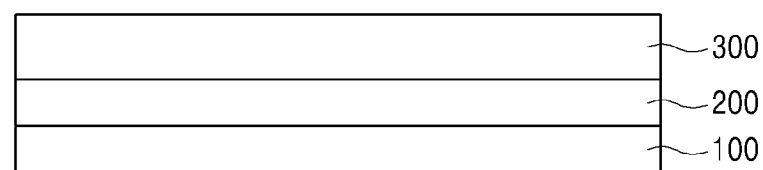
[도6]



[도7]



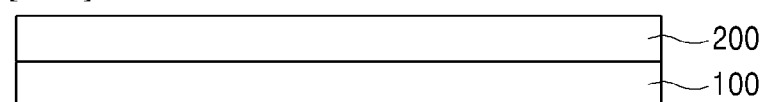
[도8]



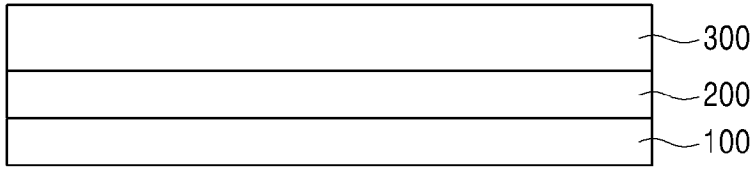
[도9]



[도10]



[도11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/006303

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; H01L 21/285(2006.01)i; H01L 21/02(2006.01)i; C23C 16/02(2006.01)i; C23C 16/06(2006.01)i; C23C 16/40(2006.01)i; C23C 16/455(2006.01)i; H01L 21/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/768(2006.01); B05D 5/12(2006.01); C23C 16/16(2006.01); H01L 21/02(2006.01); H01L 21/205(2006.01); H01L 21/28(2006.01); H01L 21/314(2006.01); H01L 21/56(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 전구체(precursor), 몰리브덴(molybdenum), 루테늄(ruthenium), 플라즈마(plasma), 불순물(impurity)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	KR 10-2015-0105216 A (HITACHI KOKUSAI ELECTRIC INC.) 16 September 2015 (2015-09-16) See paragraphs [0060]-[0159] and [0247] and figure 8.	1-17 18-32
X	US 2009-0142474 A1 (GANDIKOTA, Srinivas et al.) 04 June 2009 (2009-06-04) See paragraphs [0031]-[0136], claim 1 and figures 1-2C.	18-32
A	KR 10-2020-0090267 A (LAM RESEARCH CORPORATION) 28 July 2020 (2020-07-28) See paragraphs [0048]-[0065] and figure 1b.	1-32
A	KR 10-2281464 B1 (ASM IP HOLDING B.V.) 27 July 2021 (2021-07-27) See paragraphs [0053]-[0368] and figures 1-6.	1-32
A	JP 2021-050379 A (TOKYO ELECTRON LTD.) 01 April 2021 (2021-04-01) See claim 1 and figures 1A-2C.	1-32



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 August 2023

Date of mailing of the international search report

21 August 2023

Name and mailing address of the ISA/KR

**Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208**

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/006303

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2015-0105216	A	16 September 2015	JP	2015-180768	A	15 October 2015
				KR	10-1724394	B1	07 April 2017
				TW	201535570	A	16 September 2015
				TW	I545677	B	11 August 2016
				US	2015-0325434	A1	12 November 2015
				US	9441294	B2	13 September 2016
US	2009-0142474	A1	04 June 2009	US	2006-0128150	A1	15 June 2006
				US	7429402	B2	30 September 2008
				US	7691442	B2	06 April 2010
KR	10-2020-0090267	A	28 July 2020	CN	111989768	A	24 November 2020
				JP	2021-507513	A	22 February 2021
				KR	10-2022-0078723	A	10 June 2022
				SG	11202005583	A	29 July 2020
				TW	201936972	A	16 September 2019
				TW	I794362	B	01 March 2023
				US	10760158	B2	01 September 2020
				US	11365479	B2	21 June 2022
				US	2019-0185999	A1	20 June 2019
				US	2020-0347497	A1	05 November 2020
				US	2022-0275504	A1	01 September 2022
				US	2023-0002891	A1	05 January 2023
				WO	2019-0118248	A1	20 June 2019
KR	10-2281464	B1	27 July 2021	KR	10-2015-0092022	A	12 August 2015
				KR	10-2021-0095603	A	02 August 2021
				TW	201534749	A	16 September 2015
				TW	201930635	A	01 August 2019
				TW	202024387	A	01 July 2020
				TW	I661072	B	01 June 2019
				TW	I686499	B	01 March 2020
				TW	I739285	B	11 September 2021
				US	10456808	B2	29 October 2019
				US	11213853	B2	04 January 2022
				US	2015-0217330	A1	06 August 2015
				US	2018-0243787	A1	30 August 2018
				US	2020-0122191	A1	23 April 2020
				US	2022-0193720	A1	23 June 2022
				US	9895715	B2	20 February 2018
JP	2021-050379	A	01 April 2021	WO	2021-060115	A1	01 April 2021

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 21/768(2006.01)i; H01L 21/285(2006.01)i; H01L 21/02(2006.01)i; C23C 16/02(2006.01)i; C23C 16/06(2006.01)i; C23C 16/40(2006.01)i; C23C 16/455(2006.01)i; H01L 21/28(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 21/768(2006.01); B05D 5/12(2006.01); C23C 16/16(2006.01); H01L 21/02(2006.01); H01L 21/205(2006.01); H01L 21/28(2006.01); H01L 21/314(2006.01); H01L 21/56(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 전구체(precursor), 몰리브덴(molybdenum), 루테늄(ruthenium), 플라즈마(plasma), 불순물(impurity)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2015-0105216 A (가부시키가이샤 히다치 고쿠사이 덴키) 2015.09.16 단락 [0060]-[0159], [0247] 및 도면 8	1-17
A		18-32
X	US 2009-0142474 A1 (SRINIVAS GANDIKOTA 등) 2009.06.04 단락 [0031]-[0136], 청구항 1 및 도면 1-2C	18-32
A	KR 10-2020-0090267 A (랩 리써치 코포레이션) 2020.07.28 단락 [0048]-[0065] 및 도면 1b	1-32
A	KR 10-2281464 B1 (에이에스엠 아이피 홀딩 비.브이.) 2021.07.27 단락 [0053]-[0368] 및 도면 1-6	1-32
A	JP 2021-050379 A (TOKYO ELECTRON LTD.) 2021.04.01 청구항 1 및 도면 1A-2C	1-32
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2023년08월21일(21.08.2023)		국제조사보고서 발송일 2023년08월21일(21.08.2023)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 이강하 전화번호 +82-42-481-5003

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2015-0105216 A	2015/09/16	JP 2015-180768 A	2015/10/15
		KR 10-1724394 B1	2017/04/07
		TW 201535570 A	2015/09/16
		TW I545677 B	2016/08/11
		US 2015-0325434 A1	2015/11/12
		US 9441294 B2	2016/09/13
US 2009-0142474 A1	2009/06/04	US 2006-0128150 A1	2006/06/15
		US 7429402 B2	2008/09/30
		US 7691442 B2	2010/04/06
KR 10-2020-0090267 A	2020/07/28	CN 111989768 A	2020/11/24
		JP 2021-507513 A	2021/02/22
		KR 10-2022-0078723 A	2022/06/10
		SG 11202005583 A	2020/07/29
		TW 201936972 A	2019/09/16
		TW I794362 B	2023/03/01
		US 10760158 B2	2020/09/01
		US 11365479 B2	2022/06/21
		US 2019-0185999 A1	2019/06/20
		US 2020-0347497 A1	2020/11/05
		US 2022-0275504 A1	2022/09/01
		US 2023-0002891 A1	2023/01/05
		WO 2019-0118248 A1	2019/06/20
KR 10-2281464 B1	2021/07/27	KR 10-2015-0092022 A	2015/08/12
		KR 10-2021-0095603 A	2021/08/02
		TW 201534749 A	2015/09/16
		TW 201930635 A	2019/08/01
		TW 202024387 A	2020/07/01
		TW I661072 B	2019/06/01
		TW I686499 B	2020/03/01
		TW I739285 B	2021/09/11
		US 10456808 B2	2019/10/29
		US 11213853 B2	2022/01/04
		US 2015-0217330 A1	2015/08/06
		US 2018-0243787 A1	2018/08/30
		US 2020-0122191 A1	2020/04/23
		US 2022-0193720 A1	2022/06/23
		US 9895715 B2	2018/02/20
JP 2021-050379 A	2021/04/01	WO 2021-060115 A1	2021/04/01