

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>4</sup>  
G11C 7/06

(45) 공고일자 1989년08월 14일  
(11) 공고번호 89-002960

(21) 출원번호	특1984-0005607	(65) 공개번호	특1985-0002638
(22) 출원일자	1984년09월 14일	(43) 공개일자	1985년05월 15일
(30) 우선권 주장	특원소 58-171683 1983년09월07일 미국(US)		
(71) 출원인	후지쓰가부시끼가이샤 야마모토 다구마		
	일본국 가나가와켄 가와사끼시 나카하라 구가미고 다나끼 1015반지		
(72) 발명자	고시즈카 아쓰오		
	일본국 가나가와켄 가와사끼시 나카하라 구가미 고다나카 1015반지 후지쓰가부시끼가이샤 내		
(74) 대리인	장용식		

심사관 : 유환열 (책자공보 제1624호)

(54) 센스 증폭기

### 요약

내용 없음.

### 대표도

### 도1

### 명세서

[발명의 명칭]

센스 증폭기

[도면의 간단한 설명]

제1도는 종래의 스택형 RAM 장치를 나타내는 블록 회로도.

제2도는 제1도의 RAM 장치에 사용된 각 메모리 블록의 회로구성을 나타내는 개략 회로도.

제3도는 본 발명의 1실시예로서의 센스 증폭기를 나타내는 회로도.

\* 도면의 주요부분에 대한 부호의 설명

입력 신호 : ( $S_i, \bar{S}_i$ )                      보상 입력 단자 : ( $IN, \bar{IN}$ )

어드레스 신호 : (A)                      트랜지스터 : (Q)

[발명의 상세한 설명]

본 발명은 예를 들어 스택형 반도체 메모리 장치에서 사용된 센스 증폭기에 관한 것이며, 여기서 이 센스 증폭기의 기능 중의 하나는 다수의 입력 신호 중의 하나를 선택하는 것이다. 스택형 RAM 장치에서, 한쌍의 데이터 버스에 전송되고 메모리 셀로부터의 매우 작은 전압차의 출력(예를 들어, 약 0.5V)은 독출(readout)동작이 실행될 때 센스 증폭기의 의해 증폭된다. 그러나, 종래의 스택형 RAM 장치 특히 큰 용량의 RAM 장치에 있어서, 비트 라인 쌍, 칼럼(coloum)전송 게이트, 및 데이터 버스 쌍이 선택된 메모리 셀에 연결되어지므로, 메모리 셀의 부하는 가중되며 독출속도는 악화된다. 특히, 큰 용량의 RAM 장치에 있어서, 각 비트 라인과 데이터 버스는 길고 가늘게 되며 칼럼 전송 게이트의 온(on)저항은 크게 된다. 그러므로, 각 메모리 셀의 장치 능력이 크지 않을 경우, 센스 증폭기의 입력 신호가 정상 상태 신호 레벨에 도달하는 데는 오랜 시간이 걸린다. 각 선택된 메모리 셀의 부하를 감소시키고 반도체 메모리 장치의 동작 속도를 증가시키는 것이 본 발명의 목적이다. 본 발명에 따라, 다수 쌍의 보상 입력 신호를 수신하는 한 쌍의 입력 회로 부분을 가지며, 상기 입력 회로 부분 중 하나는 적용된 어드레스 신호에 응하여 한 쌍의 보상 입력 신호 중 한 신호의 증폭된 출력을 각각 발신시키는 다수의 회로 유니트로 구성되고 다른 입력 회로 부분은 적용된 상기 어드레스 신호에 응하여 상기 쌍의 보상 입력 신호 중 다른 한 신호의 증폭된 출력을 각각 발신시키는 다수의 회로 유니트로 구성되며, 상기 어드레스 신호에 따라 다수 쌍의 보상 입력 신호 중 한 쌍을 선택하

면 선택된 쌍의 보상 입력 신호에 따라 출력 신호를 발신시키는 것을 특징으로 하는 자동 증폭기 형식의 센스 증폭기가 제공된다. 적합한 실시예를 설명하기에 앞서, 종래의 센스 증폭기를 사용하는 스테틱형 RAM 장치에 대한 설명이 도면과 관련하여 설명될 것이다.

제1도는 하나의 센스 증폭기(SA)가 하나의 메모리칩에 대해 제공되고 내부의 메모리 셀이 다수의 메모리블록( $M_1, M_2, \dots$ )으로 분리되어진 일반 스테틱형 RAM 장치를 예시한다. 제 1도의 메모리

장치에서, 각 메모리 블록( $M_1, M_2, \dots$ )의 데이터 버스 쌍(DB와  $\overline{DB}$ ) ( $\overline{DB}$ 는 DB의 반대 상태이다)은 전송 게이트( $TG_1, TG_2, \dots$ )를 공유하여 공통 센스 증폭기에 함께 결합된다. 그러므로, 전송 게이트( $TG_1, TG_2, \dots$ )에 첨가된 어드레스 신호( $A_1, A_2, \dots$ )를 사용함으로써 메모리 블록( $M_1, M_2, \dots$ )의 각각의 데이터 버스쌍(DB와  $\overline{DB}$ )을 센스 증폭기 (SA)에 선택적으로 연결시키는 것은 가능하다. 메모리 블록( $M_1, M_2, \dots$ )의 각각은 워드 라인과 비트 라인의 상호 접속으로 배열된 다수의 메모리 셀의 매트릭스 배열로 구성되며, 높은 동작 속도와 낮은 전력 소모가 필요할 경우 메모리 블록의 수를 증가시키는 것이 필요하다. 예를들어, 모든 메모리 블록( $M_1$ )에 대한 모든 데이터 버스 쌍(DB와  $\overline{DB}$ ), 의 센스 증폭기를 구성하는 데 메모리 장치가 또한 알려져 있으며, 이 장치에서 센스 증폭기의 출력 신호 중 하나는 센스 증폭기의 출력 부분에 제공된 선택 논리 회로를 사용함으로써 선택된다.

위에서 설명했듯이, 제2도를 참조하면, 선택된 메모리 셀(MG)의 부하는 비트 라인 쌍(BL과  $\overline{BL}$ ), 및 칼럼 전송 게이트(CTG)를 공유하여 비 라인 쌍(BL과  $\overline{BL}$ )에 연결된 데이터 버스 쌍(DB와  $\overline{DB}$ ) 및 제1도의 메모리 장치의 경우에 언급한 전송 게이트( $TG_1$ )이다. 그러므로, 메모리 셀(MC)을 구성하고 있는 트랜지스터의 gm이 작을 경우 센스 증폭기의 입력 신호가 정상 상태 신호 레벨에 도달하는 데는 오랜 시간이 걸린다. 특히, 칼럼 전송 게이트(CTG)와 전송 게이트(TG)의 각각이 선택 상태에서 완전히 온(on)이 되지 않고 약간의 저항을 가지므로 각 전송 게이트 회로의 RC 시상수는 상당히 크게 되며 전송 게이트 회로를 통과하는 신호는 지연된다.

제2도에서, WL은 워드 라인을 나타내며, 플립 플롭으로 구성된 메모리 셀(MC)의 입력/출력 단자는 전송게이트 트랜지스터( $Q_A$ 와  $Q_B$ )를 공유하며 비트 라인 (BL과  $\overline{BL}$ )에 연결되며, 그것의 게이트 전극은 워드 라인(WL)에 연결된다. 이러한 트랜지스터( $Q_A$ 와  $Q_B$ )는 또한 메모리 셀(MC)의 부하로 된다. 위에서 언급했듯이, 제1 및 2도에서 표시한 장치는 각각의 메모리 셀에 대한 과부하 및 저동작 속도의 불일점을 갖고 있다.

본 발명에 따라, 아래에서 설명되었듯이 이러한 문제를 극복하는 센스 증폭기가 제공된다.

제3도는 본 발명의 실시예로서 CMOS형 센스 증폭기를 예시하는 회로도이다. 센스 증폭기는 한쌍의 보상입력 단자(IN과  $\overline{IN}$ ), 부하로서 동작하는 P채널 MOS 트랜지스터 ( $Q_1$ 과  $Q_2$ ), 정전류전원으로서 동작하는 N채널 MOS 트랜지스터 ( $Q_3$ ), 및 출력 단자(OUT)로 구성된다. 제3도의 센스 증폭기는 입력 단자(IN)와 트랜지스터( $Q_3$ )의 드레인 사이에 평행하게 상호 연결되는 N채널 MOS 트랜지스터의 직렬 접속의 X세트( $Q_{41}$ 과  $Q_{51} : Q_{42}$ 와  $Q_{52} : \dots : Q_{4X}$ 와  $Q_{5X}$ )와 입력단자(IN)와 트랜지스터( $Q_3$ )의 드레인 사이에 평행하게 상호 접속되는 N채널 MOS 트랜지스터의 직렬 접속의 X세트( $Q_{61}$ 과  $Q_{51} : Q_{62}$ 와  $Q_{72} : \dots : Q_{6X}$ 와  $Q_{7X}$ )로 구성된다. 트랜지스터( $Q_{51}$ 과  $Q_{71}, Q_{52}$ 와  $Q_{72}, \dots, Q_{5X}$ 와  $Q_{7X}$ )는 어드레스 디코더의 출력( $A_1$  내지  $A_X$ )에 의해 각각 제어된다. 트랜지스터( $Q_{41}, Q_{42}, \dots, Q_{4X}$ )는 입력 신호( $S_1, S_2, \dots, S_X$ )에 의해 각각 제어되며, 트랜지스터( $Q_{61}, Q_{62}, \dots, Q_{6X}$ )는 역 입력 신호( $\overline{S_1}, \overline{S_2}, \dots, \overline{S_X}$ )에 의해 각각 제어된다. 종래의 CMOS형 센스 증폭기는 부하 트랜지스터( $Q_1$ 과  $Q_2$ ), 트랜지스터( $Q_3$ ), 입력단자(IN)와 트랜지스터( $Q_3$ )의 드레인 사이에 그리고 입력 단자(IN)와 트랜지스터( $Q_3$ )의 드레인 사이에 연결된  $Q_{41}$ 과  $Q_{61}$ 과 같은 한 쌍의 구동 트랜지스터로서만 구성된다.

제3도의 센스 증폭기가 제1도의 메모리 장치에 채택되는 경우, 그것은 제1도의 일정 선택에 의해 둘러 싸인 회로 부분의 대치로서 사용된다. 그러므로 메모리 블록( $M_1, M_2, \dots$ )의 데이터 버스(DB와  $\overline{DB}$ )는 트랜지스터( $Q_{41}$ 과  $Q_{61} : Q_{42}$ 와  $Q_{62} : \dots : Q_{4X}$ 와  $Q_{6X}$ )의 게이트에 각각 연결된다. 제3도에서 알 수 있듯이, 트랜지스터( $Q_{41}$ 와  $Q_{51} (i=1, 2, \dots, X)$ )의 각 세트는 2개의 입력( $S_1$ 와  $A_1$ )을 가지는 AND게이트로 구성되며, 트랜지스터( $Q_{61}$ 와  $Q_{71}$ )의 각 세트는 2개의 입력( $S_1$ 와  $A_1$ )를 가지는 AND 게이트로 구성된다. 그러므로, 어드레스 디코더의 출력( $A_1$  내지  $A_X$ )이 모두 낮을 경우, 트랜지스터( $Q_{51}, Q_{52}, \dots, Q_{5X}$  및  $Q_{71}, Q_{72}, \dots, Q_{7X}$ )는 모두 오프되며, 센스 증폭기는 대기 상태에 있게 된다.

입력( $S_1$ 와  $\overline{S_1}$ )에 대응하는 어드레스 디코더 출력( $A_1$ )이 높을 경우 입력 단자(IN와  $\overline{IN}$ )의 전위는 입력( $S_1$ 와  $\overline{S_1}$ )이 각각 높고 낮음에 따라 높거나 낮은 상태로 된다. 출력 단자(OUT)의 전위는 입력 단자( $\overline{IN}$ )의 전위와 같으며 신호의 상기 관계에 의해 결정된다. 센스 증폭기가 모든 데이터 버스쌍(DB와  $\overline{DB}$ )에 대해 제공될 경우 입력( $S_1$ 와  $\overline{S_1}, S_2$ 와  $\overline{S_2}, \dots, S_X$ 와  $\overline{S_X}$ )은 메모리 블록에서의 비트 라인으로 부터의 신호이며, 제3도의 회로는 칼럼 센스 증폭기로서 사용된다. 트랜지스터 쌍( $Q_{51}$ 와  $Q_{71}, Q_{52}$ 와  $Q_{72}, \dots, Q_{5X}$ 와  $Q_{7X}$ )은 칼럼 전송 게이트(CTG)에 대응한다. 이 경우에, 각 메모리 셀의 부하는 메모리 셀이 데이터 버스를 구동시키지 않기 때문에 크게 감소될 수 있다. 비슷한 구조를 가지는 센스 증폭기의 한 스테이지를 더 사용함으로써 칼럼 센스 증폭기를 하나의 회로 루우

트로 결합시키는 것이 또한 가능하다. CMOS형 회로가 위에서 설명되었더라도, 본 발명은 N-MOS형 회로 및 이와 비슷한 회로로도 또한 채택될 수 있다. 위에서 언급했듯이, 본 발명에 따라, 각각의 센스 증폭기 자체가 입력을 선택하는 기능을 가지고 있으므로, 입력 단자가 비트 라인에 연결되는 칼럼 센스 증폭기로서 센스 증폭기가 사용될 경우 각 메모리 셀의 부하는 감소될 수 있다. 입력 단자가 데이터 버스에 연결되는 센스 증폭기로서 센스 증폭기가 사용될 경우, 전송 게이트(TG)가 생략될 수 있기 때문에 독출 속도를 증가시키는 것은 가능하다. 센스 증폭기가 비트 라인 스테이지와 데이터 버스 스테이지를 포함하는 2레벨 계층 구조로 사용될 경우 고 응답 속도와 간단한 패턴 구조를 구성하는 것은 가능하다.

### (57) 청구의 범위

#### 청구항 1

다수 쌍의 보상 입력 신호를 수신하는 한 쌍의 입력회로 부분을 가지며, 상기 입력 회로 부분 중 하나는 적용된 어드레스 신호에 응하여 한쌍의 보상 입력 신호 중 신호의 증폭된 출력을 각각 발신시키는 다수의 회로 유니트로 구성되고 다른 입력 회로 부분은 적용된 상기 어드레스 신호에 응하여 상기 쌍의 보상 입력 신호 중 다른 한 신호의 증폭된 출력을 각각 발신시키는 다수의 회로 유니트로 구성되며, 상기 어드레스신호에 따라 다수 쌍의 보상 입력 신호 중 한 쌍을 선택하여 선택된 쌍의 보상 입력 신호에 따라 출력 신호를 발신시키는 것을 특징으로 하는 차동 증폭기 형식의 센스 증폭기.

#### 청구항 2

제1항에 있어서, 상기 센스 증폭기가 상기 입력 회로 부분의 공통 연결 단자와 전력원의 단자 사이에 연결된 정전류원 및 상기 입력 회로 부분 중 하나의 출력 단자와 상기 전력원의 다른 단자 사이에 연결된 부하 회로로 구성되는 것을 특징으로 하는 센스 증폭기.

#### 청구항 3

제2항에 있어서, 상기 부하 회로의 각각이 MIS 트랜지스터, 상기 부하 회로의 MIS 트랜지스터의 게이트, 및 공통으로 연결된 상기 정전류원의 MIS 트랜지스터의 게이트로 구성되는 것을 특징으로 하는 센스 증폭기.

#### 청구항 4

제1내지 3항 중 어느 하나에 있어서, 상기 회로 유니트의 각각은 MIS 트랜지스터의 직렬 접속으로 구성되며, 이 트랜지스터 중 하나는 그것의 게이트에서 디코우드 된 어드레스 신호를 수신하고 다른 하나는 그것의 게이트에서 상기 보상 입력 신호 중 하나를 수신하며 상기 입력 회로 부분의 각각이 다수의 직렬 접속 MIS 트랜지스터의 평행 접속에 의해 구성되는 것을 특징으로 하는 센스 증폭기.

#### 청구항 5

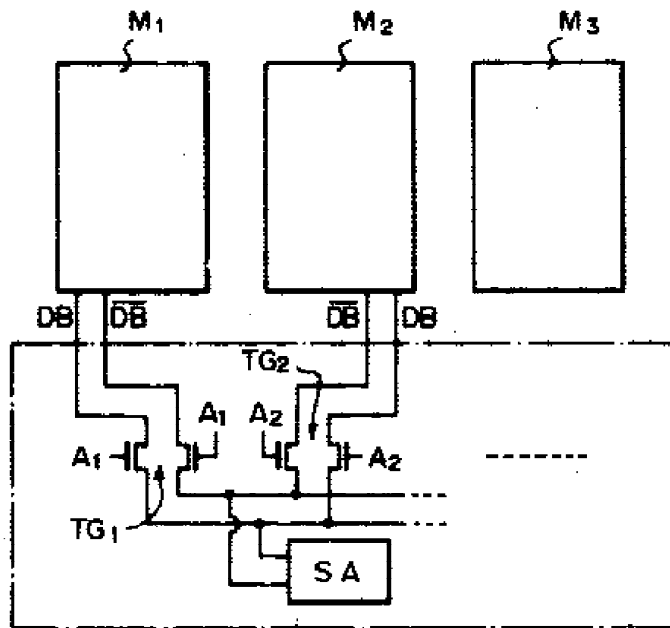
제3항에 있어서, 상기 회로 유니트의 상기 다른 MIS 트랜지스터가 메모리 장치의 라인에 연결되는 것을 특징으로 하는 센스 증폭기.

#### 청구항 6

제3항에 있어서, 상기 회로 유니트의 상기 다른 MIS 트랜지스터가 메모리 장치의 데이터 버스에 연결되는 것을 특징으로 하는 센스 증폭기.

### 도면

도면1



도면2

