

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016 年 1 月 28 日(28.01.2016)



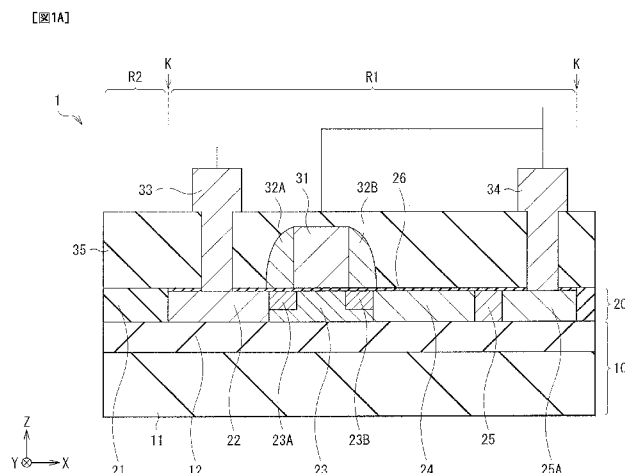
(10) 国際公開番号  
**WO 2016/013396 A1**

- (51) 国際特許分類:  
H01L 21/822 (2006.01) H01L 29/786 (2006.01)  
H01L 27/04 (2006.01) H01L 29/861 (2006.01)  
H01L 27/06 (2006.01) H01L 29/868 (2006.01)  
H01L 27/08 (2006.01)
- (21) 国際出願番号: PCT/JP2015/069623
- (22) 国際出願日: 2015 年 7 月 8 日(08.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2014-152225 2014 年 7 月 25 日(25.07.2014) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)  
[JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者: 森 日出樹 (MORI, Hideki); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿 1 丁目 1 5 番 9 号さわだビル 3 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: ELECTROSTATIC DISCHARGE PROTECTION ELEMENT AND ELECTROSTATIC DISCHARGE PROTECTION CIRCUIT

(54) 発明の名称: 静電保護素子および静電保護回路



(57) Abstract: This electrostatic discharge protection element is provided with an insulating body and a semiconductor layer. The semiconductor layer comprises: an element formation region in which a first impurity diffusion layer of a first conductivity type, a body region, a second impurity diffusion layer of the first conductivity type, and a region of a second conductivity type containing an impurity diffusion layer of the second conductivity type that is electrically isolated from the body region are sequentially arranged; and an element isolation region that is provided with an element isolation layer that surrounds the element formation region. This electrostatic discharge protection element is additionally provided with a gate electrode on the body region in the semiconductor layer such that the gate electrode is provided thereon with an insulating film being interposed therebetween.

(57) 要約: この静電保護素子は、絶縁体と半導体層とを備える。半導体層は、第 1 の第 1 導電型不純物拡散層、ボディ領域、第 2 の第 1 導電型不純物拡散層、およびボディ領域と電気的に分離された第 2 導電型不純物拡散層を含む第 2 導電型領域が順に並ぶ素子形成領域と、この素子形成領域を取り囲む素子分離層が設けられた素子分離領域とを有する。半導体層におけるボディ領域の上には、絶縁膜を介して設けられたゲート電極をさらに備える。



WO 2016/013396 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称： 静電保護素子および静電保護回路

### 技術分野

[0001] 本開示は、電気回路を静電気放電現象から保護するための静電保護回路およびそれに用いられる静電保護素子に関する。

### 背景技術

[0002] 一般に、半導体集積回路は静電気放電に弱く、容易に破壊されるおそれがある。静電気放電の一般的な発生源の一つは、例えば2000Vを超える静電気を蓄積する人体である。したがって、半導体集積回路を搭載したICパッケージを、人間がなんらの静電気保護対策を行うことなく取扱うとすれば、急激な静電気放電が生じ、半導体集積回路を構成する各回路や各素子に対する物理的な破壊を生じさせる可能性がある。

[0003] このような静電気放電から半導体集積回路を保護する方法としては、ダイオードを静電保護素子として挿入することで抵抗性経路を形成し、被保護回路である半導体集積回路から電極パッドへ至る経路をシャントする方法が一般的である。こうすることで、静電気放電が被保護回路へ及ぶのを回避できる。

[0004] 一方、近年の携帯情報通信端末等における無線通信の高速化に伴い、高周波RF信号を取り扱うデバイスの特性の重要度が増している。微細化と共にSOI(Silicon On Insulator)技術やSOS(Silicon On Sapphire)技術はデバイスの高速化に必要不可欠なものとなってきた。SOI技術やSOS技術によれば、面内方向の素子分離に加えて深さ方向における絶縁分離も行うので、接合面積の縮小による寄生容量低減が可能となる。よって、動作の高速化や高調波歪低減、高周波信号伝達における漏れを表すIsolation特性の向上など、RF特性の向上を実現できる。

[0005] このようなデバイスの特性向上と共に、静電保護素子のRF特性への影響も重要となってきた。RF信号を取り扱う入出力端子に接続される内部

回路を静電気放電から保護するために、例えばRF信号線路と参照電位線路との間にダイードを静電保護素子として挿入する場合を考える。この場合、静電保護素子としてのダイードは、静電気耐性確保の点から相当の静電気放電能力が得られる接合面積を必要とするが、その一方でダイードの有する接合面積に比例した寄生容量は、高調波歪、Isolation特性等のRF特性に悪影響を及ぼす。従って、静電気放電能力確保と寄生容量低減は、相反するため静電気耐性とRF特性との両立が困難になってきている。

[0006] このような静電気耐性とRF特性との両立を図ろうとするものとして、例えば特許文献1に記載の半導体集積回路や、特許文献2に記載の静電放電保護デバイスなどが提案されている。

## 先行技術文献

### 特許文献

[0007] 特許文献1：特開2007-288210号公報

特許文献2：特表2010-532566号公報

### 発明の概要

[0008] しかしながら、特許文献1では、特に高周波領域での被保護回路に対する保護能力とRF特性との両立が困難である。また、特許文献2では、ゲート電極の電位を制御するための制御回路を別途設けていることから小型化、簡素化が困難であるうえ、静電保護ダイードを流れるリーク電流の発生も問題である。

[0009] したがって、静電気耐性およびRF特性に優れ、被保護回路に対する高い保護能力を有する静電保護回路およびそれに用いられる静電保護素子を提供することが望ましい。

[0010] 本開示の一実施形態としての静電保護素子は、絶縁体と、この絶縁体上に形成された半導体層とを備える。半導体層は、第1の第1導電型不純物拡散層、ボディ領域、第2の第1導電型不純物拡散層、およびボディ領域と電氣的に分離された第2導電型不純物拡散層を含む第2導電型領域が順に並ぶ素子形成領域と、この素子形成領域を取り囲む素子分離層が設けられた素子分

離領域とを有する。半導体層におけるボディ領域の上には、絶縁膜を介して設けられたゲート電極をさらに備える。

[0011] 本開示の一実施形態としての静電保護回路は、絶縁体と、この絶縁体上に形成された、静電保護素子および半導体集積回路とを備える。静電保護素子は、第1の第1導電型不純物拡散層、ボディ領域、第2の第1導電型不純物拡散層、およびボディ領域と電氣的に分離された第2導電型不純物拡散層を含む第2導電型領域が順に並ぶ素子形成領域と、この素子形成領域を取り囲む素子分離層が設けられた素子分離領域とを有する半導体層と、ボディ領域の上に、絶縁膜を介して設けられたゲート電極とを備える。半導体集積回路は、半導体層に設けられている。

[0012] 本開示の一実施形態としての静電保護素子および静電保護回路では、第1の第1導電型不純物拡散層に対し静電気が印加されると、ボディ領域はチャネル領域となり、電氣的に開放である（すなわちフローティング状態である）第2の第1導電型不純物拡散層に静電気電位が伝導する。静電気電位が伝導した第2の第1導電型不純物拡散層と、その隣の第2導電型不純物拡散層を含む第2導電型領域との接合は順バイアス状態となる。よって、第1の第1導電型不純物拡散層からチャネル領域（ボディ領域）を経由して、第2の第1導電型不純物拡散層と第2導電型領域との接合からなる一段のダイオードが形成され、これを通じて静電気放電動作が行われる。すなわち、この静電保護素子では、第1の第1導電型不純物拡散層に対し静電気が印加されると、PN接合を1つ含む一段のダイオードとして機能し、静電気放電が行われる。

[0013] 一方、通常動作時、すなわち静電気放電が生じていない場合には、3つのPN接合が直列に接続された3段のダイオードとして機能する。具体的には、この場合、例えば電源電位となるゲート電極や第2導電型領域（第2導電型不純物拡散層）の電位よりも、信号電位となる第1の第1導電型不純物拡散層の電位が低いので、ボディ領域はチャネル領域とはならない。したがって、電氣的に開放である第2の第1導電型不純物拡散層はその状態が維持さ

れる。また、チャネル領域とならないボディ領域も電氣的に開放であることから、ボディ領域と信号電位が印加される第1の第1導電型不純物拡散層との接合は、弱い順バイアス状態となる。一方、ボディ領域と第2の第1導電型不純物拡散層との接合は弱い逆バイアス状態となる。さらに、第2の第1導電型不純物拡散層と電源電位である第2導電型領域との接合も逆バイアス状態となる。この結果、第1の第1導電型不純物拡散層とボディ領域との接合容量、ボディ領域と第2の第1導電型不純物拡散層との接合容量、および第2の第1導電型不純物拡散層と第2導電型領域との接合容量が直列に接続された状態となる。この静電保護素子の寄生容量は、従来よりも十分に低減される。

[0014] 本開示の一実施形態としての静電保護素子および静電保護回路によれば、被保護回路に対する保護能力、静電気耐性およびRF特性において優れた性能を発揮することができる。なお、本開示の効果はこれに限定されるものではなく、以下の記載のいずれの効果であってもよい。

### 図面の簡単な説明

[0015] [図1A]本開示の第1の実施の形態に係る静電保護素子の構成例を表す断面図である。

[図1B]図1Aに示した静電保護素子の構成例を表す平面図である。

[図2A]図1Aの静電保護素子を含む本開示の第2の実施の形態に係る入出力回路の動作を表す説明図である。

[図2B]図1Aの静電保護素子を含む本開示の第2の実施の形態に係る入出力回路の他の動作を表す説明図である。

[図3]本開示の第3の実施の形態に係る静電保護素子の構成例を表す断面図である。

[図4A]図3の静電保護素子を含む本開示の第4の実施の形態に係る入出力回路の動作を表す説明図である。

[図4B]図3の静電保護素子を含む本開示の第4の実施の形態に係る入出力回路の他の動作を表す説明図である。

[図5A]本開示の第5の実施の形態に係る静電保護回路における正の静電気に対する静電保護動作を説明するための説明図である。

[図5B]本開示の第5の実施の形態に係る静電保護回路における負の静電気に対する静電保護動作を説明するための説明図である。

[図5C]本開示の第5の実施の形態に係る静電保護回路における通常動作を説明するための説明図である。

[図6A]一般的な静電保護回路における正の静電気に対する静電保護動作を説明するための説明図である。

[図6B]一般的な静電保護回路における負の静電気に対する静電保護動作を説明するための説明図である。

[図6C]一般的な静電保護回路における通常動作を説明するための説明図である。

[図7]参考例としての静電保護回路を表す説明図である。

[図8]図6A～6Cに示した一般的な静電保護回路に適用される保護ダイオードの構成を表す断面図である。

[図9]図5A～5Cに示した静電保護回路に搭載された静電保護素子における、周波数とインピーダンスとの関係を表す特性図である。

[図10]図5A～5Cに示した静電保護回路に搭載された静電保護素子における、電圧と電流との関係を表す特性図である。

## 発明を実施するための形態

[0016] 以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

### 1. 第1の実施の形態（正保護素子）

#### 1-1 構成

#### 1-2 動作（正の静電気印加時、通常時）

### 2. 第2の実施の形態（正保護素子を用いた入出力回路）

#### 2-1 構成

#### 2-2 動作（正の静電気印加時、通常時）

### 3. 第3の実施の形態（負保護素子）

#### 3-1 構成

#### 3-2 動作（負の静電気印加時、通常時）

### 4. 第4の実施の形態（負保護素子を用いた入出力回路）

#### 4-1 構成

#### 4-2 動作（負の静電気印加時、通常時）

### 5. 第5の実施の形態（正保護素子および負保護素子を備えた静電保護回路）

#### 5-1 構成

#### 5-2 正の静電気印加時の動作

#### 5-3 負の静電気印加時の動作

#### 5-4 通常時の動作

## [0017] <第1の実施の形態>

### [静電保護素子1の構成]

図1Aは、本開示の第1の実施の形態としての静電保護素子1の断面構成を表したものである。また、図1Bは、静電保護素子1の平面構成を表す。図1Aは、図1Bに示したI A-I A切断線に沿った矢視方向の断面図に相当する。

[0018] 静電保護素子1は、例えば半導体集積回路などの被保護回路を、正の静電気放電による損傷から保護するために用いられる。静電保護素子1は、SOI（Silicon on Insulator）構造を有し、例えば基体10の上に半導体層20とゲート電極31とが順に積層されたものである。

[0019] 基体10は、例えば単結晶シリコンなどからなる支持基板11の上に、例えばシリコン酸化膜などからなる薄い埋込み酸化膜12が設けられたものである。半導体層20は、例えば単結晶シリコンよりなる薄膜であり、素子形成領域R1と、その素子形成領域R1を取り囲む素子分離層21が設けられた素子分離領域R2とを有する。素子分離層21は、例えば酸化シリコン膜（ $\text{SiO}_2$ ）よりなる絶縁膜であり、例えばSTI（Shallow Trench Isolatio

n) 技術を用いて形成される。

[0020] 素子形成領域 R 1 には、第 1 の第 1 導電型不純物拡散層としての P + アノード領域 2 2、ボディ領域 2 3、第 2 の第 1 導電型不純物拡散層としての P + 電位伝達領域 2 4、およびボディ領域 2 3 と電氣的に分離された第 2 導電型不純物拡散層としての N + カソード領域 2 5 A を含むカソード領域 2 5 が順に並んでいる。ボディ領域 2 3 の一部には、一対の P 型低レベルドープロイン (PLDD) 2 3 A, 2 3 B が設けられている。素子形成領域 R 1 には、これらの P + アノード領域 2 2、ボディ領域 2 3、P + 電位伝達領域 2 4、および N + カソード領域 2 5 A を含むカソード領域 2 5 の全体を覆うように、絶縁膜 2 6 が設けられている。但し、P + アノード領域 2 2 の上面の一部および N + カソード領域 2 5 A の上面の一部は絶縁膜 2 6 によって覆われておらず、それぞれアノード電極 3 3 およびカソード電極 3 4 と連結されている。

[0021] ゲート電極 3 1 は、ボディ領域 2 3 の上に絶縁膜 2 6 を介して設けられている。したがって、絶縁膜 2 6 のうち、ボディ領域 2 3 とゲート電極 3 1 との間に挟まれた一部分はゲート絶縁膜として機能する。ゲート電極 3 1 の両隣はサイドウォールスペーサ 3 2 A, 3 2 B が設けられ、さらに全体を絶縁膜 3 5 が覆っている。なお、図 1 B では、絶縁膜 2 6 および絶縁膜 3 5 については図示を省略している。

[0022] ボディ領域 2 3 は、N ウェルであり、積層面内 (XY 面内) において P + アノード領域 2 2、P + 電位伝達領域 2 4 および素子分離層 2 1 によって取り囲まれている。すなわち、ボディ領域 2 3 の端面は、P + アノード領域 2 2、P + 電位伝達領域 2 4 および素子分離層 2 1 のいずれかと接している。また、ボディ領域 2 3 は、厚さ方向 (Z 軸方向) において埋込み酸化膜 1 2 と絶縁膜 2 6 との間に挟まれている。すなわち、ボディ領域 2 3 の下面は埋込み酸化膜 1 2 と接し、ボディ領域 2 3 の上面は絶縁膜 2 6 と接している。

[0023] P + 電位伝達領域 2 4 は、積層面内 (XY 面内) においてボディ領域 2 3、カソード領域 2 5 および素子分離層 2 1 によって取り囲まれている。すな

わち、P＋電位伝達領域24の端面は、ボディ領域23、カソード領域25および素子分離層21のいずれかと接している。また、P＋電位伝達領域24は、厚さ方向（Z軸方向）において埋込み酸化膜12と、絶縁膜26または絶縁膜35などの他の絶縁膜との間に挟まれている。すなわち、P＋電位伝達領域24の下面は埋込み酸化膜12と接し、P＋電位伝達領域24の上面は絶縁膜26または絶縁膜35などの他の絶縁膜と接している。

[0024] このような構成により、ボディ領域23およびP＋電位伝達領域24は、周囲から隔離されており、電氣的に開放された状態、すなわちフローティング状態となっている。なお、カソード領域25は、P＋電位伝達領域24、埋込み酸化膜12および素子分離層21により、ボディ領域23と電氣的に分離されている。

[0025] ボディ領域23の一部に形成された一对のPLDD23A, 23Bは、ゲート電極31を挟んで設けられた一对のサイドウォールスペーサ32A, 32Bとそれぞれ対向するように位置する。PLDD23A, 23Bは、例えばゲート電極31の形成後、ボディ領域23にP型不純物のイオン注入を行うことにより形成されたP－不純物拡散層である。

[0026] P＋アノード領域22およびP＋電位伝達領域24は、P＋不純物拡散層からなり、ゲート電極31の両隣にそれぞれサイドウォールスペーサ32A, 32Bが形成されたのち一括形成されたものである。

[0027] ゲート電極31およびN＋カソード領域25A（カソード電極34）は、例えば互いに共通の配線と接続されて共通の第1の電位を有しているとよい。一方、P＋アノード領域22（アノード電極33）は、第1の電位とは異なる第2の電位を有する。ここでいう第1の電位とは、例えば電源電位または参照電位であり、第2の電位は信号電位である。

[0028] [静電保護素子1の動作]

静電保護素子1は、正保護ダイオードとして機能する。すなわち、ゲート電極31とカソード電極34とは電氣的に接続されて同一の参照電位となり、アノード電極33に正の静電気が印加されたときに、静電保護動作が開始

される。具体的には、ゲート電極 3 1 が参照電位であるときに、外部から P + アノード領域 2 2 に正の静電気が印加されると、ゲート電極 3 1 直下のボディ領域 2 3 (N ウェル) が P + チャネル層となる。すると、静電気電位は、P + チャネル層となったボディ領域 2 3 を介して、電氣的に開放である P + 電位伝達領域 2 4 に伝導する。静電気電位が伝導した P + 電位伝達領域 2 4 と参照電位であるカソード領域 2 5 との接合は順バイアス状態となる。このため、P + アノード領域 2 2 から P + チャネル層であるボディ領域 2 3、P + 電位伝達領域 2 4 とカソード領域 2 5 との接合、N + カソード領域 2 5 A、およびカソード電極 3 4 を順次経由して静電気放電が行われる。このように、正の静電気が印加された場合、静電保護素子 1 は 1 つの P N 接合を含む一段の静電保護ダイオードとして機能する。

[0029] 次に、静電保護素子 1 が正保護ダイオードとして機能しない、オフ状態での静電保護素子 1 の動作について説明する。すなわち、静電気放電が行われたのち、または、アノード電極 3 3 およびカソード電極 3 4 の各電位が、静電保護素子 1 が正保護ダイオードとして機能しないように印加されたときの、静電保護素子 1 の動作をいう。カソード電極 3 4 およびゲート電極 3 1 が電源電位であるときにアノード電極 3 3 が信号電位となると、P + アノード領域 2 2 も信号電位となるので、ゲート電極 3 1 直下のボディ領域 2 3 (N ウェル) はチャネル領域にはならない。信号電位は電源電位よりも低いからである。したがって、P + 電位伝達領域 2 4 は、電氣的に開放状態となる。また、ボディ領域 2 3 も電氣的に開放である。このため、P + アノード領域 2 2 とボディ領域 2 3 との接合は弱い順バイアス状態となり、ボディ領域 2 3 と P + 電位伝達領域 2 4 との接合は弱い逆バイアス状態となる。さらに、P + 電位伝達領域 2 4 と電源電位である N + カソード領域 2 5 A との接合も逆バイアス状態となる。この結果、静電保護素子 1 は、正保護ダイオードとして機能しないオフ状態となる。このようにオフ状態にある静電保護素子 1 は、P + アノード領域 2 2 とボディ領域 2 3 との第 1 の接合、ボディ領域 2 3 と P + 電位伝達領域 2 4 との第 2 の接合、および、P + 電位伝達領域 2 4

とカソード領域 25 との第 3 の接合が直列に接続された状態となる。このため、アノード電極 33 とカソード電極 34 と間の寄生容量は、例えば図 8 に示した一般的なゲートダイオード構造に比べ、おおよそ  $1/3$  程度に低減することができる。その一方で、先に述べたように、静電気の印加時には静電保護素子 1 は 1 つの P N 接合を含む一段の静電保護ダイオードとして振舞うので、単純に 3 つの P N 接合を直列接続した場合と比べて、そのおおよそ  $1/3$  程度の電圧で静電保護動作が実施される。

[0030] このように、本実施の形態の静電保護素子 1 によれば、正の静電気が印加された場合には静電気放電を適切な経路で行う一段の静電保護ダイオードとして機能し、それ以外の通常動作時には直列接続された 3 段の P N 接合を含むダイオードとして機能する。したがって、静電気放電からの高い保護能力を確保しつつ、通常動作時における寄生容量を低減することで特に高周波信号におけるインピーダンスの低下を抑制し、高いアイソレーション特性を発揮することができる。また、静電保護素子 1 は簡素な構成であることから、一般的な P M O S トランジスタと同様の手順により簡便に作製することが可能である。

[0031] <第 2 の実施の形態>

[静電保護素子 1 を含む入出力回路の構成]

図 2 A, 2 B は、上記の静電保護素子 1 を用いた入出力回路の一例を示している。図 2 A, 2 B に示した入出力回路は、被保護回路である半導体集積回路（図示せず）の一部を構成する。図 2 A は、静電保護素子 1 を用いた入出力回路の構成と、その入出力回路に正の静電気が印加された場合の静電保護素子 1 の静電保護動作を併せて説明するものである。また図 2 B は、静電保護素子 1 を用いた入出力回路の構成と、その入出力回路を備えた半導体集積回路が通常動作をしているときの静電保護素子 1 の状態を説明するものである。

[0032] 図 2 A, 2 B に示した入出力回路では、静電保護素子 1 のカソード電極 34 およびゲート電極 31 は電源電位線路 L V と接続され、静電保護素子 1 の

アノード電極 33 は信号電位線路 L S と接続されている。電源電位線路 L V には、半導体集積回路に電源を印加するためのパッド V d d が接続され、信号電位線路 L S には、半導体集積回路の入出力信号を供給するためのパッド R F が接続されている。

[0033] [静電保護素子 1 を含む入出力回路の動作]

パッド V d d を接地して電源電位線路 L V を参照電位とした状態において、それを基準とした正の静電気がパッド R F に印加されると、静電保護素子 1 は静電保護動作を開始する（図 2 A）。パッド V d d が接地され、ゲート電極 31 が参照電位であるときに、パッド R F から信号電位線路 L S を経由して P + アノード領域 22 に正の静電気が印加されると、ゲート電極 31 直下のボディ領域 23（N ウェル）が P + チャネル層となる。すると、静電気電位は、P + チャネル層となったボディ領域 23 を介して、電氣的に開放である P + 電位伝達領域 24 に伝導する。静電気電位が伝導した P + 電位伝達領域 24 と参照電位であるカソード領域 25 との接合は順バイアス状態となる。このため、静電気放電は、P + アノード領域 22 から P + チャネル層であるボディ領域 23、P + 電位伝達領域 24 とカソード領域 25 との接合、N + カソード領域 25 A、およびカソード電極 34 を順次経由し、最終的に参照電位である電源電位線路 L V へ至る。このように、正の静電気が印加された場合、静電保護素子 1 は 1 つの P N 接合を含む一段の静電保護ダイオードとして機能する。

[0034] 次に、図 2 B を参照して、被保護回路である半導体集積回路（図示せず）が通常動作をしている際、パッド V d d に電源電位が印加されると共にパッド R F に信号電位が印加された場合について説明する。この場合、電源電位線路 L V を介してカソード電極 34 およびゲート電極 31 に電源電位が印加され、パッド R F から信号電位線路 L S を介してアノード電極 33 が信号電位となる。よって、P + アノード領域 22 も信号電位となることから、ゲート電極 31 直下のボディ領域 23（N ウェル）はチャネル領域にはならない。信号電位は電源電位よりも低いからである。したがって、P + 電位伝達領

域 2 4 は、電氣的に開放状態となる。また、ボディ領域 2 3 も電氣的に開放である。このため、P + アノード領域 2 2 とボディ領域 2 3 (N ウェル) との接合は弱い順バイアス状態となり、ボディ領域 2 3 (N ウェル) と P + 電位伝達領域 2 4 との接合は弱い逆バイアス状態となる。さらに、P + 電位伝達領域 2 4 と電源電位であるカソード領域 2 5 との接合も逆バイアス状態となる。この結果、静電保護素子 1 は、正保護ダイオードとして機能しないオフ状態となる。このようにオフ状態にある静電保護素子 1 は、P + アノード領域 2 2 とボディ領域 2 3 との第 1 の接合、ボディ領域 2 3 と P + 電位伝達領域 2 4 との第 2 の接合、および、P + 電位伝達領域 2 4 とカソード領域 2 5 との第 3 の接合が直列に接続された状態となる。このため、アノード電極 3 3 とカソード電極 3 4 と間の寄生容量は、例えば図 8 に示した一般的なゲートダイオード構造に比べ、およそ 1 / 3 程度に低減することができる。

[0035] このように、本実施の形態の静電保護素子 1 を含む入出力回路によれば、正の静電気が印加された場合には静電気放電を適切な経路で行う一段の静電保護ダイオードとして機能し、それ以外の通常動作時には直列接続された 3 段の P N 接合を含むダイオードとして機能する。したがって、静電気放電からの高い保護能力を確保しつつ、通常動作時における寄生容量を低減することで特に高周波信号におけるインピーダンスの低下を抑制し、高いアイソレーション特性を発揮することができる。

[0036] <第 3 の実施の形態>

[静電保護素子 2 の構成]

図 3 は、本開示の第 3 の実施の形態としての静電保護素子 2 の断面構成を表したものである。静電保護素子 2 は、例えば半導体集積回路などの被保護回路を、負の静電気放電による損傷から保護するために用いられる。以下、上記第 1 の実施の形態で説明した静電保護素子 1 と異なる点を中心として説明し、静電保護素子 1 と重複する構成要素については同一の符号を付し、適宜説明を省略する。

[0037] 静電保護素子 2 における素子形成領域 R 1 には、第 1 の第 1 導電型不純物

拡散層としてのN+カソード領域42、Pウェルであるボディ領域43、第2の第1導電型不純物拡散層としてのN+電位伝達領域44、およびボディ領域43と電氣的に分離された第2導電型不純物拡散層としてのP+アノード領域45を含むアノード領域45が順に並んでいる。ボディ領域43の一部には、一对のN型低レベルドープドレイン(NLDD)43A, 43Bが設けられている。素子形成領域R1には、これらのN+カソード領域42、ボディ領域43、N+電位伝達領域44、およびP+アノード領域45Aを含むアノード領域45の全体を覆うように、絶縁膜26が設けられている。但し、N+カソード領域42の上面の一部およびP+アノード領域45Aの上面の一部は絶縁膜26によって覆われておらず、それぞれカソード電極53およびアノード電極54と連結されている。

[0038] 静電保護素子2は、ゲート電極61をさらに備えている。ゲート電極61は、ボディ領域43の上に絶縁膜26を介して設けられている。したがって、絶縁膜26のうち、ボディ領域43とゲート電極61との間に挟まれた一部分はゲート絶縁膜として機能する。ゲート電極61の両隣はサイドウォールスペーサ62A, 62Bが設けられ、さらに全体を絶縁膜35が覆っている。

[0039] ボディ領域43は、Pウェルであり、積層面内(XY面内)においてN+カソード領域42、N+電位伝達領域44および素子分離層21によって取り囲まれている。すなわち、ボディ領域43の端面は、N+カソード領域42、N+電位伝達領域44および素子分離層21のいずれかと接している。また、ボディ領域43は、厚さ方向(Z軸方向)において埋込み酸化膜12と絶縁膜26との間に挟まれている。すなわち、ボディ領域43の下面は埋込み酸化膜12と接し、ボディ領域43の上面は絶縁膜26と接している。

[0040] N+電位伝達領域44は、積層面内(XY面内)においてボディ領域43、アノード領域45および素子分離層21によって取り囲まれている。すなわち、N+電位伝達領域44の端面は、ボディ領域43、アノード領域45および素子分離層21のいずれかと接している。また、N+電位伝達領域4

4 は、厚さ方向（Z 軸方向）において埋込み酸化膜 1 2 と絶縁膜 2 6 との間に挟まれている。すなわち、N + 電位伝達領域 4 4 の下面は埋込み酸化膜 1 2 と接し、N + 電位伝達領域 4 4 の上面は絶縁膜 2 6 と接している。

[0041] このような構成により、ボディ領域 4 3 および N + 電位伝達領域 4 4 は、周囲から隔離されており、電氣的に開放された状態、すなわちフローティング状態となっている。なお、アノード領域 4 5 は、N + 電位伝達領域 4 4 、埋込み酸化膜 1 2 および素子分離層 2 1 により、ボディ領域 4 3 と電氣的に分離されている。

[0042] ボディ領域 4 3 の一部に形成された一对の NLDD 4 3 A, 4 3 B は、ゲート電極 6 1 を挟んで設けられた一对のサイドウォールスペーサ 6 2 A, 6 2 B とそれぞれ対向するように位置する。NLDD 4 3 A, 4 3 B は、例えばゲート電極 6 1 の形成後、ボディ領域 4 3 に N 型不純物のイオン注入を行うことにより形成された N - 不純物拡散層である。

[0043] N + カソード領域 4 2 および N + 電位伝達領域 4 4 は、N + 不純物拡散層からなり、ゲート電極 6 1 の両隣にそれぞれサイドウォールスペーサ 6 2 A, 6 2 B が形成されたのち一括形成されたものである。

[0044] ゲート電極 6 1 および P + アノード領域 4 5 A（アノード電極 5 4）は、例えば互いに共通の配線と接続されて共通の第 1 の電位を有しているとよい。一方、N + カソード領域 4 2（カソード電極 5 3）は、第 1 の電位とは異なる第 2 の電位を有する。ここでいう第 1 の電位とは、例えば電源電位または参照電位であり、第 2 の電位は信号電位である。

[0045] [静電保護素子 2 の動作]

静電保護素子 2 は、負保護ダイオードとして機能する。すなわち、ゲート電極 6 1 とアノード電極 5 4 とは電氣的に接続されて同一の参照電位となり、カソード電極 5 3 に負の静電気が印加されたときに、静電保護動作が開始される。具体的には、ゲート電極 6 1 が参照電位であるときに、外部から N + カソード領域 4 2 に負の静電気が印加されると、ゲート電極 6 1 直下のボディ領域 4 3（P ウェル）が N + チャネル層となる。すると、静電気電位は

、N＋チャネル層となったボディ領域43を介して、電氣的に開放であるN＋電位伝達領域44に伝導する。静電気電位が伝導したN＋電位伝達領域44と参照電位であるアノード領域45との接合は順バイアス状態となる。このため、N＋カソード領域42からN＋チャネル層であるボディ領域43、N＋電位伝達領域44とアノード領域45との接合、P＋アノード領域45A、およびアノード電極54を順次経由して静電気放電が行われる。このように、負の静電気が印加された場合、静電保護素子2は1つのPN接合を含む一段の静電保護ダイオードとして機能する。

[0046] 次に、静電保護素子2が負保護ダイオードとして機能しない、オフ状態での静電保護素子2の動作について説明する。すなわち、静電気放電が行われたのち、または、アノード電極54およびカソード電極53の各電位が、静電保護素子2が負保護ダイオードとして機能しないように印加されたときの静電保護素子2の動作をいう。アノード電極54およびゲート電極61が参照電位であるときにカソード電極53が信号電位となると、N＋カソード領域42も信号電位となるので、ゲート電極61直下のボディ領域43（Pウェル）はチャネル領域にはならない。信号電位は参照電位よりも高いからである。したがって、N＋電位伝達領域44は、電氣的に開放状態となる。また、ボディ領域43も電氣的に開放である。このため、N＋カソード領域42とボディ領域43との接合は逆バイアス状態となり、ボディ領域43とN＋電位伝達領域44との接合は弱い順バイアス状態となる。さらに、N＋電位伝達領域44と参照電位であるアノード領域45との接合は逆バイアス状態となる。この結果、静電保護素子2は、負保護ダイオードとして機能しないオフ状態となる。このようにオフ状態にある静電保護素子2は、N＋カソード領域42とボディ領域43との第1の接合、ボディ領域43とN＋電位伝達領域44との第2の接合、および、N＋電位伝達領域44とアノード領域45との第3の接合が直列に接続された状態となる。このため、カソード電極53とアノード電極54と間の寄生容量は、例えば図8に示した一般的なゲートダイオード構造に比べ、およそ1／3程度に低減することができ

る。

[0047] このように、本実施の形態の静電保護素子 2 によれば、負の静電気が印加された場合には静電気放電を適切な経路で行う一段の静電保護ダイオードとして機能し、それ以外の通常動作時には直列接続された 3 段の P N 接合を含むダイオードとして機能する。したがって、静電気放電からの高い保護能力を確保しつつ、通常動作時における寄生容量を低減することで特に高周波信号におけるインピーダンスの低下を抑制し、高いアイソレーション特性を発揮することができる。

[0048] <第 4 の実施の形態>

[静電保護素子 2 を含む入出力回路の構成]

図 4 A, 4 B は、上記の静電保護素子 2 を用いた入出力回路の一例を示している。図 4 A, 4 B に示した入出力回路は、被保護回路である半導体集積回路（図示せず）の一部を構成する。図 4 A は、静電保護素子 2 を用いた入出力回路の構成と、その入出力回路に負の静電気が印加された場合の静電保護素子 2 の静電保護動作を併せて説明するものである。また図 4 B は、静電保護素子 2 を用いた入出力回路の構成と、その入出力回路を備えた半導体集積回路が通常動作をしているときの静電保護素子 2 の状態を説明するものである。

[0049] 図 4 A, 4 B に示した入出力回路では、静電保護素子 2 のアノード電極 5 4 およびゲート電極 6 1 は参照電位線路 L R と接続され、静電保護素子 2 のカソード電極 5 3 は信号電位線路 L S と接続されている。参照電位線路 L R には、半導体集積回路を接地するためのパッド V s s が接続され、信号電位線路 L S には、半導体集積回路の入出力信号を供給するためのパッド R F が接続されている。

[0050] [静電保護素子 2 を含む入出力回路の動作]

パッド V s s を接地して参照電位線路 L R を参照電位とした状態において、それを基準とした負の静電気がパッド R F に印加されると、静電保護素子 2 は静電保護動作を開始する（図 4 A）。ゲート電極 6 1 が参照電位である

ときに、パッドR Fから信号電位線路L Sを経由してN+カソード領域4 2に負の静電気が印加されると、ゲート電極6 1直下のボディ領域4 3（Pウェル）がN+チャネル層となる。すると、静電気電位は、N+チャネル層となったボディ領域4 3を介して、電氣的に開放であるN+電位伝達領域4 4に伝導する。静電気電位が伝導したN+電位伝達領域4 4と参照電位であるアノード領域4 5との接合は順バイアス状態となる。このため、静電気放電は、P+アノード領域4 5 Aからアノード領域4 5とN+電位伝達領域4 4との接合、N+チャネル層であるボディ領域4 3、N+カソード領域4 2、およびカソード電極5 3を順次経由し、最終的に信号電位である信号電位線路L Sへ至る。このように、負の静電気が印加された場合、静電保護素子2は1つのPN接合を含む一段の静電保護ダイオードとして機能する。

[0051] 次に、図4 Bを参照して、被保護回路である半導体集積回路（図示せず）が通常動作をしている際、パッドV s sは接地されると共にパッドR Fに信号電位が印加された場合について説明する。この場合、参照電位線路L Rを介してアノード電極5 4およびゲート電極6 1に参照電位が印加され、信号電位線路L Sを介してカソード電極5 3が信号電位となる。よって、N+カソード領域4 2も信号電位となることから、ゲート電極6 1直下のボディ領域4 3（Pウェル）はチャネル領域にはならない。信号電位は参照電位よりも高いからである。したがって、N+電位伝達領域4 4は、電氣的に開放状態となる。また、ボディ領域4 3も電氣的に開放である。このため、N+カソード領域4 2とボディ領域4 3（Pウェル）との接合は逆バイアス状態となり、ボディ領域4 3（Pウェル）とN+電位伝達領域4 4との接合は弱い順バイアス状態となる。さらに、N+電位伝達領域4 4と参照電位であるアノード領域4 5との接合は逆バイアス状態となる。この結果、静電保護素子2は、負保護ダイオードとして機能しないオフ状態となる。このようにオフ状態にある静電保護素子2は、N+カソード領域4 2とボディ領域4 3との第1の接合、ボディ領域4 3とN+電位伝達領域4 4との第2の接合、および、N+電位伝達領域4 4とアノード領域4 5との第3の接合が直列に接続

された状態となる。このため、カソード電極 5 3 とアノード電極 5 4 と間の寄生容量は、例えば図 8 に示した一般的なゲートダイオード構造に比べ、おおよそ 1 / 3 程度に低減することができる。

[0052] このように、本実施の形態の静電保護素子 2 を含む入出力回路によれば、負の静電気が印加された場合には静電気放電を適切な経路で行う一段の静電保護ダイオードとして機能し、それ以外の通常動作時には直列接続された 3 段の P N 接合を含むダイオードとして機能する。したがって、静電気放電からの高い保護能力を確保しつつ、通常動作時における寄生容量を低減することで特に高周波信号におけるインピーダンスの低下を抑制し、高いアイソレーション特性を発揮することができる。

[0053] <第 5 の実施の形態>

[静電保護素子 1 および静電保護素子 2 を備えた静電保護回路の構成]

図 5 A ~ 5 C は、上記の静電保護素子 1 および静電保護素子 2 を含む入出力回路を備えた静電保護回路の一例を示している。図 5 A ~ 5 C に示した静電保護回路は、例えば同一の基体 1 0 の上に、静電保護素子 1 および静電保護素子 2 を含む入出力回路 C 1 と、被保護回路である半導体集積回路 C 2 ( 内部回路 ) とが設けられたものである。

[0054] 図 5 A は、本実施の形態の静電保護回路の構成と、その入出力回路 C 1 に正の静電気が印加された場合の静電保護動作を併せて説明するものである。また図 5 B は、本実施の形態の静電保護回路の構成と、その入出力回路 C 1 に負の静電気が印加された場合の静電保護動作を併せて説明するものである。さらに図 5 C は、本実施の形態の静電保護回路の構成と、その半導体集積回路 C 2 が通常動作をしているときの静電保護素子 1 , 2 の状態を説明するものである。

[0055] [静電保護回路の構成]

図 5 A ~ 図 5 C に示したように、この静電保護回路における入出力回路 C 1 では、第 1 の実施の形態で説明した静電保護素子 1 のカソード電極 3 4 およびゲート電極 3 1 が電源電位線路 L V と接続されている。一方、静電保護

素子 1 のアノード電極 3 3 は信号電位線路 L S と接続されている。電源電位線路 L V には、半導体集積回路 C 2 に電源を印加するためのパッド V d d が接続され、信号電位線路 L S には、半導体集積回路 C 2 の入出力信号を供給するためのパッド R F が接続されている。

[0056] 入出力回路 C 1 では、さらに、第 3 の実施の形態で説明した静電保護素子 2 のアノード電極 5 4 およびゲート電極 6 1 は参照電位線路 L R と接続されており、静電保護素子 2 のカソード電極 5 3 は信号電位線路 L S と接続されている。参照電位線路 L R には、半導体集積回路 C 2 を接地するためのパッド V s s が接続されている。

[0057] 半導体集積回路 C 2 は、例えば入出力回路 C 1 における信号電位線路 L S の、パッド R F と反対側の端部に接続されている。

[0058] [静電保護回路の動作]

この静電保護回路において、パッド V d d を接地して電源電位線路 L V を参照電位とし、それを基準とした正の静電気がパッド R F に印加されると、静電保護素子 1 が半導体集積回路 C 2 に対する静電保護動作を開始する（図 5 A）。この正の静電気に対する静電保護動作については、上記第 1 および第 2 の実施の形態で説明したとおりである。静電保護素子 1 は、P + 電位伝達領域 2 4 とカソード領域 2 5 との接合による一段の静電保護ダイオードとして機能する。

[0059] このように正の静電気に対して静電保護素子 1 による静電気放電が行われているとき、一方の静電保護素子 2 は、上記第 3 および第 4 の実施の形態で説明したオフ状態となっている。そこで、パッド V s s を接地して参照電位線路 L R を参照電位とし、それを基準とした負の静電気がパッド R F に印加されると、静電保護素子 2 が半導体集積回路 C 2 に対する静電保護動作を開始する（図 5 B）。この負の静電気に対する静電保護動作については、上記第 3 および第 4 の実施の形態で説明したとおりである。静電保護素子 2 は、N + 電位伝達領域 4 4 とアノード領域 4 5 との接合による一段の静電保護ダイオードとして機能する。このように負の静電気に対して静電保護素子 2 に

よる静電気放電が行われているとき、一方の静電保護素子 1 は、上記第 1 および第 2 の実施の形態で説明したオフ状態となっている。

[0060] 以上説明したように、この静電保護回路では、静電保護素子 1 および静電保護素子 2 を備えることにより、正の静電気および負の静電気の双方の印加時において半導体集積回路 C 2 に対する適切な保護動作が実施される。

[0061] 一方、半導体集積回路 C 2 が通常動作をしているとき、静電保護素子 1 および静電保護素子 2 は、いずれもオフ状態となっている（図 5 C）。すなわち、静電保護素子 1 は第 1 および第 2 の実施の形態で説明したオフ状態となっており、静電保護素子 2 は第 3 および第 4 の実施の形態で説明したオフ状態となっている。したがって、通常動作時には、静電保護素子 1 および静電保護素子 2 は、いずれも直列接続された 3 段の P N 接合を含むダイオードとして機能する。静電保護素子 1 および静電保護素子 2 は、自らの寄生容量を低減することで特に高周波信号におけるインピーダンスの低下を抑制し、高いアイソレーション特性を発揮することができる。

[0062] [一般的な静電保護回路]

図 6 A ～ 6 C は、静電保護素子としてダイオードを用いた一般的な静電保護回路による静電保護動作の例を示している。図 6 A ～ 6 C に示したように、一般的な静電保護回路では入出力回路 C 1 0 1 と半導体集積回路 C 1 0 2 とを備えたものを考える。電源電位線路 L V と信号電位線路 L S との間には正保護ダイオード 1 0 1 が挿入されており、そのアノード端子は信号電位線路 L S と接続され、カソード端子は電源電位線路 L V と接続されている。また、信号電位線路 L S と参照電位線路 L R との間には負保護ダイオード 1 0 2 が挿入されており、そのアノード端子は参照電位線路 L R と接続され、カソード端子は信号電位線路 L S と接続されている。信号電位線路 L S において、その一端にはパッド R F が接続され、他端には半導体集積回路 C 1 0 2 が接続されている。

[0063] 図 6 A に示したように、電源電位線路 L V の電位を参照電位とし、信号電位線路 L S に接続されたパッド R F に対し参照電位を基準とした正の静電気

が印加された場合、正保護ダイオード 101 が順方向動作する。このため、信号電位線路 L S から正保護ダイオード 101 を介し電源電位線路 L V へ静電気が放電される。また、図 6 B に示したように、参照電位線路 L R を参照電位とし、信号電位線路 L S に接続されたパッド R F に対し参照電位を基準とした負の静電気が印加された場合、負保護ダイオード 102 が順方向動作する。このため、参照電位線路 L R から負保護ダイオード 102 を介し信号電位線路 L S へ静電気が放電される。このように、正負それぞれの極性の静電気に対して、正負保護ダイオードがそれぞれ順方向動作し、静電気放電を行うことで、内部回路を保護することができる。

[0064] 一方、通常集積回路 (IC) の動作においては、電源電位  $V_{dd} >$  信号電位  $V_{rf} >$  参照電位  $V_{ss}$  の関係あることから正保護ダイオード 101 および負保護ダイオード 102 の双方に対し逆バイアスが印加されてオフ状態となる (図 6 C)。したがって、電源電位線路 L V、信号電位線路 L S および参照電位線路 L R はそれぞれ電氣的に分離され、IC 動作に必要な電源電位および信号が内部回路 (図示せず) へ印加される。

[0065] しかし、取り扱う RF 信号が高周波になるほど、特に負保護ダイオードの寄生容量の RF 特性への影響に注意が必要となる。すなわち、保護ダイオードの寄生容量については、高周波信号の漏れを防止できるかどうか (アイソレーションできるかどうか) という観点からその許容値が決まる。取扱う信号が高周波であるほど、また保護ダイオードの寄生容量が大きいほどインピーダンスは低下し、アイソレーション性能が悪化するためである。インピーダンスが低下し、参照電位線路 L R へ RF 信号が漏れると、信号の伝送損失や信号の波形の歪が生ずる。したがって RF 特性が犠牲にならないよう、保護ダイオードの寸法を小さくすることで寄生容量の低減を図ろうとするが、寸法の縮小と共に静電気耐性の低下および内部回路に対する保護能力が低下するため、静電気耐性と RF 特性との両立が難しくなる。

[0066] 先に述べた特許文献 1 では、このような静電気耐性と RF 特性との両立という課題を解決することを試みている。特許文献 1 では、具体的には図 7 に

示したように、多段の正保護ダイオード  $101n$  と多段の負保護ダイオード  $102n$  とを直列接続している。通常の IC 動作において、保護ダイオードは容量とみなすことができる。このため、複数の保護ダイオードを多段に直列接続することで容量を低減でき、特に高周波信号におけるインピーダンス低下を抑え、アイソレーション特性を改善できる。しかしながら、静電保護耐性の観点から見た場合、静電気印加時に例えば  $n$  段の保護ダイオードをオン状態とするためには、1つの保護ダイオードのオン電圧を  $V_{on}$  とすると、 $n$  段の保護ダイオードをオン電圧は  $n \times V_{on}$  となる。これは静電気が印加されても  $n \times V_{on}$  の電圧に至るまで静電気放電が行われないことを意味している。静電気放電開始電圧を  $V_{t1}$  としたとき、1段の保護ダイオードの場合は  $V_{t1} = V_{on}$  であるのに対し、 $n$  段の保護ダイオードの場合は  $V_{t1} = n \times V_{on}$  となる。したがって、静電気放電開始直後の点 A (図 7) における電位も  $V_{on}$  から  $n \times V_{on}$  へ上昇することになる、さらに、1段の保護ダイオードのオン状態における抵抗を  $R_{on}$  とすると、 $n$  段のダイオードでは  $n \times R_{on}$  となる。要求される静電気耐性に達する静電気放電の際に保護ダイオードに流れる電流を  $I_{t2}$  とすると、点 A における電位  $V$  は、

$$V = n \cdot V_{on} + I_{t2} \times n \cdot R_{on} = n (V_{on} + I_{t2} \cdot R_{on})$$

となる。

(1段の場合は  $V = V_{on} + I_{t2} \cdot R_{on}$ )

点 A における電位が  $n$  段分上昇すると、図 7 に示す内部回路を構成する例えば MOS トランジスタのゲート絶縁耐圧を超えて破壊を引き起こすといった内部回路保護の能力低下を招くおそれがある。このように、仮に静電保護素子そのものの静電気耐性は確保できたとしても、内部回路保護の能力低下を招き、内部素子保護の能力と RF 特性との両立が高周波になるほど困難になる。

[0067] ここで、上述した図 6 A ~ 6 C および図 7 に示した静電保護回路に用いることができる一般的な保護ダイオードの構造について説明する。図 8 に、SOI 基板を用いた一般的な、いわゆる Gated ダイオードの断面構造図を示す。

素子分離領域に囲まれた半導体層にGatedダイオードが形成される。このダイオードでは、支持基板111の上に埋込み酸化膜112が形成された基体110の上に、半導体層120が設けられている。半導体層120の素子形成領域R101には、N+不純物拡散層122と、ボディ領域123と、P+不純物拡散層124とが面内方向に順に並んでいる。素子形成領域R101を取り囲む素子分離領域R102には素子分離層121が設けられている。ボディ領域123の上には、半導体層120の一部を覆うように形成された絶縁膜126を介してゲート電極131が形成されている。図8に示した保護ダイオードを正保護ダイオードとして図6A～6Cおよび図7の静電保護回路に用いる場合、P+不純物拡散層124を信号電位線路LSへ接続し、N+不純物拡散層122を電源電位線路LVへ接続する。ゲート電極131は信号電位線路LSまたは電源電位線路LVへ接続する。

[0068] このように接続することで、電源電位線路LVを参照電位とし、その参照電位を基準とした正の静電気が信号電位線路LSに印加された場合、正保護ダイオードにおいてボディ領域123とN+不純物拡散層122との接合が順バイアスされ、正保護ダイオードが順方向動作することにより静電気放電が行われる。

[0069] 一方、図8に示した保護ダイオードを負保護ダイオードとして図6A～6Cおよび図7の静電保護回路に用いる場合、P+不純物拡散層124を参照電位線路LRへ接続し、N+不純物拡散層122を信号電位線路LSへ接続する。ゲート電極131は参照電位線路LRまたは信号電位線路LSへ接続する。

[0070] このように接続することで、参照電位線路LRを参照電位とし、その参照電位を基準とした負の静電気が信号電位線路LSに印加された場合、負保護ダイオードにおいてボディ領域123とN+不純物拡散層122との接合が順バイアスされ、正保護ダイオードが順方向動作することにより静電気放電が行われる。

[0071] このように、上述したように仮に静電保護素子そのものの静電気耐性は確

保できたとしても、内部回路保護の能力低下を招き、内部素子保護の能力と R F 特性との両立が高周波になるほど困難になる。

[0072] 先に述べた特許文献 2 では、内部素子保護の能力と R F 特性との両立という課題を解決することを試みている。特許文献 2 では、保護ダイオードを、別途用意したコントロール回路を用いてゲート電極の電位を制御することで、静電気放電動作時は  $V_{t1} = V_{on}$  で動作する 1 段のダイオードとして機能させ、通常 I C 動作においては直列接続された 2 段のダイオードとして機能させている。しかしながら、コントロール回路を別途設けたことによる面積増に伴う大型化は避けられない。そのうえ、特許文献 2 では保護対象の電位線と参照電位線との間の静電保護ダイオードは順方向接続されていることから、I C 動作におけるリーク電流増加も避けられないと考えられる。

[0073] これに対し、本開示の静電保護回路によれば、全体構成の小型化に有利であるうえ、被保護回路に対する保護能力、静電気耐性および R F 特性において優れた性能を発揮することができる。静電保護素子 1, 2 が、静電保護動作時は 1 段の保護ダイオードとして機能する一方、半導体集積回路 C 2 の通常動作時は逆バイアスが印加された 3 段の保護ダイオードとして機能するからである。本開示の静電保護素子 1, 2 では、例えば図 9 に示した特性図のように、図 8 に示した一般的な保護ダイオードと比べてアノードとカソードとの間の寄生容量が約  $1/3$  となり、R F 信号に対するアイソレーション特性が約 3 倍となるあるいは、インピーダンスが約 3 倍となるともいえる。図 9 では、横軸が R F 周波数を示し、縦軸がインピーダンスを示している。また、図中の符号 ● が本開示の静電保護素子 1, 2 の特性を示し、図中の符号 ○ が図 8 に示した一般的な保護ダイオードの特性を示している。または、本開示の静電保護素子 1, 2 を図 8 に示した一般的な保護ダイオードと同等の寄生容量とすれば、例えば図 10 に示したように本開示の静電保護素子 1, 2 の電流能力が一般的な保護ダイオードの約 3 倍となる。図 10 では、横軸が電圧  $V_f$  を示し、縦軸が電流  $I_f$  を示している。また、図中の符号 ■ が本開示の静電保護素子 1, 2 の特性を示し、図中の符号 ◆ が図 8 に示した一般

的な保護ダイオードの特性を示している。このため、RF特性と静電気耐性との両立が実現される。

[0074] 以上、いくつかの実施の形態を挙げて本開示を説明したが、本開示は上記実施の形態に限定されるものではなく、種々の変形が可能である。

[0075] 例えば、上記実施の形態では、静電保護素子がSOI構造を有する場合について説明したが、本技術はこれに限定されるものではない。例えば静電保護素子がSOS (Silicon - on - sapphire) 構造を有していてもよい。その場合、支持基板11および埋込み酸化膜12の代わりにサファイア基板を用いればよい。

[0076] また、本開示は、上記実施の形態で説明した構成要素を全てを備えたものに限定されるものではない。

[0077] なお、本明細書中に記載された効果はあくまで例示であってその記載に限定されるものではなく、他の効果があってもよい。また、本技術は以下のような構成を取り得るものである。

(1)

絶縁体と、

前記絶縁体上に形成され、第1の第1導電型不純物拡散層、ボディ領域、第2の第1導電型不純物拡散層、および前記ボディ領域と電氣的に分離された第2導電型不純物拡散層を含む第2導電型領域が順に並ぶ素子形成領域と、前記素子形成領域を取り囲む素子分離層が設けられた素子分離領域とを有する半導体層と、

前記ボディ領域の上に、絶縁膜を介して設けられたゲート電極とを備えた静電保護素子。

(2)

前記ゲート電極および前記第2導電型不純物拡散層は、共通の第1の電位を有し、

前記第1の第1導電型不純物拡散層は、第2の電位を有する上記(1)記載の静電保護素子。

(3)

前記第1の電位は電源電位または参照電位であり、

前記第2の電位は信号電位である

上記(2)記載の静電保護素子。

(4)

前記ボディ領域は、

面内方向において前記第1の第1導電型不純物拡散層、前記第2の第1導電型不純物拡散層および前記素子分離層によって取り囲まれており、

厚さ方向において前記絶縁体と前記絶縁膜との間に挟まっている

上記(1)から(3)のいずれか1つに記載の静電保護素子。

(5)

前記第2の第1導電型不純物拡散層は、

面内方向において前記ボディ領域、前記第2導電型領域および前記素子分離層によって取り囲まれており、

厚さ方向において前記絶縁体と、前記絶縁膜または他の絶縁膜との間に挟まっている

上記(1)から(4)のいずれか1つに記載の静電保護素子。

(6)

前記第1および第2の第1導電型不純物拡散層はいずれもP型不純物拡散層であり、

前記第2導電型不純物拡散層はN型不純物拡散層である

上記(1)から(5)のいずれか1つに記載の静電保護素子。

(7)

前記ゲート電極および前記第2導電型不純物拡散層は、共通の電源電位を有し、

前記第1の第1導電型不純物拡散層は、信号電位を有する

上記(6)記載の静電保護素子。

(8)

前記第 1 の第 1 導電型不純物拡散層はアノード電極と接続され、前記第 2 導電型不純物拡散層はカソード電極と接続されている

上記（６）または（７）に記載の静電保護素子。

（９）

前記第 1 および第 2 の第 1 導電型不純物拡散層はいずれも N 型不純物拡散層であり、

前記第 2 導電型不純物拡散層は P 型不純物拡散層である

上記（１）から（５）のいずれか 1 つに記載の静電保護素子。

（１０）

前記ゲート電極および前記第 2 導電型不純物拡散層は、共通の参照電位を有し、

前記第 1 の第 1 導電型不純物拡散層は、信号電位を有する

上記（９）に記載の静電保護素子。

（１１）

前記第 1 の第 1 導電型不純物拡散層はカソード電極と接続され、前記第 2 導電型不純物拡散層はアノード電極と接続されている

上記（９）または（１０）に記載の静電保護素子。

（１２）

前記絶縁体は SOI（Silicon on Insulator）構造における埋め込み酸化膜または SOS（Silicon-on-sapphire）構造におけるサファイア基板である

上記（１）から（１１）のいずれか 1 つに記載の静電保護素子。

（１３）

絶縁体と、

前記絶縁体上に形成された、静電保護素子および半導体集積回路とを備え、

前記静電保護素子は、

第 1 の第 1 導電型不純物拡散層、ボディ領域、第 2 の第 1 導電型不純物拡

散層、および前記ボディ領域と電氣的に分離された第2導電型不純物拡散層を含む第2導電型領域が順に並ぶ素子形成領域と、前記素子形成領域を取り囲む素子分離層が設けられた素子分離領域とを有する半導体層と、

前記ボディ領域の上に、絶縁膜を介して設けられたゲート電極とを備え、

前記半導体集積回路は、前記半導体層に設けられている静電保護回路。

(14)

絶縁体と、

前記絶縁体上に第1および第2の静電保護素子ならびに半導体集積回路がそれぞれ形成された半導体層と、

電源電位線と、

信号電位線と、

参照電位線と

を備え、

前記第1の静電保護素子は、前記素子形成領域において順に並ぶ第1の第1導電型不純物拡散層、第1のボディ領域、第2の第1導電型不純物拡散層、および前記第1のボディ領域と電氣的に分離された第2導電型不純物拡散層を含む第2導電型領域と、前記第1のボディ領域の上に第1の絶縁膜を介して設けられた第1のゲート電極とを含み、前記電源電位線および前記信号電位線と接続され、

前記第2の静電保護素子は、前記素子形成領域において順に並ぶ第1の第2導電型不純物拡散層、第2のボディ領域、第2の第2導電型不純物拡散層、および前記第2のボディ領域と電氣的に分離された第1導電型不純物拡散層を含む第1導電型領域と、前記第2のボディ領域の上に第2の絶縁膜を介して設けられた第2のゲート電極とを含み、前記参照電位線および前記信号電位線と接続されている

静電保護回路。

(15)

前記第1のゲート電極および前記第2導電型不純物拡散層は、前記電源電位線と接続され、

前記第1の第1導電型不純物拡散層および前記第1の第2導電型不純物拡散層は、前記信号電位線と接続され、

前記第2のゲート電極および前記第1導電型不純物拡散層は前記参照電位線と接続されている

上記(14)記載の静電保護回路。

[0078] 本出願は、日本国特許庁において2014年7月25日に出願された日本特許出願番号2014-152225号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0079] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

## 請求の範囲

- [請求項1] 絶縁体と、  
前記絶縁体上に形成され、第1の第1導電型不純物拡散層、ボディ領域、第2の第1導電型不純物拡散層、および前記ボディ領域と電気的に分離された第2導電型不純物拡散層を含む第2導電型領域が順に並ぶ素子形成領域と、前記素子形成領域を取り囲む素子分離層が設けられた素子分離領域とを有する半導体層と、  
前記ボディ領域の上に、絶縁膜を介して設けられたゲート電極とを備えた静電保護素子。
- [請求項2] 前記ゲート電極および前記第2導電型不純物拡散層は、共通の第1の電位を有し、  
前記第1の第1導電型不純物拡散層は、第2の電位を有する  
請求項1記載の静電保護素子。
- [請求項3] 前記第1の電位は電源電位または参照電位であり、  
前記第2の電位は信号電位である  
請求項2記載の静電保護素子。
- [請求項4] 前記ボディ領域は、  
面内方向において前記第1の第1導電型不純物拡散層、前記第2の第1導電型不純物拡散層および前記素子分離層によって取り囲まれており、  
厚さ方向において前記絶縁体と前記絶縁膜との間に挟まれている  
請求項1記載の静電保護素子。
- [請求項5] 前記第2の第1導電型不純物拡散層は、  
面内方向において前記ボディ領域、前記第2導電型領域および前記素子分離層によって取り囲まれており、  
厚さ方向において前記絶縁体と、前記絶縁膜または他の絶縁膜との間に挟まれている  
請求項1記載の静電保護素子。

- [請求項6] 前記第1および第2の第1導電型不純物拡散層はいずれもP型不純物拡散層であり、  
前記第2導電型不純物拡散層はN型不純物拡散層である  
請求項1記載の静電保護素子。
- [請求項7] 前記ゲート電極および前記第2導電型不純物拡散層は、共通の電源電位を有し、  
前記第1の第1導電型不純物拡散層は、信号電位を有する  
請求項6記載の静電保護素子。
- [請求項8] 前記第1の第1導電型不純物拡散層はアノード電極と接続され、前記第2導電型不純物拡散層はカソード電極と接続されている  
請求項6記載の静電保護素子。
- [請求項9] 前記第1および第2の第1導電型不純物拡散層はいずれもN型不純物拡散層であり、  
前記第2導電型不純物拡散層はP型不純物拡散層である  
請求項1記載の静電保護素子。
- [請求項10] 前記ゲート電極および前記第2導電型不純物拡散層は、共通の参照電位を有し、  
前記第1の第1導電型不純物拡散層は、信号電位を有する  
請求項9記載の静電保護素子。
- [請求項11] 前記第1の第1導電型不純物拡散層はカソード電極と接続され、前記第2導電型不純物拡散層はアノード電極と接続されている  
請求項9記載の静電保護素子。
- [請求項12] 前記絶縁体はSOI (Silicon on Insulator) 構造における埋め込み酸化膜またはSOS (Silicon-on-sapphire) 構造におけるサファイア基板である  
請求項1記載の静電保護素子。
- [請求項13] 絶縁体と、  
前記絶縁体上に形成された、静電保護素子および半導体集積回路と

を備え、

前記静電保護素子は、

第1の第1導電型不純物拡散層、ボディ領域、第2の第1導電型不純物拡散層、および前記ボディ領域と電氣的に分離された第2導電型不純物拡散層を含む第2導電型領域が順に並ぶ素子形成領域と、前記素子形成領域を取り囲む素子分離層が設けられた素子分離領域とを有する半導体層と、

前記ボディ領域の上に、絶縁膜を介して設けられたゲート電極とを備え、

前記半導体集積回路は、前記半導体層に設けられている静電保護回路。

[請求項14]

絶縁体と、

前記絶縁体上に第1および第2の静電保護素子ならびに半導体集積回路がそれぞれ形成された半導体層と、

電源電位線と、

信号電位線と、

参照電位線と

を備え、

前記第1の静電保護素子は、前記素子形成領域において順に並ぶ第1の第1導電型不純物拡散層、第1のボディ領域、第2の第1導電型不純物拡散層、および前記第1のボディ領域と電氣的に分離された第2導電型不純物拡散層を含む第2導電型領域と、前記第1のボディ領域の上に第1の絶縁膜を介して設けられた第1のゲート電極とを含み、前記電源電位線および前記信号電位線と接続され、

前記第2の静電保護素子は、前記素子形成領域において順に並ぶ第1の第2導電型不純物拡散層、第2のボディ領域、第2の第2導電型不純物拡散層、および前記第2のボディ領域と電氣的に分離された第1導電型不純物拡散層を含む第1導電型領域と、前記第2のボディ領

域の上に第2の絶縁膜を介して設けられた第2のゲート電極とを含み、前記参照電位線および前記信号電位線と接続されている  
静電保護回路。

[請求項15]

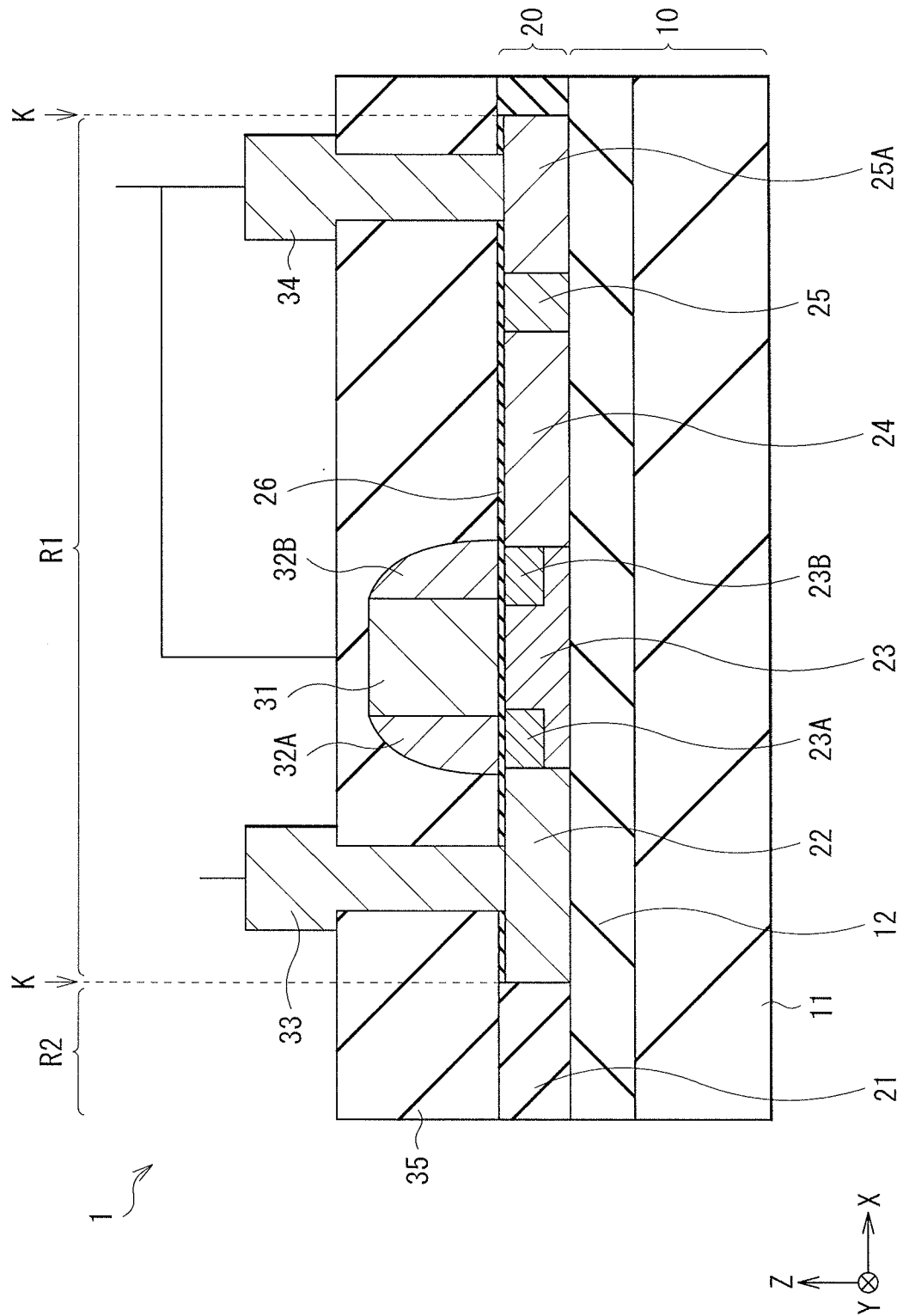
前記第1のゲート電極および前記第2導電型不純物拡散層は、前記電源電位線と接続され、

前記第1の第1導電型不純物拡散層および前記第1の第2導電型不純物拡散層は、前記信号電位線と接続され、

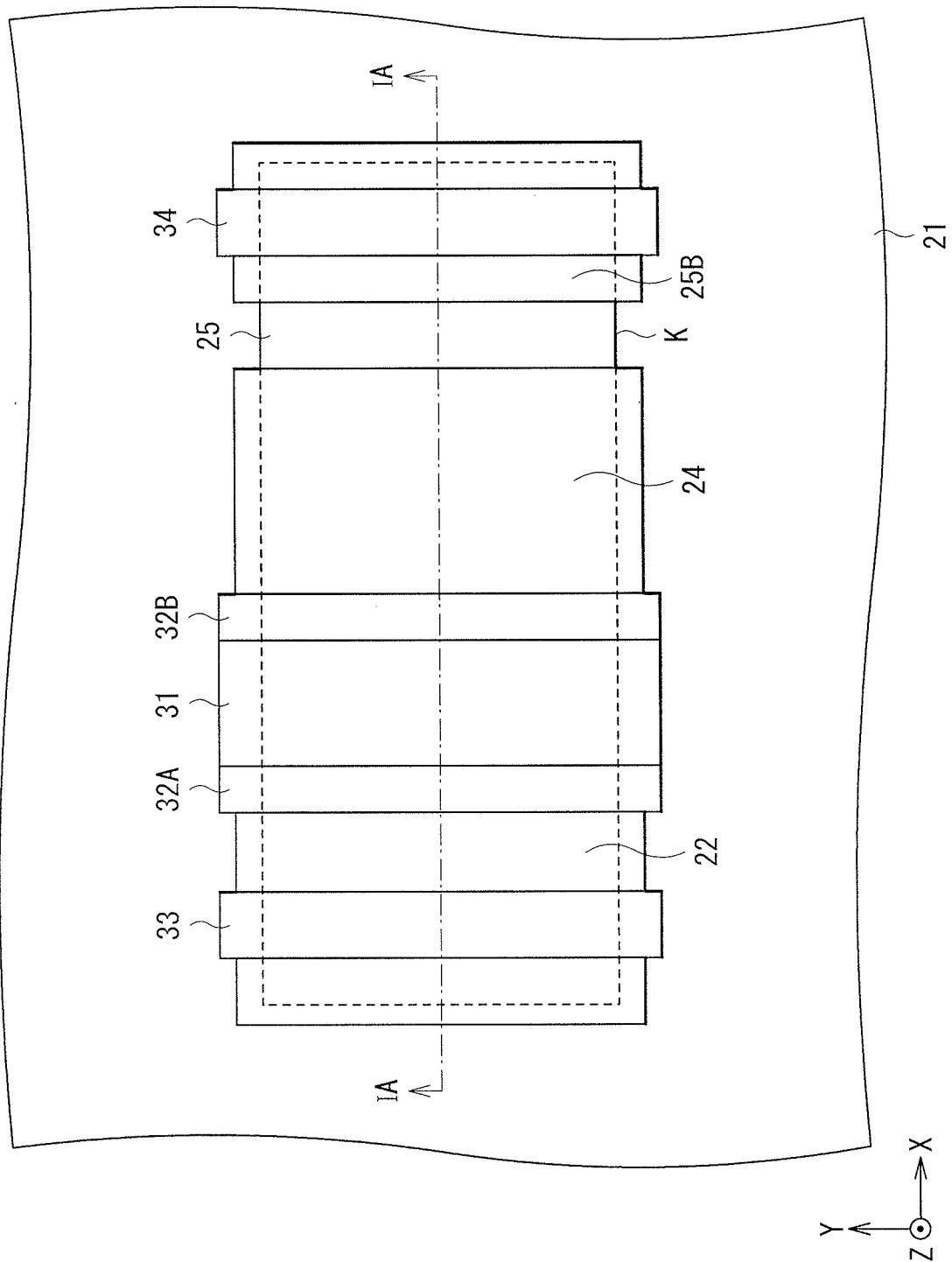
前記第2のゲート電極および前記第1導電型不純物拡散層は前記参照電位線と接続されている

請求項14記載の静電保護回路。

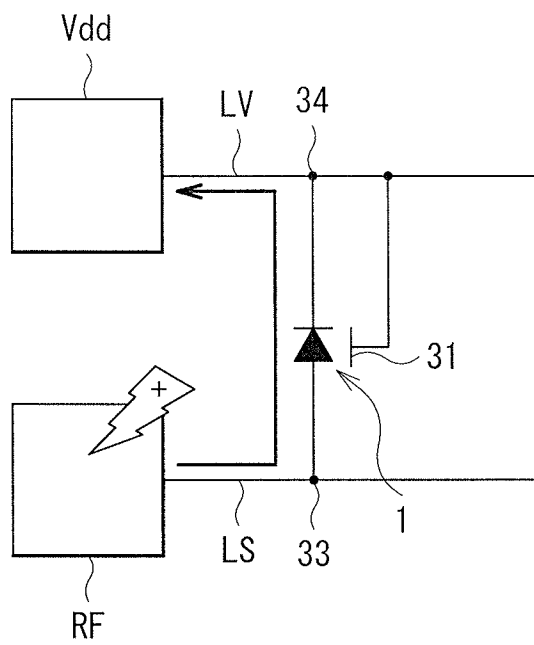
[図1A]



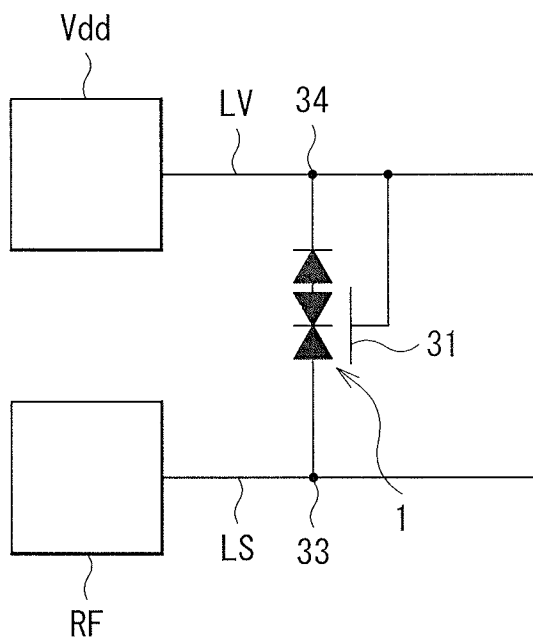
[図1B]



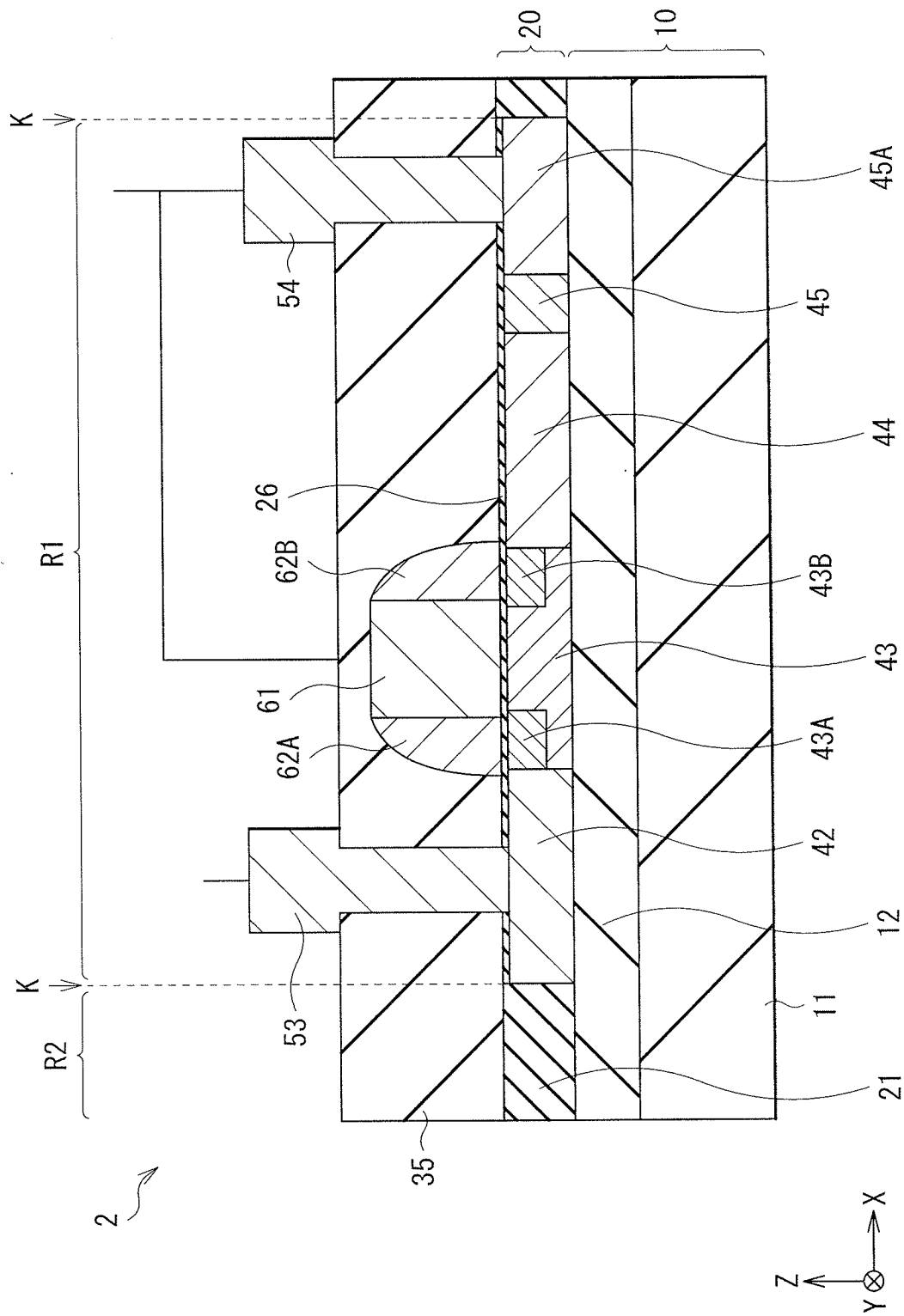
[図2A]



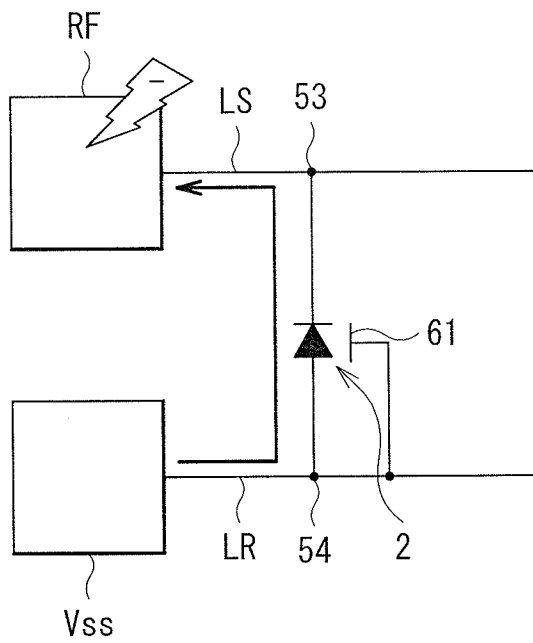
[図2B]



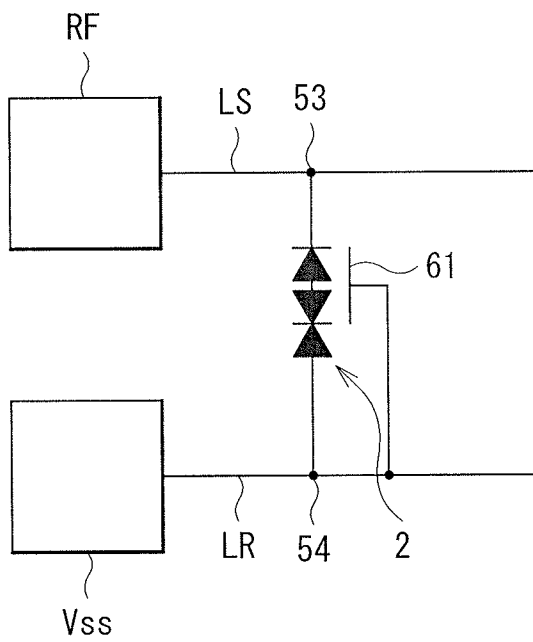
[図3]

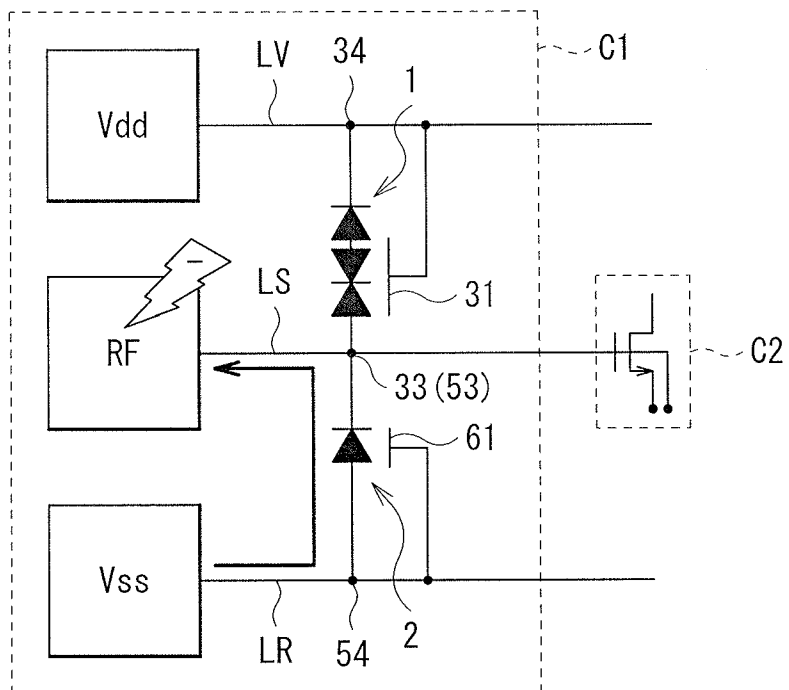


[図4A]

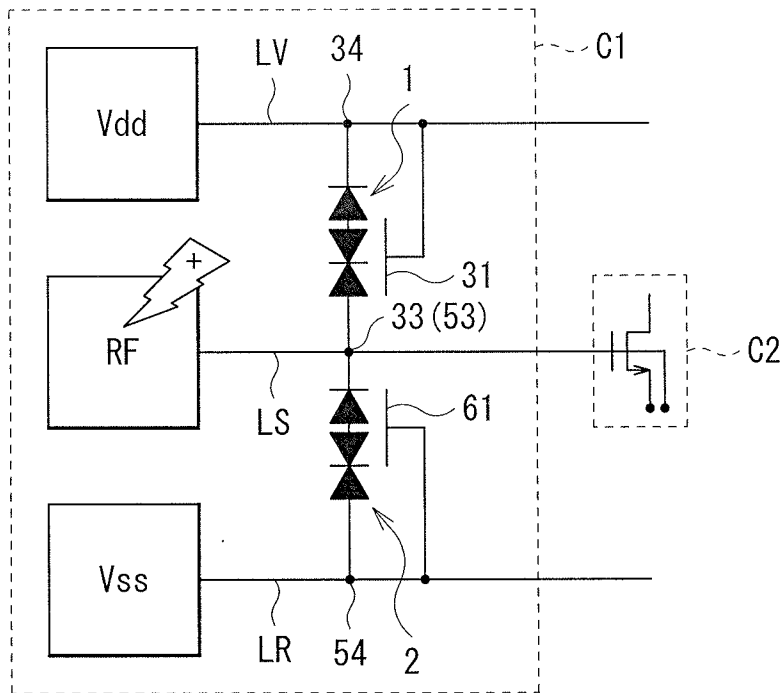


[図4B]

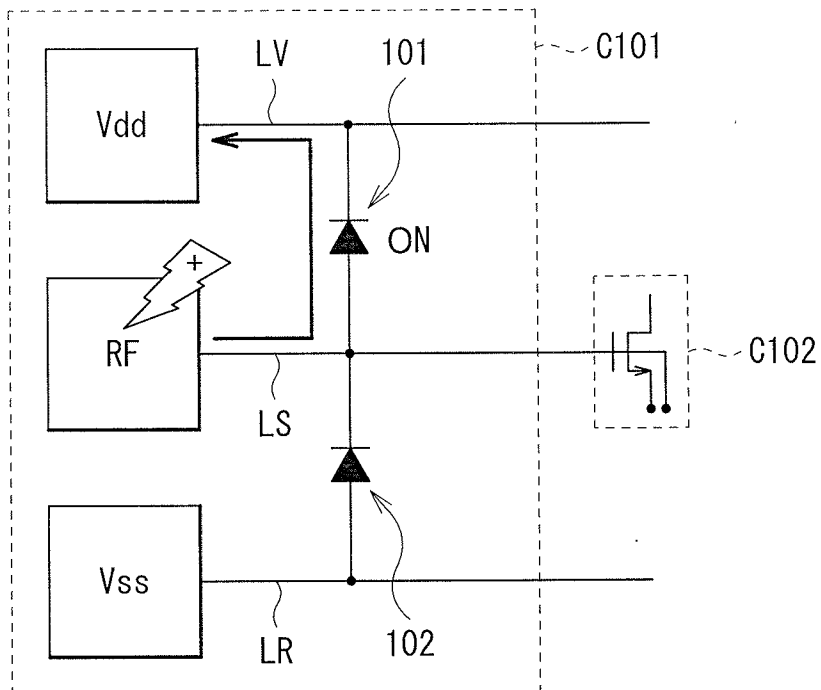




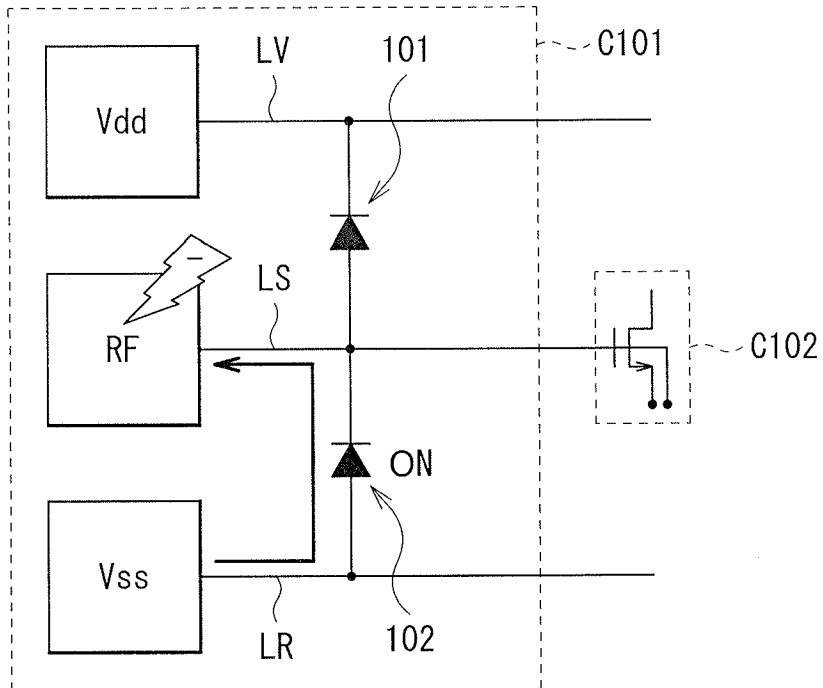
[図5C]



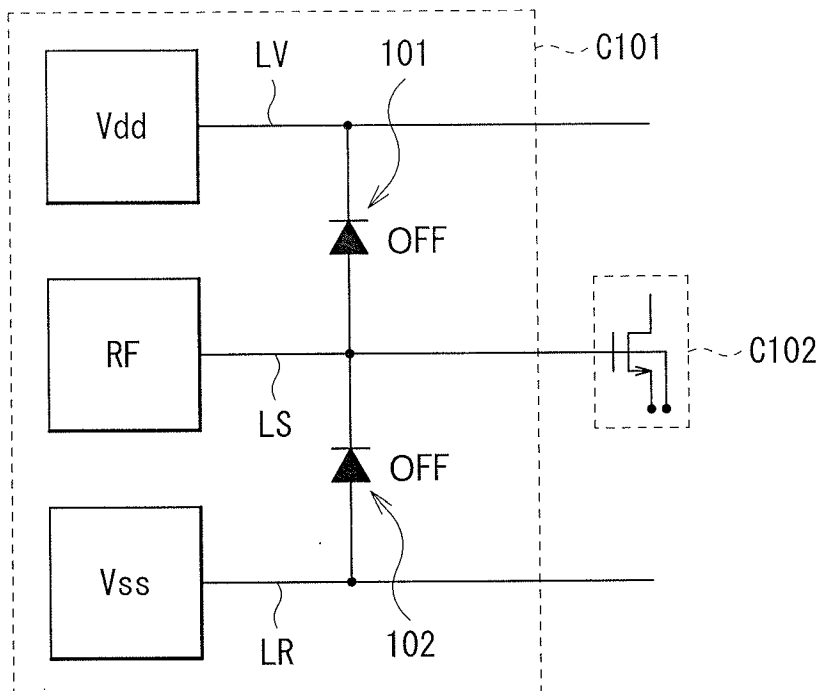
[図6A]



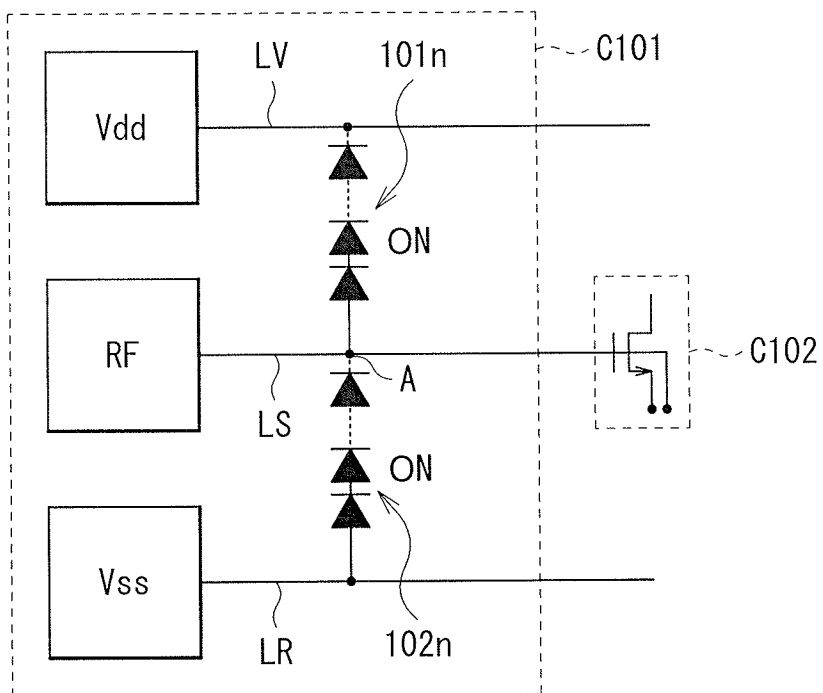
[図6B]



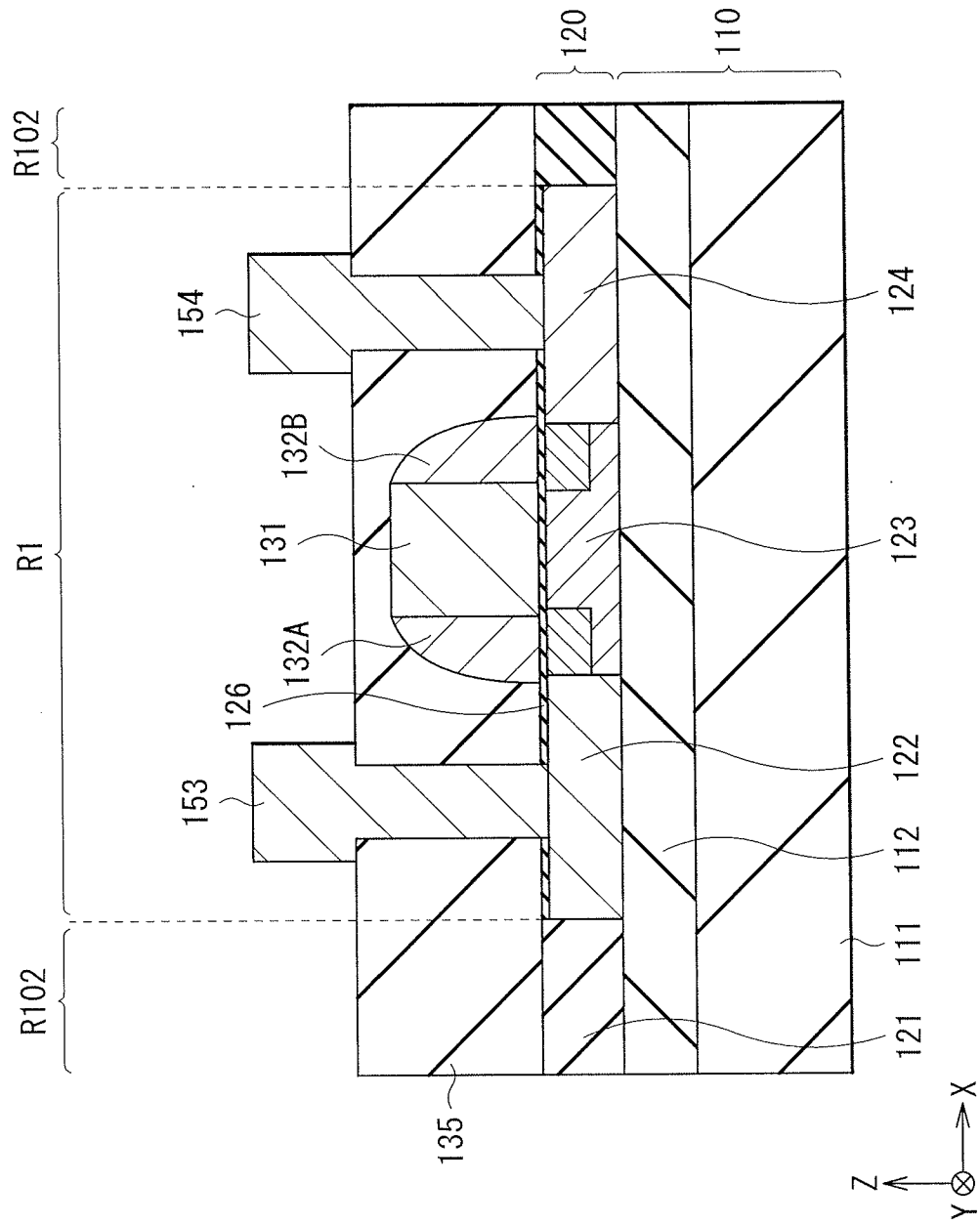
[図6C]



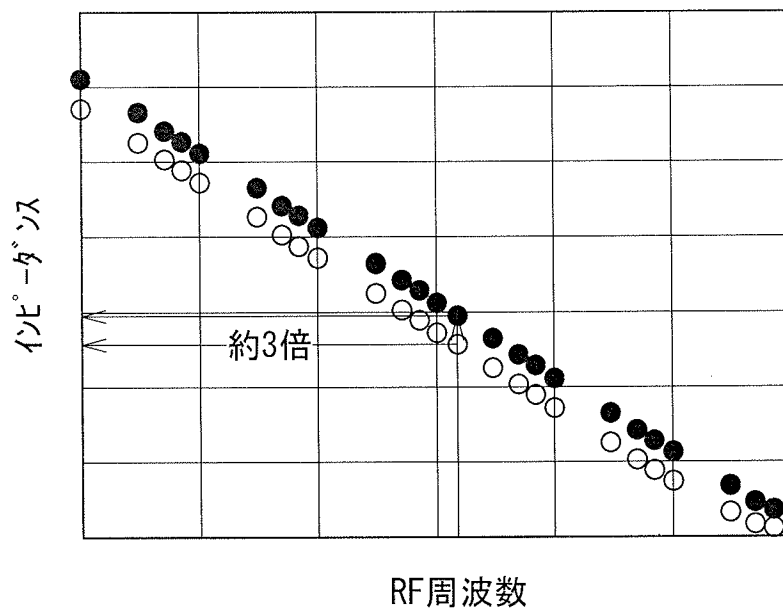
[図7]



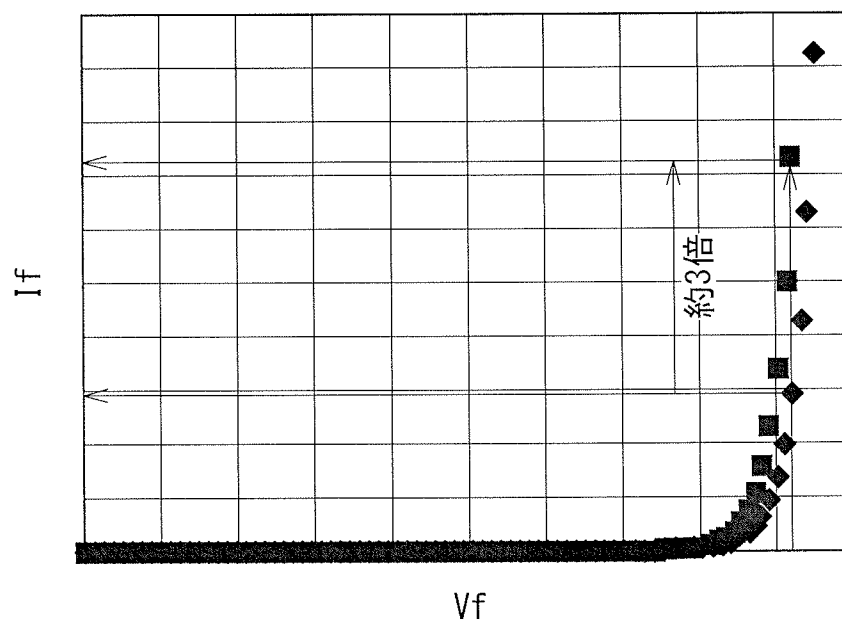
[図8]



[図9]



[図10]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/069623

| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br>H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/08(2006.01)i, H01L29/786(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i<br>According to International Patent Classification (IPC) or to both national classification and IPC                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                                                                                                                                                                                                                                                                                                                                                      |                                                                                    |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------|
| <b>B. FIELDS SEARCHED</b><br>Minimum documentation searched (classification system followed by classification symbols)<br>H01L21/822, H01L27/04, H01L27/06, H01L27/08, H01L29/786, H01L29/861, H01L29/868<br>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015<br>Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015<br>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |                                                                                                                                                                                                                                                                                                                                                      |                                                                                    |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                                                                                                                                                                                                                                                                      |                                                                                    |
| Category*                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                                                                                                   | Relevant to claim No.                                                              |
| X<br>A<br><br>Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    | JP 2010-532566 A (Advanced Micro Devices, Inc.),<br>07 October 2010 (07.10.2010),<br>fig. 11 to 17<br>& US 2009/0001472 A1 & WO 2009/005695 A1<br>& EP 2160763 A1 & KR 10-2010-0056444 A<br>& CN 101720505 A & TW 200915537 A<br><br>JP 2-28348 A (NEC IC Microcomputer Systems, Ltd.),<br>30 January 1990 (30.01.1990),<br>fig. 5<br>(Family: none) | 1, 4-6, 8, 9,<br>11-14<br>2, 3, 7, 10, 15<br><br><br>1-15                          |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                                                                                                                                                                                                                                                                      |                                                                                    |
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier application or patent but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed<br>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |                                                                                                                                                                                                                                                                                                                                                      |                                                                                    |
| Date of the actual completion of the international search<br>14 September 2015 (14.09.15)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |                                                                                                                                                                                                                                                                                                                                                      | Date of mailing of the international search report<br>29 September 2015 (29.09.15) |
| Name and mailing address of the ISA/<br>Japan Patent Office<br>3-4-3, Kasumigaseki, Chiyoda-ku,<br>Tokyo 100-8915, Japan                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                                                                                                                                                                                                                                                                                                                                                      | Authorized officer<br><br>Telephone No.                                            |

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2015/069623

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                        | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2003-209185 A (Seiko Epson Corp.),<br>25 July 2003 (25.07.2003),<br>entire text; all drawings<br>& US 2003/0141545 A1                  | 1-15                  |
| Y         | JP 2014-56972 A (Ricoh Co., Ltd.),<br>27 March 2014 (27.03.2014),<br>fig. 10<br>(Family: none)                                            | 1-15                  |
| A         | US 7719806 B1 (PMC-SIERRA, INC.),<br>18 May 2010 (18.05.2010),<br>entire text; all drawings<br>(Family: none)                             | 1-15                  |
| A         | JP 2000-286424 A (Oki Electric Industry Co.,<br>Ltd.),<br>13 October 2000 (13.10.2000),<br>entire text; all drawings<br>& US 6388289 B1   | 1-15                  |
| A         | JP 8-331749 A (Nippon Telegraph and Telephone<br>Corp.),<br>13 December 1996 (13.12.1996),<br>entire text; all drawings<br>& US 5784235 A | 1-15                  |

|                                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                 |                           |             |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------|---------------------------|-------------|
| A. 発明の属する分野の分類 (国際特許分類 (I P C))                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                 |                           |             |
| Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/08(2006.01)i, H01L29/786(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i                                                                                                                                                                                                                                                                                        |                                                                                                 |                           |             |
| B. 調査を行った分野                                                                                                                                                                                                                                                                                                                                                                                                                                          |                                                                                                 |                           |             |
| 調査を行った最小限資料 (国際特許分類 (I P C))                                                                                                                                                                                                                                                                                                                                                                                                                         |                                                                                                 |                           |             |
| Int.Cl. H01L21/822, H01L27/04, H01L27/06, H01L27/08, H01L29/786, H01L29/861, H01L29/868                                                                                                                                                                                                                                                                                                                                                              |                                                                                                 |                           |             |
| 最小限資料以外の資料で調査を行った分野に含まれるもの                                                                                                                                                                                                                                                                                                                                                                                                                           |                                                                                                 |                           |             |
| 日本国実用新案公報 1922-1996年<br>日本国公開実用新案公報 1971-2015年<br>日本国実用新案登録公報 1996-2015年<br>日本国登録実用新案公報 1994-2015年                                                                                                                                                                                                                                                                                                                                                   |                                                                                                 |                           |             |
| 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)                                                                                                                                                                                                                                                                                                                                                                                                              |                                                                                                 |                           |             |
| C. 関連すると認められる文献                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                 |                           |             |
| 引用文献の<br>カテゴリー*                                                                                                                                                                                                                                                                                                                                                                                                                                      | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                               | 関連する<br>請求項の番号            |             |
| X                                                                                                                                                                                                                                                                                                                                                                                                                                                    | JP 2010-532566 A (アドバンスト・マイクロ・デバイシズ・インコーポレイテッド) 2010.10.07, 第11-17図 & US 2009/0001472           | 1, 4-6, 8, 9, 11-14       |             |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                    | A1 & WO 2009/005695 A1 & EP 2160763 A1 & KR 10-2010-0056444 A & CN 101720505 A & TW 200915537 A | 2, 3, 7, 10, 15           |             |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                    | JP 2-28348 A (日本電気アイシーマイコンシステム株式会社) 1990.01.30, 第5図 (ファミリーなし)                                   | 1-15                      |             |
| <input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。                                                                                                                                                                                                                                                                                                                                                  |                                                                                                 |                           |             |
| * 引用文献のカテゴリー<br>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの<br>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)<br>「O」 口頭による開示、使用、展示等に言及する文献<br>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献<br>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの<br>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>「&」 同一パテントファミリー文献 |                                                                                                 |                           |             |
| 国際調査を完了した日<br>14.09.2015                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                                                 | 国際調査報告の発送日<br>29.09.2015  |             |
| 国際調査機関の名称及びあて先<br>日本国特許庁 (I S A / J P)<br>郵便番号100-8915<br>東京都千代田区霞が関三丁目4番3号                                                                                                                                                                                                                                                                                                                                                                          |                                                                                                 | 特許庁審査官 (権限のある職員)<br>宇多川 勉 | 5 F 3 1 2 5 |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                 | 電話番号 03-3581-1101 内線      | 3516        |

| C (続き) . 関連すると認められる文献 |                                                                              |                |
|-----------------------|------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                            | 関連する<br>請求項の番号 |
| Y                     | JP 2003-209185 A (セイコーエプソン株式会社) 2003. 07. 25, 全文、<br>全図 & US 2003/0141545 A1 | 1-15           |
| Y                     | JP 2014-56972 A (株式会社リコー) 2014. 03. 27, 第 1 0 図 (ファミ<br>リリーなし)               | 1-15           |
| A                     | US 7719806 B1 (PMC-SIERRA, INC.) 2010. 05. 18, 全文、全図 (ファ<br>ミリーなし)           | 1-15           |
| A                     | JP 2000-286424 A (沖電気工業株式会社) 2000. 10. 13, 全文、全図 &<br>US 6388289 B1          | 1-15           |
| A                     | JP 8-331749 A (日本電信電話株式会社) 1996. 12. 13, 全文、全図 &<br>US 5784235 A             | 1-15           |