



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101999900786963
Data Deposito	17/09/1999
Data Pubblicazione	17/03/2001

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	01	L		

Titolo

CIRCUITO DI POLARIZZAZIONE DEL TERMINALE DI BULK DI UN TRANSISTORE MOS.

DESCRIZIONE

del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: SACCO Andrea, MICHELONI Rino, SCOTTI Marco

99A - 000798

*** ***** ***

La presente invenzione è relativa ad un circuito di polarizzazione del terminale di bulk di un transistor MOS.

Come è noto, per garantire il corretto funzionamento di un transistor MOS in tutte le condizioni operative, occorre che le giunzioni PN presenti fra la regione di bulk e le regioni di pozzo e di sorgente del transistor MOS stesso siano sempre polarizzate inversamente. Per garantire tale polarizzazione inversa, il terminale di bulk di un transistor PMOS è sempre polarizzato al potenziale più elevato presente nel circuito in cui il transistor PMOS stesso è inserito, mentre il terminale di bulk di un transistor NMOS è polarizzato al potenziale più basso.

Questa condizione deve essere sempre rispettata, altrimenti ci si espone al rischio che le suddette giunzioni PN si polarizzino direttamente, dando così innesco ai cosiddetti fenomeni di "latch-up", ossia fenomeni di

CERBARO Elena
[iscrizione Albo nr 426/BM]

conduzione di componenti parassiti.

In alcuni casi, però, la condizione sopra citata risulta di non semplice attuazione, in particolare quando il potenziale a cui deve essere polarizzato il terminale di bulk non è noto a priori ma dipende dalla condizione di funzionamento del transistor MOS.

Un tipico esempio di tale situazione si ha quando il transistor MOS viene utilizzato bidirezionalmente, ossia quando i suoi terminali di sorgente e di pozzo possono scambiarsi di ruolo in ragione della direzione della corrente. In questo caso, infatti, se non è possibile polarizzare il terminale di bulk ad un potenziale che sia sempre più alto dei potenziali dei terminali di pozzo e di sorgente, ci si espone al rischio di polarizzazione diretta delle giunzioni PN, con le conseguenze sopra citate.

Nella figura 1 è illustrato a titolo di esempio un circuito in cui può verificarsi la situazione indesiderata di polarizzazione diretta delle giunzioni PN presenti fra la regione di bulk e le regioni di pozzo e di sorgente di un transistor PMOS.

In particolare, nella figura 1 è mostrato un primo transistor PMOS 1 avente un primo terminale 1a collegato ad una prima linea 2 posta ad un primo potenziale V_1 , un secondo terminale 1b ed un terminale di bulk 1c col-

legati ad una seconda linea 4 posta ad un secondo potenziale V2 ed un terminale di porta 1d ricevente un primo segnale di comando SC avente livelli logici alto e basso definiti dal secondo potenziale V2 e, rispettivamente, dal potenziale di massa e comandanti l'accensione e, rispettivamente, lo spegnimento del transistor PMOS 1.

Nell'esempio considerato in figura 1, la seconda linea 4 è collegata all'uscita di una pompa di carica (non illustrata) fornente, quando accesa, un potenziale VHV maggiore del primo potenziale V1 e controllata dal primo segnale di comando SC in controfase rispetto al transistor PMOS 1. In particolare, quando il transistor PMOS 1 è acceso, e collega fra loro la prima e la seconda linea 2, 4, la pompa di carica è spenta e quindi il secondo potenziale V2 è sostanzialmente pari al primo potenziale V1 (a meno della caduta di tensione ai capi del transistor PMOS 1), mentre quando il transistor PMOS 1 è spento, la pompa di carica è accesa e quindi il secondo potenziale V2 è maggiore del primo potenziale V1. In alcune applicazioni, inoltre, quando il transistor PMOS 1 è spento, anche la pompa di carica potrebbe essere spenta e la seconda linea 4 essere polarizzata ad un potenziale differente da quelli menzionati.

Nel circuito di figura 1, la polarizzazione diretta delle giunzioni PN presenti fra la regione di bulk e le

regioni di pozzo e di sorgente del primo transistor PMOS 1 può verificarsi nel caso in cui il secondo potenziale V2 dovesse scendere, a causa di un sovraccarico o di particolari esigenze di funzionamento, al di sotto del primo potenziale V1 di una quantità maggiore della tensione di soglia di una giunzione PN. In questo caso, infatti, il terminale di bulk 1c del primo transistor PMOS 1 risulterebbe polarizzato ad un potenziale minore del potenziale del primo terminale 1a del transistor PMOS 1 stesso di una quantità maggiore della tensione di soglia di una giunzione PN e pertanto la giunzione PN definita dalle regioni collegate al terminale di bulk 1c ed al primo terminale 1a risulterebbe polarizzata direttamente, con le conseguenze sopra citate.

Una soluzione circuitale nota che nell'esempio sopra descritto consente di garantire sempre la polarizzazione inversa delle giunzioni PN in qualsiasi condizione di funzionamento è illustrata nella figura 2.

Secondo tale soluzione, fra il primo transistor PMOS 1 e la prima linea 2 è interposto un secondo transistor PMOS 6 realizzato in una vasca ("tub") differente da quella in cui è realizzato il primo transistor PMOS 1 e presentante un primo terminale 6a collegato alla prima linea 2, un secondo terminale 6b collegato al primo terminale 1a del primo transistor PMOS 1, un ter-

minale di bulk 6c collegato alla seconda linea 4 ed un terminale di porta 6d ricevente un secondo segnale di comando SB avente livelli logici alto e basso definiti dal primo potenziale V1 e, rispettivamente, dal potenziale di massa e comandanti l'accensione e, rispettivamente, lo spegnimento del transistor PMOS 6.

Nel circuito di figura 2 non possono verificarsi polarizzazioni dirette delle giunzioni PN presenti fra la regione di bulk e le regioni di pozzo e di sorgente del primo e del secondo transistor PMOS 1, 6 in quanto quando i transistori PMOS 1, 6 sono spenti i loro terminali di bulk 1c, 6c sono polarizzati al primo e, rispettivamente, al secondo potenziale V1, V2 e quindi non risultano mai polarizzati a potenziali minori dei potenziali a cui sono polarizzati gli altri due terminali 1a, 1b, rispettivamente, 6a, 6b.

La soluzione circuitale sopra descritta presenta però l'inconveniente che i due transistori PMOS 1, 6 utilizzati presentano dimensioni piuttosto elevate e conseguentemente l'occupazione di area su silicio derivante dall'implementazione di tale soluzione risulta piuttosto elevata.

Scopo della presente invenzione è quello di realizzare un circuito di polarizzazione del terminale di bulk di un transistor esente dagli inconvenienti delle solu-

CERBARO Elena
Iscrizione Albo nr 426/BAI

zioni sopra descritte.

Secondo la presente invenzione viene realizzato un circuito di polarizzazione del terminale di bulk di un transistor MOS, come definito nella rivendicazione 1.

Per una migliore comprensione della presente invenzione vengono ora descritte due forme di realizzazione preferite, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra un circuito comprendente un transistor PMOS in cui le giunzioni PN presenti fra la regione di bulk e le regioni di pozzo e di sorgente del transistor PMOS stesso possono in alcune condizioni di funzionamento risultare polarizzate direttamente;

- la figura 2 mostra una soluzione circuitale nota in grado di evitare che in un transistor PMOS le giunzioni PN possano essere polarizzate direttamente;

- la figura 3 mostra una soluzione circuitale secondo la presente invenzione in grado di evitare che in un transistor PMOS le giunzioni PN possano essere polarizzate direttamente;

- la figura 4 mostra l'andamento temporale di alcune grandezze elettriche del circuito di figura 3;

- la figura 5 mostra un circuito comprendente un transistor NMOS in cui le giunzioni PN presenti fra la regione di bulk e le regioni di pozzo e di sorgente del

CERBARO Elena
Iscrizione Albo nr 426/EMJ

transistore NMOS stesso possono in alcune condizioni di funzionamento risultare polarizzate direttamente; e

- la figura 6 mostra una soluzione circuitale secondo la presente invenzione in grado di evitare che in un transistore NMOS le giunzioni PN possano essere polarizzate direttamente.

Nella figura 3 è indicato con 10, nel suo insieme, un circuito di polarizzazione del terminale di bulk del un primo transistore PMOS 1.

Il circuito di polarizzazione 10 comprende un secondo ed un terzo transistore PMOS 12, 14 collegati fra loro in serie fra la prima e la seconda linea 2, 4 ed in particolare presentanti primi terminali 12a, 14a collegati alla prima linea 2 e, rispettivamente, alla seconda linea 4, secondi terminali 12b, 14b collegati fra loro e definenti un nodo di uscita 16 collegato al terminale di bulk 1c del primo transistore PMOS 1, terminali di bulk 12c, 14c collegati al nodo di uscita 16 e terminali di porta 12d, 14d collegati alla seconda linea 4 e, rispettivamente, alla prima linea 2.

Il circuito di polarizzazione comprende inoltre un quarto transistore PMOS 18 avente un primo terminale 18a collegato alla seconda linea 4, un secondo terminale 18b ed un terminale di bulk 18c collegati al nodo di uscita 16 ed un terminale di porta 18d collegato al terminale

CERBARO Elena
Iscrizione Albo nr 426/BWJ

di porta 1d del primo transistor PMOS 1.

Nel circuito di polarizzazione 10, inoltre, uno solo dei transistori PMOS, in particolare il transistor PMOS 1, presenta un elevato rapporto di forma, e quindi una elevata occupazione di area su silicio, invece dei due transistori (PMOS 1 e 6) richiesti dalla soluzione classica descritta in precedenza con riferimento alla figura 2, mentre gli altri transistori PMOS utilizzati, in particolare i transistori PMOS 12, 14 e 18, possono essere di ridotte dimensioni.

La realizzazione del circuito di polarizzazione 10 consente quindi un notevole risparmio di area su silicio rispetto alla soluzione classica precedentemente descritta.

Il funzionamento del circuito di polarizzazione 10 è il seguente.

Si supponga che i transistori PMOS 1 e 18 siano spenti.

Se il secondo potenziale V_2 è maggiore del primo potenziale V_1 di una quantità almeno pari alla tensione di soglia V_{TH1} di un transistor PMOS, ossia $V_2 > V_1 + V_{TH1}$, allora il transistor PMOS 14 è acceso mentre il transistor PMOS 12 è spento. Pertanto, il nodo di uscita 16, e quindi il terminale di bulk 1c del transistor PMOS 1 ad esso collegato, è polarizzato al secondo potenziale

V2, che è il potenziale più alto presente nel circuito in questa situazione.

Se invece il secondo potenziale V2 è minore del primo potenziale V1 di una quantità almeno pari alla tensione di soglia V_{TH1} , ossia $V2 < V1 - V_{TH1}$, allora il transistor PMOS 14 è spento mentre il transistor PMOS 12 è acceso. Pertanto, il nodo di uscita 16, e quindi il terminale di bulk 1c del transistor PMOS 1 ad esso collegato, è polarizzato al primo potenziale V1, che è il potenziale più alto presente nel circuito in questa situazione.

Quando invece la differenza, in valore assoluto, fra il primo ed il secondo potenziale V1, V2 è minore di un valore pari alla tensione di soglia V_{TH1} , ossia $|V2 - V1| < V_{TH1}$, allora sia il transistor PMOS 12 che il transistor PMOS 14 sono spenti ed il nodo di uscita 18, e quindi il terminale di bulk 1d del transistor PMOS 1, risulta flottante.

In queste condizioni, il terminale di bulk 1c del transistor PMOS 1 tenderà a portarsi ad un potenziale pari al maggiore tra i potenziali V1 e V2 diminuito di una quantità pari alla tensione di soglia di una giunzione PN.

Se la condizione di indeterminatezza del potenziale del terminale di bulk 1c del transistor PMOS 1 risulta

inaccettabile e si voglia condizionare il secondo potenziale V2 al primo potenziale V1, è sufficiente comandare l'accensione sia del transistore PMOS 1 che del transistore PMOS 18.

In questa situazione, la prima e la seconda linea 2, 4 risultano collegate fra loro attraverso il transistore PMOS 1 mentre il nodo di uscita 16 risulta collegato alla seconda linea 4 attraverso il transistore PMOS 18. Conseguentemente, il nodo di uscita 16 risulta polarizzato al secondo potenziale V2, il quale assume un valore sostanzialmente pari a quello del primo potenziale V1.

La polarizzazione corretta del terminale di bulk 1c del transistore PMOS 1 è garantita dal circuito di polarizzazione 10 non soltanto nelle condizioni statiche sopra descritte, ma anche in condizioni dinamiche.

Infatti, se il secondo potenziale V2 della seconda linea 4 si trovasse ad un valore maggiore o uguale a $V1 + V_{TH1}$ e bruscamente venisse portato ad un valore minore o uguale a $V1 - V_{TH1}$, la commutazione istantanea dei transistori PMOS 12, 14 garantirebbe la variazione istantanea della polarizzazione del terminale di bulk 1c del transistore PMOS 1 dal secondo potenziale V2 al primo potenziale V1.

Allo stesso tempo, i transistori PMOS 1 e 18, aven-

CERBARO Elena
(iscrizione Albo nr 426/MM)

do i primi terminali 1a, 18a ed i terminali di bulk 1c, 18c polarizzati al primo potenziale V_1 , i secondi terminali 1b, 18b ed i terminali di porta 1d, 18d polarizzati ad un potenziale pari a $V_1 - V_{TH1}$, si accenderebbero, collegando la seconda linea 4 alla prima linea 2 e quindi opponendosi in sostanza ad un abbassamento del secondo potenziale V_2 al di sotto del primo potenziale V_1 diminuito della tensione di soglia V_{TH1} .

L'effetto di limitazione sopra descritto è evidenziato nella figura 4, nella quale sono mostrati gli andamenti del primo e del secondo potenziale V_1 , V_2 e del potenziale V_B del terminale di bulk 1c del transistor PMOS 1 ottenuti simulando una repentina caduta del secondo potenziale V_2 .

Come si può notare analizzando la figura 4, ad una caduta repentina del secondo potenziale V_2 a partire da un valore maggiore del primo potenziale V_1 , corrisponde inizialmente un analogo abbassamento del potenziale V_B del terminale di bulk 1c del transistor PMOS 1. Quando però il secondo potenziale V_2 è pari al primo potenziale V_1 diminuito della tensione di soglia V_{TH1} , si accendono sia il transistor PMOS 1 che il transistor PMOS 12; il primo fissa pertanto il secondo potenziale V_2 al valore del primo potenziale V_1 diminuito di V_{TH1} , mentre il secondo fissa il valore del potenziale V_B del terminale di

bulk 1c del transistor PMOS 1 al primo potenziale V1.

Un discorso analogo a quello fatto a riguardo della corretta polarizzazione del terminale di bulk di un transistor PMOS può essere fatto anche per un transistor NMOS, in cui il terminale di bulk deve essere polarizzato, come è noto, al potenziale più basso presente nel circuito in cui il transistor NMOS è inserito.

Nella figura 5 è illustrato a titolo di esempio un circuito in cui può verificarsi la situazione indesiderata di polarizzazione diretta delle giunzioni PN presenti fra la regione di bulk e le regioni di pozzo e di sorgente di un transistor NMOS.

In particolare, nella figura 5 è mostrato un primo transistor NMOS 1' facente parte di una pompa di carica ed avente un primo terminale 1a' collegato, attraverso un primo condensatore 3, ad un primo morsetto 5 posto ad un potenziale VA; un secondo terminale 1b' collegato, attraverso un secondo condensatore 7, ad un secondo morsetto 9 posto ad un potenziale VB; ed un terminale di bulk 1c' ed un terminale di porta 1d' collegati al primo terminale 1a' del primo transistor NMOS 1' stesso.

Il funzionamento del circuito di figura 5 è di per sé noto e pertanto verrà qui di seguito ripreso unicamente per quanto è necessario alla comprensione della problematica alla base della presente invenzione.

In uso, i potenziali VA e VB variano in controfase fra loro fra un valore nullo ed un valore VDD mentre le tensioni ai capi del primo e del secondo condensatore 3, 7 assumono valori non nulli; in particolare, nel seguito della trattazione la tensione ai capi del primo condensatore 3 sarà indicata con VC1 mentre la tensione ai capi del secondo condensatore 7 che sarà indicata con VC2. Come è facilmente desumibile da una semplice analisi del circuito, in uso la tensione VC2 ai capi del secondo condensatore 7 è pari a $VC2=VC1+VDD-V_{TH2}$, in cui V_{TH2} è la tensione di soglia di una giunzione PN.

Quando il primo potenziale VA è pari a VDD ed il potenziale VB è nullo, il potenziale del terminale 1a' del transistor NMOS 1', indicato nel seguito con V1', è pari a VC1+VDD mentre il potenziale del terminale 1b' del transistor NMOS 1', indicato nel seguito con V2', è pari a VC2. Fra il primo ed il secondo terminale 1a' e 1b' del transistor NMOS 1' vi è pertanto una differenza di potenziale positiva pari a $\Delta V1=V1'-V2'=VC1-VDD-VC2=VC1-VDD-(VC1+VDD-V_{TH2})=V_{TH2}$. Dato che il terminale di bulk 1c' è collegato al primo terminale 1a' ed è quindi anch'esso polarizzato al potenziale V1', la differenza di potenziale $\Delta V1$ positiva sopra calcolata è anche presente fra il terminale di bulk 1c' ed il terminale 1b' e conseguentemente la giunzione PN definita dalle

CERBARO Elena
Iscrizione Albo nr 426/BMJ

regioni collegate a tali terminali risulta polarizzata direttamente, con possibile innesco del "latch-up".

Quando invece il potenziale VA è nullo ed il potenziale VB pari a VDD, si ha $V1' = VC1$ e $V2' = VC2 + VDD$ e fra il primo ed il secondo terminale $1a'$ e $1b'$ del transistor NMOS $1'$ vi è una differenza di potenziale negativa pari a $\Delta V2 = V1' - V2' = VC1 - (VC2 + VDD) = VC1 - (VC1 + VDD - VTH2 + VDD) = VTH2 - 2 * VDD$. In questa situazione, la giunzione PN definita dalle regioni collegate al terminale di bulk $1c'$ ed al secondo terminale $1b'$ risulta polarizzata inversamente.

In alcune applicazioni, al fine di evitare il verificarsi del noto "effetto body" il terminale di bulk $1c'$ del transistor NMOS $1'$ non è collegato al primo terminale $1a'$ del transistor NMOS $1'$ stesso ma è polarizzato attraverso un partitore resistivo. In particolare, nelle pompe di carica multistadio è previsto l'utilizzo di un partitore resistivo formato da $n+1$ resistori disposti in serie fra loro, con n pari al numero di stadi di carica formanti la pompa di carica, e collegato fra una linea di massa ed una linea di alimentazione posta al potenziale fornito in uscita dalla pompa di carica stessa; il transistor NMOS $1'$ di ciascuno stadio di carica presenta quindi il proprio terminale di bulk $1c'$ collegato ad un rispettivo nodo intermedio del partitore resistivo.

Anche in questa configurazione circuitale esiste, però, un problema analogo a quello evidenziato per il circuito illustrato nella figura 5. Infatti, quando il potenziale VA è pari a VDD ed il potenziale VB è nullo, la giunzione PN definita dalle regioni collegate al terminale di bulk 1c' ed al secondo terminale 1b' risulta polarizzata inversamente; in questa situazione, inoltre, il terminale di bulk 1c' risulta polarizzato ad un potenziale prossimo a quello del secondo terminale 1b', minimizzando così "l'effetto body".

Quando però il potenziale VA è nullo ed il potenziale VB è pari a VDD, la giunzione PN definita dalle regioni collegate al terminale di bulk 1c' ed al secondo terminale 1b' potrebbe, in particolari condizioni di carico, risultare temporaneamente polarizzata direttamente.

Nella figura 6 è mostrato un circuito di polarizzazione del terminale di bulk di un transistor NMOS realizzato secondo la presente invenzione.

In particolare, il circuito di polarizzazione, indicato con 10', presenta una struttura circuitale molto simile a quella del circuito di polarizzazione 10 e differente da questa unicamente per il fatto che i transistori utilizzati sono di tipo NMOS e sono indicati con gli stessi numeri di riferimento, seguiti dall'apice

""", con cui sono indicati i corrispondenti transistori PMOS del circuito di polarizzazione 10, così come avviene anche per la prima e la seconda linea 2', 4', e per il fatto che il secondo terminale 18b' del quarto transistor 18' è collegato ad un nodo di massa 5 anziché alla seconda linea 4'.

Il funzionamento del circuito di polarizzazione 10' è del tutto identico a quello del circuito di polarizzazione 10 e pertanto non verrà nuovamente descritto.

Si sottolinea unicamente il fatto che a seconda del valore del secondo potenziale $V2'$ i transistori NMOS 12' e 14' collegano il terminale di bulk 1c' del transistor NMOS 1' al potenziale più basso fra il primo ed il secondo potenziale $V1'$, $V2'$.

Infatti, quando il secondo potenziale $V2'$ è minore del primo potenziale $V1'$ di almeno una quantità pari alla tensione di soglia V_{TH3} di un transistor NMOS, ossia $V2' < V1' - V_{TH3}$, il transistor NMOS 14' è acceso mentre il transistor NMOS 12' è spento e quindi il terminale di bulk 1c' del transistor NMOS 1' è polarizzato al secondo potenziale $V2'$ che è il più basso presente nel circuito. Viceversa, quando il secondo potenziale $V2'$ è maggiore del primo potenziale $V1'$ di almeno una quantità pari alla tensione di soglia V_{TH3} , ossia $V2' > V1' + V_{TH3}$, il transistor NMOS 14' è spento, mentre il transistor

NMOS 12' è acceso e quindi il terminale di bulk 1c' del transistor NMOS 1' è polarizzato al primo potenziale V1' che è il più basso presente nel circuito.

Si sottolinea inoltre il fatto che quanto sopra descritto vale comunque in generale per qualsiasi transistor MOS i cui primo e secondo terminale sono collegati a rispettivi nodi di un circuito polarizzati a potenziali che possono variare durante il funzionamento in modo tale da provocare la polarizzazione diretta delle giunzioni PN presenti fra il terminale di bulk ed il primo ed il secondo terminale del transistor MOS stesso.

Da un esame delle caratteristiche dei circuiti di polarizzazione 10, 10' realizzati secondo la presente invenzione sono evidenti i vantaggi che essi consentono di ottenere.

Risulta infine chiaro che ai circuiti di polarizzazione 10, 10' qui descritti ed illustrati possono essere apportate modifiche e varianti senza per questo uscire dall'ambito protettivo della presente invenzione.

Ad esempio, il primo terminale 18a del transistor PMOS 18 potrebbe anche essere collegato alla prima linea 2 anziché alla seconda linea 4, così come il primo terminale 18a' del transistor NMOS 18' potrebbe anche essere collegato alla seconda linea 4' anziché a massa.

R I V E N D I C A Z I O N I

1. Circuito di polarizzazione (10; 10') di un terminale di bulk (1c; 1c'), di un primo transistor MOS (1; 1') avente un primo terminale (1a; 1a') collegato ad un primo nodo (2; 2') posto ad un primo potenziale (V1; V1') ed un secondo terminale (1b; 1b') collegato ad un secondo nodo (4; 4') posto ad un secondo potenziale (V2; V2'); caratterizzato dal fatto di comprendere un secondo ed un terzo transistor MOS (12, 14; 12', 14') aventi primi terminali (12a, 14a; 12a', 14a') collegati a detto primo nodo (2; 2') e, rispettivamente, a detto secondo nodo (4; 4'), secondi terminali (12b, 14b; 12b', 14b') collegati a detto terminale di bulk (1c; 1c') di detto primo transistor MOS (1; 1') e terminali di controllo (12d, 14d; 12d', 14d') collegati a detto secondo e, rispettivamente, a detto primo nodo (4, 2; 4', 2').

2. Circuito di polarizzazione (10; 10') secondo la rivendicazione 1, caratterizzato dal fatto che detti secondo e terzo transistor MOS (12, 14; 12', 14') presentano terminali di bulk (12c, 14c; 12c', 14c') collegati a detto terminale di bulk (1c; 1c') di detto primo transistor MOS (1; 1').

3. Circuito di polarizzazione (10) secondo la rivendicazione 1 o 2, caratterizzato dal fatto di comprendere inoltre un quarto transistor MOS (18) avente un

CERBARO Elena
Iscrizione Albo nr 426/EMQ

primo terminale (18a) collegato ad uno tra detti primo e secondo nodo (2, 4), un secondo terminale (18b) collegato a detto terminale di bulk (1c) di detto primo transistor MOS (1) ed un terminale di controllo (18d) ricevente un primo segnale di comando (SC).

4. Circuito di polarizzazione (10) secondo la rivendicazione 3, caratterizzato dal fatto che detto quarto transistor MOS (18) presenta terminale di bulk (18c) collegato a detto terminale di bulk (1c) di detto primo transistor MOS (1).

5. Circuito di polarizzazione (10') secondo la rivendicazione 1 o 2, caratterizzato dal fatto di comprendere inoltre un quinto transistor MOS (18') avente un primo terminale (18a') collegato ad uno tra detto secondo nodo ed un nodo di massa (5), un secondo terminale (18b') collegato a detto terminale di bulk (1c') di detto primo transistor MOS (1') ed un terminale di controllo (18d') ricevente un secondo segnale di comando (SC).

6. Circuito di polarizzazione secondo la rivendicazione 5, caratterizzato dal fatto che detto quinto transistor MOS (18') presenta terminale di bulk (18c') collegato a detto terminale di bulk (1c') di detto primo transistor MOS (1').

7. Circuito di polarizzazione del terminale di bulk

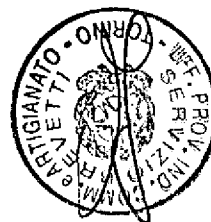
di un transistor MOS, sostanzialmente come descritto
con riferimento ai disegni allegati.

p. i.: STMICROELECTRONICS S.R.L.

CERBARO Elena

(iscrizione Albo nr 426/IM)

Maria Luisa



CERBARO Elena
(iscrizione Albo nr 426/IM)

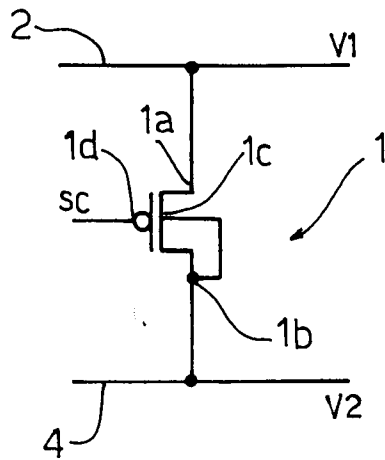


Fig.1

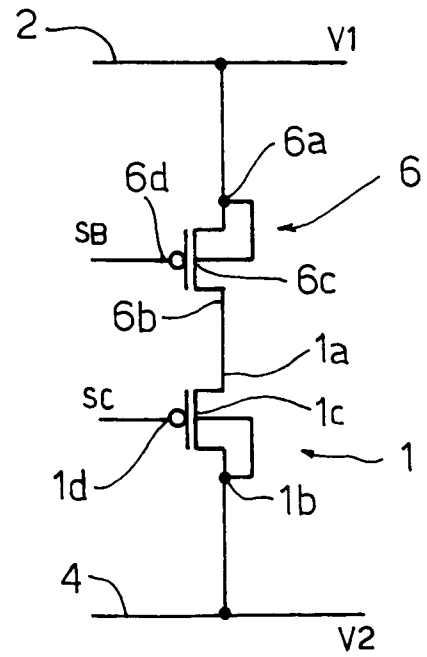


Fig.2

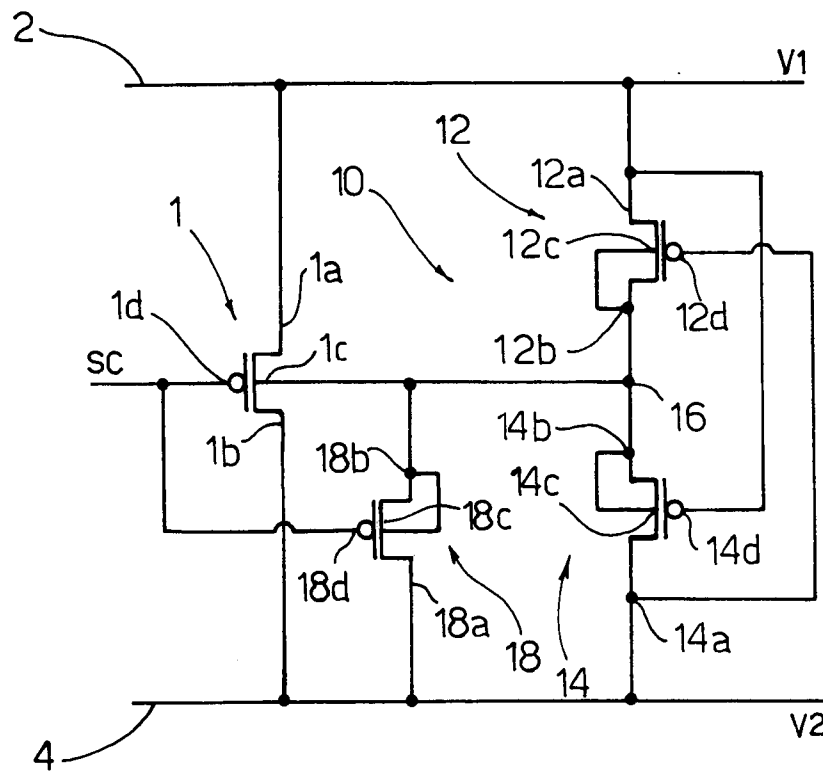


Fig.3

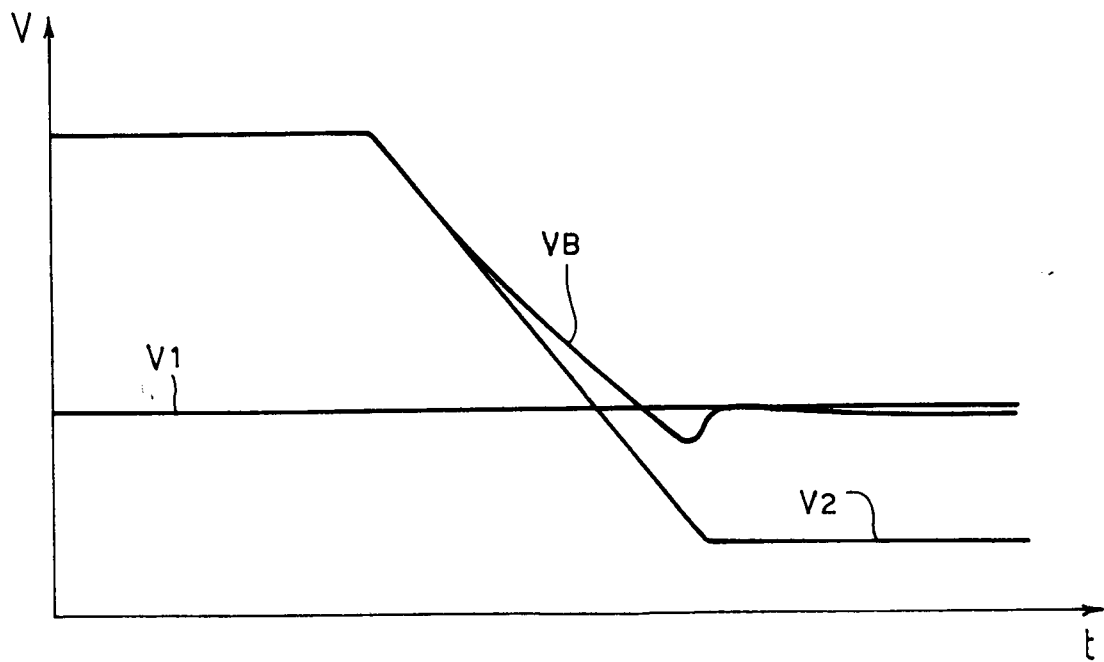


Fig. 4

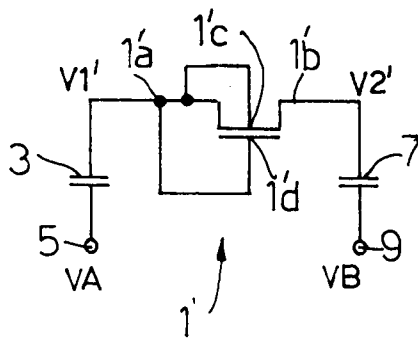


Fig. 5

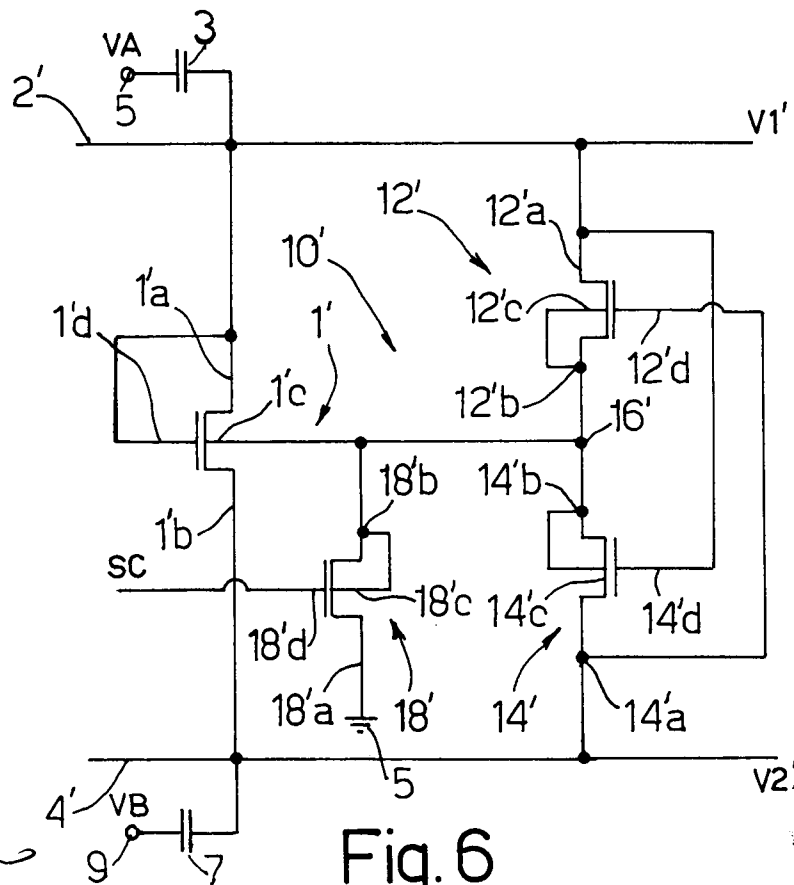


Fig. 6