



(10) **DE 20 2017 007 724 U1** 2025.07.03

(12) **Gebrauchsmusterschrift**

(21) Aktenzeichen: **20 2017 007 724.8**
(22) Anmeldetag: **12.09.2017**
(67) aus Patentanmeldung: **EP 17 19 0613.4**
(47) Eintragungstag: **22.05.2025**
(45) Bekanntmachungstag im Patentblatt: **03.07.2025**

(51) Int Cl.: **H10K 59/131** (2023.01)
G09G 3/3225 (2016.01)

(30) Unionspriorität:
20160118343 13.09.2016 KR

(74) Name und Wohnsitz des Vertreters:
Venner Shipley Germany LLP, 81669 München, DE

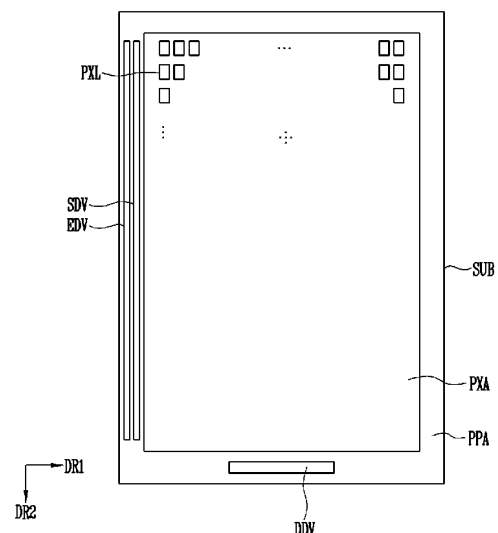
(73) Name und Wohnsitz des Inhabers:
Samsung Display Co., Ltd., Yongin-si, Gyeonggi-do, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Darstellungsvorrichtung, die leitfähige Muster mit reduzierter Darstellungselementüberlappung hat**

(57) Hauptanspruch: Darstellungsvorrichtung, gekennzeichnet durch:
ein Substrat (SUB), das einen Pixelbereich (PXA) und einen peripheren Bereich (PPA) beinhaltet;
eine Vielzahl von Pixeln (PXL), die in dem Pixelbereich (PXA) des Substrats (SUB) angeordnet ist, wobei jedes der Vielzahl von Pixeln (PXL) ein lichtemittierendes Element beinhaltet;
Datenleitungen und Abtastleitungen, die mit jedem der Vielzahl von Pixeln (PXL) elektrisch verbunden sind; und
eine Stromleitungsanordnung (PL), die so konfiguriert ist, dass sie der Vielzahl von Pixeln (PXL) Strom zuführt, wobei die Stromleitungsanordnung durch eine zweite leitfähige Schicht (PL2) gekennzeichnet ist, wobei die zweite leitfähige Schicht (PL2) der Stromleitungsanordnung durch Folgendes gekennzeichnet ist:
eine Vielzahl von ersten leitfähigen Leitungen (CL1); und
eine Vielzahl von zweiten leitfähigen Leitungen (CL2), die die Vielzahl von ersten leitfähigen Leitungen (CL1) schneidet, wobei die Vielzahl von zweiten leitfähigen Leitungen (CL2) jeweils in einem Bereich zwischen benachbarten lichtemittierenden Elementen der Vielzahl von Pixeln (PXL) angeordnet ist, ohne Anoden der lichtemittierenden Elemente zu überlappen, und
wobei sich mindestens einige Abschnitte der Vielzahl von zweiten leitfähigen Leitungen in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen erstrecken;
wobei die ersten leitfähigen Leitungen (CL1) und die zweiten leitfähigen Leitungen (CL2) elektrisch miteinander verbunden sind,
wobei die zweite leitfähige Schicht (PL2) einen Netzverlauf hat und
dadurch gekennzeichnet, dass
sich die Vielzahl von ersten leitfähigen Leitungen (CL1) in einer Richtung parallel zu der Erstreckungsrichtung der Datenleitungen erstreckt; oder

sich die Vielzahl von ersten leitfähigen Leitungen (CL1) und die Vielzahl von zweiten leitfähigen Leitungen (CL2) in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder einer Erstreckungsrichtung der Abtastleitungen erstrecken.



Beschreibung

[0001] Eine Ausführungsform der vorliegenden Erfindung betrifft eine Darstellungsvorrichtung und insbesondere eine Darstellungsvorrichtung, die leitfähige Muster mit reduzierter Darstellungselementüberlappung hat.

[0002] Eine Darstellungsvorrichtung beinhaltet eine Vielzahl von Pixeln, die jeweils ein Darstellungselement beinhalten. In jedem der Pixel sind Verdrahtungsleitungen und mindestens ein mit den Verdrahtungsleitungen verbundener Transistor angeordnet, um die Darstellungsvorrichtung zu betreiben.

[0003] Der Transistor ist elektrisch mit dem Darstellungselement verbunden und der Transistor kann das Darstellungselement mithilfe von Signalen betreiben, die von den Verdrahtungsleitungen zugeführt sind.

[0004] Mindestens einige dieser Verdrahtungsleitungen können die für das Darstellen eines Bildes verantwortlichen Darstellungselemente überlappen. Obwohl die Verdrahtungsleitungen hinter dem Darstellungselement angeordnet sein können, können Verdrahtungsleitungen, die hinter dem Darstellungselement angeordnet sind, unter dem Darstellungselement eine Stufendifferenz bilden. Die Stufendifferenz bewirkt eine Oberflächenuneinheitlichkeit des Darstellungselements. Die Oberflächenuneinheitlichkeit des Darstellungselements kann eine Weißwinkelabhängigkeit (white angle dependency - WAD) gemäß einem Blickwinkel der Darstellungsvorrichtung erzeugen.

[0005] Eine Darstellungsvorrichtung beinhaltet ein Substrat, das einen Pixelbereich und einen peripheren Bereich beinhaltet. Eine Vielzahl von Pixeln ist in dem Pixelbereich des Substrats angeordnet. Jeder der Vielzahl von Pixeln beinhaltet ein lichtemittierendes Element. Datenleitungen und Abtastleitungen sind mit jedem der Vielzahl von Pixeln verbunden. Eine Stromleitung ist so konfiguriert, dass sie der Vielzahl von Pixeln Strom zuführt. Die Stromleitung beinhaltet eine Vielzahl von ersten leitfähigen Leitungen und eine Vielzahl von zweiten leitfähigen Leitungen, die die Vielzahl von ersten leitfähigen Leitungen schneidet. Die Vielzahl von zweiten leitfähigen Leitungen ist in einem Bereich zwischen benachbarten lichtemittierenden Elementen der Vielzahl von Pixeln angeordnet. Mindestens einige der Vielzahl von zweiten leitfähigen Leitungen erstrecken sich in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen.

[0006] Eine Darstellungsvorrichtung beinhaltet ein Substrat, das einen Pixelbereich und einen peripheren Bereich hat. Eine Vielzahl von Pixeln ist in dem Pixelbereich des Substrats angeordnet und jedes der

Vielzahl von Pixeln beinhaltet mindestens einen Transistor und ein lichtemittierendes Element, das mit dem Transistor verbunden ist. Es sind Datenleitungen und Abtastleitungen mit der Vielzahl von Pixeln verbunden. Eine Stromleitung ist so konfiguriert, dass sie der Vielzahl von Pixeln Strom zuführt. Der Transistor beinhaltet ein aktives Muster, das auf dem Substrat angeordnet ist, und eine Source-Elektrode und eine Drain-Elektrode, die mit dem aktiven Muster verbunden sind. Die Gate-Elektrode ist auf dem aktiven Muster mit einer dazwischen positionierten Gate-Isolierschicht angeordnet. Eine Zwischenisolierschicht bedeckt die Gate-Elektrode und beinhaltet eine erste Zwischenisolierschicht, eine zweite Zwischenisolierschicht und eine dritte Zwischenisolierschicht, die nacheinander laminiert sind. Die Stromleitung beinhaltet eine erste leitfähige Schicht, die sich parallel zu den Datenleitungen erstreckt und auf der zweiten Zwischenisolierschicht angeordnet ist, und eine zweite leitfähige Schicht, die auf der dritten Zwischenisolierschicht angeordnet und mit der ersten leitfähigen Schicht durch ein Kontaktloch verbunden ist, das durch die dritte Zwischenisolierschicht passiert. Die zweite leitfähige Schicht beinhaltet erste leitfähige Leitungen, die sich in einer ersten Richtung erstrecken, und zweite leitfähige Leitungen, die die ersten leitfähigen Leitungen schneiden, die in einem Bereich zwischen benachbarten lichtemittierenden Elementen der Vielzahl von Pixeln angeordnet sind. Mindestens ein Teil der lichtemittierenden Elemente der Vielzahl von Pixeln erstreckt sich in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen.

[0007] Eine Darstellungsvorrichtung beinhaltet ein Substrat, das einen Pixelbereich und einen peripheren Bereich hat. Eine Vielzahl von Pixeln ist in dem Pixelbereich des Substrats angeordnet und jeder der Vielzahl von Pixeln beinhaltet ein lichtemittierendes Element. Es sind Datenleitungen und Abtastleitungen mit der Vielzahl von Pixeln verbunden. Eine erste Stromleitung ist elektrisch mit einer ersten Elektrode des lichtemittierenden Elements der Vielzahl von Pixeln verbunden. Eine zweite Stromleitung ist mit einer zweiten Elektrode des lichtemittierenden Elements der Vielzahl von Pixeln verbunden. Die erste Stromleitung beinhaltet erste leitfähige Leitungen, die sich in einer Richtung erstrecken, und zweite leitfähige Leitungen, die die ersten leitfähigen Leitungen kreuzen und in einem Bereich zwischen benachbarten lichtemittierenden Elementen der Vielzahl von Pixeln angeordnet sind. Mindestens eine der Vielzahl von zweiten leitfähigen Leitungen erstreckt sich in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen.

[0008] Gemäß einem Aspekt der Erfindung ist eine Darstellungsvorrichtung bereitgestellt, umfassend: ein Substrat, das einen Pixelbereich und einen peri-

pheren Bereich beinhaltet; eine Vielzahl von Pixeln, die in dem Pixelbereich des Substrats angeordnet sind, wobei jedes der Vielzahl von Pixeln ein lichtemittierendes Element beinhaltet; Datenleitungen und Abtastleitungen, die mit jedem der Vielzahl von Pixeln verbunden sind; und eine Stromleitung, die so konfiguriert ist, dass sie der Vielzahl von Pixeln Strom zuführt, wobei die Stromleitung Folgendes umfasst: eine Vielzahl von ersten leitfähigen Leitungen; und eine Vielzahl von zweiten leitfähigen Leitungen, die die Vielzahl von ersten leitfähigen Leitungen schneidet, wobei die Vielzahl von zweiten leitfähigen Leitungen in einem Bereich zwischen benachbarten lichtemittierenden Elementen der Vielzahl von Pixeln angeordnet sind, wobei sich mindestens einige der Vielzahl von zweiten leitfähigen Leitungen in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen erstrecken.

[0009] In einigen Ausführungsformen erstreckt sich jede der Vielzahl von ersten leitfähigen Leitungen in einer Richtung parallel zu der Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen.

[0010] In einigen Ausführungsformen umfasst die Vielzahl von zweiten leitfähigen Leitungen eine Vielzahl von Einheiten von leitfähigen Mustern, die miteinander verbunden sind.

[0011] In einigen Ausführungsformen umfasst die Vielzahl von Einheiten von leitfähigen Mustern Folgendes: ein erstes leitfähiges Muster, das eine der Vielzahl von ersten leitfähigen Leitungen schneidet; ein zweites leitfähiges Muster, das sich in einer Richtung schräg zu einer Erstreckungsrichtung der Vielzahl von ersten leitfähigen Leitungen erstreckt und dessen eines Ende mit einem Ende des ersten leitfähigen Musters verbunden ist; ein drittes leitfähiges Muster, dessen eines Ende mit dem anderen Ende des zweiten leitfähigen Musters verbunden ist; und ein viertes leitfähiges Muster, dessen eines Ende mit dem anderen Ende des dritten leitfähigen Musters verbunden ist und dessen anderes Ende mit dem anderen Ende eines ersten leitfähigen Musters einer benachbarten Einheit von leitfähigen Mustern verbunden ist.

[0012] In einigen Ausführungsformen erstreckt sich das dritte leitfähige Muster parallel zu dem ersten leitfähigen Muster.

[0013] In einigen Ausführungsformen erstreckt sich das vierte leitfähige Muster in einer Richtung, die die Vielzahl von ersten leitfähigen Leitungen, das erste leitfähige Muster, das zweite leitfähige Muster und das dritte leitfähige Muster schneidet.

[0014] In einigen Ausführungsformen erstreckt sich die Vielzahl von ersten leitfähigen Leitungen und die Vielzahl von zweiten leitfähigen Leitungen in einer

Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder einer Erstreckungsrichtung der Abtastleitungen.

[0015] In einigen Ausführungsformen sind die Vielzahl von ersten leitfähigen Leitungen und die Vielzahl von zweiten leitfähigen Leitungen in einem Bereich zwischen den benachbarten lichtemittierenden Elementen der Vielzahl von Pixeln angeordnet und wobei die lichtemittierenden Elemente der Vielzahl von Pixeln in einem Bereich angeordnet sind, der durch die Vielzahl von ersten leitfähigen Leitungen und die Vielzahl von zweiten leitfähigen Leitungen gebildet ist.

[0016] In einigen Ausführungsformen sind mindestens zwei lichtemittierende Elemente der Vielzahl von Pixeln in einem Bereich angeordnet, der durch die Vielzahl von ersten leitfähigen Leitungen und die Vielzahl von zweiten leitfähigen Leitungen gebildet ist.

[0017] In einigen Ausführungsformen überlappen Kanten mindestens einiger der lichtemittierenden Elemente der Vielzahl von Pixeln die Vielzahl von ersten leitfähigen Leitungen oder die Vielzahl von zweiten leitfähigen Leitungen.

[0018] In einigen Ausführungsformen umfasst jedes der Vielzahl von Pixeln mindestens einen Transistor und der Transistor umfasst Folgendes: ein aktives Muster, das auf dem Substrat angeordnet ist; eine Source-Elektrode und eine Drain-Elektrode, die mit dem aktiven Muster verbunden sind; eine Gate-Elektrode, die auf dem aktiven Muster angeordnet ist, mit einer dazwischen positionierten Gate-Isolierschicht; und eine Zwischenisolierschicht, die die Gate-Elektrode bedeckt und eine erste Zwischenisolierschicht, eine zweite Zwischenisolierschicht und eine dritte Zwischenisolierschicht beinhaltet, die nacheinander laminiert sind.

[0019] In einigen Ausführungsformen umfasst jedes der Vielzahl von Pixeln ferner einen Speicherkondensator und der Speicherkondensator umfasst eine untere Elektrode, die in einer gleichen Schicht wie die Gate-Elektrode angeordnet ist, und eine obere Elektrode, die auf der ersten Zwischenisolierschicht angeordnet ist.

[0020] In einigen Ausführungsformen umfasst die Darstellungsvorrichtung ferner eine leitfähige Schicht, die sich parallel zu der Datenleitung erstreckt und auf der zweiten Zwischenisolierschicht angeordnet ist, wobei die Stromleitung auf der dritten Zwischenisolierschicht angeordnet ist und mit der leitfähigen Schicht durch ein Kontaktloch verbunden ist, das durch die dritte Zwischenisolierschicht passiert.

[0021] In einigen Ausführungsformen umfassen die lichtemittierenden Elemente der Vielzahl von Pixeln jeweils eine erste Elektrode, eine zweite Elektrode und eine Emissionsschicht, die zwischen der ersten Elektrode und der zweiten Elektrode angeordnet ist, und wobei die Stromleitung elektrisch mit der ersten Elektrode verbunden ist und der ersten Elektrode eine Spannung zuführt, die höher als eine der zweiten Elektrode zugeführte Spannung ist.

[0022] Gemäß einem Aspekt der Erfindung ist eine Darstellungsvorrichtung bereitgestellt, umfassend: ein Substrat, das einen Pixelbereich und einen peripheren Bereich beinhaltet; eine Vielzahl von Pixeln, die in dem Pixelbereich des Substrats angeordnet ist und wobei jedes der Vielzahl von Pixeln mindestens einen Transistor und ein lichtemittierendes Element beinhaltet, das mit dem Transistor verbunden ist; Datenleitungen und Abtastleitungen, die mit der Vielzahl von Pixeln verbunden sind; und eine Stromleitung, die so konfiguriert ist, dass sie der Vielzahl von Pixeln Strom zuführt, wobei der Transistor Folgendes umfasst: ein aktives Muster, das auf dem Substrat angeordnet ist; eine Source-Elektrode und eine Drain-Elektrode, die mit dem aktiven Muster verbunden sind, mit einer dazwischen positionierten Gate-Isolierschicht; und eine Zwischenschicht, die die Gate-Elektrode bedeckt und eine erste Zwischenisolierschicht, eine zweite Zwischenisolierschicht und eine dritte Zwischenisolierschicht beinhaltet, die nacheinander laminiert sind, wobei die Stromleitung Folgendes umfasst: eine erste leitfähige Schicht, die sich parallel zu den Datenleitungen erstreckt und auf der zweiten Zwischenisolierschicht angeordnet ist; und eine zweite leitfähige Schicht, die auf der dritten Zwischenisolierschicht angeordnet und mit der ersten leitfähigen Schicht durch ein Kontaktloch verbunden ist, das durch die dritte Zwischenisolierschicht passiert, und wobei die zweite leitfähige Schicht Folgendes umfasst: erste leitfähige Leitungen, die sich in einer ersten Richtung erstrecken; und zweite leitfähige Leitungen, die die ersten leitfähigen Leitungen schneiden, die in einem Bereich zwischen benachbarten lichtemittierenden Elementen der Vielzahl von Pixeln angeordnet sind, wobei sich mindestens einige der lichtemittierenden Elemente der Vielzahl von Pixeln in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen erstrecken.

[0023] In einigen Ausführungsformen umfasst jedes der Vielzahl von Pixeln ferner einen Speicherkondensator und wobei der Speicherkondensator eine untere Elektrode umfasst, die in einer gleichen Schicht wie die Gate-Elektrode angeordnet ist, und eine obere Elektrode, die auf der ersten Zwischenisolierschicht angeordnet ist.

[0024] In einigen Ausführungsformen erstrecken sich die ersten leitfähigen Leitungen in einer Rich-

tung parallel zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen.

[0025] In einigen Ausführungsformen umfassen die zweiten leitfähigen Leitungen eine Vielzahl von Einheiten von leitfähigen Mustern, die miteinander verbunden sind, wobei jede der Vielzahl von Einheiten von leitfähigen Mustern folgendes umfasst: ein erstes leitfähiges Muster, das eine der ersten leitfähigen Leitungen schneidet; ein zweites leitfähiges Muster, das sich in einer Richtung schräg zu einer Erstreckungsrichtung der ersten leitfähigen Leitung erstreckt und ein Ende davon hat, das mit einem Ende des ersten leitfähigen Musters verbunden ist; ein drittes leitfähiges Muster, das ein Ende davon hat, das mit dem anderen Ende des zweiten leitfähigen Musters verbunden ist; und ein viertes leitfähiges Muster, das ein Ende hat, das mit dem anderen Ende des dritten leitfähigen Musters und das andere Ende davon mit dem anderen Ende eines ersten leitfähigen Musters einer benachbarten Einheit von leitfähigen Mustern der Vielzahl von Einheiten von leitfähigen Mustern verbunden ist.

[0026] In einigen Ausführungsformen erstreckt sich das dritte leitfähige Muster parallel zu dem ersten leitfähigen Muster und wobei sich das vierte leitfähige Muster in einer Richtung erstreckt, die die erste leitfähige Leitung, das erste leitfähige Muster, das zweite leitfähige Muster und das dritte leitfähige Muster schneidet.

[0027] In einigen Ausführungsformen erstrecken die ersten leitfähigen Leitungen und die zweiten leitfähigen Leitungen in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen.

[0028] In einigen Ausführungsformen sind die ersten leitfähigen Leitungen und die zweiten leitfähigen Leitungen in einem Bereich zwischen den benachbarten lichtemittierenden Elementen angeordnet und wobei die lichtemittierenden Elemente in einem Bereich angeordnet sind, der durch die ersten leitfähigen Leitungen und die zweiten leitfähigen Leitungen gebildet ist.

[0029] In einigen Ausführungsformen sind mindestens zwei lichtemittierende Elemente der Vielzahl von Pixeln in einem Bereich angeordnet, der durch die ersten leitfähigen Leitungen und die zweiten leitfähigen Leitungen gebildet ist.

[0030] In einigen Ausführungsformen überlappen Kanten mindestens eines Teils der lichtemittierenden Elemente der Vielzahl von Pixeln die Vielzahl von ersten leitfähigen Leitungen oder die Vielzahl von zweiten leitfähigen Leitungen.

[0031] Gemäß einem Aspekt der Erfindung ist eine Darstellungsvorrichtung bereitgestellt, umfassend: ein Substrat, das einen Pixelbereich und einen peripheren Bereich beinhaltet; eine Vielzahl von Pixeln, die in dem Pixelbereich des Substrats angeordnet sind, wobei jedes der Vielzahl von Pixeln ein lichtemittierendes Element beinhaltet; Datenleitungen und Abtastleitungen, die mit der Vielzahl von Pixeln verbunden sind; eine erste Stromleitung, die elektrisch mit einer ersten Elektrode des lichtemittierenden Elements der Vielzahl von Pixeln verbunden ist; und eine zweite Stromleitung, die mit einer zweiten Elektrode des lichtemittierenden Elements der Vielzahl von Pixeln verbunden ist, wobei die erste Stromleitung Folgendes umfasst: erste leitfähige Leitungen, die sich in einer Richtung erstrecken; und zweite leitfähige Leitungen, die die ersten leitfähigen Leitungen kreuzen und in einem Bereich zwischen benachbarten lichtemittierenden Elementen der Vielzahl von Pixeln angeordnet sind, wobei sich mindestens eine der zweiten leitfähigen Leitungen in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen erstreckt.

[0032] In einigen Ausführungsformen erstrecken sich die ersten leitfähigen Leitungen parallel zu der Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen und wobei die zweiten leitfähigen Leitungen eine Vielzahl von Einheiten von leitfähigen Mustern umfassen, die miteinander verbunden sind, und wobei die Vielzahl von Einheiten von leitfähigen Mustern Folgendes umfassen: ein erstes leitfähiges Muster, das eine der ersten leitfähigen Leitungen schneidet; ein zweites leitfähiges Muster, das sich in einer Richtung schräg zu einer Erstreckungsrichtung der ersten leitfähigen Leitung erstreckt und ein Ende davon hat, das mit einem Ende des ersten leitfähigen Musters verbunden ist; ein drittes leitfähiges Muster, das ein Ende davon hat, das mit dem anderen Ende des zweiten leitfähigen Musters verbunden ist; und ein viertes leitfähiges Muster, das ein Ende hat, das mit dem anderen Ende des dritten leitfähigen Musters und das andere Ende davon mit dem anderen Ende eines ersten leitfähigen Musters einer benachbarten Einheit von leitfähigen Mustern verbunden ist.

[0033] In einigen Ausführungsformen erstreckt sich das dritte leitfähige Muster parallel zu dem ersten leitfähigen Muster und wobei sich das vierte leitfähige Muster in einer Richtung erstreckt, die eine Erstreckungsrichtung der ersten leitfähigen Leitung, das erste leitfähige Muster, das zweite leitfähige Muster und das dritte leitfähige Muster schneidet.

[0034] In einigen Ausführungsformen erstrecken die ersten leitfähigen Leitungen und die zweiten leitfähigen Leitungen in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen.

[0035] In einigen Ausführungsformen sind die ersten leitfähigen Leitungen und die zweiten leitfähigen Leitungen in einem Bereich zwischen den benachbarten lichtemittierenden Elementen angeordnet und erstrecken sich in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen.

[0036] In einigen Ausführungsformen sind mindestens zwei lichtemittierende Elemente in einem Bereich angeordnet, der durch die ersten leitfähigen Leitungen und die zweiten leitfähigen Leitungen gebildet ist.

[0037] In einigen Ausführungsformen überlappen Kanten mindestens eines Teils der lichtemittierenden Elemente der Vielzahl von Pixeln die Vielzahl von ersten leitfähigen Leitungen oder die Vielzahl von zweiten leitfähigen Leitungen.

[0038] In einigen Ausführungsformen umfasst jedes der Vielzahl von Pixeln mindestens einen Transistor und der Transistor umfasst Folgendes: ein aktives Muster, das auf dem Substrat angeordnet ist; eine Source-Elektrode und eine Drain-Elektrode, die mit dem aktiven Muster verbunden sind; eine Gate-Elektrode, die auf dem aktiven Muster angeordnet ist, mit einer dazwischen positionierten Gate-Isolierschicht; und eine Zwischenisolierschicht, die die Gate-Elektrode bedeckt und eine erste Zwischenisolierschicht, eine zweite Zwischenisolierschicht und eine dritte Zwischenisolierschicht beinhaltet, die nacheinander laminiert sind.

[0039] In einigen Ausführungsformen umfasst die Darstellungsvorrichtung ferner eine sich parallel zu der Datenleitung erstreckende und auf der zweiten Zwischenisolierschicht angeordnete leitfähige Schicht, wobei die Stromleitung auf der dritten Zwischenisolierschicht angeordnet ist und durch ein Kontaktloch, das durch die dritte Zwischenisolierschicht passiert, mit der leitfähigen Schicht verbunden ist.

[0040] In einigen Ausführungsformen führt die erste Stromleitung einen ersten Strom zu, führt die zweite Stromleitung einen zweiten Strom zu und eine Spannung des ersten Stroms ist größer als eine Spannung des zweiten Stroms.

[0041] Gemäß einem Aspekt der Erfindung ist eine Darstellungsvorrichtung wie in Anspruch 1 dargelegt bereitgestellt. Bevorzugte Merkmale sind in den Ansprüchen 2 bis 6 dargelegt.

[0042] Gemäß einem Aspekt der Erfindung ist eine Darstellungsvorrichtung wie in Anspruch 7 dargelegt bereitgestellt. Bevorzugte Merkmale sind in den Ansprüchen 8 bis 11 dargelegt.

[0043] Gemäß einem Aspekt der Erfindung ist eine Darstellungsvorrichtung wie in Anspruch 12 dargestellt bereitgestellt. Bevorzugte Merkmale sind in den Ansprüchen 13 bis 16 dargelegt.

[0044] Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend anhand der beigefügten Zeichnungen näher beschrieben; die Ausführungsbeispiele können jedoch in verschiedenen Formen gebildet sein und sollten nicht als auf die hierin beschriebenen Ausführungsformen beschränkt ausgelegt werden. Vielmehr sind diese Ausführungsformen so bereitgestellt, dass diese Offenbarung gründlich und vollständig ist und dem Fachmann den Anwendungsbereich der Ausführungsbeispiele vollständig vermittelt.

[0045] In den Zeichnungsfiguren können die Abmessungen für eine eindeutige Veranschaulichung übertrieben sein. Es versteht sich, dass, wenn ein Element als „zwischen“ zwei Elementen bezeichnet wird, es das einzige Element zwischen den beiden Elementen sein kann oder es können auch ein oder mehrere Zwischenelemente vorhanden sein. Gleiche Bezugszeichen beziehen sich durchgängig in der Anmeldung und den Figuren auf gleiche Elemente.

Fig. 1 ist eine Draufsicht, die eine Darstellungsvorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

Fig. 2 ist ein Blockdiagramm, das Pixel und einen Treiber gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

Fig. 3 ist ein äquivalentes Schaltkreisdiagramm, das eine Ausführungsform des Pixels von **Fig. 2** veranschaulicht;

Fig. 4 ist eine Draufsicht, die speziell das Pixel aus **Fig. 3** veranschaulicht;

Fig. 5 ist eine Querschnittsansicht entlang der Leitung I-I' von **Fig. 4**;

Fig. 6 ist eine Querschnittsansicht entlang der Leitung II-II' von **Fig. 4**;

Fig. 7 ist eine Draufsicht auf die Wirkmuster von **Fig. 2** bis 6;

Fig. 8 ist eine Draufsicht, die die Abtastleitungen, die Emissionssteuerleitungen und die untere Elektrode des Speicherkondensators von **Fig. 2** bis 6 veranschaulicht;

Fig. 9 ist eine Draufsicht, die die Initialisierungsstromleitung und die obere Elektrode des Speicherkondensators von **Fig. 2** bis 6 veranschaulicht;

Fig. 10 ist eine Draufsicht, die die Datenleitungen, die Verbindungsleitung, die Hilfsverbindungs-

ungsleitung und die erste leitfähige Schicht und das erste Brückenmuster der Stromleitung von **Fig. 2** bis 6 veranschaulicht;

Fig. 11 ist eine Draufsicht, die die zweite leitfähige Schicht und das zweite Brückenmuster der Stromleitung von **Fig. 2** bis 6 veranschaulicht; und

Fig. 12 ist eine Draufsicht, die die organische lichtemittierende Diode (organic light emitting diode - OLED) von **Fig. 2** bis 6 veranschaulicht;

Fig. 13 ist eine Draufsicht, die die zweite leitfähige Schicht und das zweite Brückenmuster der Stromleitung und der OLED von **Fig. 11** und 12 veranschaulicht;

Fig. 14 ist eine Draufsicht, die eine zweite Stromleitung, ein zweites Brückenmuster und eine OLED einer Darstellungsvorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

Fig. 15 ist eine Draufsicht, die eine zweite Stromleitung, ein zweites Brückenmuster und eine OLED einer Darstellungsvorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht; und

Fig. 16 ist eine Draufsicht, die eine zweite Stromleitung, ein zweites Brückenmuster und eine OLED einer Darstellungsvorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht.

[0046] Die vorliegende Erfindung kann variabel modifiziert sein und verschiedene Ausführungsformen haben, von denen besondere Beispiele in Zeichnungen dargestellt und detailliert beschrieben werden. Es versteht sich jedoch, dass die vorliegende Erfindung nicht auf eine bestimmte offenbarte Form beschränkt ist, sondern alle Modifikationen, Äquivalente und Substitutionen beinhaltet, ohne von dem Anwendungsbereich und Geist der Offenbarung abzuweichen.

[0047] In beschreibenden Zeichnungen beziehen sich gleiche Zahlen auf gleiche Elemente. Zum Verdeutlichen der vorliegenden Erfindung können in den beigefügten Zeichnungen die Abmessungen von Konstruktionen übertrieben dargestellt sein. Während Begriffe wie „erste“ und „zweite“ usw. verwendet werden können, um verschiedene Komponenten zu beschreiben, sollten derartige Komponenten nicht als auf die obigen Begriffe beschränkt verstanden werden. Die obigen Begriffe werden verwendet, um eine Komponente von einer anderen abzugrenzen.

[0048] Es versteht sich, dass, wenn ein Element, wie etwa eine Schicht, ein Film, ein Bereich oder ein Substrat, als „auf“ einem anderen Element befindlich bezeichnet wird, es sich direkt auf dem

anderen Element befinden kann oder auch dazwischenliegende Elemente vorhanden sein können.

[0049] Ausführungsformen der vorliegenden Erfindung werden nachstehend unter Bezugnahme auf die beigefügten Zeichnungen detaillierter beschrieben.

[0050] Fig. 1 ist eine Draufsicht, die eine Darstellungsvorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht.

[0051] Bezugnehmend auf Fig. 1 kann die Darstellungsvorrichtung ein Substrat (substrate - SUB), auf dem Substrat SUB angeordnete Pixel PXL, einen auf dem Substrat SUB angeordneten Treiber zum Betreiben der Pixel PXL und eine Verdrahtungsleitungseinheit zum Verbinden der Pixel PXL und des Treibers beinhalten.

[0052] Das Substrat SUB kann einen Pixelbereich (pixel region - PXA) und einen peripheren Bereich (peripheral region - PPA) beinhalten. In dem Pixelbereich PXA sind die ein Bild darstellenden Pixel PXL bereitgestellt. Die Pixel PXL werden später beschrieben. In dem peripheren Bereich PPA sind die Pixel PXL nicht angeordnet. Daher wird das Bild nicht auf dem peripheren Bereich PPA dargestellt. In dem peripheren Bereich PPA können der Treiber zum Ansteuern der Pixel PXL und ein Teil einer Verdrahtungsleitung zum Verbinden der Pixel PXL und des Treibers angeordnet sein. Der periphere Bereich PPA kann einer Einfassung in der finalen Darstellungsvorrichtung entsprechen. Eine Breite der Einfassung kann gemäß einer Breite des peripheren Bereichs PPA bestimmt werden.

[0053] Der Pixelbereich PXA kann verschiedene Verläufe haben. Zum Beispiel kann der Pixelbereich PXA ein geschlossenes Polygon, wie ein Quadrat oder Rechteck, ein Kreis oder eine Ellipse, ein Halbkreis oder eine Halbellipse sein. Der Pixelbereich PXA kann einen beliebigen geschlossenen Verlauf aufweisen, der gerade und/oder gekrümmte Seiten hat. Wenn der Pixelbereich PXA eine Vielzahl von Bereichen beinhaltet, kann jeder der Bereiche auch ein geschlossenes Polygon sein, wie ein Quadrat oder Rechteck, ein Kreis oder eine Ellipse, ein Halbkreis oder eine Halbellipse oder ein anderer geschlossener Verlauf, der gerade und/oder gekrümmte Seiten beinhaltet. Zusätzlich können Bereiche der Vielzahl von Bereichen untereinander gleich oder voneinander verschieden sein.

[0054] Gemäß diesem Ansatz ist der Pixelbereich PXA als quadratischer Bereich, der gerade Seiten beinhaltet, veranschaulicht.

[0055] Der periphere Bereich PPA kann auf mindestens einer Seite des Pixelbereichs PXA angeordnet

sein. Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung kann der periphere Bereich PPA den Pixelbereich PXA umgeben. Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung kann der periphere Bereich PPA horizontale Einheiten, die sich in einer Breitenrichtung erstrecken, und vertikale Einheiten, die sich in einer Längsrichtung erstrecken, beinhalten. In dem peripheren Bereich PPA können zwei in der Breitenrichtung voneinander separierte vertikale Einheiten angeordnet sein.

[0056] Die Pixel PXL können in dem auf dem Substrat SUB ausgebildeten Pixelbereich PXA angeordnet sein. Jeder der Vielzahl von Pixeln PXL kann eine Minimaleinheit sein, die ein Bild darstellt. Die Pixel PXL können organische lichtemittierende Dioden (OLED) beinhalten, die Weißlichtkomponenten und/oder Farblichtkomponenten emittieren. Jedes der Pixel PXL kann rotes Licht, grünes Licht oder blaues Licht emittieren. Die vorliegende Erfindung ist jedoch nicht darauf beschränkt. Zum Beispiel kann das Pixel PXL cyanfarbenes Licht, magentafarbenes Licht, gelbes Licht oder weißes Licht emittieren.

[0057] Die Vielzahl von Pixeln PXL kann in einer Matrix angeordnet sein, die Zeilen, die sich in einer ersten Richtung (first direction - DR1) erstrecken, und Spalten, die sich in einer zweiten Richtung (second direction - DR2) erstrecken, die die erste Richtung kreuzt, hat. Die Anordnung der Pixel PXL ist jedoch nicht darauf beschränkt. Die Pixel PXL können in verschiedenen Formen angeordnet sein. Zum Beispiel können einige der Pixel PXL so angeordnet sein, dass die erste Richtung DR1 eine Zeilenrichtung ist. Andere der Pixel PXL können jedoch so angeordnet sein, dass eine Richtung, die nicht die erste Richtung DR1 ist, zum Beispiel die Zeilenrichtung, eine Richtung schräg zu der ersten Richtung DR1 sein kann und die Spaltenrichtung eine Richtung sein kann, die die Zeilenrichtung schneidet. Dabei kann die Spaltenrichtung sowohl zu der ersten Richtung DR1 als auch zu der zweiten Richtung DR2 schräg sein.

[0058] Der Treiber stellt durch die Verdrahtungsleitungseinheit Signale an die Pixel PXL bereit, um die Pixel PXL zu betreiben. In Fig. 1 ist die Verdrahtungsleitungseinheit für eine übersichtliche Erläuterung nicht gezeigt. Die Verdrahtungsleitungseinheit wird später beschrieben.

[0059] Der Treiber kann einen Abtasttreiber (scan driver - SDV) zum Bereitstellen von Abtastsignalen an die Pixel PXL durch Abtastleitungen, einen Emissionstreiber (emission driver - EDV) zum Bereitstellen von Emissionssteuersignalen an die Pixel PXL durch Emissionssteuerleitungen, einen Datentreiber (data driver - DDV) zum Bereitstellen von Datensignalen an die Pixel PXL durch Datenleitungen und

eine Zeitsteuerung (timing controller - TC) beinhalten. Die Zeitsteuerung kann den Abtasttreiber SDV, den Emissionstreiber EDV und den Datentreiber DDV steuern.

[0060] Der Abtasttreiber SDV kann in der vertikalen Einheit des peripheren Bereichs PPA angeordnet sein. Da die vertikalen Einheiten des peripheren Bereichs PPA ein in der Breitenrichtung des Pixelbereichs PXA voneinander separiertes Paar bilden, kann der Abtasttreiber SDV in mindestens einer der vertikalen Einheiten des peripheren Bereichs PPA angeordnet sein. Der Abtasttreiber SDV kann sich in der Längsrichtung des peripheren Bereichs PPA erstrecken.

[0061] Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung kann der Abtasttreiber SDV direkt auf dem Substrat SUB montiert sein. Wenn der Abtasttreiber SDV direkt auf dem Substrat SUB montiert ist, kann der Abtasttreiber SDV in einem Prozess des Bildens der Pixel PXL gebildet sein. Eine Position des Abtasttreibers SDV und ein Verfahren des Bildens des Abtasttreibers SDV sind jedoch nicht darauf beschränkt. Der Abtasttreiber SDV kann in einem separaten Chip gebildet sein und in einem Chip-on-glass-(COG-)Verfahren auf dem Substrat SUB angeordnet werden. Zusätzlich kann der Abtasttreiber SDV auf einer gedruckten Leiterplatte (printed circuit board - PCB) montiert werden, um durch ein Verbindungsglied mit dem Substrat SUB verbunden zu werden.

[0062] Der Emissionstreiber EDV kann wie der Abtasttreiber SDV auch in der Vertikaleinheit des peripheren Bereichs PPA angeordnet sein. Der Emissionstreiber EDV kann auf mindestens einer Seite der vertikalen Einheit des peripheren Bereichs PPA angeordnet sein. Der Emissionstreiber EDV kann sich in der Längsrichtung des peripheren Bereichs PPA erstrecken.

[0063] Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung kann der Emissionstreiber EDV direkt auf dem Substrat SUB montiert sein. Wenn der Emissionstreiber EDV direkt auf dem Substrat SUB montiert ist, kann der Emissionstreiber EDV während eines Prozesses des Bildens der Pixel PXL gebildet sein. Eine Position des Emissionstreiber EDV und ein Verfahren des Bildens des Emissionstreiber EDV sind jedoch nicht darauf beschränkt. Der Emissionstreiber EDV kann in einem separaten Chip gebildet sein und in dem COG-Verfahren auf dem Substrat SUB angeordnet werden. Zusätzlich kann der Emissionstreiber EDV auf der PCB montiert werden, um durch das Verbindungsglied mit dem Substrat SUB verbunden zu werden.

[0064] Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung sind der Abtasttreiber SDV und

der Emissionstreiber EDV als benachbart zueinander veranschaulicht und an einer Seite des Paares von vertikalen Einheiten des peripheren Bereichs PPA gebildet. Die vorliegende Erfindung ist jedoch nicht darauf beschränkt. Der Abtasttreiber SDV und der Emissionstreiber EDV können gemäß verschiedenen Konfigurationen angeordnet sein. Zum Beispiel kann der Abtasttreiber SDV auf der einen Seite der vertikalen Einheiten des peripheren Bereichs PPA angeordnet sein und der Emissionstreiber EDV kann auf der anderen Seite der vertikalen Einheiten des peripheren Bereichs PPA angeordnet sein. Alternativ kann der Abtasttreiber SDV auf beiden der vertikalen Einheiten des peripheren Bereichs PPA angeordnet sein und der Emissionstreiber EDV kann nur auf einer Seite der vertikalen Einheiten des peripheren Bereichs PPA angeordnet sein.

[0065] Der Datentreiber DDV kann in dem peripheren Bereich PPA angeordnet sein. Zum Beispiel kann der Datentreiber DDV in der horizontalen Einheit des peripheren Bereichs PPA angeordnet sein. Der Datentreiber DDV kann sich in der Breitenrichtung des peripheren Bereichs PPA erstrecken.

[0066] Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung können Positionen/eine Position des Abtasttreibers SDV, des Emissionstreibers EDV und/oder des Datentreibers DDV beliebig verändert werden.

[0067] Die Zeitsteuerung kann mit dem Abtasttreiber SDV, dem Emissionstreiber EDV und dem Datentreiber DDV durch Verdrahtungsleitungen durch verschiedene Verfahren verbunden sein. Eine Position der Zeitsteuerung ist nicht auf die gezeigte Konfiguration beschränkt. Zum Beispiel ist die Zeitsteuerung auf der PCB montiert und kann mit dem Abtasttreiber SDV, dem Emissionstreiber EDV und dem Datentreiber DDV durch die PCB verbunden sein und die PCB kann in verschiedenen Positionen angeordnet sein, zum Beispiel an einer Seite des Substrats SUB oder an einer Rückfläche des Substrats SUB.

[0068] Fig. 2 ist ein Blockdiagramm, das Pixel und einen Treiber gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht.

[0069] Bezugnehmend auf Fig. 2 kann die Darstellungsvorrichtung die Pixel PXL, den Treiber und die Verdrahtungsleitungseinheit beinhalten.

[0070] Die Vielzahl von Pixeln PXL kann angeordnet sein. Der Treiber kann den Abtasttreiber SDV, den Abgastreiber EDV, den Datentreiber DDV und die Zeitsteuerung TC beinhalten. In Fig. 2 sind beispielhaft Positionen des Abtasttreibers SDV, des Emissionstreibers EDV, des Datentreibers DDV und der Zeitsteuerung TC eingestellt. Die Darstellungsvor-

richtung gemäß Ausführungsbeispielen der vorliegenden Erfindung kann alternativ auch auf andere Weise implementiert sein. Zum Beispiel können der Abtasttreiber SDV, der Emissionstreiber EDV, der Datentreiber DDV und die Zeitsteuerung TC an anderen Positionen in der Darstellungsvorrichtung angeordnet sein.

[0071] Die Verdrahtungsleitungseinheit stellt den Pixeln PXL Signale von dem Treiber bereit und kann Abtastleitungen, Datenleitungen, Emissionssteuerleitungen, eine Stromleitung (power line - PL) und eine erste Initialisierungsstromleitung (first initializing power line - Vint1) beinhalten. Die Abtastleitungen beinhalten eine Vielzahl von Abtastleitungen (scan lines - S1 bis Sn) und die Emissionssteuerleitungen können eine Vielzahl von Emissionssteuerleitungen (emission control lines - E1 bis En) beinhalten. Die Datenleitungen (data lines - D1 bis Dm) und die Stromleitung PL können mit den Pixeln PXL verbunden sein.

[0072] Die Pixel PXL können in dem Pixelbereich PXA angeordnet sein. Die Pixel PXL können mit den Abtastleitungen S1 bis Sn, den Emissionssteuerleitungen E1 bis En, den Datenleitungen D1 bis Dm und der Stromleitung PL verbunden sein. Die Pixel PXL können die Datensignale von den Datenleitungen D1 bis Dm empfangen, wenn die Abtastsignale von den Abtastleitungen S1 bis Sn zugeführt werden.

[0073] Zusätzlich können die Pixel PXL einen ersten Strom ELVDD, einen zweiten Strom ELVSS und einen Initialisierungsstrom Vint von einer externen Quelle empfangen. Dabei kann der erste Strom ELVDD durch die Stromleitung PL zugeführt werden.

[0074] Jedes der Pixel PXL kann einen Treibertransistor und eine OLED beinhalten. Als Reaktion von dem Datensignal kann der Treibertransistor eine Stromstärke steuern, die über die OLED von dem ersten Strom ELVDD zu dem zweiten Strom ELVSS fließt. Zum Beispiel kann vor dem Zuführen des Datensignals eine Gate-Elektrode des Treibertransistors durch eine Spannung des Initialisierungsstroms Vint initialisiert werden.

[0075] Für diesen Zweck kann der Initialisierungsstrom Vint auf eine niedrigere Spannung als das Datensignal eingestellt werden.

[0076] Der Abtasttreiber SDV kann die Abtastsignale als Reaktion auf ein erstes, von der Zeitsteuerung TC zugeführtes Gate-Steuersignal (first gate control signal - GCS1) den Abtastleitungen S1 bis Sn zuführen. Zum Beispiel kann der Abtasttreiber SDV die Abtastsignale nacheinander den Abtastleitungen S1 bis Sn zuführen. Wenn die Abtastsignale nacheinander den Abtastleitungen S1 bis Sn zuge-

führt sind, können die Pixel PXL in Einheiten horizontaler Leitungen nacheinander selektiert werden.

[0077] Der Abgastreiber EDV kann die Emissionssteuersignale den Emissionssteuerleitungen E1 bis En als Reaktion auf ein zweites, von der Zeitsteuerung TC geliefertes Gate-Steuersignal GCS2 zuführen. Zum Beispiel kann der Emissionstreiber EDV die Emissionssteuersignale nacheinander den Emissionssteuerleitungen E1 bis En zuführen.

[0078] Dabei können die Emissionssteuersignale so eingestellt sein, dass sie größere Breiten als die Abtastsignale haben. Zum Beispiel kann das einer i-ten (wobei i eine positive ganze Zahl ist) Emissionssteuerleitung Ei zugeführte Emissionssteuersignal das einer (i-1)ten Abtastleitung Si-1 zugeführte Abtastsignal und das einer i-ten Abtastleitung Si zugeführte Abtastsignal mindestens in einem Teilzeitraum überlappen.

[0079] Zusätzlich sind die Emissionssteuersignale so eingestellt, dass sie Gate-Off-Spannungen (zum Beispiel relativ hohe Spannungen) haben, sodass die in den Pixeln PXL beinhalteten Transistoren abgeschaltet werden können. Die Abtastsignale können so eingestellt sein, dass sie Gate-On-Spannungen (zum Beispiel relativ niedrige Spannungen) haben, sodass die in den Pixeln PXL beinhalteten Transistoren eingeschaltet werden können.

[0080] Der Datentreiber DDV kann die Datensignale als Reaktion auf ein Datensteuersignal (data control signal - DCS) den Datenleitungen D1 bis Dm zuführen. Die den Datenleitungen D1 bis Dm zugeführten Datensignale können den durch die Abtastsignale ausgewählten Pixeln PXL zugeführt werden.

[0081] Die Zeitsteuerung TC führt dem Abtasttreiber SDV und dem Emissionstreiber EDV die aufgrund von von außen zugeführten Zeitsignalen erzeugten Gate-Steuersignale GCS1 und GCS2 zu und kann dem Datentreiber DDV das Datensteuersignal DCS zuführen.

[0082] Es können jeweils ein Startimpuls und Taktsignale in jedem der Gate-Steuersignale GCS1 und GCS2 beinhaltet sein. Der Startimpuls kann den Zeitablauf eines ersten Abtastsignals oder eines ersten Emissionssteuersignals steuern. Die Taktsignale können zum Verschieben des Startimpulses verwendet werden.

[0083] Es können ein Quellenstartimpuls und Taktsignale in dem Datensteuersignal DCS beinhaltet sein. Der Quellenstartimpuls kann einen Startzeitpunkt des Datenerfassens steuern. Die Taktsignale können zum Steuern eines Datenerfassungsvorgangs verwendet werden.

[0084] Fig. 3 ist ein äquivalentes Schaltkreisdia-
gramm, das eine Ausführungsform des Pixels von
Fig. 2 veranschaulicht. In Fig. 3 ist der Übersichtlich-
keit halber ein mit einer j-ten Datenleitung Dj und
einer i-ten ersten Abtastleitung Si verbundenes
Pixel veranschaulicht.

[0085] Gemäß Fig. 2 und 3 kann das Pixel PXL eine
OLED „OLED“, einen ersten Transistor T1, einen
zweiten Transistor T2, einen dritten Transistor T3,
einen vierten Transistor T4, einen fünften Transistor
T5, einen sechsten Transistor T6, einen siebten
Transistor T7 und einen Speicherkondensator Cst
(storage capacitor - Cst) umfassen.

[0086] Eine Anode der OLED „OLED“ ist über den
sechsten Transistor T6 mit dem ersten Transistor
T1 verbunden und eine Kathode davon kann mit
dem zweiten Strom ELVSS verbunden sein. Die
OLED „OLED“ kann Licht mit vorbestimmter Hellig-
keit als Reaktion auf eine Stromstärke erzeugen,
die von dem ersten Transistor T1 zugeführt wird.

[0087] Der erste Strom ELVDD kann so eingestellt
werden, dass er eine höhere Spannung als der
zweite Strom ELVSS hat, sodass Stromstärke zu
der OLED „OLED“ fließen kann.

[0088] Der siebte Transistor T7 kann zwischen der
Initialisierungsstromquelle Vint und der Anode der
OLED „OLED“ verbunden sein. Eine Gate-Elektrode
des siebten Transistors T7 kann mit der i-ten ersten
Abtastleitung Si verbunden sein. Der siebte Transis-
tor T7 wird eingeschaltet, wenn der i-ten ersten
Abtastleitung Si ein Abtastsignal zugeführt wird, und
kann die Spannung des Initialisierungsstroms Vint
der Anode der OLED „OLED“ zuführen. Dabei kann
der Initialisierungsstrom Vint so eingestellt werden,
dass er eine niedrigere Spannung als ein Datensig-
nal hat.

[0089] Der sechste Transistor T6 kann zwischen
dem ersten Transistor T1 und der OLED „OLED“ ver-
bunden sein. Eine Gate-Elektrode des sechsten
Transistors T6 kann mit einer i-ten Emissionssteuer-
leitung Ei verbunden sein. Der sechste Transistor T6
wird ausgeschaltet, wenn das Emissionssteuersignal
der i-ten Emissionssteuerleitung Ei zugeführt wird,
und kann in dem anderen Fall eingeschaltet werden.

[0090] Der fünfte Transistor T5 kann zwischen dem
ersten Strom ELVDD und dem ersten Transistor T1
verbunden sein. Eine Gate-Elektrode des fünften
Transistors T5 kann mit einer i-ten Emissionssteuer-
leitung Ei verbunden sein. Der fünfte Transistor T5
wird ausgeschaltet, wenn das Emissionssteuersignal
der i-ten Emissionssteuerleitung Ei zugeführt wird,
und kann in dem anderen Fall eingeschaltet werden.

[0091] Eine erste Elektrode des ersten Transistors
T1 (z. B. der Treibertransistor) ist über den fünften
Transistor T5 mit dem ersten Strom ELVDD verbun-
den und eine zweite Elektrode davon kann über den
sechsten Transistor T6 mit der Anode der OLED
„OLED“ verbunden sein. Eine Gate-Elektrode des
ersten Transistors T1 kann mit einem ersten Knoten
N1 verbunden sein. Der erste Transistor T1 kann
eine Stromstärke steuern, die als Reaktion auf eine
Spannung des ersten Knotens N1 über die OLED
„OLED“ von dem ersten Strom ELVDD zu dem zwei-
ten Strom ELVSS fließt. Zum Beispiel kann der erste
Strom ELVDD durch den ersten Transistor T1 mit der
Anode der OLED „OLED“ elektrisch verbunden sein.

[0092] Der dritte Transistor T3 kann zwischen der
zweiten Elektrode des ersten Transistors T1 und
dem ersten Knoten N1 verbunden sein. Eine Gate-
Elektrode des dritten Transistors T3 kann mit der i-
ten ersten Abtastleitung Si verbunden sein. Der dritte
Transistor T3 wird eingeschaltet, wenn das Abtast-
signal der i-ten ersten Abtastleitung Si zugeführt
wird, und kann die zweite Elektrode des ersten Tran-
sistors T1 und den ersten Knoten N1 elektrisch ver-
binden. Daher kann bei eingeschaltetem dritten
Transistor T3 der erste Transistor T1 dioden-verbun-
den sein.

[0093] Der vierte Transistor T4 kann zwischen dem
ersten Knoten N1 und dem Initialisierungsstrom Vint
verbunden sein. Eine Gate-Elektrode des vierten
Transistors T4 kann mit einer (i-1)ten ersten Abtast-
leitung Si-1 verbunden sein. Der vierte Transistor T4
wird eingeschaltet, wenn der (i-1)ten ersten Abtast-
leitung Si-1 ein Abtastsignal zugeführt wird und kann
die Spannung des Initialisierungsstroms Vint dem
ersten Knoten N1 zuführen.

[0094] Der zweite Transistor T2 kann zwischen der
j-ten Datenleitung Dj und der ersten Elektrode des
ersten Transistors T1 verbunden sein. Eine Gate-
Elektrode des zweiten Transistors T2 kann mit der i-
ten ersten Abtastleitung Si verbunden sein. Der
zweite Transistor T2 wird eingeschaltet, wenn das
Abtastsignal der i-ten ersten Abtastleitung Si zuge-
führt wird, und kann die j-te Datenleitung Dj und die
erste Elektrode des ersten Transistors T1 elektrisch
verbinden.

[0095] Der Speicherkondensator Cst kann zwischen
dem ersten Strom ELVDD und dem ersten Knoten N1
verbunden sein. Der Speicherkondensator Cst kann
das Datensignal und eine Spannung speichern, die
einer Schwellenspannung des ersten Transistors T1
entspricht.

[0096] Gemäß einem Ausführungsbeispiel der vor-
liegenden Erfindung können Erstreckungsrichtungen
der Abtastleitungen und der Emissionssteuerleitun-
gen variieren. Zum Beispiel können sich die Abtast-

leitungen und die Emissionssteuerleitungen nicht in der ersten Richtung DR1, die die Breitenrichtung ist, erstrecken, sondern die Abtastleitungen und die Emissionssteuerleitungen können sich in der zweiten Richtung DR2, die die Längsrichtung ist, erstrecken.

[0097] Fig. 4 ist eine Draufsicht, die speziell das Pixel aus Fig. 3 veranschaulicht. Fig. 5 ist eine Querschnittsansicht entlang der Leitung I-I' von Fig. 4. Fig. 6 ist eine Querschnittsansicht entlang der Leitung II-II' von Fig. 4.

[0098] In Fig. 4 bis 6 sind basierend auf einem in einer i-ten Zeile und einer j-ten Spalte in dem Pixelbereich PXA angeordneten Pixel PXL die zwei Abtastleitungen Si-1 und Si, die Emissionssteuerleitung Ei, die Stromleitung PL und die Datenleitung Dj, die mit dem Pixel PXL verbunden sind, veranschaulicht. In Fig. 4 bis 6 ist der Übersichtlichkeit halber eine Abtastleitung in einer (i-1)ten Zeile als „die (i-1)te Abtastleitung Si-1“ bezeichnet, eine Abtastleitung in der i-ten Zeile ist als „die i-te Abtastleitung Si“ bezeichnet, eine Emissionssteuerleitung in der i-ten Zeile ist als „die Emissionssteuerleitung Ei“ bezeichnet, eine Datenleitung in der j-ten Spalte ist als „die Datenleitung Dj“ bezeichnet und eine j-te Stromleitung ist als „die Stromleitung PL“ bezeichnet.

[0099] Bezugnehmend auf Fig. 2 bis 6 kann die Darstellungsvorrichtung das Substrat SUB, die Verdrahtungsleitungseinheit und die Pixel PXL beinhalten.

[0100] Das Substrat SUB beinhaltet ein transparentes Isoliermaterial und kann Licht durchlassen. Das Substrat SUB kann ein starres Substrat sein. Zum Beispiel kann das Substrat SUB ein Glassubstrat, ein Quarzsubstrat, ein Glaskeramiks substrat oder ein kristallines Glassubstrat sein.

[0101] Zusätzlich kann das Substrat SUB ein flexibles Substrat sein. Dabei kann das Substrat SUB ein Filmsubstrat oder ein Kunststoffsubstrat sein, das ein hochmolekulares organisches Material beinhaltet. Zum Beispiel kann das Substrat SUB Polystyrol, Polyvinylalkohol, Polymethylmethacrylat, Polyethersulfon, Polyacrylat, Polyetherimid, Polyethylenaphthalat, Polyethylenterephthalat, Polyphenylensulfid, Polyarylat, Polyimid, Polycarbonat, Triacetat, Cellulose und/oder Celluloseacetatpropionat beinhalten. Das Material, aus dem das Substrat SUB gebildet ist, kann variieren und kann faserverstärkten Kunststoff (FRP) beinhalten.

[0102] Die Verdrahtungsleitungseinheit stellt den Pixeln PXL Signale bereit und kann die Abtastleitungen Si-1 und Si, die Datenleitung Dj, die Emissionssteuerleitung Ei, die Stromleitung PL und eine Initialisierungsstromleitung IPL beinhalten.

[0103] Die Abtastleitungen Si-1 und Si können sich in der ersten Richtung DR1 erstrecken. Die Abtastleitungen Si-1 und Si können die (i-1)te Abtastleitung Si-1 und die i-te Abtastleitung Si beinhalten, die in der zweiten Richtung DR2 nacheinander angeordnet sind. Die Abtastleitungen Si-1 und Si können Abtastsignale empfangen. Zum Beispiel kann die (i-1)te Abtastleitung Si-1 ein (i-1)tes Abtastsignal empfangen. Auf der (i-1)ten Abtastleitung Si-1 können Pixel PXL in der i-ten Zeile durch das (i-1)te Abtastsignal initialisiert werden. Die i-te Abtastleitung Si kann ein i-tes Abtastsignal empfangen. Die i-te Abtastleitung Si ist geteilt und kann mit verschiedenen Transistoren verbunden sein.

[0104] Die Emissionssteuerleitung Ei kann sich in der ersten Richtung DR1 erstrecken. Die Emissionssteuerleitung Ei ist zwischen den geteilten i-ten Abtastleitungen Si angeordnet, um von den i-ten Abtastleitungen Si separiert zu sein. Die Emissionssteuerleitung Ei kann das Emissionssteuersignal empfangen.

[0105] Die Datenleitung Dj kann sich in der zweiten Richtung DR2 erstrecken. Die Datenleitung Dj kann ein Datensignal empfangen.

[0106] Die Stromleitung PL kann sich in der zweiten Richtung DR2 erstrecken. Die Stromleitung PL kann so angeordnet sein, dass sie von der Datenleitung Dj separiert ist. Die Stromleitung PL kann den ersten Strom empfangen (vgl. ELVDD von Fig. 2 und 3).

[0107] Die Initialisierungsstromleitung IPL kann sich in der ersten Richtung DR1 erstrecken. Die Initialisierungsstromleitung IPL kann zwischen den Pixeln PXL in der i-ten Zeile und Pixeln PXL in einer (i+1)ten Zeile angeordnet sein. Die Initialisierungsstromleitung IPL kann den Initialisierungsstrom Vint empfangen.

[0108] Jedes der Pixel PXL kann einen ersten Transistor T1, einen zweiten Transistor T2, einen dritten Transistor T3, einen vierten Transistor T4, einen fünften Transistor T5, einen sechsten Transistor T6, einen siebten Transistor T7, einen Speicherkondensator Cst und eine OLED „OLED“ beinhalten.

[0109] Der erste Transistor T1 kann eine erste Gate-Elektrode GE1, ein erstes aktives Muster ACT1, eine erste Source-Elektrode SE1, eine erste Drain-Elektrode DE1 und eine Verbindungsleitung CNL beinhalten.

[0110] Die erste Gate-Elektrode GE1 kann mit einer dritten Drain-Elektrode DE3 des dritten Transistors T3 und einer vierten Drain-Elektrode DE4 des vierten Transistors T4 verbunden sein. Die Verbindungsleitung CNL kann die erste Gate-Elektrode GE1, die dritte Drain-Elektrode DE3 und die vierte Drain-Elektrode

rode DE4 verbinden. Ein Ende der Verbindungsleitung CNL ist durch ein erstes Kontaktloch CH1 mit der ersten Gate-Elektrode GE1 verbunden und das andere Ende der Verbindungsleitung CNL kann durch ein zweites Kontaktloch CH2 mit der dritten Drain-Elektrode DE3 und der vierten Drain-Elektrode DE4 verbunden sein.

[0111] Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung können das erste aktive Muster ACT1, die erste Source-Elektrode SE1 und die erste Drain-Elektrode DE1 jeweils aus Halbleiterschichten gebildet sein, die nicht mit Verunreinigungen dotiert sind oder die mit Verunreinigungen dotiert sind. Zum Beispiel sind die erste Source-Elektrode SE1 und die erste Drain-Elektrode DE1 aus einer mit Verunreinigungen dotierten Halbleiterschicht gebildet und das erste aktive Muster ACT1 kann aus einer nicht mit Verunreinigungen dotierten Halbleiterschicht gebildet sein.

[0112] Das erste aktive Muster ACT1 kann stabförmig sein, kann sich in einer vorbestimmten Richtung erstrecken und kann eine Vielzahl von Malen in einer Längsrichtung, in der sich das erste aktive Muster ACT1 erstreckt, gebogen sein. Das erste aktive Muster ACT1 kann, von einer Ebene aus gesehen, die erste Gate-Elektrode GE1 überlappen. Da sich das erste aktive Muster ACT1 längs erstreckt, kann sich ebenfalls ein Kanalbereich des ersten Transistors T1 längs erstrecken. Daher kann sich ein Betriebsbereich einer dem ersten Transistor T1 zugeführten Gate-Spannung vergrößern. Daher kann die Graustufe des von der OLED „OLED“ emittierten Lichts minuziös gesteuert werden.

[0113] Die erste Source-Elektrode SE1 kann mit einem Ende des ersten aktiven Musters ACT1 verbunden sein. Die erste Source-Elektrode SE1 kann mit einer zweiten Drain-Elektrode DE2 des zweiten Transistors T2 und einer fünften Drain-Elektrode DE5 des fünften Transistors T5 verbunden sein. Die erste Drain-Elektrode DE1 kann mit dem anderen Ende des ersten aktiven Musters ACT1 verbunden sein. Die erste Drain-Elektrode DE1 kann mit einer dritten Source-Elektrode SE3 des dritten Transistors T3 und einer sechsten Source-Elektrode SE6 des sechsten Transistors T6 verbunden sein.

[0114] Der zweite Transistor T2 kann eine zweite Gate-Elektrode GE2, ein zweites aktives Muster ACT2, eine zweite Source-Elektrode SE2 und eine zweite Drain-Elektrode DE2 beinhalten.

[0115] Die zweite Gate-Elektrode GE2 kann mit der i-ten Abtastleitung Si verbunden sein. Die zweite Gate-Elektrode GE2 ist als ein Teil der i-ten Abtastleitung Si angeordnet oder kann so angeordnet sein, dass sie aus der i-ten Abtastleitung Si herausragt. Gemäß einem Ausführungsbeispiel der vorliegenden

Erfindung können das zweite aktive Muster ACT2, die zweite Source-Elektrode SE2 und die zweite Drain-Elektrode DE2 jeweils aus Halbleiterschichten gebildet sein, die nicht mit Verunreinigungen dotiert sind oder die mit Verunreinigungen dotiert sind. Zum Beispiel sind die zweite Source-Elektrode SE2 und die zweite Drain-Elektrode DE2 aus einer mit Verunreinigungen dotierten Halbleiterschicht gebildet und das zweite aktive Muster ACT2 kann aus einer nicht mit Verunreinigungen dotierten Halbleiterschicht gebildet sein. Das zweite aktive Muster ACT2 kann die zweite Gate-Elektrode GE2 überlappen. Ein Ende der zweiten Source-Elektrode SE2 kann mit dem zweiten aktiven Muster ACT2 verbunden sein. Das andere Ende der zweiten Source-Elektrode SE2 kann durch ein sechstes Kontaktloch CH6 mit der Datenleitung Dj verbunden sein. Ein Ende der zweiten Drain-Elektrode DE2 kann mit dem zweiten aktiven Muster ACT2 verbunden sein. Das andere Ende der zweiten Drain-Elektrode DE2 kann mit einer ersten Source-Elektrode SE1 des ersten Transistors T1 und der fünften Drain-Elektrode DE5 des fünften Transistors T5 verbunden sein.

[0116] Der dritte Transistor T3 kann eine Doppelgate-Konstruktion haben, die Leckstrom verhindert. Zum Beispiel kann der dritte Transistor T3 einen 3a-ten Transistor T3a und einen 3b-ten Transistor T3b beinhalten. Der 3a-te Transistor T3a kann eine 3a-te Gate-Elektrode GE3a, ein 3a-tes aktives Muster ACT3a, eine 3a-te Source-Elektrode SE3a und eine 3a-te Drain-Elektrode DE3a beinhalten. Der 3b-te Transistor T3b kann eine 3b-te Gate-Elektrode GE3b, ein 3b-tes aktives Muster ACT3b, eine 3b-te Source-Elektrode SE3b und eine 3b-te Drain-Elektrode DE3b beinhalten. Nachfolgend sind die 3a-te Gate-Elektrode GE3a und die 3b-te Gate-Elektrode GE3b als dritte Gate-Elektrode GE3 bezeichnet, das 3a-te aktive Muster ACT3a und das 3b-te aktive Muster ACT3b sind als drittes aktives Muster ACT3 bezeichnet, die 3a-te Source-Elektrode SE3a und die 3b-te Source-Elektrode SE3b sind als dritte Source-Elektrode SE3 bezeichnet und die 3a-te Drain-Elektrode DE3a und die 3b-te Drain-Elektrode DE3b sind als dritte Drain-Elektrode DE3 bezeichnet.

[0117] Die dritte Gate-Elektrode GE3 kann mit der i-ten Abtastleitung Si verbunden sein. Die dritte Gate-Elektrode GE3 ist als ein Teil der i-ten Abtastleitung Si angeordnet oder kann so angeordnet sein, dass sie aus der i-ten Abtastleitung Si herausragt. Zum Beispiel ist die 3a-te Gate-Elektrode GE3a so angeordnet, dass sie aus der i-ten Abtastleitung Si herausragt, und die 3b-te Gate-Elektrode GE3b kann als ein Teil der i-ten Abtastleitung Si angeordnet sein.

[0118] Das dritte aktive Muster ACT3, die dritte Source-Elektrode SE3 und die dritte Drain-Elektrode DE3 können jeweils aus Halbleiterschichten gebildet

sein, die nicht mit Verunreinigungen dotiert oder die mit Verunreinigungen dotiert sind. Zum Beispiel sind die dritte Source-Elektrode SE3 und die dritte Drain-Elektrode DE3 aus einer mit Verunreinigungen dotierten Halbleiterschicht gebildet und das dritte aktive Muster ACT3 kann aus einer nicht mit Verunreinigungen dotierten Halbleiterschicht gebildet sein. Das dritte aktive Muster ACT3 kann die dritte Gate-Elektrode GE3 überlappen. Ein Ende der dritten Source-Elektrode SE3 kann mit dem dritten aktiven Muster ACT3 verbunden sein. Das andere Ende der dritten Source-Elektrode SE3 kann mit der ersten Drain-Elektrode DE1 des ersten Transistors T1 und einer sechsten Source-Elektrode SE6 des sechsten Transistors T6 verbunden sein. Ein Ende der dritten Drain-Elektrode DE3 kann mit dem zweiten dritten aktiven Muster ACT3 verbunden sein. Das andere Ende der dritten Drain-Elektrode DE3 kann mit der vierten Drain-Elektrode DE4 des vierten Transistors T4 verbunden sein. Zusätzlich kann die dritte Drain-Elektrode DE3 durch die Verbindungsleitung CNL, das zweite Kontaktloch CH2 und das erste Kontaktloch CH1 mit der ersten Gate-Elektrode GE1 des ersten Transistors T1 verbunden sein.

[0119] Der vierte Transistor T4 kann eine Doppelgate-Konstruktion haben, die Leckstrom verhindert. Zum Beispiel kann der vierte Transistor T4 einen 4a-ten Transistor T4a und einen 4b-ten Transistor T4b beinhalten. Der 4a-te Transistor T4a kann eine 4a-te Gate-Elektrode GE4a, ein 4a-tes aktives Muster ACT4a, eine 4a-te Source-Elektrode SE4a und eine 4a-te Drain-Elektrode DE4a beinhalten. Der 4b-te Transistor T4b kann eine 4b-te Gate-Elektrode GE4b, ein 4b-tes aktives Muster ACT4b, eine 4b-te Source-Elektrode SE4b und eine 4b-te Drain-Elektrode DE4b beinhalten. Nachfolgend sind die 4a-te Gate-Elektrode GE4a und die 4b-te Gate-Elektrode GE4b als vierte Gate-Elektrode GE4 bezeichnet. Das 4a-te aktive Muster ACT4a und das 4b-te aktive Muster ACT4b sind als viertes aktives Muster ACT4 bezeichnet. Die 4a-te Source-Elektrode SE4a und die 4b-te Source-Elektrode SE4b sind als vierte Source-Elektrode SE4 bezeichnet. Die 4a-te Drain-Elektrode DE4a und die 4b-te Drain-Elektrode DE4b sind als vierte Drain-Elektrode DE4 bezeichnet.

[0120] Die vierte Gate-Elektrode GE4 kann mit der (i-1). Abtastleitung Si-1 verbunden sein. Die vierte Gate-Elektrode GE4 ist als ein Teil der (i-1)ten Abtastleitung Si-1 angeordnet oder kann so angeordnet sein, dass sie aus der (i-1)ten Abtastleitung Si-1 herausragt. Zum Beispiel kann die 4a-te Gate-Elektrode GE4a als ein Teil der (i-1)ten Abtastleitung Si-1 angeordnet sein und die 4b-te Gate-Elektrode GE4b kann so angeordnet sein, dass sie aus der (i-1)ten Abtastleitung Si-1 herausragt.

[0121] Das vierte aktive Muster ACT4, die vierte Source-Elektrode SE4 und die vierte Drain-Elektrode DE4 können jeweils aus Halbleiterschichten gebildet sein, die nicht mit Verunreinigungen dotiert sind oder die mit Verunreinigungen dotiert sind. Zum Beispiel sind die vierte Source-Elektrode SE4 und die vierte Drain-Elektrode DE4 aus einer mit Verunreinigungen dotierten Halbleiterschicht gebildet und das vierte aktive Muster ACT4 kann aus einer nicht mit Verunreinigungen dotierten Halbleiterschicht gebildet sein. Das vierte aktive Muster ACT4 kann die vierte Gate-Elektrode GE4 überlappen.

[0122] Ein Ende der vierten Source-Elektrode SE4 kann mit dem vierten aktiven Muster ACT4 verbunden sein. Das andere Ende der vierten Source-Elektrode SE4 kann mit der Initialisierungsstromleitung IPL des Pixels PXL in der (i-1)ten Zeile und einer siebten Drain-Elektrode DE7 des siebten Transistors T7 des Pixels PXL in der (i-1)ten Zeile verbunden sein. Es kann eine Hilfsverbindungsleitung AUX zwischen der vierten Source-Elektrode SE4 und der Initialisierungsstromleitung IPL angeordnet sein. Ein Ende der Hilfsverbindungsleitung AUX kann durch ein neuntes Kontaktloch CH9 mit der vierten Source-Elektrode SE4 verbunden sein. Das andere Ende der Hilfsverbindungsleitung AUX kann durch ein achttes Kontaktloch CH8 des Pixels PXL in der (i-1)ten Zeile mit der Initialisierungsstromleitung IPL in der (i-1)ten Zeile verbunden sein. Ein Ende der vierten Drain-Elektrode DE4 kann mit dem vierten aktiven Muster ACT4 verbunden sein. Das andere Ende der vierten Drain-Elektrode DE4 kann mit der dritten Drain-Elektrode DE3 des dritten Transistors T3 verbunden sein. Zusätzlich kann die vierte Drain-Elektrode DE4 durch die Verbindungsleitung CNL, das zweite Kontaktloch CH2 und das erste Kontaktloch CH1 mit der ersten Gate-Elektrode GE1 des ersten Transistors T1 verbunden sein.

[0123] Der fünfte Transistor T5 kann eine fünfte Gate-Elektrode GE5, ein fünftes aktives Muster ACT5, eine fünfte Source-Elektrode SE5 und eine fünfte Drain-Elektrode DE5 beinhalten.

[0124] Die fünfte Gate-Elektrode GE5 kann mit der Emissionssteuerleitung Ei verbunden sein. Die fünfte Gate-Elektrode GE5 ist als ein Teil der i-ten Emissionssteuerleitung Ei angeordnet oder kann so angeordnet sein, dass sie aus der i-ten Emissionssteuerleitung Ei herausragt. Das fünfte aktive Muster ACT5, die fünfte Source-Elektrode SE5 und die fünfte Drain-Elektrode DE5 können jeweils aus Halbleiterschichten gebildet sein, die nicht mit Verunreinigungen dotiert sind oder die mit Verunreinigungen dotiert sind. Zum Beispiel sind die fünfte Source-Elektrode SE5 und die fünfte Drain-Elektrode DE5 aus einer mit Verunreinigungen dotierten Halbleiterschicht gebildet und das fünfte aktive Muster ACT5 kann aus einer nicht mit Verunreinigungen dotierten Halbleiter-

schicht gebildet sein. Das fünfte aktive Muster ACT5 kann die fünfte Gate-Elektrode GE5 überlappen. Ein Ende der fünften Source-Elektrode SE5 kann mit dem fünften aktiven Muster ACT5 verbunden sein. Das andere Ende der fünften Source-Elektrode SE5 kann durch ein fünftes Kontaktloch CH5 mit der Stromleitung PL verbunden sein. Ein Ende der fünften Drain-Elektrode DE5 kann mit dem fünften aktiven Muster ACT5 verbunden sein.

[0125] Das andere Ende der fünften Drain-Elektrode DE5 kann mit einer ersten Source-Elektrode SE1 des ersten Transistors T1 und der zweiten Drain-Elektrode DE2 des zweiten Transistors T2 verbunden sein.

[0126] Der sechste Transistor T6 kann eine sechste Gate-Elektrode GE6, ein sechstes aktives Muster ACT6, eine sechste Source-Elektrode SE6 und eine sechste Drain-Elektrode DE6 beinhalten.

[0127] Die sechste Gate-Elektrode GE6 kann mit der Emissionssteuerleitung Ei verbunden sein. Die sechste Gate-Elektrode GE6 ist als ein Teil der i-ten Emissionssteuerleitung Ei angeordnet oder kann so angeordnet sein, dass sie aus der i-ten Emissionssteuerleitung Ei herausragt. Das sechste aktive Muster ACT6, die sechste Source-Elektrode SE6 und die sechste Drain-Elektrode DE6 können jeweils aus Halbleiterschichten gebildet sein, die nicht mit Verunreinigungen dotiert sind oder die mit Verunreinigungen dotiert sind. Zum Beispiel sind die sechste Source-Elektrode SE6 und die sechste Drain-Elektrode DE6 aus einer mit Verunreinigungen dotierten Halbleiterschicht gebildet und das sechste aktive Muster ACT6 kann aus einer nicht mit Verunreinigungen dotierten Halbleiterschicht gebildet sein. Das sechste aktive Muster ACT6 kann die sechste Gate-Elektrode GE6 überlappen. Ein Ende der sechsten Source-Elektrode SE6 kann mit dem sechsten aktiven Muster ACT6 verbunden sein. Das andere Ende der sechsten Source-Elektrode SE6 kann mit der ersten Drain-Elektrode DE1 des ersten Transistors T1 und der dritten Source-Elektrode SE3 des dritten Transistors T3 verbunden sein. Ein Ende der sechsten Drain-Elektrode DE6 kann mit dem sechsten aktiven Muster ACT6 verbunden sein. Das andere Ende der sechsten Drain-Elektrode DE6 kann mit einer siebten Source-Elektrode SE7 des siebten Transistors T7 verbunden sein.

[0128] Der siebte Transistor T7 kann eine siebte Gate-Elektrode GE7, ein siebtes aktives Muster ACT7, eine siebte Source-Elektrode SE7 und eine siebte Drain-Elektrode DE7 beinhalten.

[0129] Die siebte Gate-Elektrode GE7 kann mit der i-ten Abtastleitung Si verbunden sein. Die siebte Gate-Elektrode GE7 ist als ein Teil der i-ten Abtastleitung Si angeordnet oder kann so angeordnet sein,

dass sie aus der i-ten Abtastleitung Si herausragt. Das siebte aktive Muster ACT7, die siebte Source-Elektrode SE7 und die siebte Drain-Elektrode DE7 können jeweils aus Halbleiterschichten gebildet sein, die nicht mit Verunreinigungen dotiert sind oder die mit Verunreinigungen dotiert sind. Zum Beispiel sind die siebte Source-Elektrode SE7 und die siebte Drain-Elektrode DE7 aus einer mit Verunreinigungen dotierten Halbleiterschicht gebildet und das siebte aktive Muster ACT7 kann aus einer nicht mit Verunreinigungen dotierten Halbleiterschicht gebildet sein. Das siebte aktive Muster ACT7 kann die siebte Gate-Elektrode GE7 überlappen. Ein Ende der siebten Source-Elektrode SE7 kann mit dem siebten aktiven Muster ACT7 verbunden sein. Das andere Ende der siebten Source-Elektrode SE7 kann mit einer sechsten Drain-Elektrode DE6 des sechsten Transistors T6 verbunden sein. Ein Ende der siebten Drain-Elektrode DE7 kann mit dem siebten aktiven Muster ACT7 verbunden sein. Das andere Ende der siebten Drain-Elektrode DE7 kann mit der Initialisierungsstromleitung IPL verbunden sein. Zusätzlich kann die siebte Drain-Elektrode DE7 mit der vierten Source-Elektrode SE4 des vierten Transistors T4 des Pixels PXL in der (i+1)ten Zeile verbunden sein. Die siebte Drain-Elektrode DE7 und die vierte Source-Elektrode SE4 des vierten Transistors T4 des Pixels PXL in der (i+1)ten Zeile können durch die Hilfsleitung AUX, das achte Kontaktloch CH8 und das neunte Kontaktloch CH9 verbunden sein.

[0130] Der Speicherkondensator Cst kann eine untere Elektrode LE und eine obere Elektrode UE beinhalten. Die untere Elektrode LE kann aus der ersten Gate-Elektrode GE1 des ersten Transistors T1 gebildet sein.

[0131] Die obere Elektrode UE überlappt die erste Gate-Elektrode GE1 und kann die untere Elektrode LE, wie von einer Ebene aus gesehen, überdecken. Die Kapazität des Speicherkondensators Cst kann durch Vergrößern einer Überlappungsfläche zwischen der oberen Elektrode UE und der unteren Elektrode LE erhöht werden. Die obere Elektrode UE kann sich in der ersten Richtung DR1 erstrecken. Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung kann der oberen Elektrode UE eine Spannung in derselben Höhe wie des ersten Stroms ELVDD zugeführt werden. Die obere Elektrode UE kann in einem Bereich, in dem sich die erste Gate-Elektrode GE1 und die Verbindungsleitung CNL berühren und in dem das erste Kontaktloch CH1 gebildet ist, eine Öffnung OPN haben.

[0132] Die OLED „OLED“ kann eine erste Elektrode AD, eine zweite Elektrode CD und eine Emissionschicht EML beinhalten, die zwischen der ersten Elektrode AD und der zweiten Elektrode CD angeordnet ist.

[0133] Die erste Elektrode AD kann in einem jedem Pixel PXL entsprechenden Emissionsbereich angeordnet sein. Die erste Elektrode AD kann zwischen der siebten Source-Elektrode SE7 des siebten Transistors T7 und der sechsten Drain-Elektrode DE6 des sechsten Transistors T6 durch das siebte Kontaktloch CH7, ein zehntes Kontaktloch CH10 und ein 12. Kontaktloch CH12 verbunden sein. Zwischen dem siebten Kontaktloch CH7 und dem zehnten Kontaktloch CH10 ist ein erstes Brückenmuster BRP1 angeordnet und zwischen dem zehnten Kontaktloch CH10 und dem 12. Kontaktloch CH12 kann ein zweites Brückenmuster BRP2 angeordnet sein.

[0134] Die erste Elektrode AD ist elektrisch mit der Stromleitung PL verbunden und kann die erste Leistung empfangen (vgl. ELVDD von Fig. 2 und 3). Die zweite Elektrode CD kann mit dem zweiten Strom verbunden sein (vgl. ELVSS von Fig. 2 und 3).

[0135] Das erste Brückenmuster BRP1 und das zweite Brückenmuster BRP2 können die sechste Drain-Elektrode DE6, die siebte Source-Elektrode SE7 und die erste Elektrode AD verbinden.

[0136] Nachfolgend wird beziehungsweise auf Fig. 4 bis 6 eine Konstruktion der Darstellungsvorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung in einer Reihenfolge beschrieben, in der Elemente laminiert sind.

[0137] Die aktiven Muster ACT1 bis ACT7 (nachfolgenden als ACT bezeichnet) können auf dem Substrat SUB angeordnet sein. Die aktiven Muster ACT können die ersten bis siebten aktiven Muster ACT1 bis ACT7 beinhalten. Die ersten bis siebten aktiven Muster ACT1 bis ACT7 können ein Halbleitermaterial beinhalten.

[0138] Eine Pufferschicht kann zwischen dem Substrat SUB und dem ersten bis siebten aktiven Muster ACT1 bis ACT7 angeordnet sein.

[0139] Eine Gate-Isolierschicht G1 kann auf dem Substrat SUB angeordnet sein, auf dem die aktiven Muster ACT gebildet sind.

[0140] Die (i-1)te Abtastleitung Si-1, die i-te Abtastleitung Si, die Emissionssteuerleitung Ei und die erste bis siebte Gate-Elektrode GE1 bis GE7 können auf der Gate-Isolierschicht G1 angeordnet sein. Die erste Gate-Elektrode GE1 kann die untere Elektrode LE des Speicherkondensators Cst sein. Die zweite Gate-Elektrode GE2 und die dritte Gate-Elektrode GE3 können in die i-te Abtastleitung Si integriert sein. Die vierte Gate-Elektrode GE4 kann in die (i-1)te Abtastleitung Si-1 integriert sein. Die fünfte Gate-Elektrode GE5 und die sechste Gate-Elektrode GE6 können in die i-te Emissionssteuerleitung Ei integriert

sein. Die siebte Gate-Elektrode GE7 kann in die i-te Abtastleitung Si integriert sein.

[0141] Eine erste Zwischenisolierschicht IL1 kann auf dem Substrat SUB angeordnet sein, auf dem die (i-1)te Abtastleitung Si-1 gebildet ist.

[0142] Die obere Elektrode UE des Speicherkondensators Cst und die Initialisierungsstromleitung IPL können auf der ersten Zwischenisolierschicht IL1 angeordnet sein. Die obere Elektrode UE kann die untere Elektrode LE überdecken. Die obere Elektrode UE kann zusammen mit der unteren Elektrode LE den Speicherkondensator Cst bilden, wobei die erste Zwischenisolierschicht IL1 zwischen der oberen Elektrode UE und der unteren Elektrode LE positioniert ist.

[0143] Eine zweite Zwischenisolierschicht IL2 kann auf dem Substrat SUB angeordnet sein, auf dem die obere Elektrode UE und die Initialisierungsstromleitung IPL angeordnet sind.

[0144] Die Datenleitung Dj, die Verbindungsleitung CNL, die Hilfsverbindungsleitung AUX, das erste Brückenmuster BRP1 und die erste leitfähige Schicht PL1 der Stromleitung PL können auf der zweiten Zwischenschicht IL2 angeordnet sein.

[0145] Die Datenleitung Dj kann durch das sechste Kontaktloch CH6, das durch die erste Zwischenisolierschicht IL1, die zweite Zwischenschicht IL2 und die Gate-Isolierschicht G1 passiert, mit der zweiten Source-Elektrode SE2 verbunden sein.

[0146] Die Verbindungsleitung CNL kann durch das erste Kontaktloch CH1, das durch die erste Zwischenisolierschicht IL1 und die zweite Zwischenisolierschicht IL2 passiert, mit der ersten Gate-Elektrode GE1 verbunden sein. Zusätzlich kann die Verbindungsleitung CNL durch das zweite Kontaktloch CH2, das durch die Gate-Isolierschicht G1, die erste Zwischenschicht IL1 und die zweite Zwischenisolierschicht IL2 passiert, mit der dritten Drain-Elektrode DE3 und der vierten Drain-Elektrode DE4 verbunden sein.

[0147] Die Hilfsverbindungsleitung AUX kann durch das achte Kontaktloch CH8, das durch die zweite Zwischenisolierschicht IL2 passiert, mit der Initialisierungsstromleitung IPL verbunden sein. Zusätzlich kann die Hilfsverbindungsleitung AUX durch das neunte Kontaktloch CH9, das durch die Gate-Isolierschicht G1, die erste Zwischenisolierschicht IL1 und die zweite Zwischenisolierschicht IL2 passiert, mit der vierten Source-Elektrode SE4 und der siebten Drain-Elektrode DE7 des Pixels PXL in der (i-1)ten Zeile verbunden sein.

[0148] Das erste Brückenmuster BRP1 kann als ein Medium zum Verbinden der sechsten Drain-Elektrode DE6 und der ersten Elektrode AD zwischen der sechsten Drain-Elektrode DE6 und der ersten Elektrode AD angeordnet sein. Das erste Brückenmuster BRP1 kann durch das siebte Kontaktloch CH7, das durch die Gate-Isolierschicht GI, die erste Zwischenisolierschicht IL1 und die zweite Zwischenisolierschicht IL2 passiert, mit der sechsten Drain-Elektrode DE6 und der ersten Source-Elektrode SE1 verbunden sein.

[0149] Die erste leitfähige Schicht PL1 kann durch das dritte Kontaktloch CH3 und das vierte Kontaktloch CH4, die durch die zweite Zwischenisolierschicht IL2 passieren, mit der oberen Elektrode UE des Speicherkondensators Cst verbunden sein. Die erste leitfähige Schicht PL1 kann durch das fünfte Kontaktloch CH5, das durch die erste Zwischenisolierschicht IL1, die zweite Zwischenisolierschicht IL2 und die Gate-Isolierschicht GI passiert, mit der fünften Source-Elektrode SE5 verbunden sein.

[0150] Eine dritte Zwischenisolierschicht IL3 kann auf dem Substrat SUB angeordnet sein, auf dem die j-te Abtastleitung Dj gebildet ist.

[0151] Eine zweite leitfähige Schicht PL2 der Stromleitung PL und das zweite Brückenmuster BRP2 können auf der dritten Isolierschicht IL3 angeordnet sein. Das zweite Brückenmuster BRP2 kann durch das zehnte Kontaktloch CH10 mit dem ersten Brückenmuster BRP1 verbunden sein.

[0152] Die zweite leitfähige Schicht PL2 überlappt die erste leitfähige Schicht PL1 und kann durch ein 11. Kontaktloch CH11, das durch die dritte Isolierschicht IL3 passiert, mit der ersten leitfähigen Schicht PL1 verbunden sein. Dadurch, dass die Stromleitung PL die erste leitfähige Schicht PL1 und die zweite leitfähige Schicht PL2 beinhaltet und die erste leitfähige Schicht PL1 und die zweite leitfähige Schicht PL2 elektrisch verbunden sind, ist es möglich, einen Spannungsabfall eines durch die Stromleitung PL zugeführten Stroms, zum Beispiel des ersten Stroms ELVDD, zu verhindern.

[0153] Eine Schutzschicht PSV kann auf der dritten Isolierschicht IL3, auf der die zweite leitfähige Schicht PL2 und das zweite Brückenmuster BRP2 angeordnet sind, angeordnet sein.

[0154] Die OLED „OLED“ kann auf der Schutzschicht PSV angeordnet sein. Die OLED „OLED“ kann die erste Elektrode AD, die zweite Elektrode CD und die Emissionsschicht EML beinhalten, die zwischen der ersten Elektrode AD und der zweiten Elektrode CD angeordnet ist.

[0155] Die erste Elektrode AD kann auf der Schutzschicht PSV angeordnet sein. Die erste Elektrode AD kann durch das 12. Kontaktloch CH12, das die Schutzschicht PSV passiert, mit dem zweiten Brückenmuster BRP2 verbunden sein. Daher kann die erste Elektrode AD mit dem ersten Brückenmuster BRP1 elektrisch verbunden sein. Da das erste Brückenmuster BRP1 durch das siebte Kontaktloch CH7 mit der sechsten Drain-Elektrode DE6 und der siebten Source-Elektrode SE7 verbunden ist, kann die erste Elektrode AD mit der sechsten Drain-Elektrode DE6 und der siebten Source-Elektrode SE7 elektrisch verbunden sein.

[0156] Eine Pixel definierende Schicht PDL, die einen Emissionsbereich so unterteilt, dass er den jeweiligen Pixeln PXL entspricht, kann auf dem Substrat SUB angeordnet sein, auf dem die erste Elektrode AD gebildet ist. Die Pixel definierende Schicht PDL kann entlang eines Umfangs des Pixels PXL aus dem Substrat SUB herausragen, während sie eine obere Oberfläche der ersten Elektrode AD freilegt.

[0157] Die Emissionsschicht EML ist in dem von der pixeldefinierenden Schicht PDL umgebenen Emissionsbereich angeordnet und die zweite Elektrode CD kann auf der Emissionsschicht EML angeordnet sein. Eine Kapselungsschicht SLM kann auf der zweiten Elektrode CD angeordnet sein, die die zweite Elektrode CD bedeckt.

[0158] Eine der ersten Elektrode AD und der zweiten Elektrode CD kann eine Anodenelektrode sein und die andere kann eine Kathodenelektrode sein. Zum Beispiel kann die erste Elektrode AD eine Anodenelektrode sein und die zweite Elektrode CD kann eine Kathodenelektrode sein.

[0159] Zusätzlich kann mindestens eine der ersten Elektrode AD und der zweiten Elektrode CD eine transmittierende Elektrode sein. Wenn zum Beispiel die OLED „OLED“ eine OLED von dem Typ einer rückseitigen Emission ist, ist die erste Elektrode AD eine transmittierende Elektrode und die zweite Elektrode CD kann eine reflektierende Elektrode sein. Wenn zum Beispiel die OLED „OLED“ eine OLED von dem Typ einer vorderseitigen Emission ist, ist die erste Elektrode AD eine reflektierende Elektrode und die zweite Elektrode CD kann eine transmittierende Elektrode sein. Wenn zum Beispiel die OLED „OLED“ eine OLED von dem Typ einer doppelseitigen Emission ist, können sowohl die erste Elektrode AD als auch die zweite Elektrode CD transmittierende Elektroden sein. Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung ist veranschaulicht, dass die OLED „OLED“ eine OLED von dem Typ einer vorderseitigen Emission ist und die erste Elektrode AD eine Anodenelektrode ist.

[0160] Die erste Elektrode AD kann eine reflektierende Schicht zum Reflektieren von Licht und eine transparente leitfähige Schicht beinhalten, die auf oder unter der reflektierenden Schicht angeordnet ist. Mindestens eine der transparenten leitfähigen Schicht und der reflektierenden Schicht kann mit der siebten Source-Elektrode SE7 verbunden sein.

[0161] Die reflektierende Schicht kann ein Material beinhalten, das fähig ist, Licht zu reflektieren, zum Beispiel kann die reflektierende Schicht eines oder mehrere von Aluminium (Al), Silber (Ag), Chrom (Cr), Molybdän (Mo), Platin (Pt), Nickel (Ni) und/oder eine Legierung von Al, Ag, Cr, Mo, Pt und Ni beinhalten.

[0162] Die transparente leitfähige Schicht kann ein transparentes leitfähiges Oxid beinhalten. Zum Beispiel kann die transparente leitfähige Schicht mindestens ein transparentes leitfähiges Oxid wie ein Indium-Zinn-Oxid (ITO), ein Indium-Zink-Oxid (IZO), ein Aluminium-Zink-Oxid (AZO), ein Gallium-dotiertes Zink-Oxid (GZO), ein Zink-Zinn-Oxid (ZTO), ein Gallium-Zinn-Oxid (GTO) und/oder ein Fluor-dotiertes Zinn-Oxid (FTO) beinhalten.

[0163] Die Pixel definierende Schicht PDL kann ein organisches Isoliermaterial beinhalten. Zum Beispiel kann die pixeldefinierende Schicht PDL Polystyrol, Polymethylmethacrylat (PMMA), Polyacrylnitril (PAN), Polyamid (PA), Polyimid (PI), Polyarylether (PAE), heterocyclisches Polymer, Parylen, Epoxy, Benzocyclobuten (BCB), siloxanbasiertes Harz und/oder silanbasiertes Harz beinhalten.

[0164] Die Emissionsschicht EML kann auf einer freigelegten Oberfläche der ersten Elektrode AD angeordnet sein. Die Emissionsschicht EML kann eine mehrschichtige Dünnschichtkonstruktion haben, die mindestens eine Lichterzeugungsschicht LGL beinhaltet. Zum Beispiel kann die Emissionsschicht EML eine Lochinjektionsschicht HIL, eine Lochtransportschicht HTL, eine Lichterzeugungsschicht, eine Lochblockierungsschicht HBL, eine Elektronentransportschicht ETL und/oder eine Elektroneninjectionsschicht EIL beinhalten. Die HIL injiziert Löcher. Die Lochtransportschicht HTL weist eine hohe Transportfähigkeit von Löchern auf, um zu verhindern, dass sich Elektronen, die nicht in der Emissionsschicht kombiniert sind, bewegen, und die Rekombinationswahrscheinlichkeit von Löchern und Elektronen zu erhöhen. Die Lichterzeugungsschicht emittiert Licht durch eine Rekombination von injizierten Elektronen und Löchern. Die Lochblockierungsschicht HBL verhindert, dass sich Löcher, die nicht in der Lichterzeugungsschicht kombiniert sind, bewegen. Die Elektronentransportschicht ETL transportiert Elektronen reibungslos zu der Lichterzeugungsschicht. Die Elektroneninjectionsschicht EIL injiziert Elektronen. Zusätzlich können in der Emissionsschicht EML die

Lochinjektionsschicht HIL, die Lochtransportschicht HTL, die Lochblockierungsschicht HBL, die Elektronentransportschicht ETL und die Elektroneninjectionsschicht EIL gemeinsame Schichten sein, die gemeinsam in benachbarten Pixeln PXL angeordnet sind.

[0165] Eine von der Emissionsschicht erzeugte Lichtfarbe kann eines von Rot, Grün, Blau und Weiß sein. Die vorliegende Erfindung ist jedoch nicht darauf beschränkt. Zum Beispiel kann eine von der Emissionsschicht erzeugte Lichtfarbe eines von Magenta, Cyan und Gelb sein.

[0166] Die zweite Elektrode CD kann eine semitransmissive reflektierende Schicht sein. Zum Beispiel kann die zweite Elektrode CD eine dünne Metallschicht sein, die eine Dicke hat, die fähig ist, von der Emissionsschicht EML emittiertes Licht zu übertragen. Die zweite Elektrode CD transmittiert einen Teil des von der Emissionsschicht EML erzeugten Lichts und kann das von der Emissionsschicht EML erzeugte restliche Licht reflektieren.

[0167] Die zweite Elektrode CD kann ein Material mit einer geringeren Arbeitsfunktion als die transparente leitfähige Schicht beinhalten. Zum Beispiel kann die zweite Elektrode CD Mo, Wolfram (W), Ag, Magnesium (Mg), Al, Pt, Palladium (Pd), Gold (Au), Ni, Neodym (Nd), Iridium (Ir), Cr, Lithium (Li), Calcium (Ca) und eine Legierung aus Mo, W, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li und/oder Ca beinhalten.

[0168] Ein Teil des von der Emissionsschicht EML emittierten Lichts transmittiert nicht die zweite Elektrode CD und das von der zweiten Elektrode CD reflektierte Licht kann von der reflektierenden Schicht wieder reflektiert werden. Zum Beispiel kann das von der Emissionsschicht EML emittierte Licht zwischen der reflektierenden Schicht und der zweiten Elektrode CD resonieren Aufgrund der Resonanz des Lichts kann sich die Lichtextraktionseffizienz der OLED „OLED“ erhöhen.

[0169] Eine Entfernung zwischen der reflektierenden Schicht und der zweiten Elektrode CD kann gemäß einer Farbe des von der Emissionsschicht EML emittierten Lichts variieren. Zum Beispiel kann die Entfernung zwischen der reflektierenden Schicht und der zweiten Elektrode CD gemäß der Farbe des von der Emissionsschicht EML emittierten Lichts so gesteuert werden, dass sie für eine Resonanzentfernung geeignet ist.

[0170] Eine Verkapselungsschicht SLM kann verhindern, dass äußere Feuchtigkeit und Sauerstoff in die OLED „OLED“ eindringen. Die Verkapselungsschicht SLM kann eine Vielzahl von anorganischen Schichten und eine Vielzahl von organischen Schichten

ten beinhalten. Zum Beispiel kann die Verkapselungsschicht SLM eine Vielzahl von Einheitsverkapselungsschichten beinhalten, die jeweils eine anorganische Schicht und eine auf der anorganischen Schicht angeordnete organische Schicht beinhalten. Zusätzlich kann die anorganische Schicht in dem obersten Teil der Verkapselungsschicht SLM angeordnet sein. Die anorganische Schicht kann ein Siliziumoxid, ein Siliziumnitrid, ein Siliziumoxynitrid, ein Aluminiumoxid, ein Titanoxid, ein Zirkoniumoxid und/oder ein Zinnoxid beinhalten.

[0171] Fig. 7 ist eine Draufsicht, die die aktiven Muster von Fig. 2 bis 6 veranschaulichen. Fig. 8 ist eine Draufsicht, die die Abtastleitungen, die Emissionssteuerleitungen und die untere Elektrode des Speicherkondensators von Fig. 2 bis 6 veranschaulicht. Fig. 9 ist eine Draufsicht, die die Initialisierungsstromleitung und die obere Elektrode des Speicherkondensators von Fig. 2 bis 6 veranschaulicht. Fig. 10 ist eine Draufsicht, die die Datenleitungen, die Verbindungsleitung, die Hilfsverbindungsleitung und die erste leitfähige Schicht und das erste Brückenmuster der Stromleitung von Fig. 2 bis 6 veranschaulicht. Fig. 11 ist eine Draufsicht, die die zweite leitfähige Schicht und das zweite Brückenmuster der Stromleitung von Fig. 2 bis 6 veranschaulicht. Fig. 12 ist eine Draufsicht, die die organische lichtemittierende Diode (OLED) von Fig. 2 bis 6 veranschaulicht. Fig. 13 ist eine Draufsicht, die die zweite leitfähige Schicht und das zweite Brückenmuster der Stromleitung und der OLED von Fig. 11 und 12. veranschaulicht. In Fig. 7 bis 12 sind der Übersichtlichkeit halber Elemente der Pixel in der i-ten Zeile und der (i+1)ten Zeile in nachfolgenden Figuren veranschaulicht.

[0172] Gemäß Fig. 2 bis 13 kann das erste bis siebte aktive Muster ACT1 bis ACT7 auf dem Substrat SUB angeordnet sein. Das erste bis siebte aktive Muster ACT1 bis ACT7 ist in der gleichen Schicht angeordnet und kann durch den gleichen Prozess gebildet sein.

[0173] Das eine Ende des ersten aktiven Musters ACT1 ist mit der ersten Source-Elektrode SE1 verbunden und das andere Ende ist mit der ersten Drain-Elektrode DE1 verbunden. Das eine Ende des zweiten aktiven Musters ACT2 ist mit der zweiten Source-Elektrode SE2 verbunden und das andere Ende ist mit der zweiten Drain-Elektrode DE2 verbunden. Das eine Ende des dritten aktiven Musters ACT3 ist mit der dritten Source-Elektrode SE3 verbunden und das andere Ende ist mit der dritten Drain-Elektrode DE3 verbunden. Das eine Ende des vierten aktiven Musters ACT4 ist mit der vierten Source-Elektrode SE4 verbunden und das andere Ende ist mit der vierten Drain-Elektrode DE4 verbunden. Das eine Ende des fünften aktiven Musters ACT5 ist mit der ersten Source-Elektrode SE5 ver-

bunden und das andere Ende ist mit der fünften Drain-Elektrode DE5 verbunden. Das eine Ende des sechsten aktiven Musters ACT6 ist mit der sechsten Source-Elektrode SE6 verbunden und das andere Ende ist mit der sechsten Drain-Elektrode DE6 verbunden. Das eine Ende des siebten aktiven Musters ACT7 ist mit der siebten Source-Elektrode SE7 verbunden und das andere Ende ist mit der siebten Drain-Elektrode DE7 verbunden.

[0174] Die Abtastleitungen Si-1, Si und Si+1, die Emissionssteuerleitungen Ei und Ei+1 und die untere Elektrode LE des Speicherkondensators Cst können auf der Gate-Isolierschicht GI angeordnet sein, die auf dem ersten bis siebten aktiven Muster ACT1 bis ACT7 gebildet ist. Die Abtastleitungen Si-1, Si und Si+1, die Emissionssteuerleitungen Ei und Ei+1 und die untere Elektrode LE des Speicherkondensators Cst sind in der gleichen Schicht angeordnet und können durch den gleichen Prozess gebildet sein.

[0175] Die Abtastleitungen Si-1, Si und Si+1 können die (i-1)te Abtastleitung Si-1, die i-te Abtastleitung Si und die (i+1)te Abtastleitung Si+1 beinhalten.

[0176] In der i-ten Zeile ist die erste Gate-Elektrode GE1 an der unteren Elektrode LE angeordnet und die vierte Gate-Elektrode GE4 ist an der (i-1)ten Abtastleitung Si-1 angeordnet. Die zweite Gate-Elektrode GE2, die dritte Gate-Elektrode GE3 und die siebte Gate-Elektrode GE7 können an der i-ten Abtastleitung Si angeordnet sein. Die fünfte Gate-Elektrode GE5 und die sechste Gate-Elektrode GE6 können an der Emissionssteuerleitung Ei angeordnet sein.

[0177] In der (i+1)ten Zeile ist die erste Gate-Elektrode GE1 an der unteren Elektrode LE angeordnet und die vierte Gate-Elektrode GE4 ist an der i-ten Abtastleitung Si angeordnet. Die zweite Gate-Elektrode GE2, die dritte Gate-Elektrode GE3 und die siebte Gate-Elektrode GE7 können an der (i+1)ten Abtastleitung Si+1 angeordnet sein. Die fünfte Gate-Elektrode GE5 und die sechste Gate-Elektrode GE6 können an der Emissionssteuerleitung Ei+1 angeordnet sein.

[0178] Die Initialisierungsstromleitung IPL und die obere Elektrode UE des Speicherkondensators Cst können auf der ersten Zwischenisolierschicht IL1 angeordnet sein, die auf den Abtastleitungen Si-1, Si und Si+1, den Emissionssteuerleitungen Ei und Ei+1 und der unteren Elektrode LE des Speicherkondensators Cst gebildet ist. Die Initialisierungsstromleitung IPL und die obere Elektrode UE des Speicherkondensators Cst sind in der gleichen Schicht angeordnet und können durch den gleichen Prozess gebildet sein.

[0179] Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4, die erste leitfähige Schicht PL1 der Stromleitung

PL, die Hilfsverbindungsleitung AUX, die Verbindungsleitung CNL und das erste Brückenmuster BRP1 können auf der zweiten Zwischenisolierschicht IL2 angeordnet sein, die auf der Initialisierungsstromleitung IPL und der oberen Elektrode UE des Speicherkondensators Cst gebildet sind. Die Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4, die erste leitfähige Schicht PL1 der Stromleitung PL, die Hilfsverbindungsleitung AUX, die Verbindungsleitung CNL und das erste Brückenmuster BRP1 sind in der gleichen Schicht angeordnet und können durch den gleichen Prozess gebildet sein.

[0180] Die Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4 können durch das sechste Kontaktloch CH6, das durch die Gate-Isolierschicht GI, die erste Zwischenisolierschicht IL1 und die zweite Zwischenisolierschicht IL2 passiert, mit der zweiten Source-Elektrode SE2 verbunden sein.

[0181] Die erste leitfähige Schicht PL1 kann sich so erstrecken, dass sie parallel zu mindestens einer der Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4 und der Abtastleitungen Si-1, Si und Si+1 verläuft, zum Beispiel den Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4. Die erste leitfähige Schicht PL1 kann mit der oberen Elektrode UE durch das dritte Kontaktloch CH3 und das vierte Kontaktloch CH4 verbunden sein, die durch die erste leitfähige Schicht PL1 und die zweite Isolierzwischenschicht IL2 passieren. Zusätzlich kann die erste leitfähige Schicht PL1 durch das fünfte Kontaktloch CH5, das durch die Gate-Isolierschicht GI, die erste Zwischenisolierschicht IL1 und die zweite Zwischenisolierschicht IL2 passiert, mit der fünften Source-Elektrode SE5 verbunden sein.

[0182] Die Verbindungsleitung CNL kann durch das erste Kontaktloch CH1, das durch die erste Zwischenisolierschicht IL1 und die zweite Zwischenisolierschicht IL2 passiert, mit der ersten Gate-Elektrode GE1 verbunden sein. Zusätzlich kann die Verbindungsleitung CNL durch das zweite Kontaktloch CH2 mit der dritten Drain-Elektrode DE3 und der vierten Drain-Elektrode DE4 verbunden sein.

[0183] Die Hilfsverbindungsleitung AUX kann durch das achte Kontaktloch CH8, das durch die zweite Zwischenisolierschicht IL2 passiert, mit der Initialisierungsstromleitung IPL verbunden sein. Zusätzlich kann die Hilfsverbindungsleitung AUX durch das neunte Kontaktloch CH9, das durch die Gate-Isolierschicht GI, die erste Zwischenisolierschicht IL1 und die zweite Zwischenisolierschicht IL2 passiert, mit der siebten Drain-Elektrode DE7 verbunden sein.

[0184] Das erste Brückenmuster BRP1 kann durch das siebte Kontaktloch CH7, das durch die Gate-Isolierschicht GI, die erste Zwischenisolierschicht IL1 und die zweite Zwischenisolierschicht IL2 passiert,

mit der siebten Drain-Elektrode DE7 und der siebten Source-Elektrode SE7 verbunden sein.

[0185] Das zweite Brückenmuster BRP2 und die zweite leitfähige Schicht PL2 können auf einer dritten Zwischenisolierschicht IL3 angeordnet sein, die auf der Datenleitung Dj, der Stromleitung PL, der Hilfsverbindungsleitung AUX, der Verbindungsleitung CNL und dem ersten Brückenmuster BRP1 gebildet ist. Das zweite Brückenmuster BRP2 und die zweite leitfähige Schicht PL2 sind in der gleichen Schicht angeordnet und können durch den gleichen Prozess gebildet sein.

[0186] Das zweite Brückenmuster BRP2 kann durch das zehnte Kontaktloch CH10 mit dem ersten Brückenmuster BRP1 verbunden sein.

[0187] Die zweite leitfähige Schicht PL2 kann eine Vielzahl von ersten leitfähigen Leitungen CL1 und eine Vielzahl von zweiten leitfähigen Leitungen CL2 beinhalten, die die ersten leitfähigen Leitungen CL1 schneiden.

[0188] Eine der ersten leitfähigen Leitungen CL1 und der zweiten leitfähigen Leitungen CL2, zum Beispiel die ersten leitfähigen Leitungen CL1, können parallel zu einer der Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4 und den Abtastleitungen Si-1, Si und Si+1 verlaufen. Die ersten leitfähigen Leitungen CL1 überlappen die erste leitfähige Schicht PL1 parallel und können durch das 11. Kontaktloch CH11, das durch die dritte Isolierschicht IL3 passiert, mit der ersten leitfähigen Schicht PL1 verbunden sein. Dadurch, dass die Stromleitung PL die erste leitfähige Schicht PL1 und die zweite leitfähige Schicht PL2 beinhaltet und die erste leitfähige Schicht PL1 und die zweite leitfähige Schicht PL2 elektrisch verbunden sind, ist es möglich, einen Spannungsabfall eines durch die Stromleitung PL zugeführten Stroms, zum Beispiel des ersten Stroms ELVDD, zu verhindern.

[0189] Mindestens einige der ersten leitfähigen Leitungen CL1 und der zweiten leitfähigen Leitungen CL2 können sich in einer Richtung schräg zu mindestens einer der Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4 und den Abtastleitungen Si-1, Si und Si+1 erstrecken. Zum Beispiel können die zweiten leitfähigen Leitungen CL2 in einem Zickzack-Muster in einer Richtung angeordnet sein, die die ersten leitfähigen Leitungen CL1 schneidet. Da die zweiten leitfähigen Leitungen CL2 in einem Zickzack-Muster angeordnet sind, können die zweiten leitfähigen Leitungen CL2 die OLEDs „OLED“ nicht überlappen. Zum Beispiel können die zweiten leitfähigen Leitungen CL2 in einem Bereich zwischen benachbarten OLEDs „OLED“ angeordnet sein.

[0190] Zum Beispiel können die zweiten leitfähigen Leitungen CL2 eine Vielzahl von miteinander verbundenen Einheiten von leitfähigen Mustern beinhalten. Die Einheiten von leitfähigen Mustern können ein erstes leitfähiges Muster CP1, ein zweites leitfähiges Muster CP2, ein drittes leitfähiges Muster CP3 und ein viertes leitfähiges Muster CP4 beinhalten.

[0191] Ein Ende des ersten leitfähigen Musters CP1 kann mit dem zweiten leitfähigen Muster CP2 verbunden sein. Zusätzlich kann mindestens ein Teil des ersten leitfähigen Musters CP1 eine der ersten leitfähigen Leitungen CL1 schneiden.

[0192] Ein Ende des zweiten leitfähigen Musters CP2 ist mit dem einen Ende des ersten leitfähigen Musters CP1 verbunden und kann sich in einer Richtung schräg zu den ersten leitfähigen Leitungen CL1 erstrecken.

[0193] Das dritte leitfähige Muster CP3 kann sich so erstrecken, dass es parallel zu dem ersten leitfähigen Muster CP1 verläuft. Ein Ende des dritten leitfähigen Musters CP3 ist mit dem anderen Ende des zweiten leitfähigen Musters CP2 verbunden und das andere Ende des dritten leitfähigen Musters CP3 kann mit einem Ende des vierten leitfähigen Musters CP4 verbunden sein. Zusätzlich kann mindestens ein Teil des dritten leitfähigen Musters CP3 eine andere der ersten leitfähigen Leitungen CL1 schneiden.

[0194] Das andere Ende des vierten leitfähigen Musters CP4 kann mit dem anderen Ende des ersten leitfähigen Musters CP1 einer benachbarten Einheit von leitfähigen Mustern verbunden sein. Dabei kann sich das vierte leitfähige Muster CP4 in einer Richtung erstrecken, die die erste leitfähige Leitung CL1, das erste leitfähige Muster CP1, das zweite leitfähige Muster CP2 und das dritte leitfähige Muster CP3 schneidet.

[0195] Wenn die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 der zweiten leitfähigen Schicht PL2 die OLEDs „OLED“ überlappen, können von der zweiten leitfähigen Schicht PL2 unter den OLEDs „OLED“ Stufendifferenzen erzeugt werden. Aufgrund der Stufendifferenzen sind Oberflächen der OLEDs „OLED“ nicht gleichmäßig und konkav-konvexe Teile können in Teilbereichen der OLEDs „OLED“ gebildet sein. Wenn zum Beispiel Oberflächen, von denen Lichtkomponenten emittiert werden, aufgrund der Stufendifferenzen in den OLEDs „OLED“ konkav-konvexe Teile haben, da die Lichtkomponenten von den OLEDs „OLED“ nicht gleichmäßig emittiert werden, kann ein Farbunterschied gemäß einem Blickwinkel der Darstellungsverrichtung einschließlich der OLEDs „OLED“ erzeugt werden.

[0196] Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung kann ein Teil der zweiten leitfähigen Schicht PL2, zum Beispiel die zweiten leitfähigen Leitungen CL2, in einem Bereich zwischen den OLEDs „OLED“ angeordnet sein, ohne die OLEDs „OLED“ zu überlappen. Daher kann eine Überlappungsfläche zwischen der zweiten leitfähigen Schicht PL2 und den OLEDs „OLED“ reduziert werden. Wenn die Überlappungsfläche zwischen der zweiten leitfähigen Schicht PL2 und den OLEDs „OLED“ reduziert ist, können die Stufendifferenzen unter den OLEDs „OLED“ reduziert werden. Wenn die Stufendifferenzen reduziert sind, können die konkav-konvexen Teile der Flächen, von denen die Lichtkomponenten emittiert werden, in den OLEDs „OLED“ reduziert werden. Daher können die von den OLEDs erzeugten Lichtkomponenten „OLED“ entsprechend einer Blickrichtung gleichmäßig emittiert werden. Daher kann der Farbunterschied gemäß dem Blickwinkel der Darstellungsverrichtung, die die OLEDs „OLED“ beinhaltet, reduziert werden.

[0197] Die OLEDs „OLED“ können auf einer Schutzschicht PSV angeordnet sein, die auf der zweiten leitfähigen Schicht PL2 und dem zweiten Brückenmuster BRP2 gebildet ist. Jede der OLEDs „OLED“ kann eine erste Elektrode AD, die auf der Schutzschicht PSV gebildet ist, eine Emissionsschicht EML, die auf der ersten Elektrode AD gebildet ist, und eine zweite Elektrode CD, die auf der Emissionsschicht EML gebildet ist, beinhalten.

[0198] Die erste Elektrode AD kann durch das 12. Kontaktloch CH12, das die Schutzschicht PSV passiert, mit dem zweiten Brückenmuster BRP2 verbunden sein.

[0199] Nachfolgend werden, unter Bezugnahme auf **Fig. 14 bis 16**, Darstellungsverrichtungen gemäß Ausführungsbeispielen der vorliegenden Erfindung beschrieben. Bezugnehmend auf **Fig. 14 bis 16** werden die gleichen Elemente wie die von **Fig. 1 bis 13** mit denselben Bezugszeichen bezeichnet und eine kurze Beschreibung davon wird gegeben. Zusätzlich konzentriert sich die hierin gegebene Beschreibung zu **Fig. 14 bis 16** hauptsächlich auf andere Elemente als die von **Fig. 1 bis 13** und es versteht sich, dass angenommen werden kann, dass die hierin nicht beschriebenen Elemente denen ähnlich sind, die oben beschrieben sind.

[0200] **Fig. 14** ist eine Draufsicht, die eine zweite Stromleitung, ein zweites Brückenmuster und eine OLED einer Darstellungsverrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht.

[0201] Bezugnehmend auf **Fig. 2 bis 10 und 14** kann das erste bis siebte aktive Muster ACT1 bis ACT7 auf dem Substrat SUB angeordnet sein. Das erste bis

siebte aktive Muster ACT1 bis ACT7 ist in der gleichen Schicht angeordnet und kann durch den gleichen Prozess gebildet sein.

[0202] Die Abtastleitungen Si-1, Si und Si+1, die Emissionssteuerleitungen Ei und Ei+1 und die untere Elektrode LE des Speicherkondensators Cst können auf der Gate-Isolierschicht GI angeordnet sein, die auf dem ersten bis siebten aktiven Muster ACT1 bis ACT7 gebildet ist. Die Abtastleitungen Si-1, Si und Si+1, die Emissionssteuerleitungen Ei und Ei+1 und die untere Elektrode LE des Speicherkondensators Cst sind in der gleichen Schicht angeordnet und können durch den gleichen Prozess gebildet sein.

[0203] Die Initialisierungsstromleitung IPL und die obere Elektrode UE des Speicherkondensators Cst können auf der ersten Zwischenisolierschicht IL1 angeordnet sein, die auf den Abtastleitungen Si-1, Si und Si+1, den Emissionssteuerleitungen Ei und Ei+1 und der unteren Elektrode LE des Speicherkondensators Cst gebildet ist. Die Initialisierungsstromleitung IPL und die obere Elektrode UE des Speicherkondensators Cst sind in der gleichen Schicht angeordnet und können durch den gleichen Prozess gebildet sein.

[0204] Die Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4, die erste leitfähige Schicht PL1 der Stromleitung PL, die Hilfsverbindungsleitung AUX, die Verbindungsleitung CNL und das erste Brückenmuster BRP1 können auf der zweiten Zwischenisolierschicht IL2 angeordnet sein, die auf der Initialisierungsstromleitung IPL und der oberen Elektrode UE des Speicherkondensators Cst gebildet sind. Die Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4, die erste leitfähige Schicht PL1, die Hilfsverbindungsleitung AUX, die Verbindungsleitung CNL und das erste Brückenmuster BRP1 sind in der gleichen Schicht angeordnet und können durch den gleichen Prozess gebildet sein.

[0205] Das zweite Brückenmuster BRP2 und die zweite leitfähige Schicht PL2 können auf der dritten Zwischenisolierschicht IL3 angeordnet sein, die auf der Datenleitung Dj, der Stromleitung PL, der Hilfsverbindungsleitung AUX, der Verbindungsleitung CNL und dem ersten Brückenmuster BRP1 gebildet ist. Das zweite Brückenmuster BRP2 und die zweite leitfähige Schicht PL2 sind in der gleichen Schicht angeordnet und können durch den gleichen Prozess gebildet sein.

[0206] Das zweite Brückenmuster BRP2 kann durch das zehnte Kontaktloch CH10 mit dem ersten Brückenmuster BRP1 verbunden sein.

[0207] Die zweite leitfähige Schicht PL2 kann durch das 11. Kontaktloch CH11, das durch die dritte Isolierschicht IL3 passiert, mit der ersten leitfähigen

Schicht PL1 verbunden sein. Dadurch, dass die Stromleitung PL die erste leitfähige Schicht PL1 und die zweite leitfähige Schicht PL2 beinhaltet und die erste leitfähige Schicht PL1 und die zweite leitfähige Schicht PL2 elektrisch verbunden sind, ist es möglich, einen Spannungsabfall des durch die Stromleitung PL zugeführten Stroms, zum Beispiel des ersten Stroms ELVDD, zu verhindern.

[0208] Die zweite leitfähige Schicht PL2 kann die Vielzahl von ersten leitfähigen Leitungen CL1, die sich in einer Richtung erstrecken, und die Vielzahl von zweiten leitfähigen Leitungen CL2, die sich in einer Richtung erstrecken, die die ersten leitfähigen Leitungen CL1 schneidet, beinhalten.

[0209] Die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 können sich in einer Richtung schräg zu den Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4 und den Abtastleitungen Si-1, Si und Si+1 erstrecken. Die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 schneiden einander und können eine Vielzahl von Bereichen bilden. Die OLEDs „OLED“ können jeweils in den Bereichen angeordnet sein, die durch Schneiden der ersten leitfähigen Leitungen CL1 und der zweiten leitfähigen Leitungen CL2 gebildet sind. Zum Beispiel überlappen die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 nicht die OLEDs „OLED“ und können in einem Bereich zwischen benachbarten OLEDs „OLED“ angeordnet sein.

[0210] Da die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 in dem Bereich zwischen den benachbarten OLEDs „OLED“ angeordnet sind, können die Stufendifferenzen unter den OLEDs „OLED“ von der Stromleitung PL reduziert werden. Wenn die Stufendifferenzen unter den OLEDs „OLED“ reduziert sind, können die konkav-konvexen Teile der Flächen, von denen die Lichtkomponenten emittiert werden, in den OLEDs „OLED“ reduziert werden. Wenn die konkav-konvexen Teile der Oberflächen, von denen die Lichtkomponenten emittiert werden, in den OLEDs „OLED“ reduziert sind, können die von den OLEDs „OLED“ erzeugten Lichtkomponenten gemäß einer Richtung gleichmäßig emittiert werden. Daher kann der Farbunterschied gemäß dem Blickwinkel der Darstellungsvorrichtung, die die OLEDs „OLED“ beinhaltet, reduziert werden.

[0211] Die OLEDs „OLED“ können auf der Schutzschicht PSV angeordnet sein, die auf der zweiten leitfähigen Schicht PL2 und dem zweiten Brückenmuster BRP2 gebildet ist. Jede der OLEDs „OLED“ kann die erste Elektrode AD, die auf der Schutzschicht PSV gebildet ist, die Emissionsschicht EML, die auf der ersten Elektrode AD gebildet ist, und die zweite

Elektrode CD, die auf der Emissionsschicht EML gebildet ist, beinhalten.

[0212] Die erste Elektrode AD kann durch das 12. Kontaktloch CH12, das die Schutzschicht PSV passiert, mit dem zweiten Brückenmuster BRP2 verbunden sein.

[0213] Fig. 15 ist eine Draufsicht, die eine zweite Stromleitung, ein zweites Brückenmuster und eine OLED einer Darstellungsvorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht.

[0214] Bezugnehmend auf Fig. 2 bis 10 und 15 kann das erste bis siebte aktive Muster ACT1 bis ACT7 auf dem Substrat SUB angeordnet sein. Das erste bis siebte aktive Muster ACT1 bis ACT7 ist in der gleichen Schicht angeordnet und kann durch den gleichen Prozess gebildet sein.

[0215] Die Abtastleitungen Si-1, Si und Si+1, die Emissionssteuerleitungen Ei und Ei+1 und die untere Elektrode LE des Speicherkondensators Cst können auf der Gate-Isolierschicht GI angeordnet sein, die auf dem ersten bis siebten aktiven Muster ACT1 bis ACT7 gebildet ist.

[0216] Die Initialisierungsstromleitung IPL und die obere Elektrode UE des Speicherkondensators Cst können auf der ersten Zwischenisolierschicht IL1 angeordnet sein, die auf den Abtastleitungen Si-1, Si und Si+1, den Emissionssteuerleitungen Ei und Ei+1 und der unteren Elektrode LE des Speicherkondensators Cst gebildet ist.

[0217] Die Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4, die erste leitfähige Schicht PL1 der Stromleitung PL, die Hilfsverbindungsleitung AUX, die Verbindungsleitung CNL und das erste Brückenmuster BRP1 können auf der zweiten Zwischenisolierschicht IL2 angeordnet sein, die auf der Initialisierungsstromleitung IPL und der oberen Elektrode UE des Speicherkondensators Cst gebildet sind.

[0218] Das zweite Brückenmuster BRP2 und die zweite leitfähige Schicht PL2 können auf der dritten Zwischenisolierschicht IL3 angeordnet sein, die auf der Datenleitung Dj, der Stromleitung PL, der Hilfsverbindungsleitung AUX, der Verbindungsleitung CNL und dem ersten Brückenmuster BRP1 gebildet ist.

[0219] Die zweite leitfähige Schicht PL2 kann durch das 11. Kontaktloch CH11, das durch die dritte Isolierschicht IL3 passiert, mit der ersten leitfähigen Schicht PL1 verbunden sein.

[0220] Die zweite leitfähige Schicht PL2 kann die Vielzahl von ersten leitfähigen Leitungen CL1, die

sich in einer Richtung erstrecken, und die Vielzahl von zweiten leitfähigen Leitungen CL2, die sich in einer Richtung erstrecken, die die ersten leitfähigen Leitungen CL1 schneidet, beinhalten.

[0221] Die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 können sich in einer Richtung schräg zu den Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4 und den Abtastleitungen Si-1, Si und Si+1 erstrecken. Die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 schneiden einander und können eine Vielzahl von Bereichen bilden.

[0222] Die OLEDs „OLED“ können jeweils in den Bereichen angeordnet sein, die durch Schneiden der ersten leitfähigen Leitungen CL1 und der zweiten leitfähigen Leitungen CL2 gebildet sind. Mindestens einige der OLEDs „OLED“ können mindestens eine der ersten leitfähigen Leitungen CL1 und der zweiten leitfähigen Leitungen CL2 überlappen.

[0223] Zum Beispiel überlappt die Mehrheit der OLEDs „OLED“ nicht die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2. Dennoch können einige der OLEDs „OLED“ mindestens eine der ersten leitfähigen Leitungen CL1 und der zweiten leitfähigen Leitungen CL2 überlappen. Zum Beispiel können mindestens einige von Kanten der teilweisen OLEDs „OLED“ mindestens eine der ersten leitfähigen Leitungen CL1 und der zweiten leitfähigen Leitungen CL2 überlappen.

[0224] Ein Bereich, in dem einige der Kanten der OLEDs „OLED“ die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 überlappen, kann kleiner sein als ein Überlappungsbereich in einem Fall, in dem die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 die OLEDs „OLED“ passieren. Daher können die Stufendifferenzen unter den OLEDs „OLED“ durch die Stromleitung PL reduziert sein. Wenn die Stufendifferenzen unter den OLEDs „OLED“ reduziert sind, können die konkav-konvexen Teile der Flächen, von denen die Lichtkomponenten emittiert werden, in den OLEDs „OLED“ reduziert werden. Wenn die konkav-konvexen Teile der Oberflächen, von denen die Lichtkomponenten emittiert werden, in den OLEDs „OLED“ reduziert sind, können die von den OLEDs „OLED“ erzeugten Lichtkomponenten gemäß einer Richtung gleichmäßig emittiert werden. Daher kann der Farbunterschied gemäß dem Blickwinkel der Darstellungsvorrichtung, die die OLEDs „OLED“ beinhaltet, reduziert werden.

[0225] Die OLEDs „OLED“ können auf der Schutzschicht PSV angeordnet sein, die auf der zweiten leitfähigen Schicht PL2 und dem zweiten Brückenmuster BRP2 gebildet ist. Jede der OLEDs „OLED“ kann die erste Elektrode AD, die auf der Schutzschicht

PSV gebildet ist, die Emissionsschicht EML, die auf der ersten Elektrode AD gebildet ist, und die zweite Elektrode CD, die auf der Emissionsschicht EML gebildet ist, beinhalten.

[0226] Einige der Kanten der teilweisen OLEDs „OLED“ überlappen mindestens eine der ersten leitfähigen Leitungen CL1 und der zweiten leitfähigen Leitungen CL2, um zu verhindern, dass die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 so angeordnet sind, dass sie zu dem zweiten Brückenmuster BRP2 benachbart sind. Wenn die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 so angeordnet sind, dass sie zu dem zweiten Brückenmuster BRP2 benachbart sind, können die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 von dem zweiten Brückenmuster BRP2 kurzgeschlossen werden.

[0227] Fig. 16 ist eine Draufsicht, die eine zweite Stromleitung, ein zweites Brückenmuster und eine OLED einer Darstellungsvorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht.

[0228] Bezugnehmend auf Fig. 2 bis 10 und 16 kann das erste bis siebte aktive Muster ACT1 bis ACT7 auf dem Substrat SUB angeordnet sein. Das erste bis siebte aktive Muster ACT1 bis ACT7 ist in der gleichen Schicht angeordnet und kann durch den gleichen Prozess gebildet sein.

[0229] Die Abtastleitungen Si-1, Si und Si+1, die Emissionssteuerleitungen Ei und Ei+1 und die untere Elektrode LE des Speicherkondensators Cst können auf der Gate-Isolierschicht GI angeordnet sein, die auf dem ersten bis siebten aktiven Muster ACT1 bis ACT7 gebildet ist.

[0230] Die Initialisierungsstromleitung IPL und die obere Elektrode UE des Speicherkondensators Cst können auf der ersten Zwischenisolierschicht IL1 angeordnet sein, die auf den Abtastleitungen Si-1, Si und Si+1, den Emissionssteuerleitungen Ei und Ei+1 und der unteren Elektrode LE des Speicherkondensators Cst gebildet ist.

[0231] Die Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4, die erste leitfähige Schicht PL1 der Stromleitung PL, die Hilfsverbindungsleitung AUX, die Verbindungsleitung CNL und das erste Brückenmuster BRP1 können auf der zweiten Zwischenisolierschicht IL2 angeordnet sein, die auf der Initialisierungsstromleitung IPL und der oberen Elektrode UE des Speicherkondensators Cst gebildet sind.

[0232] Das zweite Brückenmuster BRP2 und die zweite leitfähige Schicht PL2 können auf der dritten Zwischenisolierschicht IL3 angeordnet sein, die auf

der Datenleitung Dj, der Stromleitung PL, der Hilfsverbindungsleitung AUX, der Verbindungsleitung CNL und dem ersten Brückenmuster BRP1 gebildet ist.

[0233] Die zweite leitfähige Schicht PL2 kann durch das 11. Kontaktloch CH11, das durch die dritte Isolierschicht IL3 passiert, mit der ersten leitfähigen Schicht PL1 verbunden sein.

[0234] Die zweite leitfähige Schicht PL2 kann die Vielzahl von ersten leitfähigen Leitungen CL1, die sich in einer Richtung erstrecken, und die Vielzahl von zweiten leitfähigen Leitungen CL2, die sich in einer Richtung erstrecken, die die ersten leitfähigen Leitungen CL1 schneidet, beinhalten.

[0235] Die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 können sich in einer Richtung schräg zu den Datenleitungen Dj, Dj+1, Dj+2, Dj+3 und Dj+4 und den Abtastleitungen Si-1, Si und Si+1 erstrecken. Die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 schneiden einander und können eine Vielzahl von Bereichen bilden. Die OLEDs „OLED“ können in den Bereichen angeordnet sein, die durch Schneiden der ersten leitfähigen Leitungen CL1 und der zweiten leitfähigen Leitungen CL2 gebildet sind. Zum Beispiel überlappen die ersten leitfähigen Leitungen CL1 und die zweiten leitfähigen Leitungen CL2 nicht die OLEDs „OLED“ und können in dem Bereich zwischen den benachbarten OLEDs „OLED“ angeordnet sein.

[0236] Eine oder mehrere der ersten leitfähigen Leitungen CL1 oder der zweiten leitfähigen Leitungen CL2 werden entfernt, sodass mindestens zwei OLEDs „OLED“ in den Bereichen angeordnet sein können, die durch Schneiden der ersten leitfähigen Leitungen CL1 und der zweiten leitfähigen Leitungen CL2 gebildet sind.

[0237] Die OLEDs „OLED“ können auf der Schutzschicht PSV angeordnet sein, die auf der zweiten leitfähigen Schicht PL2 und dem zweiten Brückenmuster BRP2 gebildet ist. Jede der OLEDs „OLED“ kann die erste Elektrode AD, die auf der Schutzschicht PSV gebildet ist, die Emissionsschicht EML, die auf der ersten Elektrode AD gebildet ist, und die zweite Elektrode CD, die auf der Emissionsschicht EML gebildet ist, beinhalten.

[0238] Ausführungsformen der Erfindung können eine Darstellungsvorrichtung bereitstellen, die Folgendes umfasst: ein Substrat, das einen Pixelbereich und einen peripheren Bereich beinhaltet; eine Vielzahl von Pixeln, die in dem Pixelbereich des Substrats angeordnet sind, wobei jedes der Vielzahl von Pixeln ein lichtemittierendes Element beinhaltet; Datenleitungen und Abtastleitungen, die mit jedem

der Vielzahl von Pixeln verbunden sind; und eine Stromleitungsanordnung, die so konfiguriert ist, dass sie der Vielzahl von Pixeln Strom zuführt, wobei die Stromleitungsanordnung Folgendes umfasst: eine Vielzahl von ersten leitfähigen Leitungen; und eine Vielzahl von zweiten leitfähigen Leitungen, die die Vielzahl von ersten leitfähigen Leitungen schneidet, wobei die Vielzahl von zweiten leitfähigen Leitungen jeweils in einem Bereich zwischen benachbarten lichtemittierenden Elementen der Vielzahl von Pixeln angeordnet sind, wobei sich dabei mindestens einige Abschnitte der Vielzahl von zweiten leitfähigen Leitungen in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen erstrecken. Somit kann sich bei einigen Ausführungsformen die Vielzahl von zweiten leitfähigen Leitungen in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen erstrecken und bei anderen Ausführungsformen kann sich die Vielzahl von zweiten leitfähigen Leitungen in einer Richtung schräg zu einer Erstreckungsrichtung der Abtastleitungen erstrecken.

[0239] Die ersten leitfähigen Leitungen und die zweiten leitfähigen Leitungen können in einer Schicht der Stromleitungsanordnung angeordnet sein. Die Stromleitungsanordnung kann andere leitfähige Leitungsabschnitte auf einer anderen Schicht umfassen. Zum Beispiel kann die Stromleitungsanordnung eine erste leitfähige Schicht und eine zweite leitfähige Schicht (z. B. umfassend die ersten leitfähigen Leitungen und die zweiten leitfähigen Leitungen) umfassen, die durch eine Isolierschicht separiert und durch ein oder mehrere Kontaktlöcher in der Isolierschicht verbunden sind.

[0240] Die lichtemittierenden Elemente der Vielzahl von Pixeln können jeweils eine erste Elektrode, eine zweite Elektrode und eine Emissionsschicht umfassen, die zwischen der ersten Elektrode und der zweiten Elektrode angeordnet ist. Die Stromleitungsanordnung kann so angeordnet sein, dass sie der ersten Elektrode jedes Pixels Strom zuführt.

[0241] Die zweiten leitfähigen Leitungen können so angeordnet sein, dass sie Abschnitte der Emissionsschicht umgeben. Die Emissionsschicht jedes Pixels kann in einem Bereich angeordnet sein, der von schneidenden ersten leitfähigen Leitungen und zweiten leitfähigen Leitungen umgeben ist.

[0242] Die Vielzahl von ersten leitfähigen Leitungen und die Vielzahl von zweiten leitfähigen Leitungen können sich in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder einer Erstreckungsrichtung der Abtastleitungen erstrecken. Die Vielzahl von ersten leitfähigen Leitungen und die Vielzahl von zweiten leitfähigen Leitungen können in einem Bereich zwischen den benachbarten lichtemittierenden Elementen der Vielzahl von

Pixeln angeordnet sein und die lichtemittierenden Elemente der Vielzahl von Pixeln können in einem Bereich angeordnet sein, der von der Vielzahl von ersten leitfähigen Leitungen und der Vielzahl von zweiten leitfähigen Leitungen gebildet ist. Somit können die lichtemittierenden Elemente zwischen der Vielzahl von ersten leitfähigen Leitungen und der Vielzahl von zweiten leitfähigen Leitungen angeordnet sein.

[0243] In einigen Ausführungsformen sind mindestens zwei lichtemittierende Elemente der Vielzahl von Pixeln in einem Bereich angeordnet, der durch die Vielzahl von ersten leitfähigen Leitungen und die Vielzahl von zweiten leitfähigen Leitungen gebildet ist.

[0244] Somit können mindestens zwei lichtemittierende Elemente in einem Paar zwischen der Vielzahl von ersten leitfähigen Leitungen und der Vielzahl von zweiten leitfähigen Leitungen angeordnet sein.

[0245] In einigen Ausführungsformen sind Kanten von mindestens einigen der lichtemittierenden Elemente der Vielzahl von Pixeln so angeordnet, dass sie die Vielzahl von ersten leitfähigen Leitungen oder die Vielzahl von zweiten leitfähigen Leitungen überlappen.

[0246] Ausführungsbeispiele der vorliegenden Erfindung wurden hierin beschrieben und es versteht sich für den Fachmann, dass verschiedene Änderungen in Form und Details vorgenommen werden können, ohne von dem Anwendungsbereich der vorliegenden Erfindung abzuweichen.

Schutzansprüche

1. Darstellungsvorrichtung, **gekennzeichnet durch:**

ein Substrat (SUB), das einen Pixelbereich (PXA) und einen peripheren Bereich (PPA) beinhaltet; eine Vielzahl von Pixeln (PXL), die in dem Pixelbereich (PXA) des Substrats (SUB) angeordnet ist, wobei jedes der Vielzahl von Pixeln (PXL) ein lichtemittierendes Element beinhaltet; Datenleitungen und Abtastleitungen, die mit jedem der Vielzahl von Pixeln (PXL) elektrisch verbunden sind; und eine Stromleitungsanordnung (PL), die so konfiguriert ist, dass sie der Vielzahl von Pixeln (PXL) Strom zuführt, wobei die Stromleitungsanordnung durch eine zweite leitfähige Schicht (PL2) gekennzeichnet ist, wobei die zweite leitfähige Schicht (PL2) der Stromleitungsanordnung durch Folgendes gekennzeichnet ist: eine Vielzahl von ersten leitfähigen Leitungen (CL1); und eine Vielzahl von zweiten leitfähigen Leitungen

(CL2), die die Vielzahl von ersten leitfähigen Leitungen (CL1) schneidet, wobei die Vielzahl von zweiten leitfähigen Leitungen (CL2) jeweils in einem Bereich zwischen benachbarten lichtemittierenden Elementen der Vielzahl von Pixeln (PXL) angeordnet ist, ohne Anoden der lichtemittierenden Elemente zu überlappen, und wobei sich mindestens einige Abschnitte der Vielzahl von zweiten leitfähigen Leitungen in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen erstrecken; wobei die ersten leitfähigen Leitungen (CL1) und die zweiten leitfähigen Leitungen (CL2) elektrisch miteinander verbunden sind, wobei die zweite leitfähige Schicht (PL2) einen Netzverlauf hat und

dadurch gekennzeichnet, dass

sich die Vielzahl von ersten leitfähigen Leitungen (CL1) in einer Richtung parallel zu der Erstreckungsrichtung der Datenleitungen erstreckt; oder sich die Vielzahl von ersten leitfähigen Leitungen (CL1) und die Vielzahl von zweiten leitfähigen Leitungen (CL2) in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder einer Erstreckungsrichtung der Abtastleitungen erstrecken.

2. Darstellungsvorrichtung nach Schutzanspruch 1, wobei die Stromleitungsanordnung ferner durch eine erste leitfähige Schicht (PL1) gekennzeichnet ist, die die zweite leitfähige Schicht (PL2) überlappt.

3. Darstellungsvorrichtung nach Schutzanspruch 1, wobei sich die Vielzahl von ersten leitfähigen Leitungen (CL1) in der Richtung parallel zu der Erstreckungsrichtung der Datenleitungen erstreckt; und wobei die Vielzahl von zweiten leitfähigen Leitungen (CL2) jeweils durch eine Vielzahl von Einheiten von leitfähigen Mustern gekennzeichnet ist, die miteinander verbunden sind.

4. Darstellungsvorrichtung nach Schutzanspruch 3, wobei die Vielzahl von Einheiten von leitfähigen Mustern jeweils durch Folgendes gekennzeichnet ist:

ein erstes leitfähiges Muster, das eine der Vielzahl von ersten leitfähigen Leitungen (CL1) schneidet; ein zweites leitfähiges Muster, das sich in einer Richtung schräg zu einer Erstreckungsrichtung der Vielzahl von ersten leitfähigen Leitungen (CL1) erstreckt und ein Ende davon hat, das mit einem Ende des ersten leitfähigen Musters verbunden ist; ein drittes leitfähiges Muster, das ein Ende davon hat, das mit dem anderen Ende des zweiten leitfähigen Musters verbunden ist; und ein viertes leitfähiges Muster, das ein Ende, das mit dem anderen Ende des dritten leitfähigen Musters verbunden ist, und das andere Ende davon hat, das mit dem anderen Ende eines ersten leitfähigen Musters einer benachbarten Einheit von leitfähigen

Mustern verbunden ist;

wobei sich optional das dritte leitfähige Muster parallel zu dem ersten leitfähigen Muster erstreckt; wobei sich optional das vierte leitfähige Muster in einer Richtung erstreckt, die die Vielzahl von ersten leitfähigen Leitungen (CL1), das erste leitfähige Muster, das zweite leitfähige Muster und das dritte leitfähige Muster schneidet.

5. Darstellungsvorrichtung nach Schutzanspruch 2, wobei sich die Vielzahl von ersten leitfähigen Leitungen (CL1) und die Vielzahl von zweiten leitfähigen Leitungen (CL2) in der Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder einer Erstreckungsrichtung der Abtastleitungen erstrecken;

wobei die Vielzahl von ersten leitfähigen Leitungen (CL1) und die Vielzahl von zweiten leitfähigen Leitungen (CL2) in einem Bereich zwischen den benachbarten lichtemittierenden Elementen der Vielzahl von Pixeln (PXL) angeordnet sind und wobei die lichtemittierenden Elemente der Vielzahl von Pixeln (PXL) in einem Bereich angeordnet sind, der von der Vielzahl von ersten leitfähigen Leitungen (CL1) und der Vielzahl von zweiten leitfähigen Leitungen (CL2) gebildet ist;

wobei optional mindestens zwei lichtemittierende Elemente der Vielzahl von Pixeln (PXL) in einem Bereich angeordnet sind, der durch die Vielzahl von ersten leitfähigen Leitungen (CL1) und die Vielzahl von zweiten leitfähigen Leitungen (CL2) gebildet ist;

wobei optional die Kanten von mindestens einigen der lichtemittierenden Elemente der Vielzahl von Pixeln (PXL) so angeordnet sind, dass sie die Vielzahl von ersten leitfähigen Leitungen (CL1) oder die Vielzahl von zweiten leitfähigen Leitungen (CL2) überlappen.

6. Darstellungsvorrichtung nach einem der Ansprüche 1 bis 5,

wobei jedes der Vielzahl von Pixeln (PXL) mindestens durch einen Transistor gekennzeichnet ist und wobei der Transistor durch Folgendes gekennzeichnet ist:

ein aktives Muster, das auf dem Substrat (SUB) angeordnet ist;

eine Source-Elektrode und eine Drain-Elektrode, die mit dem aktiven Muster verbunden sind;

eine Gate-Elektrode, die auf dem aktiven Muster angeordnet ist, mit einer dazwischen positionierten Gate-Isolierschicht; und

eine Zwischenisolierschicht, die die Gate-Elektrode bedeckt und eine erste Zwischenisolierschicht (IL1), eine zweite Zwischenisolierschicht (IL2) und eine dritte Zwischenisolierschicht (IL3) beinhaltet, die nacheinander laminiert sind;

wobei optional jedes der Vielzahl von Pixeln (PXL) ferner durch einen Speicherkondensator gekennzeichnet ist und wobei der Speicherkondensator

durch eine untere Elektrode, die in derselben Schicht wie die Gate-Elektrode angeordnet ist, und eine obere Elektrode, die auf der ersten Zwischenisolierschicht (IL1) angeordnet ist, gekennzeichnet ist;

optional ferner **gekennzeichnet durch** eine parallel zu der Datenleitung erstreckende und auf der zweiten Zwischenisolierschicht (IL2) angeordnete leitfähige Schicht, wobei die Stromleitungsanordnung auf der dritten Zwischenisolierschicht (IL3) angeordnet ist und durch ein Kontaktloch, das durch die dritte Zwischenisolierschicht (IL3) passiert, mit der leitfähigen Schicht verbunden ist.

7. Darstellungsvorrichtung nach einem der Ansprüche 1 bis 6, wobei die lichtemittierenden Elemente der Vielzahl von Pixeln (PXL) jeweils durch eine erste Elektrode, eine zweite Elektrode und eine zwischen der ersten Elektrode und der zweiten Elektrode angeordnete Emissionsschicht gekennzeichnet ist und wobei die Stromleitungsanordnung elektrisch mit der ersten Elektrode verbunden ist und wobei die Darstellungsvorrichtung so konfiguriert ist, dass sie der ersten Elektrode eine Spannung zuführt, die höher als eine der zweiten Elektrode zugeführte Spannung ist.

8. Darstellungsvorrichtung nach Schutzanspruch 2, wobei sich die Vielzahl von ersten leitfähigen Leitungen (CL1) in der Richtung parallel zu der Erstreckungsrichtung der Datenleitungen erstreckt, wobei jedes der Vielzahl von Pixeln (PXL) mindestens einen Transistor und ein lichtemittierendes Element beinhaltet, das mit dem Transistor verbunden ist; wobei der Transistor durch Folgendes gekennzeichnet ist: ein aktives Muster, das auf dem Substrat (SUB) angeordnet ist; eine Source-Elektrode und eine Drain-Elektrode, die mit dem aktiven Muster verbunden sind; die Gate-Elektrode, die auf dem aktiven Muster angeordnet ist, mit einer dazwischen positionierten Gate-Isolierschicht; und eine Zwischenisolierschicht, die die Gate-Elektrode bedeckt und eine erste Zwischenisolierschicht (IL1), eine zweite Zwischenisolierschicht (IL2) und eine dritte Zwischenisolierschicht (IL3) beinhaltet, die nacheinander laminiert sind, wobei sich die erste leitfähige Schicht (PL1) parallel zu den Datenleitungen erstreckt und auf der zweiten Zwischenisolierschicht (IL2) angeordnet ist; und wobei die zweite leitfähige Schicht (PL2) auf der dritten Zwischenisolierschicht (IL3) angeordnet ist und durch ein Kontaktloch, das durch die dritte Zwischenisolierschicht (IL3) passiert, mit der ersten leitfähigen Schicht (PL1) verbunden ist, wobei sich die zweiten leitfähigen Leitungen (CL2) in

einer Richtung senkrecht zu der Erstreckungsrichtung der Datenleitungen erstrecken und ein Zickzack-Muster beinhalten und wobei sich mindestens eine der Vielzahl von zweiten leitfähigen Leitungen (CL2) in einer Richtung schräg zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen erstreckt.

9. Darstellungsvorrichtung nach Schutzanspruch 8, wobei jedes der Vielzahl von Pixeln (PXL) ferner durch einen Speicherkondensator gekennzeichnet ist und wobei der Speicherkondensator durch eine untere Elektrode gekennzeichnet ist, die in einer gleichen Schicht wie die Gate-Elektrode angeordnet ist, und eine obere Elektrode auf der ersten Zwischenisolierschicht (IL1) angeordnet ist.

10. Darstellungsvorrichtung nach Schutzanspruch 9, wobei sich die ersten leitfähigen Leitungen (CL1) in einer Richtung parallel zu einer Erstreckungsrichtung der Datenleitungen oder der Abtastleitungen erstrecken.

11. Darstellungsvorrichtung nach Schutzanspruch 10, wobei die zweiten leitfähigen Leitungen durch eine Vielzahl von miteinander verbundenen Einheiten von leitfähigen Mustern gekennzeichnet sind, wobei jede der Vielzahl von Einheiten von leitfähigen Mustern durch Folgendes gekennzeichnet ist: ein erstes leitfähiges Muster, das eine der ersten leitfähigen Leitungen (CL1) schneidet; ein zweites leitfähiges Muster, das sich in einer Richtung schräg zu einer Erstreckungsrichtung der ersten leitfähigen Leitung erstreckt und ein Ende davon hat, das mit einem Ende des ersten leitfähigen Musters verbunden ist; ein drittes leitfähiges Muster, das ein Ende davon hat, das mit dem anderen Ende des zweiten leitfähigen Musters verbunden ist; und ein viertes leitfähiges Muster, das ein Ende, das mit dem anderen Ende des dritten leitfähigen Musters verbunden ist, und das andere Ende davon hat, das mit dem anderen Ende eines ersten leitfähigen Musters einer benachbarten Einheit von leitfähigen Mustern der Vielfalt von leitfähigen Mustern verbunden ist; wobei sich optional das dritte leitfähige Muster parallel zu dem ersten leitfähigen Muster erstreckt und wobei sich das vierte leitfähige Muster in einer Richtung erstreckt, die die erste leitfähige Leitung, das erste leitfähige Muster, das zweite leitfähige Muster und das dritte leitfähige Muster schneidet.

12. Darstellungsvorrichtung nach Schutzanspruch 9, wobei sich die ersten leitfähigen Leitungen und die zweiten leitfähigen Leitungen in einer Richtung schräg zu einer Erstreckungsrichtung der

Datenleitungen oder der Abtastleitungen erstrecken.
wobei optional die ersten leitfähigen Leitungen (CL1) und die zweiten leitfähigen Leitungen (CL2) in einem Bereich zwischen den benachbarten lichtemittierenden Elementen angeordnet sind und wobei die lichtemittierenden Elemente in einem Bereich angeordnet sind, der von den ersten leitfähigen Leitungen (CL1) und den zweiten leitfähigen Leitungen (CL2) gebildet ist;
wobei optional mindestens zwei lichtemittierende Elemente der Vielzahl von Pixeln (PXL) in einem Bereich angeordnet sind, der durch die ersten leitfähigen Leitungen (CL1) und die zweiten leitfähigen Leitungen (CL2) gebildet ist
wobei optional Kanten von mindestens einigen der lichtemittierenden Elemente der Vielzahl von Pixeln (PXL) so angeordnet sind, dass sie die ersten leitfähigen Leitungen (CL1) überlappen.

Es folgen 16 Seiten Zeichnungen

FIG. 1

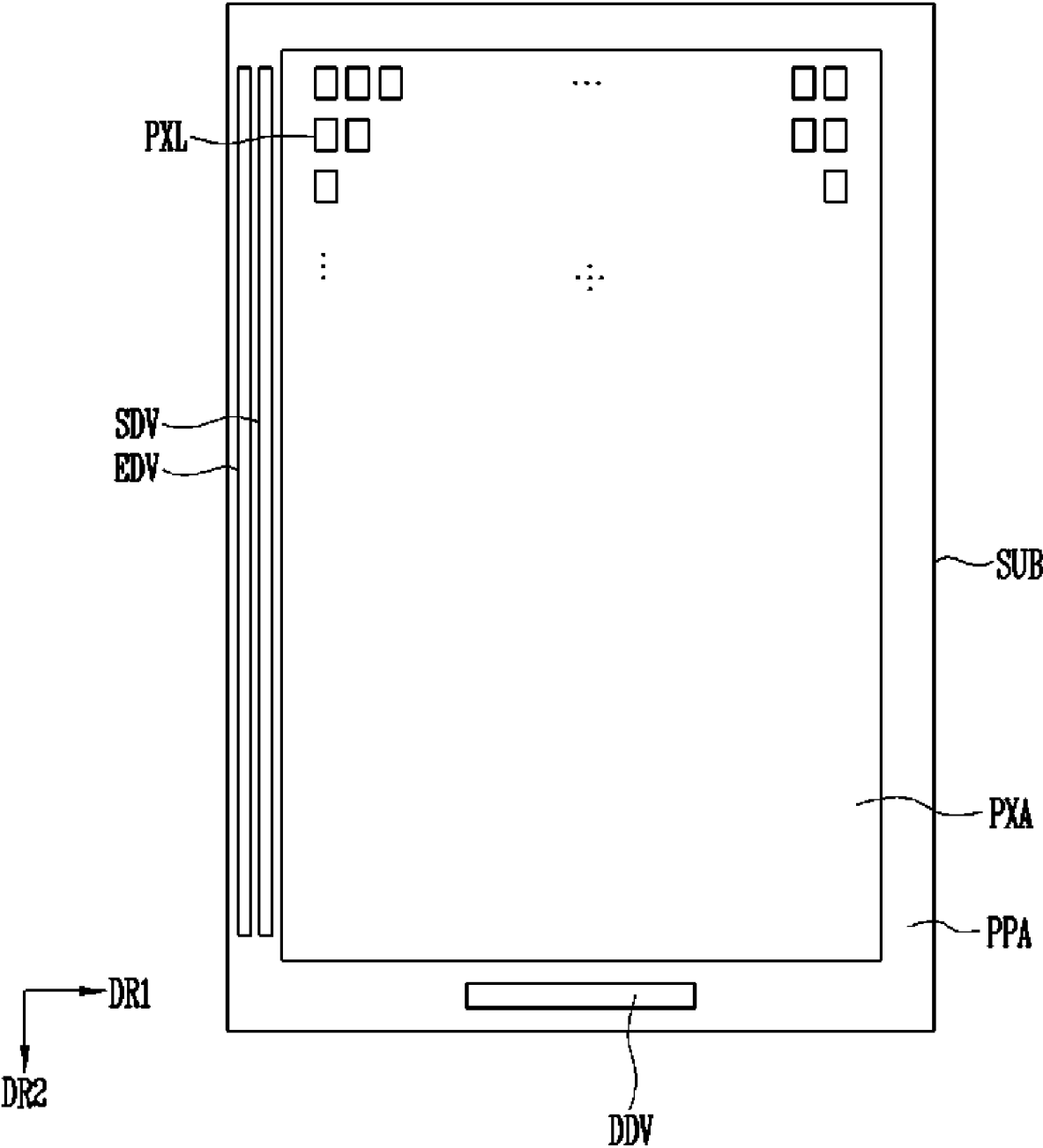


FIG. 2

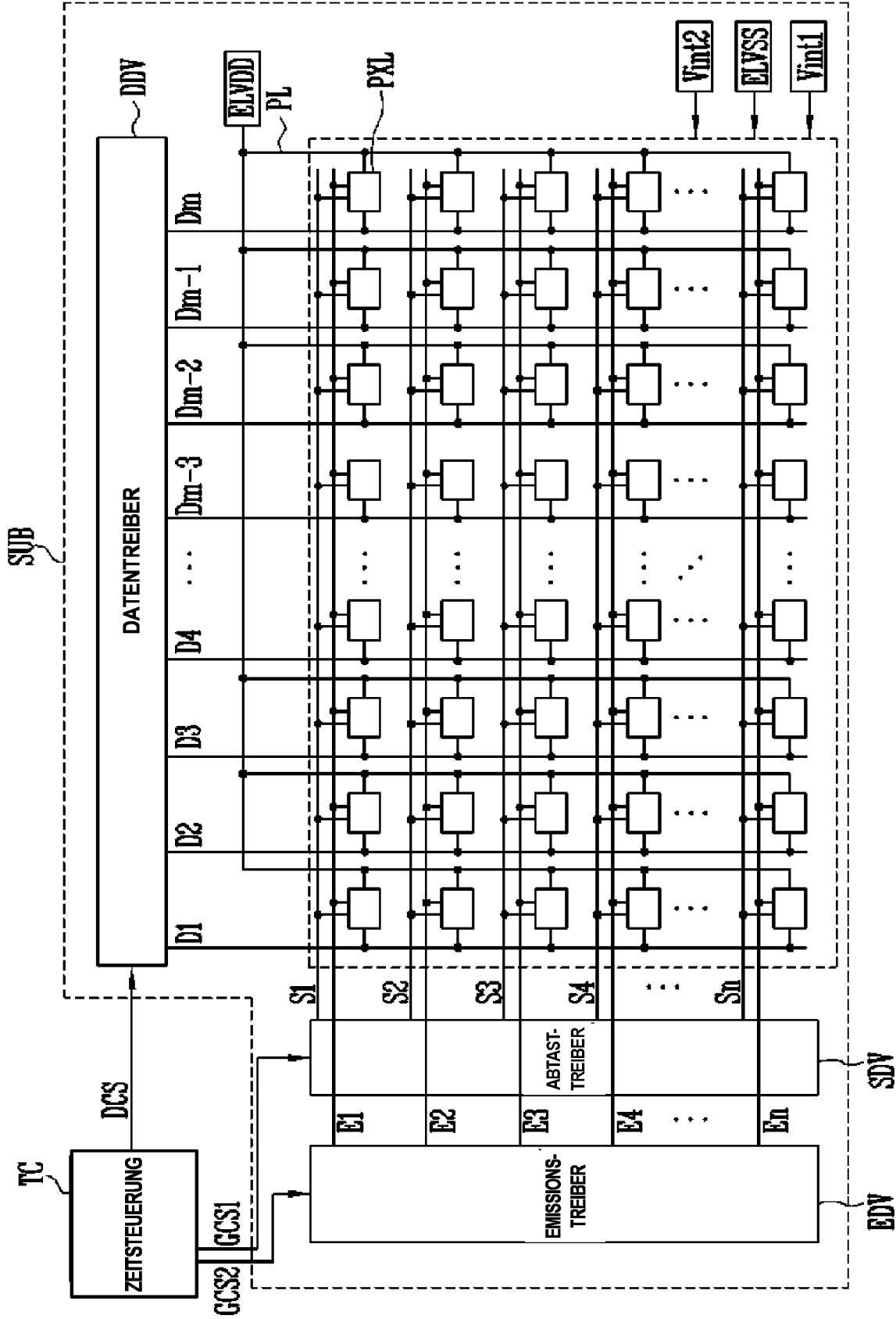


FIG. 3

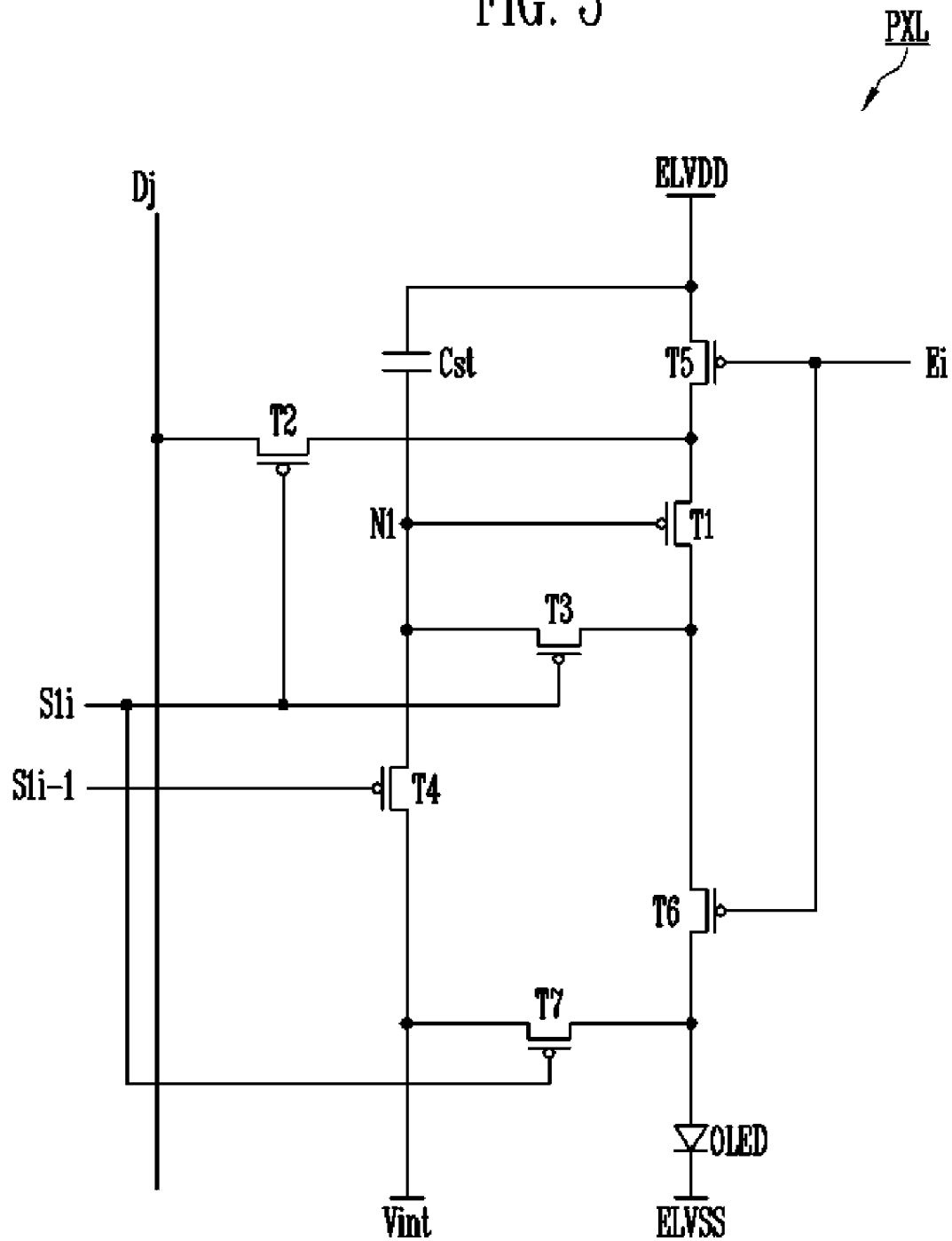


FIG. 4

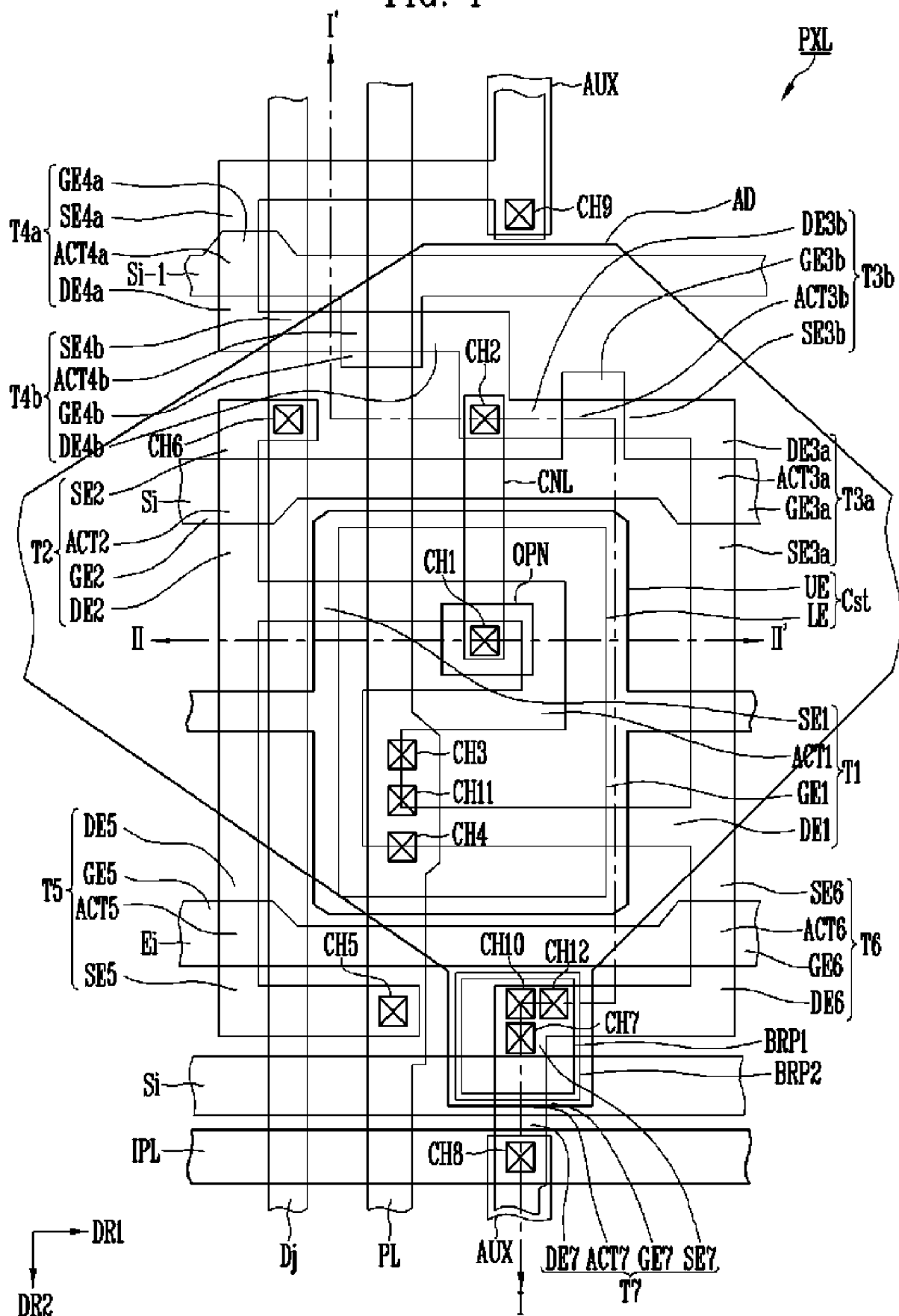


FIG. 5

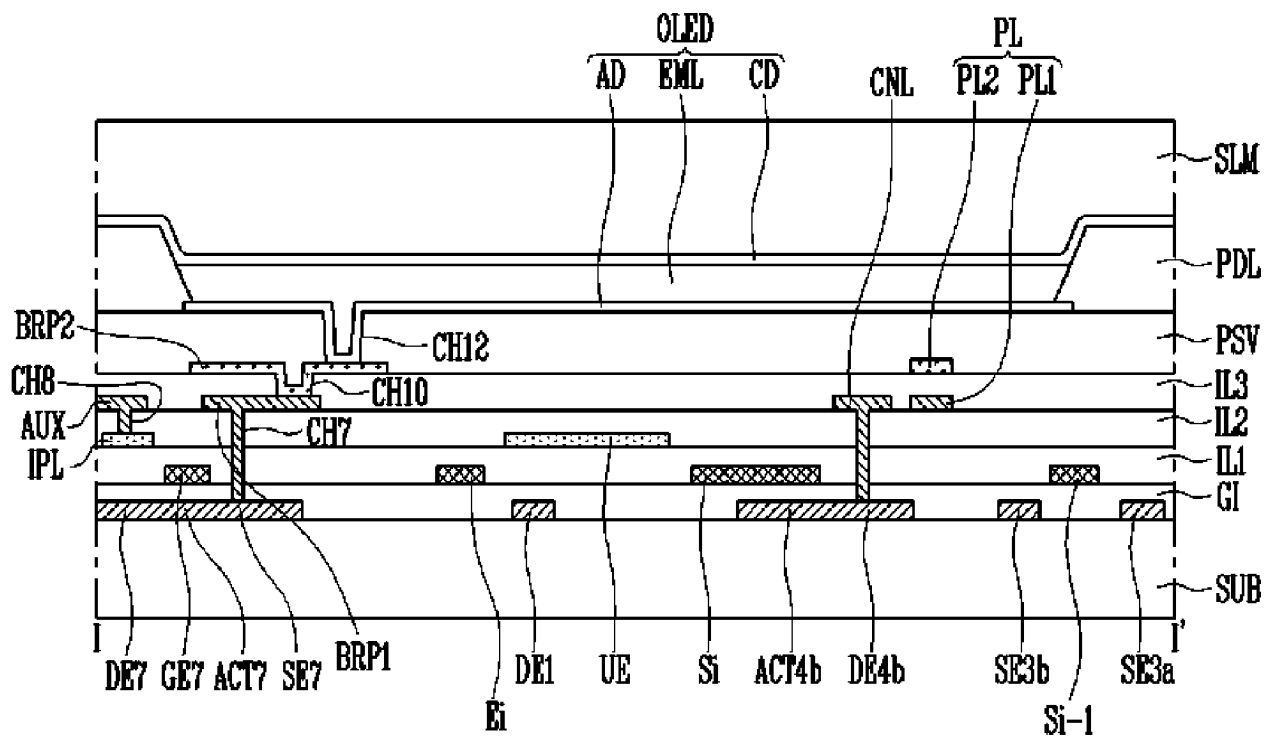


FIG. 6

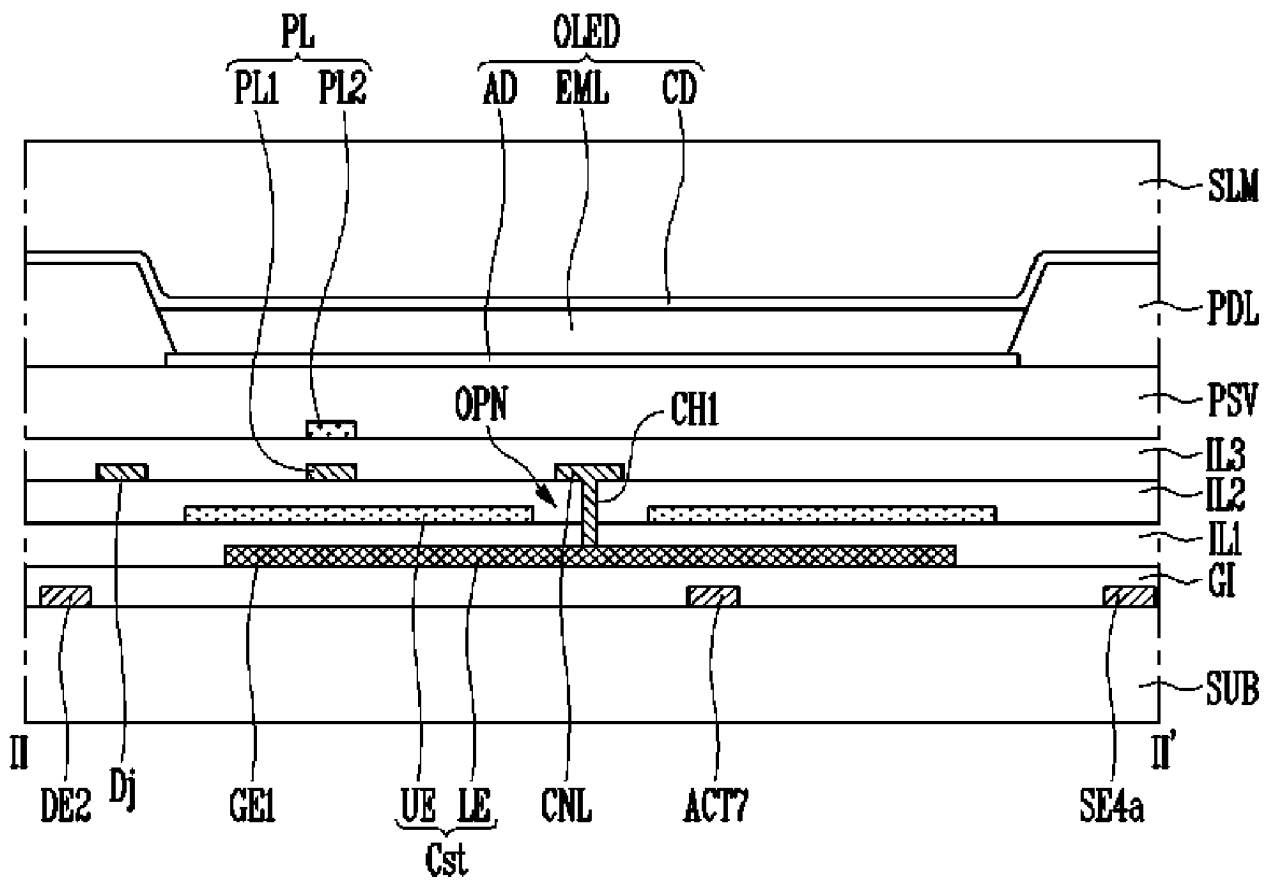


FIG. 7

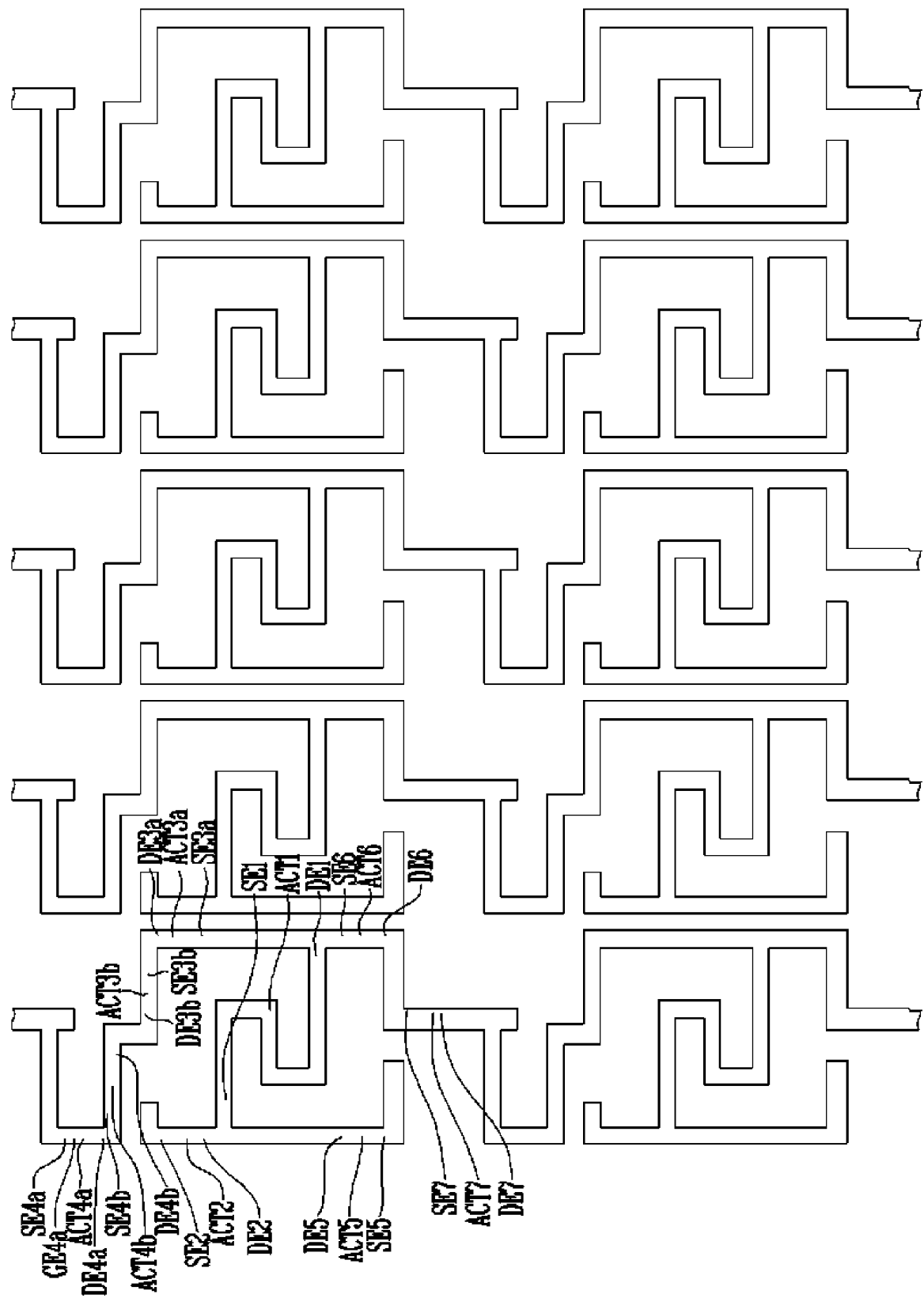


FIG. 8

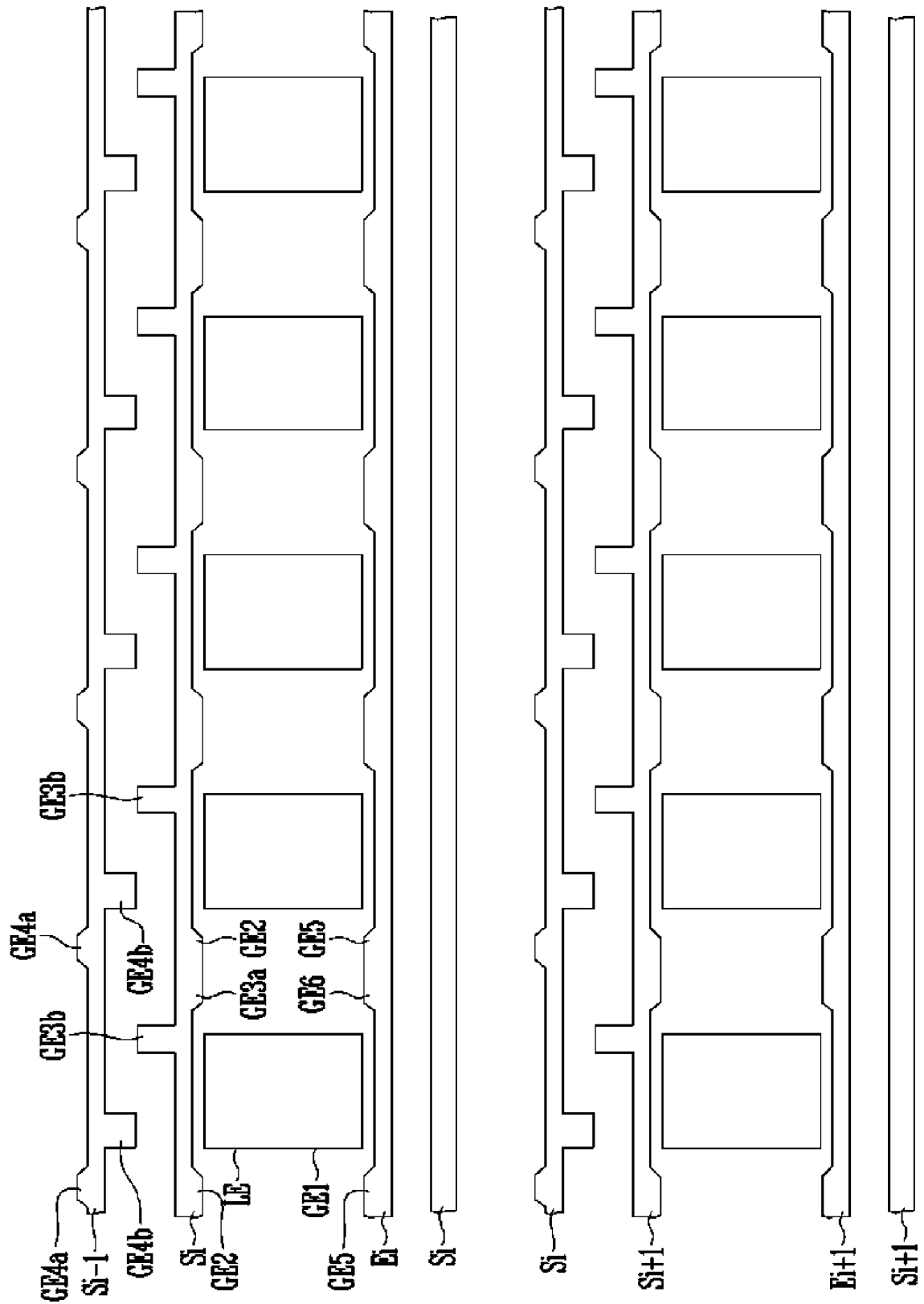


FIG. 9

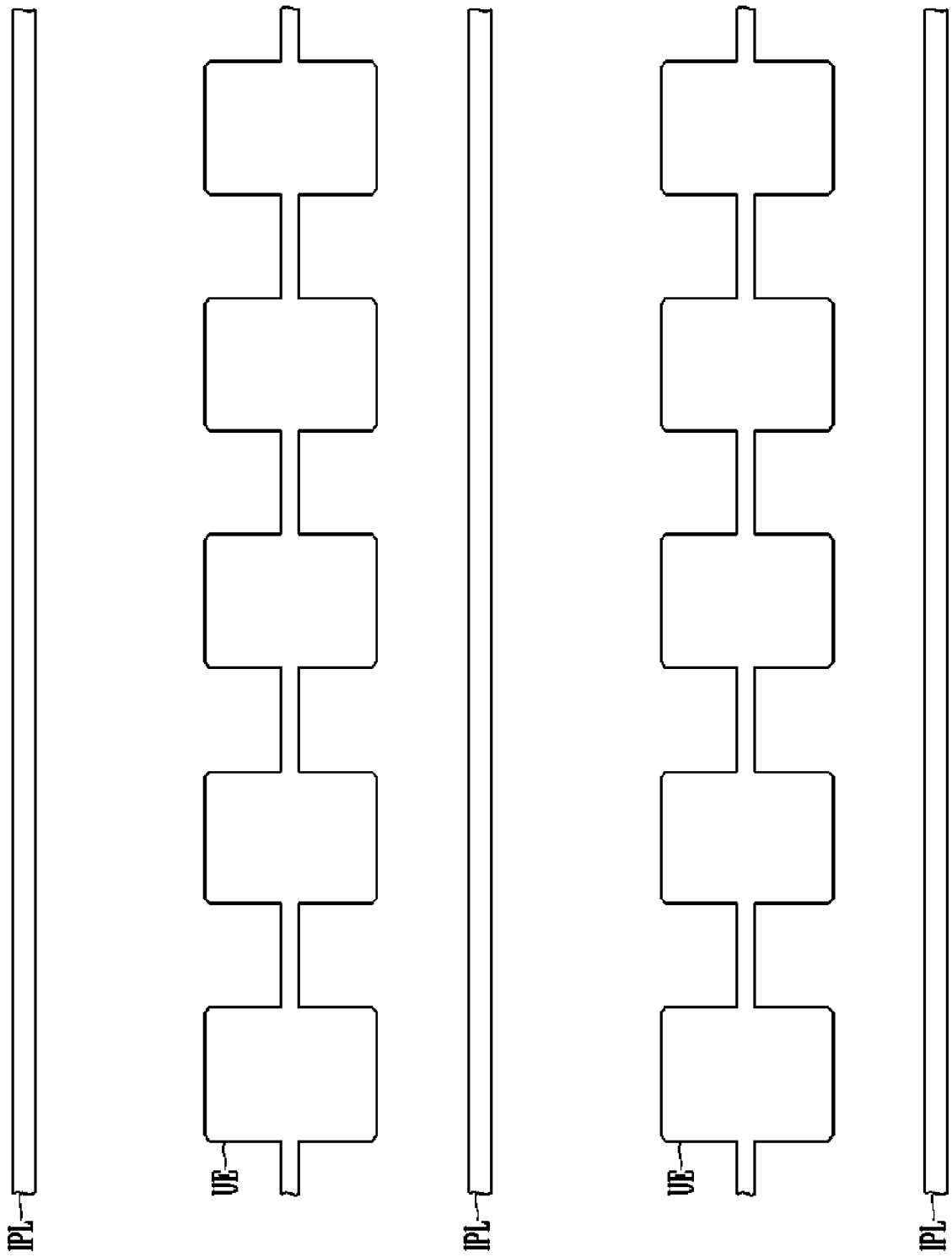


FIG. 10

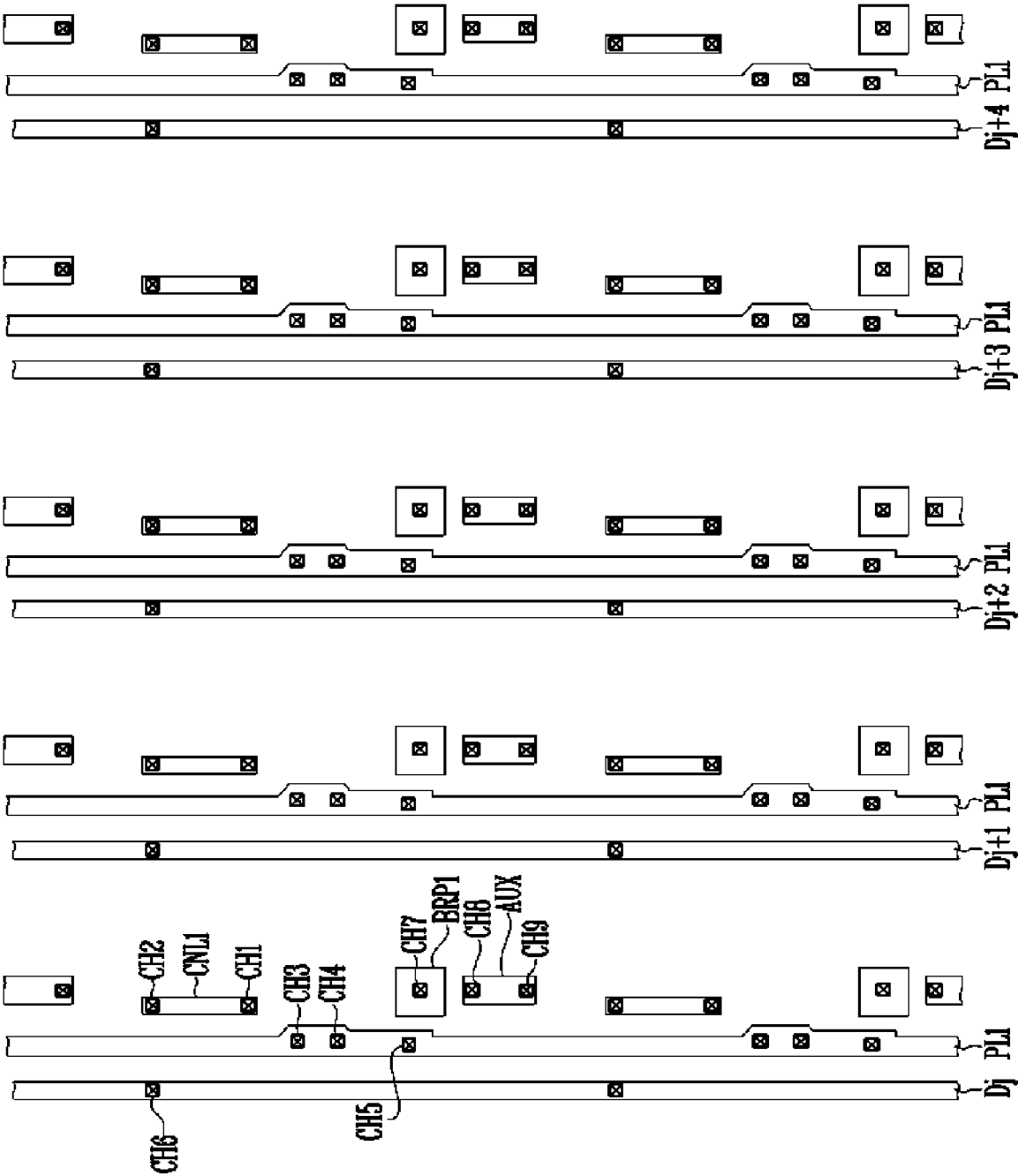


FIG. 11

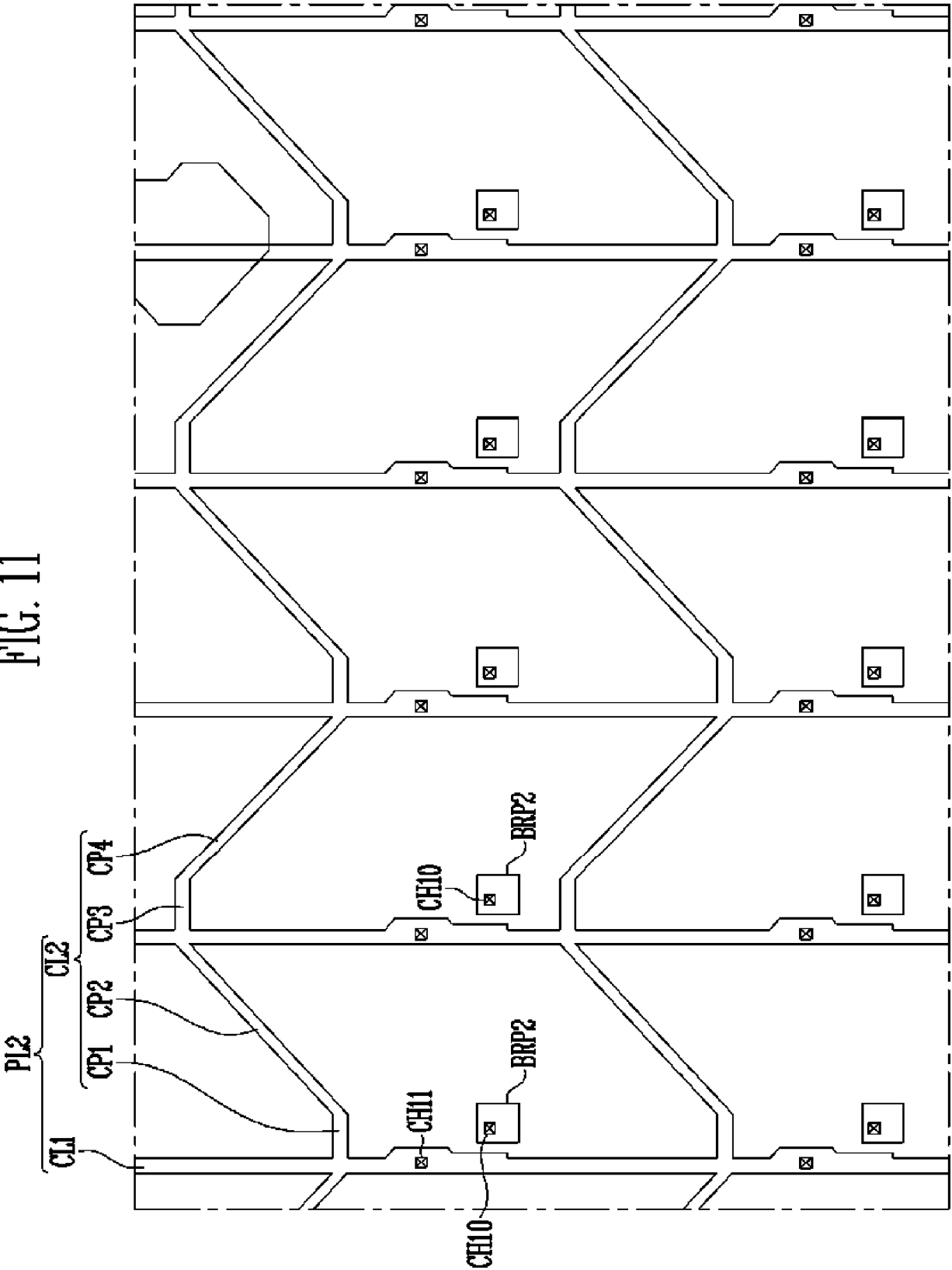


FIG. 12

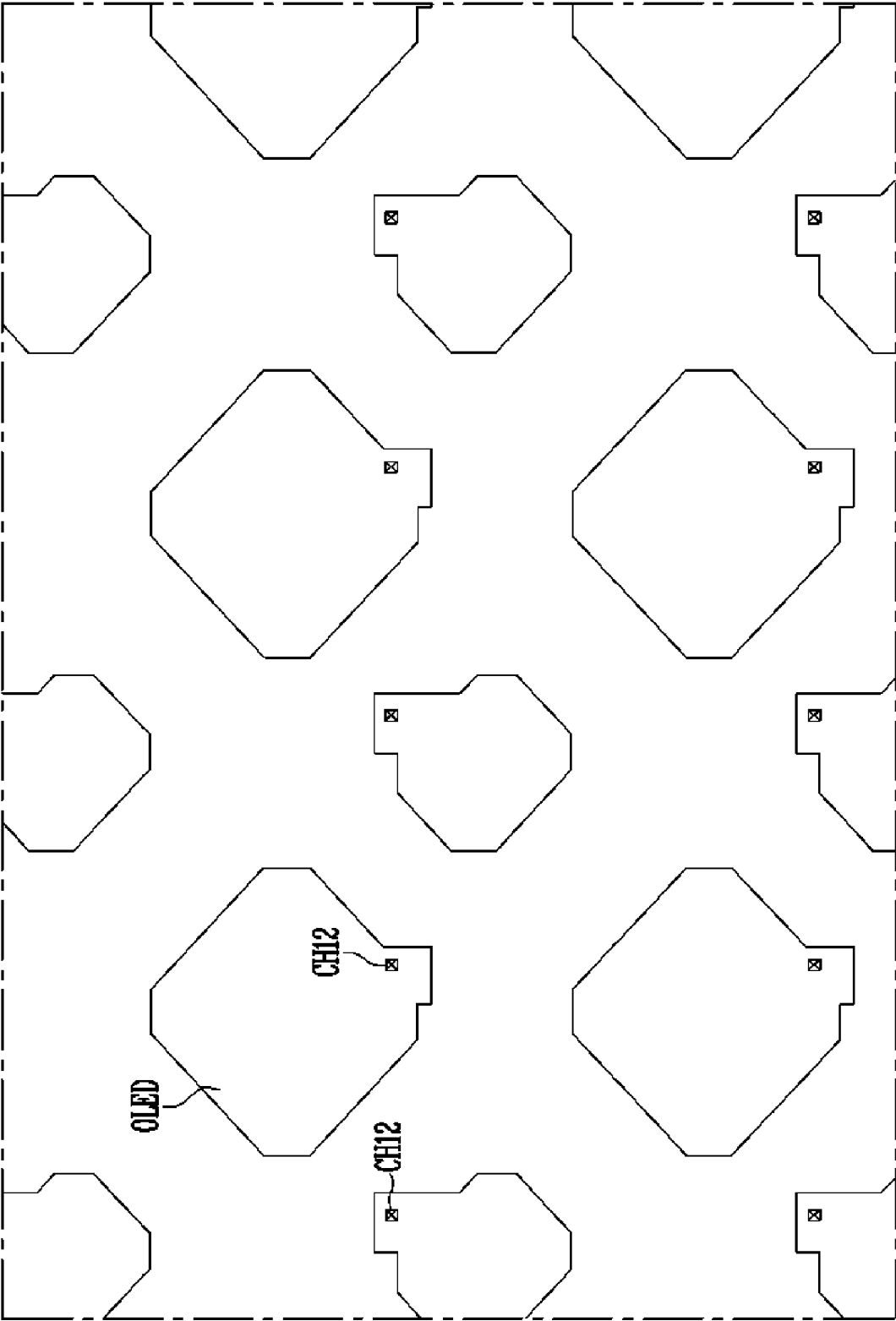


FIG. 13

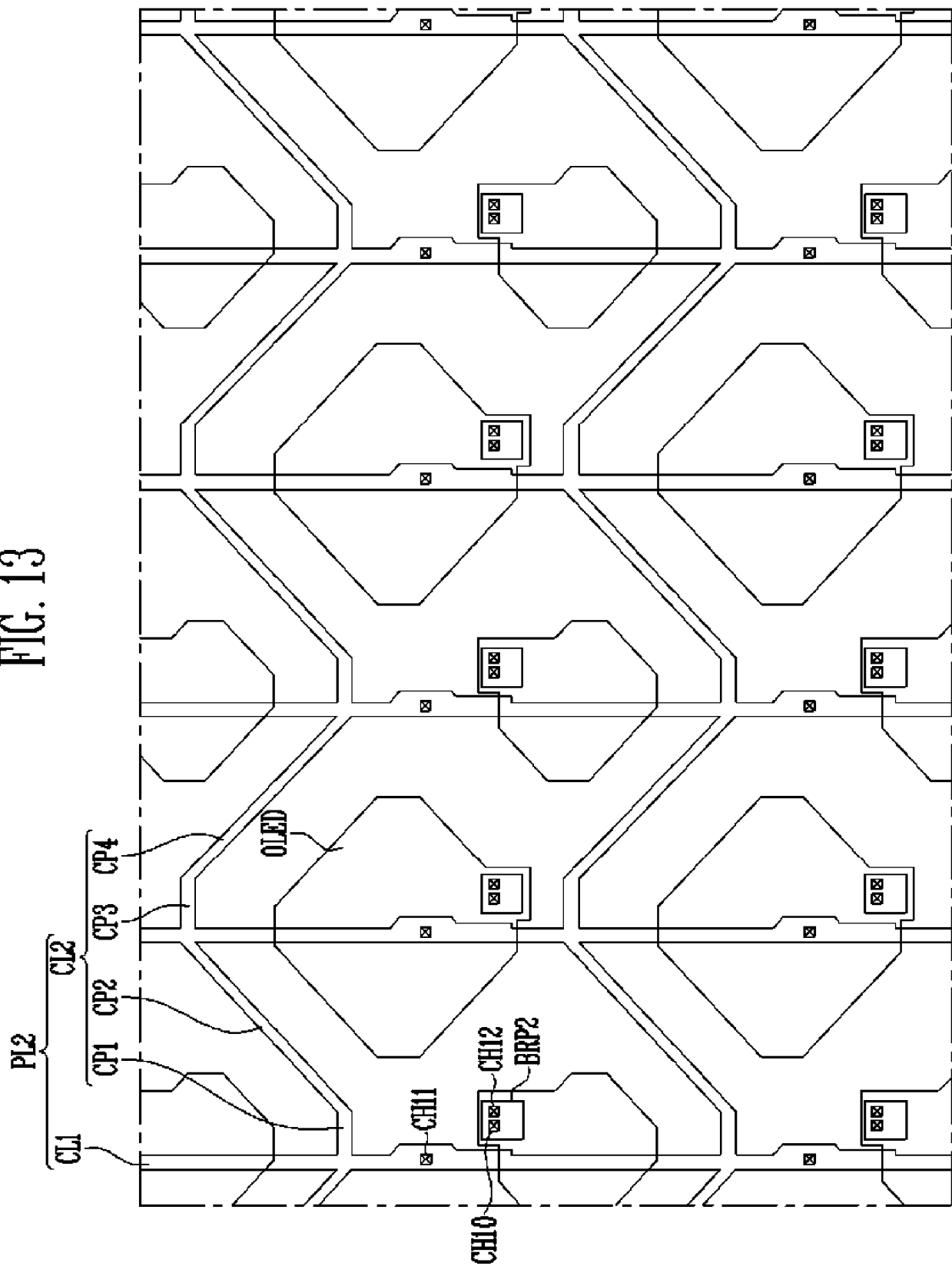


FIG. 14

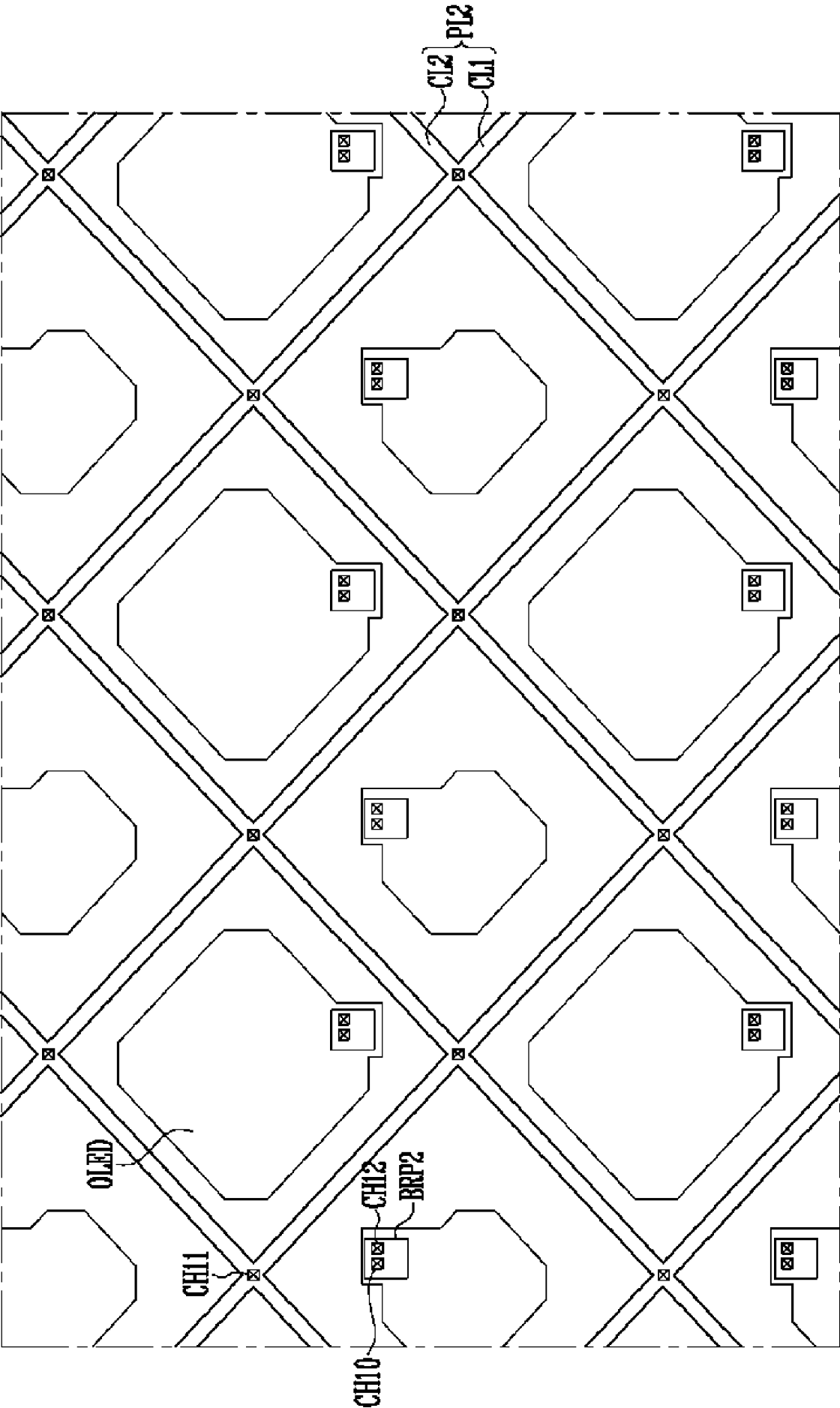


FIG. 15

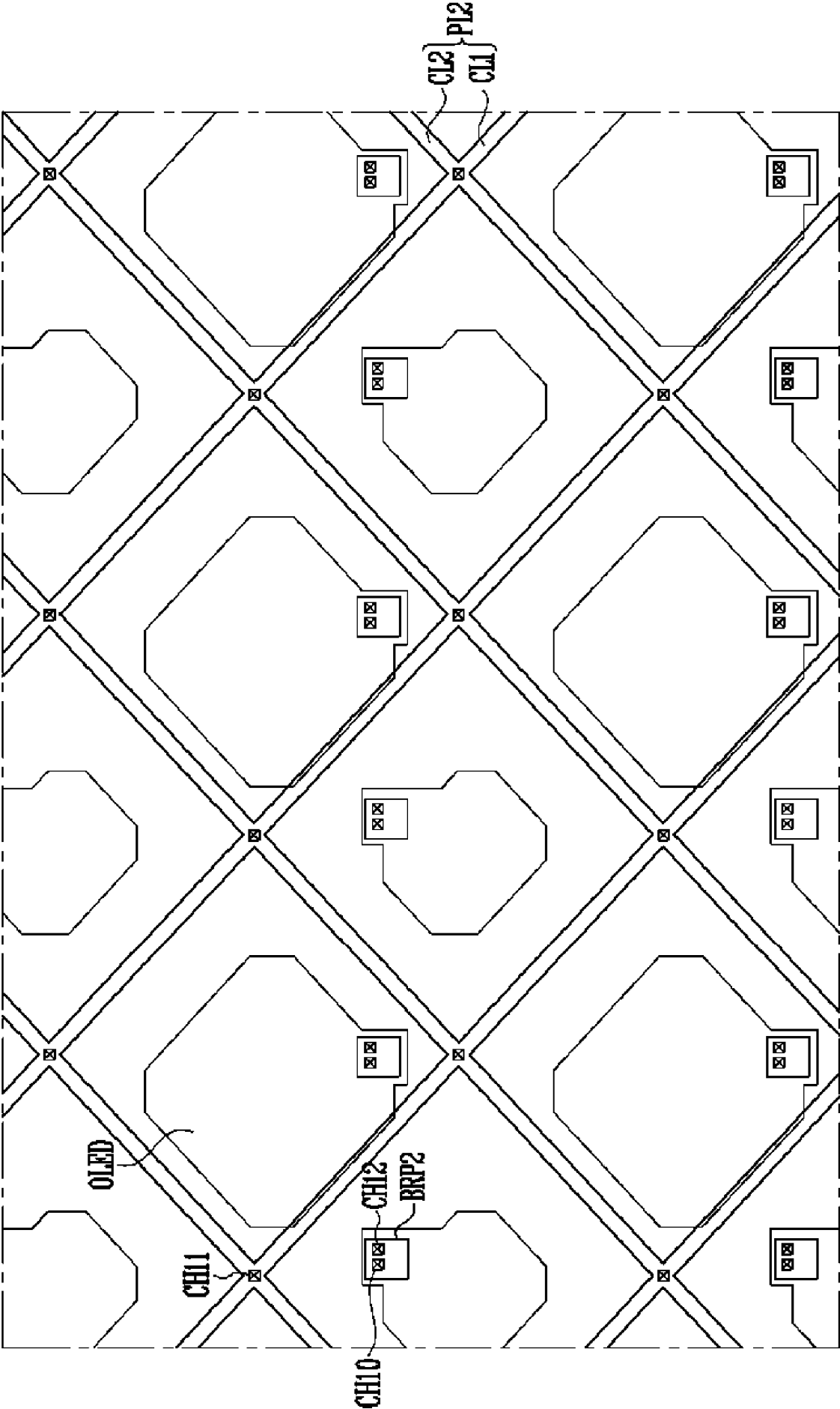


FIG. 16

