

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5132171号
(P5132171)

(45) 発行日 平成25年1月30日 (2013. 1. 30)

(24) 登録日 平成24年11月16日 (2012. 11. 16)

(51) Int. Cl.	F I
HO 1 L 21/8247 (2006. 01)	HO 1 L 27/10 4 3 4
HO 1 L 27/115 (2006. 01)	HO 1 L 29/78 3 7 1
HO 1 L 21/336 (2006. 01)	HO 1 L 27/10 4 8 1
HO 1 L 29/788 (2006. 01)	HO 1 L 29/50 M
HO 1 L 29/792 (2006. 01)	HO 1 L 21/28 A
請求項の数 6 (全 37 頁) 最終頁に続く	

(21) 出願番号	特願2007-76018 (P2007-76018)	(73) 特許権者	000153878
(22) 出願日	平成19年3月23日 (2007. 3. 23)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2007-294915 (P2007-294915A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成19年11月8日 (2007. 11. 8)	(72) 発明者	浅見 良信
審査請求日	平成22年3月12日 (2010. 3. 12)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2006-101254 (P2006-101254)		半導体エネルギー研究所内
(32) 優先日	平成18年3月31日 (2006. 3. 31)		
(33) 優先権主張国	日本国 (JP)	審査官	小山 満

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置及びその作製方法並びに半導体装置及びその作製方法

(57) 【特許請求の範囲】

【請求項 1】

チャンネル形成領域、ソース領域及びドレイン領域を有する半導体層と、
前記ソース領域及び前記ドレイン領域の一部と前記チャンネル形成領域とを覆う第 1 の絶縁膜と、

前記第 1 の絶縁膜上の浮遊ゲート電極と、
前記浮遊ゲート電極を覆う第 2 の絶縁膜と、
前記第 2 の絶縁膜上の制御ゲート電極と、
前記ソース領域上の第 1 の導電層と、
前記ドレイン領域上の第 2 の導電層と、
前記第 2 の絶縁膜、前記制御ゲート電極、前記第 1 の導電層及び前記第 2 の導電層上の第 3 の絶縁膜と、

前記第 3 の絶縁膜に形成されたコンタクトホールを介して前記第 1 の導電層と接する第 3 の導電層と、前記第 2 の導電層と接する第 4 の導電層と、を有し、

前記ソース領域と前記第 3 の導電層は、前記第 1 の導電層を介して電氣的に接続され、
前記ドレイン領域と前記第 4 の導電層は、前記第 2 の導電層を介して電氣的に接続され、
前記第 1 の導電層、前記第 2 の導電層及び前記制御ゲート電極は、同一の導電層を選択的にエッチングすることにより形成されることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

チャンネル形成領域、ソース領域及びドレイン領域を有する半導体層と、

10

20

前記ソース領域及び前記ドレイン領域の一部と前記チャネル形成領域とを覆う第 1 の絶縁膜と、

前記第 1 の絶縁膜上の浮遊ゲート電極と、

前記浮遊ゲート電極を覆う第 2 の絶縁膜と、

前記第 2 の絶縁膜上の制御ゲート電極と、

前記ソース領域上の第 1 の導電層と、

前記ドレイン領域上の第 2 の導電層と、

前記第 2 の絶縁膜、前記制御ゲート電極、前記第 1 の導電層及び前記第 2 の導電層上の第 3 の絶縁膜と、

前記第 3 の絶縁膜に形成されたコンタクトホールを介して前記第 1 の導電層と接する第 3 の導電層と、前記第 2 の導電層と接する第 4 の導電層と、を有し、

前記ソース領域と前記第 3 の導電層は、前記第 1 の導電層を介して電氣的に接続され、前記ドレイン領域と前記第 4 の導電層は、前記第 2 の導電層を介して電氣的に接続され、

前記制御ゲート電極は、前記第 2 の絶縁膜を介して前記浮遊ゲート電極を覆うように形成され、

前記浮遊ゲート電極によって生じた前記制御ゲート電極の段差部分には、サイドウォールが形成され、

前記第 1 の導電層、前記第 2 の導電層及び前記制御ゲート電極は、同一の導電層を選択的にエッチングすることにより形成されることを特徴とする不揮発性半導体記憶装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記浮遊ゲート電極は、第 1 の浮遊ゲート電極及び第 2 の浮遊ゲート電極の積層構造を有することを特徴とする不揮発性半導体記憶装置。

【請求項 4】

請求項 3 において、

前記第 1 の浮遊ゲート電極は前記第 1 の絶縁膜側に設けられ、前記第 1 の浮遊ゲート電極上に第 1 の浮遊ゲート電極よりも幅が短い前記第 2 の浮遊ゲート電極が設けられることを特徴とする不揮発性半導体記憶装置。

【請求項 5】

半導体層上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に浮遊ゲート電極を形成し、

前記浮遊ゲート電極をマスクとして前記半導体層に不純物元素を導入してソース領域及びドレイン領域を形成し、

前記浮遊ゲート電極を覆って第 2 の絶縁膜を形成し、

前記第 1 の絶縁膜と前記第 2 の絶縁膜の一部をエッチングして、前記ソース領域及び前記ドレイン領域の一部を露出させ、

前記第 2 の絶縁膜、前記露出した前記ソース領域及び前記ドレイン領域上に第 1 の導電層を形成し、

前記第 1 の導電層をエッチングして、前記第 2 の絶縁膜上に制御ゲート電極を形成し、前記露出した前記ソース領域上に第 2 の導電層及び前記露出した前記ドレイン領域上に第 3 の導電層を形成し、

前記第 2 の絶縁膜、前記制御ゲート電極、前記第 2 の導電層及び前記第 3 の導電層上に第 3 の絶縁膜を形成し、

前記第 3 の絶縁膜に、前記第 2 の導電層及び前記第 3 の導電層の一部が露出するコンタクトホールを開口し、

前記露出した前記第 2 の導電層上に、ソース電極を形成し、前記露出した前記第 3 の導電層上にドレイン電極を形成することを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項 6】

半導体層上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に浮遊ゲート電極を形成し、

前記浮遊ゲート電極をマスクとして前記半導体層に不純物元素を導入してソース領域及びドレイン領域を形成し、

前記浮遊ゲート電極を覆って第２の絶縁膜を形成し、

前記第１の絶縁膜と前記第２の絶縁膜の一部をエッチングして、前記ソース領域及び前記ドレイン領域の一部を露出させ、

前記第２の絶縁膜、前記露出した前記ソース領域及び前記ドレイン領域上に第１の導電層を形成し、

前記第１の導電層上に第３の絶縁膜を形成し、

前記第３の絶縁膜をエッチングして前記浮遊ゲート電極によって生じた段差部分にサイドウォールを形成し、

前記第１の導電層をエッチングして、前記第２の絶縁膜上に制御ゲート電極を形成し、前記露出した前記ソース領域上に第２の導電層及び前記露出した前記ドレイン領域上に第３の導電層を形成し、

前記第２の絶縁膜、前記制御ゲート電極、前記第２の導電層及び前記第３の導電層上に第４の絶縁膜を形成し、

前記第４の絶縁膜に、前記第２の導電層及び前記第３の導電層の一部が露出するコンタクトホールを開口し、

前記露出した前記第２の導電層上に、ソース電極を形成し、前記露出した前記第３の導電層上にドレイン電極を形成することを特徴とする不揮発性半導体記憶装置の作製方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、電氣的に書き込み、読み出し及び消去が可能な不揮発性半導体記憶装置並びにその作製方法に関する。

【背景技術】

【０００２】

データを電氣的に書き換え可能であり、電源を切ってもデータを記憶しておくことのできる不揮発性メモリの市場が拡大している。不揮発性メモリは、**M O S F E T (M e t a l O x i d e S e m i c o n d u c t o r F i e l d e f f e c t t r a n s i s t o r)**と類似の構造を有し、電荷を長期間蓄積することのできる領域がチャンネル形成領域上に設けられているところに特徴がある。また、不揮発性メモリの電荷蓄積領域は絶縁層上に形成され、周囲と絶縁分離されていることから浮遊ゲートとも呼ばれている。浮遊ゲート上には、さらに絶縁層を介して制御ゲートを備えている（例えば、特許文献１、特許文献２）。

【０００３】

このような構造を有する所謂浮遊ゲート型の不揮発性メモリは、制御ゲートに印加する電圧により、浮遊ゲートに電荷を蓄積させ、また放出させる動作が行われる。すなわち浮遊ゲートに保持させる電荷の出し入れにより、データを記憶する仕組みになっている。具体的に、浮遊ゲートへの電荷の注入や引き抜きは、チャンネル形成領域が形成される半導体層と、制御ゲートの間に高電圧を印加して行われている。このような不揮発性メモリは、シリコンウエハーに半導体記憶装置を作り込むだけでなく、ガラス基板、プラスチック基板、絶縁層を含むシリコンウエハー上に半導体記憶装置を形成する技術についても開発が行われている。

【０００４】

特許文献２には図２９に示す不揮発性半導体記憶装置が開示されている。図２９の不揮発性半導体記憶装置は、絶縁体１上に、半導体層からなるチャンネル領域２、ソース領域７、ドレイン領域８、第１の絶縁膜３、フローティングゲート４、第２の絶縁膜５、コントロールゲート６、ソース電極１５、ドレイン電極１１、ゲート電極９を有している。そして、ソース領域７、ドレイン領域８とソース電極１５、ドレイン電極１１はそれぞれ層間膜１３に形成されたコンタクトホールを介して接するように形成されている。

10

20

30

40

50

【特許文献１】特開平５－１８９９８４号公報

【特許文献２】特開平６－６１５０１号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

従来、図２９に示したような不揮発性半導体装置では、半導体層の膜厚が薄く、層間膜１３と半導体層との選択比が十分でない場合には、ドライエッチングによるコンタクトホール開口時に、層間膜１３だけでなく半導体層までエッチングされてしまい、コンタクト抵抗値の増大を招くという問題がある。大判のガラス基板を用いて不揮発性半導体装置を製作する場合には、さらにコンタクト抵抗値が増大してしまう。しかしながら、半導体層の膜厚を厚くすると、レーザー結晶化（ＬＣ）する際にマージンが狭くなってしまう。また、ＳＯＩ基板を用いる場合に半導体層の膜厚を厚くすると、ソース領域とドレイン領域の間の寄生トランジスタを抑制することができず完全空乏層型のＴＦＴを形成できなくなるという問題がある。

10

【０００６】

また、ウェットエッチングによりコンタクトホールを開口する場合は、層間膜と半導体層との選択比を限りなく高くとることができる。しかしながら、ウェットエッチングの場合、アスペクト比の高いコンタクトホールを形成することができないため高集積化が困難である。

【０００７】

20

また、層間膜を薄くしてドライエッチング開口におけるエッチングの時間を減らして半導体層のエッチングを抑える方法もあるが、層間膜を薄くした場合は、上層の配線とゲート電極の寄生容量が増えることになるため回路としての駆動能力低下に影響を与える恐れがある。

【０００８】

上記課題を鑑み、本発明は書き込み特性及び電荷保持特性に優れた不揮発性半導体記憶装置及びその作製方法を提供することを目的とする。

【課題を解決するための手段】

【０００９】

本発明の不揮発性半導体記憶装置は、ソース領域又はドレイン領域とソース配線又はドレイン配線との間に導電層を設けることを特徴とする。また、該導電層は、制御ゲート電極を形成する導電層と同じ導電層からなる。また、該導電層を覆うように絶縁膜が設けられており、該絶縁膜は該導電層表面の一部が露出するコンタクトホールを有することを特徴とする。また、該ソース配線又はドレイン配線は、該コンタクトホールを埋めるように形成されている。

30

【００１０】

本発明の不揮発性半導体記憶装置は、チャンネル形成領域、ソース領域及びドレイン領域を有する半導体層と、前記ソース領域及び前記ドレイン領域の一部と前記チャンネル形成領域とを覆う第１の絶縁膜と、前記第１の絶縁膜上に形成された浮遊ゲート電極と、前記浮遊ゲート電極を覆う第２の絶縁膜と、前記第２の絶縁膜上に形成された制御ゲート電極と、前記ソース領域及び前記ドレイン領域上に形成された導電層と、前記第２の絶縁膜、前記制御ゲート電極及び前記導電層上に形成された第３の絶縁膜と、前記第３の絶縁膜に形成されたコンタクトホールを介して前記導電層と接するソース電極又はドレイン電極と、を有し、前記ソース領域又は前記ドレイン領域と前記ソース電極又は前記ドレイン電極とは、前記導電層を介して電氣的に接続することを特徴とする。

40

【００１１】

本発明の不揮発性半導体記憶装置は、チャンネル形成領域、ソース領域及びドレイン領域を有する半導体層と、ソース領域及びドレイン領域の一部と前記チャンネル領域とを覆う第１の絶縁膜と、前記第１の絶縁膜上に形成された浮遊ゲート電極と、前記浮遊ゲート電極を覆う第２の絶縁膜と、前記第２の絶縁膜上に形成された制御ゲート電極と、前記ソース領

50

域及び前記ドレイン領域上に形成された導電層と、前記第2の絶縁膜、前記制御ゲート電極及び前記導電層上に形成された第3の絶縁膜と、前記第3の絶縁膜に形成されたコンタクトホールを介して前記導電層と接するソース電極又はドレイン電極と、を有し、前記ソース領域又は前記ドレイン領域と前記ソース電極又は前記ドレイン電極とは、前記導電層を介して電氣的に接続し、前記制御ゲート電極は、前記第2の絶縁膜を介して前記浮遊ゲート電極を覆うように形成され、前記制御ゲート電極にはサイドウォールが形成され、前記サイドウォールは前記浮遊ゲート電極によって生じた前記制御ゲート電極の段差部分に形成されていることを特徴とする。

【0012】

本発明の不揮発性半導体記憶装置の作製方法は、半導体層に、チャンネル形成領域、ソース領域及びドレイン領域を形成し、前記ソース領域及び前記ドレイン領域と前記チャンネル形成領域とを覆って第1の絶縁膜を形成し、前記第1の絶縁膜上に浮遊ゲート電極を形成し、前記浮遊ゲート電極を覆って第2の絶縁膜を形成し、前記第1の絶縁膜と前記第2の絶縁膜の一部をエッチングして、前記ソース領域及び前記ドレイン領域の一部を露出させ、前記第2の絶縁膜、前記露出した前記ソース領域及び前記ドレイン領域上に第1の導電層を形成し、前記第1の導電層をエッチングして、前記第2の絶縁膜上に制御ゲート電極と前記露出した前記ソース領域及び前記ドレイン領域上に第2の導電層を形成し、前記第2の絶縁膜、前記制御ゲート電極及び前記第2の導電層上に第3の絶縁膜を形成し、前記第3の絶縁膜に、前記第2の導電層の一部が露出するコンタクトホールを開口し、前記露出した第2の導電層上に、ソース電極又はドレイン電極を形成することを特徴とする。

【0013】

本発明の不揮発性半導体記憶装置の作製方法は、半導体層に、チャンネル形成領域、ソース領域及びドレイン領域を形成し、前記ソース領域及び前記ドレイン領域と前記チャンネル形成領域とを覆って第1の絶縁膜を形成し、前記第1の絶縁膜上に浮遊ゲート電極を形成し、前記浮遊ゲート電極を覆って第2の絶縁膜を形成し、前記第1の絶縁膜と前記第2の絶縁膜の一部をエッチングして、前記ソース領域及び前記ドレイン領域の一部を露出させ、前記第2の絶縁膜、前記露出した前記ソース領域及び前記ドレイン領域上に第1の導電層を形成し、前記第1の導電層上に第3の絶縁膜を形成し、前記第3の絶縁膜をエッチングして前記浮遊ゲート電極によって生じた段差部分にサイドウォールを形成し、前記第1の導電層をエッチングして、前記第2の絶縁膜上に制御ゲート電極と前記露出した前記ソース領域及び前記ドレイン領域上に第2の導電層を形成し、前記第2の絶縁膜、前記制御ゲート電極及び前記第2の導電層上に第4の絶縁膜を形成し、前記第4の絶縁膜に、前記第2の導電層の一部が露出するコンタクトホールを開口し、前記露出した第2の導電層上に、ソース電極又はドレイン電極を形成することを特徴とする。

【0014】

なお、前記浮遊ゲート電極の材料として、ゲルマニウム若しくはゲルマニウム化合物、ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又はゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物を用いることを特徴とする。

【0015】

また、前記浮遊ゲート電極は、第1の浮遊ゲート電極及び第2の浮遊ゲート電極との積層構造を有することを特徴とする。

【0016】

なお、前記第1の浮遊ゲート電極は前記第1の絶縁膜側に設けられ、前記第1の浮遊ゲート電極上に第1の浮遊ゲート電極よりも幅が短い第2の浮遊ゲート電極が設けられることを特徴とする。

【0017】

なお、前記第1の浮遊ゲート電極の材料として、ゲルマニウム若しくはゲルマニウム化合物、ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又はゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物を用い、前記第2の浮遊ゲート電極の材料として、シリコン若しくはシリコン化合物を用いることを特徴とする。

【発明の効果】

【0018】

ソース領域又はドレイン領域とソース配線又はドレイン配線との間に導電層を設けることにより、絶縁層をエッチングしてコンタクトホールを形成する際に、半導体層までエッチングされることがなくなり、コンタクト抵抗値の増大を防ぐことができる。よって、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性のよい不揮発性半導体記憶装置を作製することが可能となる。

【0019】

また、ソース領域又はドレイン領域とソース配線又はドレイン配線との間に設けられた導電層は、制御ゲート電極材料を用いて形成されるため、生産性を損なうことなく特性の優れた不揮発性半導体記憶装置を製造することができる。当該導電層は、制御ゲート電極と同じ工程で作製することができるため、製造設備に負担を強いることなく、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性のよい不揮発性半導体記憶装置を作製することが可能となる。

【発明を実施するための最良の形態】

【0020】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる場合がある。なお、以下に示す実施の形態1～3、実施例1～3は自由に組み合わせて用いることができる。

【0021】

(実施の形態1)

図1は本発明に係る不揮発性半導体記憶装置の主要な構成を説明するための断面図である。図1は、特に不揮発性メモリ素子の要部を示している。

【0022】

図1において、10は基板、12は下地絶縁膜、14は半導体層、29はチャネル形成領域、18a、18bはソース領域又はドレイン領域、16は第1の絶縁膜(トンネル絶縁膜ともいう)、20は浮遊ゲート電極、22は第2の絶縁膜(コントロール絶縁膜ともいう)、24は制御ゲート電極、26a、26bは導電層、28a、28bは導電層26a、26bを介してソース領域又はドレイン領域18a、18bと電氣的に接続するソース電極又はドレイン電極、28cは制御ゲート電極と電氣的接続をするゲート配線、27はパッシベーション用の絶縁膜を示している。

【0023】

図1に示す構成では、基板10上に下地絶縁膜12が形成され、下地絶縁膜12上にはソース領域又はドレイン領域18a、18b、チャネル形成領域29を有する半導体層14が形成され、半導体層14上に第1の絶縁膜16、導電層26a、26bが形成され、第1の絶縁膜16上に浮遊ゲート電極20が形成され、浮遊ゲート電極20及び第1の絶縁膜16上に第2の絶縁膜22が形成され、第2の絶縁膜22上には制御ゲート電極24が形成されている。ソース電極又はドレイン電極28a、28bは絶縁膜27に形成されたコンタクトホールを介してソース領域又はドレイン領域18a、18bに電氣的に接続され、ゲート配線28cは絶縁膜27に形成されたコンタクトホールを介して制御ゲート電極24に電氣的に接続されている。なお、ソース電極又はドレイン電極28a、28bとソース領域又はドレイン領域18a、18bとは、導電層26a、26bを介して電氣的に接続されている。なお、絶縁膜27上に平坦化用の絶縁膜を形成してもよい。

【0024】

次に、図1に示す不揮発性メモリ素子の作製方法について説明する。

【0025】

まず、絶縁表面を有する基板10上に、半導体層14を形成する(図2(A))。基板1

10

20

30

40

50

0と半導体層14の間には、下地絶縁膜12を設けてもよい(図2(A))。この下地絶縁膜12は、基板10から半導体層14へアルカリ金属などの不純物が拡散して汚染することを防ぐものであり、ブロッキング層として適宜設ければよい。

【0026】

絶縁表面を有する基板10としては、ガラス基板、石英基板、サファイア基板、セラミック基板、表面に絶縁膜が形成された金属基板などを用いることができる。

【0027】

下地絶縁膜12としては、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y)($x > y$)、窒化酸化シリコン(SiN_xO_y)($x > y$)等の絶縁材料を用いて形成する。例えば、下地絶縁膜12を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。

【0028】

半導体層14は、単結晶半導体又は多結晶半導体で形成されたものを用いることが好ましい。例えば、基板10上にスパッタリング法、プラズマCVD法若しくは減圧CVD法によって基板10の全面に形成された半導体層を結晶化させた後、選択的にエッチングして半導体層14を形成する。すなわち、素子分離の目的から、絶縁表面に島状の半導体層を形成し、該半導体層に一又は複数の不揮発性メモリ素子を形成することが好ましい。半導体材料としては、シリコンが好ましく、その他にシリコンゲルマニウム半導体を用いることもできる。半導体層の結晶化法としては、レーザー結晶化法、瞬間熱アニール(RTA)又はファーネスアニール炉を用いた熱処理による結晶化法、結晶化を助長する金属元素を用いる結晶化法又はこれら方法を組み合わせて行う方法を採用することができる。また、このような薄膜プロセスに換えて、絶縁表面に単結晶半導体層を形成した所謂SOI(Silicon on Insulator)基板を用いても良い。

【0029】

このように、絶縁表面に形成された半導体層を島状に分離形成することで、同一基板上にメモリ素子アレイと周辺回路を形成した場合にも、有効に素子分離をすることができる。すなわち、10V以上20V以下の電圧で書き込みや消去を行う必要のあるメモリ素子アレイと、3V以上7V以下の電圧で動作してデータの入出力や命令の制御を主として行う周辺回路を同一基板上に形成した場合でも、各素子に印加する電圧の違いによる相互の干渉を防ぐことができる。

【0030】

次に、半導体層14表面に第1の絶縁膜16を形成する(図2(B))。第1の絶縁膜16は酸化シリコン若しくは酸化シリコンと窒化シリコンの積層構造で形成する。第1の絶縁膜16は、プラズマCVD法や減圧CVD法により絶縁膜を堆積することで形成しても良いが、好ましくはプラズマ処理による固相酸化若しくは固相窒化で形成すると良い。半導体層(代表的にはシリコン層)を、プラズマ処理により酸化又は窒化することにより形成した絶縁膜は、緻密で絶縁耐圧が高く信頼性に優れているためである。第1の絶縁膜16は、浮遊ゲート電極20に電荷を注入するためのトンネル絶縁膜として用いるので、このように丈夫であるものが好ましい。この第1の絶縁膜16は8nm以上20nm以下、好ましくは8nm以上10nm以下の厚さに形成することが好ましい。例えば、ゲート長を600nmとする場合、第1の絶縁膜16は8nm以上10nm以下の厚さに形成することができる。

【0031】

プラズマ処理による固相酸化処理若しくは固相窒化処理として、マイクロ波(代表的には2.45GHz)で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下、且つ電子温度が0.5eV以上1.5eV以下のプラズマを利用することが好ましい。固相酸化処理若しくは固相窒化処理において、500℃以下の温度において、緻密な絶縁膜を形成すると共に実用的な反応速度を得るためである。

10

20

30

40

50

【0032】

このプラズマ処理により半導体層14の表面を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）又は一酸化二窒素（ N_2O ）と希ガス（ He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む）雰囲気下、若しくは酸素又は一酸化二窒素と水素（ H_2 ）と希ガス雰囲気下）で行う。また、プラズマ処理により窒化をする場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（ He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む）雰囲気下、窒素と水素と希ガス雰囲気下、若しくは NH_3 と希ガス雰囲気下）でプラズマ処理を行う。本実施の形態では、希ガスとして例えば Ar を用いることができる。また、 Ar と Kr を混合したガスを用いてもよい。

【0033】

図4にプラズマ処理を行うための装置の構成例を示す。このプラズマ処理装置は、基板10を配置するための支持台88と、ガスを導入するためのガス供給部84、ガスを排気するために真空ポンプに接続する排気口86、アンテナ80、誘電体板82、プラズマ発生のマイクロ波を供給するマイクロ波供給部92を有している。また、支持台88に温度制御部90を設けることによって、基板10の温度を制御することも可能である。

【0034】

以下に、プラズマ処理について説明する。なお、プラズマ処理とは、半導体層、絶縁膜、導電層に対する酸化処理、窒化処理、酸窒化処理、水素化処理、表面改質処理を含んでいる。これらの処理は、その目的に応じて、ガス供給部84から供給するガスを選択すればよい。

【0035】

酸化処理若しくは窒化処理を行うには以下のようにすれば良い。まず、処理室内を真空にし、ガス供給部84から酸素又は窒素を含むプラズマ処理用ガスを導入する。基板10は室温若しくは温度制御部90により100 以上550 以下に加熱する。なお、基板10と誘電体板82との間隔は、20 nm以上80 mm以下（好ましくは20 nm以上60 mm以下）程度である。次に、マイクロ波供給部92からアンテナ80にマイクロ波を供給する。そしてマイクロ波をアンテナ80から誘電体板82を通して処理室内に導入することによって、プラズマ94を生成する。マイクロ波の導入によりプラズマの励起を行うと、低電子温度（3 eV以下、好ましくは1.5 eV以下）で高電子密度（ $1 \times 10^{11} \text{ cm}^{-3}$ 以上）のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル（OHラジカルを含む場合もある）及び/又は窒素ラジカル（NHラジカルを含む場合もある）によって、半導体層の表面を酸化又は窒化することができる。プラズマ処理用ガスにアルゴンなどの希ガスを混合させると、希ガスの励起種により酸素ラジカルや窒素ラジカルを効率良く生成することができる。この方法は、プラズマで励起した活性なラジカルを有効に使うことにより、500 以下の低温で固相反応による酸化、窒化若しくは酸化窒化を行うことができる。

【0036】

図2（B）において、プラズマ処理により形成される好適な第1の絶縁膜16の一例は、酸化雰囲気下のプラズマ処理により半導体層14表面に8 nm以上10 nm以下の厚さで酸化シリコン層を形成し、その後窒素雰囲気下でその酸化シリコン層の表面を窒化プラズマで処理した窒素プラズマ処理層を形成した積層構造とする。具体的には、まず、酸素雰囲気下でのプラズマ処理により半導体層14上に8 nm以上10 nm以下の厚さで酸化シリコン層を形成する。その後、続けて窒素雰囲気下でプラズマ処理を行うことにより酸化シリコン層の表面又は表面近傍に窒素濃度の高い窒素プラズマ処理層を設ける。なお、表面近傍とは、酸化シリコン層の表面から概略0.5 nm～1.5 nmの深さをいう。例えば、窒素雰囲気下でプラズマ処理を行うことによって、酸化シリコン層の表面から概略1 nmの深さに窒素を20～50原子%の割合で含有させた構造とする。

【0037】

いずれにしても、上記のようなプラズマ処理による固相酸化処理若しくは固相窒化処理を用いることで、耐熱温度が700 以下のガラス基板を用いても、950 以上1050

10

20

30

40

50

以下程度の加熱で形成される熱酸化膜と同等な絶縁膜を得ることができる。すなわち、不揮発性メモリ素子のトンネル絶縁膜として信頼性の高いトンネル絶縁膜を形成することができる。

【0038】

続いて、第1の絶縁膜16上に導電層25を形成する(図2(C))。そして、導電層25を選択的にエッチングすることにより、第1の絶縁膜16上に浮遊ゲート電極20を形成する(図2(D))。浮遊ゲート電極20は、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)、ゲルマニウム(Ge)から選ばれた元素でなる膜、または前記元素の窒化物でなる膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜)を用いることができる。前記シリコン膜に対しては、リンやボロンなどの不純物を添加してもよい。単層の導電層で形成しても良いが、二層、三層といった積層膜としてもよい。スパッタ法又はCVD法により形成する。

10

【0039】

なお、好ましくは、浮遊ゲート電極20を形成する半導体材料のバンドギャップが、半導体層14のバンドギャップより小さいことが好ましい。半導体層14の伝導帯の底のエネルギーレベルより、浮遊ゲート電極20の伝導帯の底のエネルギーレベルを低くすることにより、キャリア(電子)の注入性を向上させ、電荷保持特性を向上させるためである。

20

【0040】

また、浮遊ゲート電極20を形成する半導体材料は、半導体層14を形成する材料よりも抵抗率が小さい材料で形成されていることが好ましい。浮遊ゲート電極20を抵抗率の小さい半導体材料で形成することにより、制御ゲート電極と半導体層の間に電圧を印加したとき、電界が浮遊ゲート電極で印加電圧が分圧されずにすみ、電界を半導体層に有効に作用させることができる。例えば、ゲルマニウムは $40 \sim 70 \text{ } \cdot \text{cm}$ の固有抵抗を有するので好ましい。また、抵抗率を下げる目的で浮遊ゲート電極20にn型不純物を添加しても良い。このように、半導体層14と比較して、浮遊ゲート電極20をバンドギャップが小さく抵抗率が低い材料で形成することで、書き込み特性を向上させることができる。

30

【0041】

また、浮遊ゲート電極20を形成する半導体材料は、第1の絶縁層16により形成される半導体層14の電子に対する障壁エネルギーに対し、第1の絶縁層16により形成される浮遊ゲート電極20の電子に対する障壁エネルギーが高くなるものであることが好ましい。半導体層14から浮遊ゲート電極20へのキャリア(電子)を注入しやすくし、浮遊ゲート電極20から電荷が消失することを防ぐためである。

【0042】

このような条件を満たすものとして、代表的にはゲルマニウム若しくはゲルマニウム化合物で浮遊ゲート電極20を形成することができる。ゲルマニウム化合物の代表例としては、シリコンゲルマニウムであり、この場合シリコンに対してゲルマニウムが10原子%以上含まれていることが好ましい。ゲルマニウムの濃度が10原子%以下であると、構成元素としての効果が薄れ、バンドギャップが有効に小さくならないためである。

40

【0043】

浮遊ゲートは電荷を蓄積する目的で、本発明に係る不揮発性半導体記憶装置に適用されるが、同様の機能を備えるものであれば他の半導体材料を適用することもできる。例えば、ゲルマニウムを含む三元系の半導体であっても良い。また、当該半導体材料が水素化されていても良い。また、不揮発性メモリ素子の電荷蓄積層としての機能を持つものとして、当該ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又は当該ゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物の層で置き換えることもできる。

【0044】

50

また、浮遊ゲート電極 20 を、第 1 の浮遊ゲート電極と第 2 の浮遊ゲート電極の積層構造で設けてもよい。なお、その場合、好ましくは、第 1 の絶縁層 16 側に設けられる第 1 の浮遊ゲート電極は、ゲルマニウム若しくはゲルマニウム化合物等で形成し、第 2 の絶縁層 22 側に設ける第 2 の浮遊ゲート電極層は、シリコン若しくはシリコン化合物で形成するとよい。シリコン化合物としては、窒化シリコン、窒化酸化シリコン、炭化シリコン、ゲルマニウムを 10 原子%未満の濃度で含むシリコンゲルマニウム、金属窒化物、金属酸化物などを適用することができる。シリコン若しくはシリコン化合物は、ゲルマニウム若しくはゲルマニウム化合物よりもエネルギーギャップが大きい。このように、第 2 の浮遊ゲート電極層を、第 1 の浮遊ゲート電極層よりもバンドギャップの大きな材料で形成することにより、浮遊ゲートに蓄積する電荷が第 2 の絶縁層 22 側にリークするのを防ぐことができる。また、第 2 の浮遊ゲート電極層を形成するものとして、金属窒化物又は金属酸化物を用いることができる。金属窒化物としては、窒化タンタル、窒化タングステン、窒化モリブデン、窒化チタンなどを用いることができる。金属酸化物としては、酸化タンタル、酸化チタン、酸化スズなどを用いることができる。

10

【0045】

いずれにしても、上記したシリコン若しくはシリコン化合物、金属窒化物又は金属酸化物の第 2 の浮遊ゲート電極は、ゲルマニウム若しくはゲルマニウム化合物で形成される第 1 の浮遊ゲート電極の上層側に設けることにより、製造工程においては、耐水性や耐薬品性を目的としたバリア層として用いることができる。それにより、フォトリソ工程、エッチング工程、洗浄工程における基板の扱いが容易となり、生産性を向上させることができる。すなわち、浮遊ゲートの加工を容易なものとすることができる。ただし、第 1 の浮遊ゲート電極、第 2 の浮遊ゲート電極材料はこれらに限られるものではない。また、浮遊ゲート電極は 2 層以上の積層構造としてもよい。

20

【0046】

次に、浮遊ゲート電極 20 をマスクとして、半導体層 14 に不純物元素を導入することによって、ソース領域又はドレイン領域 18a、18b を形成する（図 2（D）参照）。不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いる。n 型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p 型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。p 型不純物として、例えばホウ素を用いた場合、 5×10^{15} atoms/cm³ 以上 1×10^{16} atoms/cm³ 以下の濃度で添加する。これは、トランジスタのしきい値電圧を制御するためのものであり、チャネル形成領域 29 に添加されることで有効に作用する。チャネル形成領域 29 は、後述する浮遊ゲート電極 20 の下方に形成されるものであり、半導体層 14 の一対のソース領域又はドレイン領域 18a、18b の間に位置するものである。

30

【0047】

次に、浮遊ゲート電極 20 上に、第 2 の絶縁膜 22 を形成する（図 3（A））。第 2 の絶縁膜 22 は、酸化シリコン、酸化窒化シリコン（SiO_xN_y）（ $x > y$ ）、窒化シリコン（SiN_x）、窒化酸化シリコン（SiN_xO_y）（ $x > y$ ）、酸化アルミニウム（Al_xO_y）、HfO_x、又は TaO_x などの一層若しくは複数層を、減圧 CVD 法やプラズマ CVD 法などで形成する。第 2 の絶縁膜 22 は 20 nm 以上 60 nm 以下、好ましくは 30 nm 以上 40 nm 以下の膜厚で形成する。例えば、酸化シリコン層を 8 nm の膜厚で形成し、その上に窒化シリコン層を 2 nm の膜厚で形成し、その上に酸化窒化シリコン膜を 30 nm の膜厚で形成した積層膜を用いることができる。また、浮遊ゲート電極 20 にプラズマ処理を行い、その表面を窒化処理した窒化膜を形成してもよい。いずれにしても、第 1 の絶縁膜 16 と第 2 の絶縁膜 22 が、浮遊ゲート電極 20 と接する側の一方又は双方を窒化膜若しくは窒化処理された層とすることで、浮遊ゲート電極 20 の酸化を防ぐことができる。

40

【0048】

次に、第 1 の絶縁膜 16 及び第 2 の絶縁膜 22 を選択的にエッチングして、ソース領域又

50

はドレイン領域 18 a、18 b の表面の一部が露出するように、第 1 の絶縁膜 16 及び第 2 の絶縁膜 22 を除去する（図 3（B））。半導体層 14 上に、浮遊ゲート電極 20 の上方を覆い、ソース領域又はドレイン領域 18 a、18 b の一部を覆うようにレジスト 316 を形成する。そして、エッチングによりソース領域又はドレイン領域 18 a、18 b の一部が露出するように第 1 の絶縁膜 16 及び第 2 の絶縁膜 22 を除去する。

【0049】

次に、第 2 の絶縁膜 22、ソース領域又はドレイン領域 18 a、18 b 上に、導電層 19 を形成する（図 3（C））。そして、導電層 19 を選択的にエッチングして除去することによって、半導体層 14 の上方の一部に導電層 19 を残存させ、チャンネル形成領域 29 上に制御ゲート電極 24 を、ソース領域又はドレイン領域 18 a、18 b 上に第 1 の導電層 26 a、26 b を形成する（図 3（D））。制御ゲート電極 24 及び第 1 の導電層 26 a、26 b は、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、クロム（Cr）、ニオブ（Nb）等から選択された金属、又はこれらの金属を主成分とする合金材料若しくは化合物材料で形成することが好ましい。また、リン等の不純物元素を添加した多結晶シリコンを用いることができる。また、一層又は複数層の金属窒化物層 24 a と上記の金属層 24 b の積層構造で制御ゲート電極 24 を形成しても良い。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物層 24 a を設けることにより、金属層 24 b の密着性を向上させることができ、剥離を防止することができる。また、窒化タンタルなどの金属窒化物は仕事関数が高いので、第 2 の絶縁膜 22 との相乗効果により、第 1 の絶縁膜 16 の厚さを厚くすることができる。なお、導電層 26 a、26 b は、第 1 の絶縁膜 16 又は第 2 の絶縁膜 22 の一部を覆うように形成されていてもよい。

【0050】

次に、制御ゲート電極 24 及び第 1 の導電層 26 a、26 b 上に、コンタクトホール 315 を有する第 3 の絶縁膜 27 を形成する（図 3（E））。第 3 の絶縁膜 27 は、CVD 法やスパッタ法等により、酸化珪素（SiO_x）、窒化珪素（SiN_x）、酸化窒化珪素（SiO_xN_y）（ $x > y$ ）、窒化酸化珪素（SiN_xO_y）（ $x > y$ ）等の酸素または窒素を有する絶縁膜や DLC（ダイヤモンドライクカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0051】

なお、コンタクトホール 315 は、第 3 の絶縁膜 27 上にレジストマスクを形成し、ドライエッチングすることにより導電層 26 a、26 b の一部が露出するように形成する。本実施の形態では、ソース領域又はドレイン領域 18 a、18 b 上に導電層 26 a、26 b を設けるため、コンタクトホール 315 を形成するエッチングの際に、ソース領域又はドレイン領域として機能する半導体層までエッチングされることがない。

【0052】

次に、第 3 の絶縁膜 27 に形成されたコンタクトホールを介して、第 1 の導電層 26 a、26 b と接するようにソース電極又はドレイン電極（第 2 の導電層）28 a、28 b を形成する。（図 3（E））。また、制御ゲート電極 24 と接するようにゲート配線 28 c を形成する。なお、ソース領域又はドレイン領域 18 a、18 b とソース電極又はドレイン電極 28 a、28 b とは、第 1 の導電層 26 a、26 b を介して電氣的に接続している。ソース電極又はドレイン電極 28 a、28 b、ゲート配線 28 c は、CVD 法やスパッタリング法等により、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金

(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層の膜を形成した後、エッチングすることにより形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。

【0053】

ソース電極又はドレイン電極28a、28bは、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン(TiN)膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、ソース電極又はドレイン電極28a、28bを形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体層上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体層と良好なコンタクトをとることができる。

【0054】

図1に示すような構造を有する不揮発性メモリ素子は、ソース領域又はドレイン領域18a、18bとソース電極又はドレイン電極28a、28bとの間に導電層26a、26bが設けられている。よって、第3の絶縁膜27をエッチングする際に、半導体層までエッチングされることがなくなり、コンタクト抵抗値の増大を防ぐことができる。よって、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性のよいメモリを作製することが可能となる。

【0055】

このような不揮発性メモリ素子を用いて、様々な態様の不揮発性半導体記憶装置を得ることができる。図5に不揮発性メモリセルアレイの等価回路の一例を示す。1ビットの情報を記憶するメモリセルMS01は、選択トランジスタS01と不揮発性メモリ素子M01で構成されている。不揮発性メモリ素子M01は、図1に示す構造を有するメモリ素子である。なお、図5において、不揮発性メモリ素子M01~M03、M11~M13はそれぞれ図1に示す構造を有する不揮発性メモリ素子である。不揮発性メモリ素子M01~M03、M11~M13はそれぞれ選択トランジスタS01~S03、S11~S13によって制御される。なお、不揮発性メモリ素子又は選択トランジスタの個数は図5に示すものに限られない。

【0056】

選択トランジスタS01は、ビット線BL0と不揮発性メモリ素子M01の間に直列に挿入され、ゲートがワード線WL1に接続されている。不揮発性メモリ素子M01のゲートはワード線WL11に接続されている。不揮発性メモリ素子M01にデータを書き込むときは、ワード線WL1とビット線BL0をHレベル、BL1をLレベルとして、ワード線WL11に高電圧を印加する。それにより、浮遊ゲートに電荷が蓄積されて、不揮発性メモリ素子にデータを書き込むことができる。データを消去する場合には、ワード線WL1とビット線BL0をHレベルとし、ワード線WL11に負の高電圧を印加すればよい。

【0057】

このメモリセルMS01において、選択トランジスタS01と不揮発性メモリ素子M01をそれぞれ、絶縁表面に島状に分離して形成された半導体層30、32で形成することにより、素子分離領域を特段設けなくても、他の選択トランジスタ若しくは不揮発性メモリ素子との干渉を防ぐことができる。また、メモリセルMS01内の選択トランジスタS01と不揮発性メモリ素子M01は共にnチャネル型なので、この両者を一つの島状に分離した半導体層で形成することにより、この二つの素子を接続する配線を省略することができる。

10

20

30

40

50

【 0 0 5 8 】

図 6 は、ビット線に不揮発性メモリ素子を直接接続した N O R 型の等価回路を示している。このメモリセルアレイは、ワード線 W L とビット線 B L が互いに交差して配設し、各交差部に不揮発性メモリ素子を配置している。N O R 型は、個々の不揮発性メモリ素子のドレインをビット線 B L に接続する。ソース線 S L には不揮発性メモリ素子のソースが共通接続される。

【 0 0 5 9 】

この場合もこのメモリセル M S 0 1 において、不揮発性メモリ素子 M 0 1 を絶縁表面に島状に分離して形成された半導体層 3 2 で形成することにより、素子分離領域を特段設けなくても、他の不揮発性メモリ素子との干渉を防ぐことができる。また、複数の不揮発性メモリ素子（例えば、図 6 に示す M 0 1 ~ M 2 3 ）を一つのブロックとして扱い、これらの不揮発性メモリ素子を一つの島状に分離した半導体層で形成することにより、ブロック単位で消去動作を行うことができる。

10

【 0 0 6 0 】

N O R 型の動作は、例えば、次の通りである。データ書き込みは、ソース線 S L を 0 V とし、データを書込むために選択されたワード線 W L に高電圧を与え、ビット線 B L にはデータ " 0 " と " 1 " に応じた電位を与える。例えば、" 0 " と " 1 " に対してそれぞれ H レベル、L レベルの電位をビット線 B L に付与する。" 0 " データを書き込むべく、H レベルが与えられた不揮発性メモリ素子ではドレイン近傍でホットエレクトロンが発生し、これが浮遊ゲートに注入される。" 1 " データの場合この様な電子注入は生じない。

20

【 0 0 6 1 】

" 0 " データが与えられたメモリセルでは、ドレインとソースとの間の強い横方向電界により、ドレインの近傍でホットエレクトロンが生成され、これが浮遊ゲートに注入される。これにより、浮遊ゲートに電子が注入されてしきい値電圧が高くなった状態が " 0 " である。" 1 " データの場合はホットエレクトロンが生成されず、浮遊ゲートに電子が注入されずしきい値電圧の低い状態、すなわち消去状態が保持される。

【 0 0 6 2 】

データを消去するときは、ソース線 S L に 1 0 V 程度の正の電圧を印加し、ビット線 B L は浮遊状態としておく。そしてワード線に負の高電圧を印加して（制御ゲートに負の高電圧を印加して）、浮遊ゲートから電子を引き抜く。これにより、データ " 1 " の消去状態になる。

30

【 0 0 6 3 】

データ読み出しは、ソース線 S L を 0 V にすると共にビット線 B L を 0 . 8 V 程度とし、選択されたワード線 W L に、データ " 0 " と " 1 " のしきい値の中間値に設定された読み出し電圧を与え、不揮発性メモリ素子の電流引き込みの有無を、ビット線 B L に接続されるセンスアンプで判定することにより行う。

【 0 0 6 4 】

図 7 は、N A N D 型メモリセルアレイの等価回路を示す。ビット線 B L には、複数の不揮発性メモリ素子を直列に接続した N A N D セル N S 1 が接続されている。複数の N A N D セルが集まってブロック B L K を構成している。図 7 で示すブロック B L K 1 のワード線は 3 2 本である（ワード線 W L 0 ~ W L 3 1 ）。ブロック B L K 1 の同一行に位置する不揮発性メモリ素子には、この行に対応するワード線が共通接続されている。

40

【 0 0 6 5 】

この場合、選択トランジスタ S 1、S 2 と不揮発性メモリ素子 M 0 ~ M 3 1 が直列に接続されているので、これらを一つのまとまりとして一つの半導体層 3 4 で形成しても良い。それにより不揮発性メモリ素子を繋ぐ配線を省略することが出来るので、集積化を図ることができる。また、隣接する N A N D セルとの分離を容易に行うことができる。また、選択トランジスタ S 1、S 2 の半導体層 3 6 と N A N D セルの半導体層 3 8 を分離して形成しても良い。不揮発性メモリ素子 M 0 ~ M 3 1 の浮遊ゲートから電荷を引き抜く消去動作を行うときに、その N A N D セルの単位で消去動作を行うことができる。また、一つのワ

50

ード線に共通接続する不揮発性メモリ素子（例えばM30の行）を一つの半導体層40で形成しても良い。

【0066】

書込み動作では、NANDセルNS1が消去状態、つまりNANDセルNS1の各不揮発性メモリ素子のしきい値が負電圧の状態にしてから実行される。書込みは、ソース線SL側のメモリ素子M0から順に行う。メモリ素子M0への書込みを例として説明すると概略以下ようになる。

【0067】

図8(A)は、“0”書込みをする場合、選択ゲート線SG2に例えばVcc（電源電圧）を印加して選択トランジスタS2をオンにすると共にビット線BLを0V（接地電圧）にする。選択ゲート線SG1は0Vとして、選択トランジスタS1はオフとする。次に、メモリセルMS0のワード線WL0を高電圧Vpgm（20V程度）とし、これ以外のワード線を中間電圧Vpass（10V程度）にする。ビット線BLの電圧は0Vなので、選択されたメモリセルMS0のチャネル形成領域の電位は0Vとなる。ワード線WL0とチャネル形成領域との間の電位差が大きいため、メモリセルMS0の浮遊ゲートには前述のようにF-Nトンネル電流により電子が注入される。これにより、メモリセルMS0のしきい値電圧が正の状態（“0”が書込まれた状態）となる。

【0068】

一方“1”書込みをする場合は、図8(B)に示すように、ビット線BLを例えばVcc（電源電圧）にする。選択ゲート線SG2の電圧がVccであるため、選択トランジスタS2のしきい値電圧Vthに対して、VccマイナスVth（Vcc - Vth）になると、選択トランジスタS2がカットオフする。従って、メモリセルMS0のチャネル形成領域はフローティング状態となる。次に、ワード線WL0に高電圧Vpgm（20V）、それ以外のワード線に中間電圧Vpass（10V）の電圧を印加すると、各ワード線とチャネル形成領域との容量カップリングにより、チャネル形成領域の電圧がVcc - Vthから上昇し例えば8V程度となる。チャネル形成領域の電圧が高電圧に昇圧されるため、“0”の書込みの場合と異なり、ワード線WL0とチャネル形成領域の間の電位差が小さい。したがって、メモリセルMS0の浮遊ゲートには、F-Nトンネル電流による電子注入が起こらない。よって、メモリセルMS1のしきい値は、負の状態（“1”が書込まれた状態）に保たれる。

【0069】

消去動作をする場合は、図9(A)に示すように、選択されたブロック内の全てのワード線に負の高電圧（V_{ers}）を印加する。ビット線BL、ソース線SLをフローティング状態とする。これにより、ブロックの全てのメモリセルにおいて浮遊ゲート中の電子がトンネル電流により半導体層に放出される。この結果、これらのメモリセルのしきい値電圧が負方向にシフトする。

【0070】

図9(B)に示す読み出し動作では、読み出しの選択がされたメモリセルMS0のワード線WL0の電圧Vr（例えば0V）とし、非選択のメモリセルのワード線WL1～WL31及び選択ゲート線SG1、SG2を電源電圧より少し高い読み出し用中間電圧Vreadとする。すなわち、図9に示すように、選択メモリ素子以外のメモリ素子はトランスファートランジスタとして働く。これにより、読み出しの選択がされたメモリセルMS0に電流が流れるか否かを検出する。つまり、メモリセルMS0に記憶されたデータが“0”の場合、メモリセルMS0はオフなので、ビット線BLは放電しない。一方、“1”の場合、メモリセルMS0はオンするので、ビット線BLが放電する。

【0071】

図10は、不揮発性半導体記憶装置の回路ブロック図の一例を示している。不揮発性半導体記憶装置は、メモリセルアレイ52と周辺回路54が同一の基板上に形成されている。メモリセルアレイ52は、図5、図6、図7で示すような構成を有している。周辺回路54の構成は以下の通りである。

10

20

30

40

50

【 0 0 7 2 】

ワード線選択のためにロウデコーダ 6 2 と、ビット線選択のためにカラムデコーダ 6 4 が、メモリセルアレイ 5 2 の周囲に設けられている。アドレスは、アドレスバッファ 5 6 を介してコントロール回路 5 8 に送られ、内部ロウアドレス信号及び内部カラムアドレス信号がそれぞれロウデコーダ 6 2 及びカラムデコーダ 6 4 に転送される。

【 0 0 7 3 】

データ書き込み及び消去には、電源電位を昇圧した電位が用いられる。このため、コントロール回路 5 8 により動作モードに応じて制御される昇圧回路 6 0 が設けられている。昇圧回路 6 0 の出力はロウデコーダ 6 2 やカラムデコーダ 6 4 を介して、ワード線 W L やビット線 B L に供給される。センスアンプ 6 6 はカラムデコーダ 6 4 から出力されたデータが 10 入力される。センスアンプ 6 6 により読み出されたデータは、データバッファ 6 8 に保持され、コントロール回路 5 8 からの制御により、データがランダムアクセスされ、データ入出力バッファ 7 0 を介して出力されるようになっている。書き込みデータは、データ入出力バッファ 7 0 を介してデータバッファ 6 8 に一旦保持され、コントロール回路 5 8 の制御によりカラムデコーダ 6 4 に転送される。

【 0 0 7 4 】

このように、不揮発性半導体記憶装置では、メモリセルアレイ 5 2 において、電源電位とは異なる電位を用いる必要がある。そのため、少なくともメモリセルアレイ 5 2 と周辺回路 5 4 の間は、電氣的に絶縁分離されていることが望ましい。この場合、以下で説明する実施例のように、不揮発性メモリ素子及び周辺回路のトランジスタを絶縁表面に形成した半導体層で形成することにより、容易に絶縁分離をすることができる。それにより、誤動作を無くし、消費電力の低い不揮発性半導体記憶装置を得ることができる。

【 0 0 7 5 】

(実施の形態 2)

本実施の形態では、図 1 に示した不揮発性メモリ素子とは異なる構造の不揮発性メモリ素子の作製方法について説明する。本実施の形態では、図 1 1 に示す不揮発性メモリ素子について説明する。図 1 1 に示す不揮発性メモリ素子は、制御ゲート電極 2 4 にサイドウォール 3 0 0 が設けられている。

【 0 0 7 6 】

図 1 1 において、1 0 は基板、1 2 は下地絶縁膜、1 4 は半導体層、2 9 はチャネル形成領域、1 8 a、1 8 b はソース領域又はドレイン領域、1 6 は第 1 の絶縁膜 (トンネル絶縁膜ともいう)、2 0 は浮遊ゲート電極、2 2 は第 2 の絶縁膜 (コントロール絶縁膜ともいう)、2 4 は制御ゲート電極、3 0 0 はサイドウォール、2 6 a、2 6 b は導電層、2 8 a、2 8 b は導電層 2 6 a、2 6 b を介してソース領域又はドレイン領域 1 8 a、1 8 b と電氣的に接続するソース電極又はドレイン電極、2 8 c は制御ゲート電極と電氣的接続をするゲート配線、2 7 はパッシベーション用の絶縁膜を示している。

【 0 0 7 7 】

図 1 1 に示す構成では、基板 1 0 上に下地絶縁膜 1 2 が形成され、下地絶縁膜 1 2 上にはソース領域又はドレイン領域 1 8 a、1 8 b、チャネル形成領域 2 9 を有する半導体層 1 4 が形成され、半導体層 1 4 上に第 1 の絶縁膜 1 6、導電層 2 6 a、2 6 b が形成され、第 1 の絶縁膜 1 6 上に浮遊ゲート電極 2 0 が形成され、浮遊ゲート電極 2 0 及び第 1 の絶縁膜 1 6 上に第 2 の絶縁膜 2 2 が形成され、第 2 の絶縁膜 2 2 上には制御ゲート電極 2 4 が形成され、制御ゲート電極 2 4 にはサイドウォール 3 0 0 が形成されている。また第 2 の絶縁膜 2 2、制御ゲート電極 2 4 及びサイドウォール 3 0 0 上に絶縁膜 2 7 が形成されている。ソース電極又はドレイン電極 2 8 a、2 8 b は絶縁膜 2 7、導電層 2 6 a、2 6 b を介してソース領域又はドレイン領域 1 8 a、1 8 b に電氣的に接続され、ゲート配線 2 8 c は絶縁膜 2 7 に形成されたコンタクトホールを介して制御ゲート電極 2 4 に電氣的に接続されている。なお、ソース電極又はドレイン電極 2 8 a、2 8 b とソース領域又はドレイン領域 1 8 a、1 8 b とは、導電層 2 6 a、2 6 b を介して電氣的に接続されている。なお、絶縁膜 2 7 上に平坦化用の絶縁膜を形成してもよい。

【 0 0 7 8 】

次に、図 1 1 に示す不揮発性メモリ素子の作製方法について図 1 2 を用いて説明する。なお、第 2 の絶縁膜 2 2、ソース領域又はドレイン領域 1 8 a、1 8 b 上に導電層 1 9 を形成する工程までは実施の形態 1 の図 3 (C) までの工程と同様のため説明は省略する。

【 0 0 7 9 】

第 2 の絶縁膜 2 2、ソース領域又はドレイン領域 1 8 a、1 8 b 上に導電層 1 9 を形成した後、導電層 1 9 上にサイドウォール 3 0 0 を形成するための絶縁膜 3 0 1 を形成する (図 1 2 (A))。絶縁膜 3 0 1 として、酸化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜などを用いることができる。また絶縁膜のかわりに、タンタル (T a)、チタン (T i)、モリブデン (M o)、タングステン (W) などの導電層を用いてもよい。前記制御ゲート電極のエッチングの際にエッチングの選択比がとれ、段差形状に対して等方的なカバレッジをもつ膜であれば、膜種を選ばない。また単層であっても積層膜であってもよい。

10

【 0 0 8 0 】

その後、絶縁膜 3 0 1 に対して異方性エッチングを行う。これによって浮遊ゲート電極 2 0 の存在によって導電層 1 9 に生じる段差部分 3 0 2 に自己整合的にサイドウォール 3 0 0 を形成する (図 1 2 (B))。段差部分 3 0 2 に形成されるサイドウォール 3 0 0 は浮遊ゲート電極 2 0 を中心として左右対称の場所又はほぼ左右対称の場所に形成される。両サイドウォール 3 0 0 はゲート長方向において浮遊ゲート電極 2 0 の端部から同じ長さ又はほぼ同じ長さの場所に形成される。

20

【 0 0 8 1 】

次に導電層 1 9 上にレジストマスク 3 0 3 を形成する (図 1 2 (C))。レジストマスク 3 0 3 とサイドウォール 3 0 0 をマスクとして導電層 1 9 をエッチングすることにより浮遊ゲート電極 2 0 に対して自己整合的に制御ゲート電極 2 4 を形成することができる (図 1 2 (D))。また、導電層 2 6 a、2 6 b を形成することができる。次にレジストマスク 3 0 3 を除去する。

【 0 0 8 2 】

次に、第 2 の絶縁膜 2 2、導電層 2 6 a、2 6 b、制御ゲート電極 2 4 及びサイドウォール 3 0 0 を含む全面上に絶縁膜 2 7 を形成し、水素化を行う (図 1 2 (E))。絶縁膜 2 7 としては窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜を用いることができる。また先に示した活性化等を行わない場合には、この段階においてソース領域、ドレイン領域を活性化するために熱処理やレーザー光や強光などの光照射、R T A 処理などを施してもよい。

30

【 0 0 8 3 】

次いで絶縁膜 2 7 の上にレジストマスクを形成し、このレジストマスクを用いて絶縁膜 2 7 をエッチングすることにより、ソース領域及びドレイン領域 1 8 a、1 8 b、制御ゲート電極 2 4 上に位置するコンタクトホールを形成する。

【 0 0 8 4 】

レジストマスクを除去し、導電層を形成した後、また別のレジストマスクを用いてエッチングを行い、ソース電極又はドレイン電極 2 8 a、2 8 b、ゲート配線 2 8 c やその他の配線 (ソース配線など) を形成する (図 1 2 (E))。ここでは電極と配線を一体形成するが、電極と配線を別々に形成して、電氣的に接続させてもよい。導電層としては T i、T i N、A l、A l 合金膜及びそれらの組み合わせによる積層膜を用いることができる。

40

【 0 0 8 5 】

ここで電極や配線は、基板 1 0 を垂直な方向 (すなわち上面方向) からみた場合に角が丸くなるように引き回すのが好ましい。角部を丸くすることによってゴミなどが配線の角部に残るのを防止することができ、ゴミが原因で発生する不良を抑制し、歩留まりを向上できる。

【 0 0 8 6 】

なお、上述の作製方法ではソース領域及びドレイン領域 1 8 a、1 8 b を形成する際に n 型又は p 型の不純物の添加を 1 回のみ行ったが、複数回添加して低濃度不純物領域 (L D

50

D領域)を設ける構成としてもよい。以下、この作製方法について説明する。

【0087】

図12(C)に示す構造を形成した後、レジストマスクを除去して図13(A)に示すように、ソース領域又はドレイン領域18a、18b、サイドウォール300、制御ゲート電極24、導電層26a、26b等を有する構造を得る。次に、ソース領域又はドレイン領域18a、18bを有する半導体層にn型又はp型の不純物を添加する(図13(B))。n型又はp型の不純物は、ソース領域又はドレイン領域18a、18bに添加したものと同一導電性を付与するものを用いる。これによって制御ゲート電極24が形成された部分には不純物は添加されず、LDD領域313a、313bとなる。一方、制御ゲート電極24が形成されていない部分は高濃度不純物領域314a、314bが形成される。高濃度不純物領域314a、314bはソース領域及びドレイン領域として機能する。

10

【0088】

そして、制御ゲート電極24、導電層26a、26b等の上に、絶縁膜27を形成し、ソース電極又はドレイン電極28a、28b、ゲート配線28cを形成して図13(C)に示す構成が完成する。

【0089】

本実施の形態では、高濃度不純物領域314a、314bとソース電極又はドレイン電極28a、28bとの間に導電層26a、26bが設けられている。よって、第3の絶縁膜27をエッチングする際に、半導体層までエッチングされることがなくなり、コンタクト抵抗値の増大を防ぐことができる。よって、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性のよいメモリを作製することが可能となる。

20

【0090】

(実施の形態3)

本実施の形態では、図1、図11に示したものと異なる構成の不揮発性メモリの構成について図14～図16を用いて説明する。

【0091】

図14(A)に示す不揮発性メモリ素子は、半導体層14に第1の不純物領域(ソース領域又はドレイン領域)306a、306b、第2の不純物領域307a、307b等が設けられている点、浮遊ゲート電極20が第1の浮遊ゲート電極20a及び第2の浮遊ゲート電極20bから形成されている点等が図1、図11に示す構造と異なる。

30

【0092】

図14(A)に示す構成では、基板10上に下地絶縁膜12が形成され、下地絶縁膜12上には第1の不純物領域306a、306b、第2の不純物領域307a、307b、チャネル形成領域29を有する半導体層14が形成され、半導体層14上に第1の絶縁膜16、導電層26a、26bが形成され、第1の絶縁膜16上に浮遊ゲート電極20が形成され、浮遊ゲート電極20及び第1の絶縁膜16上に第2の絶縁膜22が形成され、第2の絶縁膜22上には制御ゲート電極24が形成され、制御ゲート電極24にはサイドウォール300が形成されている。また第1の絶縁膜22、導電層26a、26b、制御ゲート電極24及びサイドウォール300上に絶縁膜27が形成されている。ソース電極又はドレイン電極28a、28bは絶縁膜27に形成されたコンタクトホールを介して第1の不純物領域306a、306bに電氣的に接続され、ゲート配線28cは絶縁膜27に形成されたコンタクトホールを介して制御ゲート電極24に電氣的に接続されている。なお、ソース電極又はドレイン電極28a、28bと第1の不純物領域306a、306bとは、導電層26a、26bを介して電氣的に接続されている。また絶縁膜27上に平坦化用の絶縁膜を形成してもよい。

40

【0093】

次に、図14(A)に示す不揮発性メモリ素子の作製方法について説明する。ただし、この作製方法の多くは実施形態2と重複する。したがってここでは実施形態2と異なる工程、浮遊ゲート電極20を形成する工程、第1の不純物領域等を形成する工程について説明する。

50

【0094】

半導体層14上に第1の絶縁膜16を形成した後、第1の導電層19aを形成し、さらに第1の導電層19aの上に第2の導電層19bを形成する(図15(A))。第1の導電層19aと第2の導電層19bとは、それぞれ異なる導電物を用いて形成されていることが好ましい。第1の導電層19aは、第1の絶縁膜16との密着性がよい導電物を用いて形成されることが好ましく、例えば窒化チタン(TiN)、窒化タンタル(TaN)、チタン(Ti)、タンタル(Ta)、タングステン(W)、シリコン(Si)等を用いて形成されていることが好ましい。また、第1の導電層の膜厚は25nm以上35nm以下の範囲で形成するのが好ましい。

【0095】

10

第2の導電層19bは、抵抗率の低い導電物を用いて形成されていることが好ましく、例えば、タングステン(W)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、またはこれらの金属を主成分として含む合金、或いは金属化合物等を用いて形成されていることが好ましい。合金としては、アルミニウムと珪素との合金、アルミニウムとネオジウムとの合金等が挙げられる。また金属化合物としては窒化タングステン等が挙げられる。また、第2の導電層の膜厚は100nm以上600nm以下の範囲で形成するのが好ましい。

【0096】

第1の導電層19aと第2の導電層19bの形成方法について特に限定はなく、スパッタリング法、蒸着法等、いずれの方法を用いてもよい。

20

【0097】

次いで、マスク308を第2の導電層19b上に形成する。そして、第1の導電層19aと第2の導電層19bとをエッチングし、第1の浮遊ゲート電極20a、第3の導電層19cを、それぞれ導電層の側壁がそれぞれの導電層の水平面に対し傾斜を有するような形状となるように形成する(図15(B))。

【0098】

次いで、マスク308を設けたまま、第3の導電層19cを選択的にエッチングし、第2の浮遊ゲート電極20bを形成する。このとき第2の浮遊ゲート電極20bの側壁が水平面に対し垂直になるように異方性の高い条件でエッチングし加工することが好ましい。このようにして、第1の絶縁膜16側に設けられた第1の浮遊ゲート電極20aの上に、第1の浮遊ゲート電極20aよりも幅が短い(すなわちゲート長が短い)第2の浮遊ゲート電極20bが形成される(図15(C))。本実施の形態では、第1の浮遊ゲート電極20aと第2の浮遊ゲート電極20bとがそれぞれ組み合わせられたものを浮遊ゲート電極20という。

30

【0099】

次に、浮遊ゲート電極20をマスクとして、n型又はp型の不純物を添加し、第1の不純物領域306a、306b、第2の不純物領域307a、307bを設ける(図15(D))。また、第2の不純物領域307a、307bは第1の浮遊ゲート電極20aによって低濃度不純物領域となる。なお、第2の不純物領域307a、307bに挟まれた部分はチャンネル形成領域29となる。

40

【0100】

図15(D)の構造を作製した後は、実施形態2に示した方法によってサイドウォール300を形成し、制御ゲート電極24、導電層26a、26bを形成し、絶縁膜27を形成し、ソース電極又はドレイン電極28a、28b、ゲート配線28cを形成して図14(A)に示した構成が完成する。

【0101】

なお、本実施の形態では、制御ゲート電極24にサイドウォール300を設ける構成としたが必ずしも設ける必要はなく、実施の形態1で説明したようにサイドウォールを設けない構成としてもよい。

【0102】

50

また、図 1 4 (B) に示すように第 1 の不純物領域 3 1 2 a、3 1 2 b、第 2 の不純物領域 3 1 1 a、3 1 1 b、第 3 の不純物領域 3 1 0 a、3 1 0 b を設ける構成としてもよい。ここで、第 1 の不純物領域 3 1 2 a、3 1 2 b は、ソース領域又はドレイン領域として機能する。

【 0 1 0 3 】

図 1 5 (D) の構造を作製した後、実施形態 2 に示した方法によって、図 1 6 (A) に示すように第 2 の絶縁膜 2 2 を形成し、サイドウォール 3 0 0 を形成し、制御ゲート電極 2 4、導電層 2 6 a、2 6 b を形成する。

【 0 1 0 4 】

次に n 型又は p 型の不純物を添加する。n 型又は p 型の不純物は、第 1 の不純物領域及び第 2 の不純物領域に添加したものと同一導電性を付与するものを用いる。制御ゲート電極 2 4 の下には不純物は添加されず、第 1 の不純物領域 3 1 2 a、3 1 2 b、第 2 の不純物領域 3 1 1 a、3 1 1 b 及び第 3 の不純物領域 3 1 0 a、3 1 0 b を形成することができる。この場合、第 1 の不純物領域 3 1 2 a、3 1 2 b に含まれる n 型又は p 型の不純物濃度は、第 2 の不純物領域 3 1 1 a、3 1 1 b に含まれる n 型又は p 型の不純物濃度よりも大きく、第 2 の不純物領域 3 1 1 a、3 1 1 b に含まれる n 型又は p 型の不純物濃度は、第 3 の不純物領域 3 1 0 a、3 1 0 b に含まれる n 型又は p 型の不純物濃度よりも大きくなる。

【 0 1 0 5 】

そして、実施の形態 1 で説明したように、制御ゲート電極 2 4、導電層 2 6 a、2 6 b 等の上に、絶縁膜 2 7 を形成し、ソース電極又はドレイン電極 2 8 a、2 8 b、ゲート配線 2 8 c を形成すると図 1 6 (B)、図 1 4 (B) に示した構成が完成する。

【 0 1 0 6 】

本実施の形態では、第 1 の不純物領域 3 1 2 a、3 1 2 b とソース電極又はドレイン電極 2 8 a、2 8 b との間に導電層 2 6 a、2 6 b が設けられている。よって、第 3 の絶縁膜 2 7 をエッチングする際に、半導体層までエッチングされることがなくなり、コンタクト抵抗値の増大を防ぐことができる。よって、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性のよいメモリを作製することが可能となる。

【 0 1 0 7 】

以下、本発明に係る不揮発性半導体記憶装置について説明する。以下に説明する本発明の構成において、同じ要素を指す符号は異なる図面で共通して用い、その場合における繰り返しの説明は省略する場合がある。

【実施例 1】

【 0 1 0 8 】

本実施例では、不揮発性半導体記憶装置の作製工程の一例に関して図面を参照して説明する。なお、ここでは、不揮発性半導体記憶装置において、メモリ部を構成する不揮発性メモリ素子と、当該メモリ部と同一の基板上に設けられメモリ部の制御等を行うロジック部を構成するトランジスタ等の素子とを同時に形成する場合を示す。図 5 に、本実施例で説明する不揮発性半導体記憶装置におけるメモリ部の模式図を示す。

【 0 1 0 9 】

本実施例で示すメモリ部は、制御用トランジスタ S と不揮発性メモリ素子 M を有するメモリセルが複数設けられている。図 5 では、制御用トランジスタ S 0 1 と不揮発性メモリ素子 M 0 1 により一つのメモリセル M S 0 1 が形成されている。また、同様に、制御用トランジスタ S 0 2 と不揮発性メモリ素子 M 0 2、制御用トランジスタ S 0 3 と不揮発性メモリ素子 M 0 3、制御用トランジスタ S 1 1 と不揮発性メモリ素子 M 1 1、制御用トランジスタ S 1 2 と不揮発性メモリ素子 M 1 2、制御用トランジスタ S 1 3 と不揮発性メモリ素子 M 1 3 とによりメモリセルが形成されている。

【 0 1 1 0 】

制御用トランジスタ S 0 1 のゲート電極はワード線 W L 1 に接続され、ソース又はドレインの一方はビット線 B L 0 に接続され、他方は不揮発性メモリ素子 M 0 1 のソース又はド

10

20

30

40

50

レインに接続されている。また、不揮発性メモリ素子M01のゲート電極はワード線WL11に接続され、ソース又はドレインの一方は制御用トランジスタS01のソース又はドレインに接続され、他方はソース線SLに接続されている。

【0111】

なお、メモリ部に設けられる制御用トランジスタは、ロジック部に設けられるトランジスタと比較して駆動電圧が高いため、メモリ部に設けるトランジスタとロジック部に設けるトランジスタのゲート絶縁膜等を異なる厚さで形成することが好ましい。例えば、駆動電圧が小さくしきい値電圧のばらつきを小さくしたい場合にはゲート絶縁膜が薄い薄膜トランジスタを設けることが好ましく、駆動電圧が大きくゲート絶縁膜の耐圧性が求められる場合にはゲート絶縁膜が厚い薄膜トランジスタを設けることが好ましい。

10

【0112】

従って、本実施例では、駆動電圧が小さくしきい値電圧のばらつきを小さくしたいロジック部のトランジスタに対しては膜厚が小さい絶縁膜を形成し、駆動電圧が大きくゲート絶縁膜の耐圧性が求められるメモリ部のトランジスタに対しては膜厚が大きい絶縁膜を形成する場合に関して以下に図面を参照して説明する。なお、図17(A)、18(A)19(A)はメモリ部の素子の上面図を示し、図17(B)、18(B)、19(B)はロジック部の素子の上面図を示し、図20~24には図17~19におけるA-B間、C-D間、E-F間及びG-H間の断面図を示している。また、A-B間及びC-D間はロジック部に設けられる薄膜トランジスタを示し、E-F間はメモリ部に設けられる不揮発性メモリ素子を示し、G-H間はメモリ部に設けられる薄膜トランジスタを示している。また、本実施例では、A-B間に設ける薄膜トランジスタをpチャネル型、C-D間、G-H間に設ける薄膜トランジスタをnチャネル型、E-F間に設けられる不揮発性メモリ素子のキャリアの移動を電子で行う場合に関して説明するが、本発明の不揮発性半導体装置はこれに限られるものでない。

20

【0113】

まず、基板100上に絶縁膜102を介して島状の半導体層104、106、108、110を形成し、当該島状の半導体層104、106、108、110を覆うように第1の絶縁膜112、114、116、118をそれぞれ形成する(図20(A))。

【0114】

島状の半導体層104、106、108、110は、基板100上にあらかじめ形成された絶縁膜102上にスパッタ法、LP-CVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えば $\text{Si}_x\text{Ge}_{1-x}$ 等)等を用いて非晶質半導体層を形成し、当該非晶質半導体層を結晶化させた後に選択的にエッチングすることにより設けることができる。なお、非晶質半導体層の結晶化は、レーザー結晶化法、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等により行うことができる。

30

【0115】

また、レーザー光の照射によって半導体層の結晶化若しくは再結晶化を行う場合には、レーザー光の光源としてLD励起の連続発振(CW)レーザー(YVO_4 、第2高調波(波長532nm))を用いることができる。特に第2高調波に限定する必要はないが、第2高調波はエネルギー効率の点で、さらに高次の高調波より優れている。CWレーザーを半導体層に照射すると、連続的に半導体層にエネルギーが与えられるため、一旦半導体層を熔融状態にすると、熔融状態を継続させることができる。さらに、CWレーザーを走査することによって半導体層の固液界面を移動させ、この移動の方向に沿って一方向に長い結晶粒を形成することができる。また、固体レーザーを用いるのは、気体レーザー等と比較して、出力の安定性が高く、安定した処理が見込まれるためである。なお、CWレーザーに限らず、繰り返し周波数が10MHz以上のパルスレーザを用いることも可能である。繰り返し周波数が高いパルスレーザを用いると、半導体層が熔融してから固化するまでの時間よりもレーザーのパルス間隔が短ければ、常に半導体層を熔融状態にとどめることができ、固液界面の移動により一方向に長い結晶粒で構成される半導体層を形成することが

40

50

できる。その他のCWレーザー及び繰り返し周波数が10MHz以上のパルスレーザーを使用することもできる。例えば、気体レーザーとしては、Arレーザー、Krレーザー、CO₂レーザー等がある。固体レーザーとして、YAGレーザー、YLFレーザー、YAlO₃レーザー、GdVO₄レーザー、KGWレーザー、KYWレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、Y₂O₃レーザー、YVO₄レーザー等がある。また、YAGレーザー、Y₂O₃レーザー、GdVO₄レーザー、YVO₄レーザーなどのセラミックスレーザーがある。金属蒸気レーザーとしてはヘリウムカドミウムレーザー等が挙げられる。また、レーザー発振器において、レーザー光をTEM₀₀(シングル横モード)で発振して射出すると、被照射面において得られる線状のビームスポットのエネルギー均一性を上げることができるので好ましい。その他にも、パルス発振のエキシマレーザーを用いても良い。

10

【0116】

基板100は、ガラス基板、石英基板、金属基板(例えばステンレス基板など)、セラミック基板、Si基板等の半導体基板から選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルスルホン(PES)、アクリルなどの基板を選択することもできる。

【0117】

絶縁膜102は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y)(x>y)、窒化酸化シリコン(SiN_xO_y)(x>y)等の絶縁材料を用いて形成する。例えば、絶縁膜102を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。このように、ブロッキング層として機能する絶縁膜102を形成することによって、基板100からNaなどのアルカリ金属やアルカリ土類金属が、この上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板100として石英を用いるような場合には絶縁膜102を省略してもよい。

20

【0118】

第1の絶縁膜112、114、116、118は、半導体層104、106、108、110に熱処理又はプラズマ処理等を行うことによって形成することができる。例えば、高密度プラズマ処理により当該半導体層104、106、108、110に酸化処理、窒化処理又は酸窒化処理を行うことによって、当該半導体層104、106、108、110上にそれぞれ酸化膜、窒化膜又は酸窒化膜となる第1の絶縁膜112、114、116、118を形成する。なお、プラズマCVD法やスパッタ法により形成してもよい。

30

【0119】

例えば、半導体層104、106、108、110としてSiを主成分とする半導体層を用いて高密度プラズマ処理により酸化処理又は窒化処理を行った場合、第1の絶縁膜112、114、116、118として酸化珪素(SiO_x)膜又は窒化珪素(SiN_x)膜が形成される。また、高密度プラズマ処理により半導体層104、106、108、110に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、半導体層104、106、108、110に接して酸化珪素膜が形成され、当該酸化珪素膜上に酸素と窒素を有する膜(以下、「酸窒化珪素膜」と記す)が形成され、第1の絶縁膜112、114、116、118は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。

40

【0120】

ここでは、第1の絶縁膜112、114、116、118を8nm以上20nm以下、好ましくは8nm以上10nm以下で形成する。例えば、高密度プラズマ処理により半導体層104、106、108、110に酸化処理を行い当該半導体層104、106、108、110の表面に10nm程度の酸化珪素膜を形成した後、高密度プラズマ処理により窒化処理を行い酸化珪素膜の表面に2nm程度の酸窒化珪素膜を形成する。この場合、半

50

導体層104、106、108、110の表面に形成された酸化珪素膜の膜厚は、8nm程度となっている。これは、酸化珪素膜が形成された分だけ減少するためである。また、このとき、高密度プラズマ処理による酸化処理と窒化処理は大気に一度も曝されることなく連続して行うことが好ましい。高密度プラズマ処理を連続して行うことによって、汚染物の混入の防止や生産効率の向上を実現することができる。

【0121】

なお、高密度プラズマ処理により半導体層を酸化する場合には、酸素を含む雰囲気下（例えば、酸素（ O_2 ）又は一酸化二窒素（ N_2O ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、若しくは酸素又は一酸化二窒素と水素（ H_2 ）と希ガス雰囲気下）で行う。一方、高密度プラズマ処理により半導体層を窒化する場合には、窒素を含む雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、窒素と水素と希ガス雰囲気下、若しくは NH_3 と希ガス雰囲気下）でプラズマ処理を行う。

10

【0122】

希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。高密度プラズマ処理を希ガス雰囲気中で行った場合、第1の絶縁膜112、114、116、118は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる場合があり、Arを用いた場合には第1の絶縁膜112、114、116、118にArが含まれている場合がある。

20

【0123】

また、高密度プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上であり、プラズマの電子温度が1.5eV以下で行う。より詳しくは、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5eV以上1.5eV以下で行う。プラズマの電子密度が高密度であり、基板100上に形成された被処理物（ここでは、半導体層104、106、108、110）付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化膜または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が1.5eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。例えば、ガラス基板の歪点よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。プラズマを形成する際には、マイクロ波（例えば、2.45GHz）等の高周波を用いることができる。

30

【0124】

本実施例では、高密度プラズマ処理により被処理物の酸化処理を行う場合、酸素（ O_2 ）、水素（ H_2 ）とアルゴン（Ar）との混合ガスを導入する。ここで用いる混合ガスは、酸素を0.1sccm以上100sccm以下、水素を0.1sccm以上100sccm以下、アルゴンを100sccm以上5000sccm以下として導入すればよい。なお、酸素：水素：アルゴン＝1：1：100の比率で混合ガスを導入することが好ましい。例えば、酸素を5sccm、水素を5sccm、アルゴンを500sccmとして導入すればよい。

40

【0125】

また、高密度プラズマ処理により窒化処理を行う場合、窒素（ N_2 ）とアルゴン（Ar）との混合ガスを導入する。ここで用いる混合ガスは、窒素を20sccm以上2000sccm以下、アルゴンを100sccm以上10000sccm以下として導入すればよい。例えば、窒素を200sccm、アルゴンを1000sccmとして導入すればよい。

【0126】

本実施例において、メモリ部に設けられた半導体層108上に形成される第1の絶縁膜1

50

16は、後に完成する不揮発性メモリ素子において、トンネル酸化膜として機能する。従って、第1の絶縁膜116の膜厚が薄いほど、トンネル電流が流れやすく、メモリとして高速動作が可能となる。また、第1の絶縁膜116の膜厚が薄いほど、後に形成される浮遊ゲートに低電圧で電荷を蓄積させることが可能となるため、半導体装置の消費電力を低減することができる。そのため、第1の絶縁膜112、114、116、118は、膜厚を薄く形成することが好ましい。

【0127】

一般的に、半導体層上に絶縁膜を薄く形成する方法として熱酸化法があるが、基板100としてガラス基板等の融点が高くない基板を用いる場合には、熱酸化法により第1の絶縁膜112、114、116、118を形成することは非常に困難である。また、CVD法やスパッタ法により形成した絶縁膜は、膜の内部に欠陥を含んでいるため膜質が十分でなく、膜厚を薄く形成した場合にはピンホール等の欠陥が生じる問題がある。また、CVD法やスパッタ法により絶縁膜を形成した場合には、半導体層の端部の被覆が十分でなく、後に第1の絶縁膜116上に形成される導電層等と半導体層とがリークする場合がある。従って、本実施例で示すように、高密度プラズマ処理により第1の絶縁膜112、114、116、118を形成することによって、CVD法やスパッタ法等により形成した絶縁膜より緻密な絶縁膜を形成することができ、また、半導体層104、106、108、110の端部を第1の絶縁膜112、114、116、118で十分に被覆することができる。その結果、メモリとして高速動作や電荷保持特性を向上させることができる。なお、CVD法やスパッタ法により第1の絶縁膜112、114、116、118を形成した場合には、絶縁膜を形成した後に高密度プラズマ処理を行い当該絶縁膜の表面に酸化処理、窒化処理又は酸窒化処理を行うことが好ましい。

【0128】

その後、第1の絶縁膜112、114、116、118上にレジスト123を形成して、半導体層110表面が部分的に露出するように、半導体層110上に形成された第1の絶縁膜118を選択的に除去する。そして、第1の絶縁膜118に覆われた部分をマスクとして半導体層110に不純物元素を導入することによって、不純物領域162を形成する(図20(B)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、リン(P)を半導体層110に導入する。なお、不純物領域162は、ソース領域又はドレイン領域として機能する。

【0129】

そして、レジスト123を除去して、第1の絶縁膜112、114、116、118及び半導体層110に形成された不純物領域162を覆うように第1の導電層120を形成する(図20(C))。本実施例では、後の工程で半導体層110に不純物を導入しやすくするために、第1の導電層120は10nm以上50nm以下の膜厚で形成するとよい。

【0130】

第1の導電層120は、スパッタ法又はCVD法によりタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物でなる膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜、ニッケルシリサイド膜)を形成する。前記シリコン膜に対しては、リンやボロンなどの不純物を添加してもよい。また、ゲルマニウムやゲルマニウム化合物膜等で形成してもよい。

【0131】

次に、第1の絶縁膜112、114、116、118上に形成された第1の導電層120を選択的に除去し、半導体層104、106、108、110上に部分的に第1の導電層

120を残存させ、第2の導電層121、127を形成する(図21(A))。ここでは、半導体層104、106、108、110上に形成された第1の導電層120を部分的にレジスト122で覆い、第1の導電層120をエッチングすることによって第1の導電層120を選択的に除去する(図17、図21(A))。なお、ここでは、半導体層110の不純物領域162に挟まれたチャンネル形成領域160上の導電層120を除去し、半導体層110上に形成された第2の導電層127は、半導体層110の不純物領域162上に接するように形成する。ここで、半導体層108上に形成された第2の導電層121は、メモリ部の浮遊ゲート電極として機能する。

【0132】

次に、半導体層106、108の特定の領域に不純物領域を形成する。ここでは、半導体層104、110を覆うようにレジスト124を形成し、当該レジスト124又は第2の導電層121に覆われていない半導体層106、108に不純物元素を導入することによって、不純物領域126、156を形成する(図21(B))。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、リン(P)を半導体層106、108に導入する。なお、不純物領域126、156は、ソース領域又はドレイン領域として機能する。

【0133】

次に、半導体層104の特定の領域に不純物領域を形成する。ここでは、半導体層104、110を覆うレジスト124を除去し、半導体層106、108、110を覆うようにレジスト164を形成し、当該レジスト164又は半導体層104上の第2の導電層121に覆われていない半導体層104に不純物元素を導入することによって、不純物領域125を形成する(図21(C))。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、ボロン(B)を半導体層104に導入する。なお、不純物領域125は、ソース領域又はドレイン領域として機能する。

【0134】

次に、半導体層104、106、108、110を覆うように、第2の導電層121、125、第1の絶縁膜112、114、116、118上に第2の絶縁膜128を形成する(図22(A))。

【0135】

第2の絶縁膜128は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y)($x > y$)、窒化酸化シリコン(SiN_xO_y)($x > y$)等の絶縁材料を用いて単層又は積層して形成する。例えば、第2の絶縁膜128を単層で設ける場合には、CVD法により酸化窒化シリコン膜又は窒化酸化シリコン膜を20nm以上60nm以下の膜厚で形成する。また、第2の絶縁膜128を3層構造で設ける場合には、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2の絶縁膜として窒化珪素膜を形成し、第3の絶縁膜として酸化窒化シリコン膜を形成する。また、他にも第2の絶縁膜128として、ゲルマニウムの窒化物を用いてもよい。

【0136】

なお、半導体層108の上方に形成された第2の絶縁膜128は、後に完成する不揮発性メモリ素子においてコントロール絶縁膜として機能する。

【0137】

次に、半導体層104、106、108、110の上方に形成された第2の絶縁膜128を覆うようにレジスト130を形成する(図22(B))。なお、半導体層104、106、108の上方に形成されるレジスト130は、第2の導電層121の上方を覆い、不純物領域125、126、156の上方の一部を覆わないように形成する。その後、エッ

10

20

30

40

50

チングして不純物領域 125、126、156の一部が露出するように第2の絶縁膜 128を除去する。

【0138】

次に、半導体層 104、106、108、110を覆うように導電層 136を形成する(図23(A)参照)。ここでは、導電層として、導電層 136を単層で形成した例を示している。もちろん、導電層は、2層又は3層以上の積層構造で形成してもよい。

【0139】

導電層 136としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。

【0140】

ここでは、導電層 136としてタングステンを用いて形成する。また、他にも、導電層 136として、窒化タンタル、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用いることができる。

【0141】

次に、導電層 136を選択的にエッチングして除去することによって、半導体層 104、106、108、110の上方の一部に導電層 136を残存させて、半導体層 104、106、108上に形成された第2の導電層 121上に、第3の導電層 140、142、144を形成し、半導体層 110に形成されたチャネル形成領域 160の上方に第3の導電層 146を形成する。また、半導体層 104、106、108の不純物領域 125、126、156上の一部に導電層 136を残存させ、第3の導電層 138を形成する(図23(B)、図18参照)。なお、メモリ部の半導体層 108の上方に形成される導電層 144は、後に完成する不揮発性メモリ素子において制御ゲートとして機能する。また、半導体層 110の上方に設けられた導電層 146は、後に完成するトランジスタにおいてゲート電極として機能する。また、半導体層 104上に形成された導電層 140は、第2の導電層 121と導通させることにより、導電層 140と導電層 121とが後に完成するトランジスタにおいてゲート電極として機能する。また、半導体層 106上に形成された導電層 142は、第2の導電層 121と導通させることにより、導電層 142と導電層 121とが後に完成するトランジスタにおいてゲート電極として機能する。

【0142】

次に、第2の絶縁膜 128、第3の導電層 138、140、142、144、146を覆うように絶縁膜 172を形成する。その後、当該絶縁膜 172上に選択的にレジストを形成し、ドライエッチングすることにより第2の導電層 127、第3の導電層 138が露出するコンタクトホールを形成する。そして、該コンタクトホールを介して、第2の導電層 127、第3の導電層 138と接する導電層 174を形成する(図24、図19参照)。なお、半導体層 104、106、108、110にそれぞれ形成された不純物領域 125、126、156、162と導電層 174とは電氣的に接続している。また、導電層 174は、ソース配線又はドレイン配線として機能する。

【0143】

絶縁膜 172は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基)が

10

20

30

40

50

用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0144】

導電層174は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電層174は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン(TiN)膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層174を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体層上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体層と良好なコンタクトをとることができる。

【0145】

本実施の形態では、ソース領域又はドレイン領域として機能する不純物領域とソース電極又はドレイン電極として機能する配線との間に第3の導電層が設けられている。よって、第3の導電層上に設けられた絶縁膜をエッチングする際に、半導体層までエッチングされることがなくなり、コンタクト抵抗値の増大を防ぐことができる。よって、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性のよいメモリを作製することが可能となる。本実施例でしめしたように、メモリ部に加えてロジック部のトランジスタにおいても、本発明の構造を有することにより、さらにコンタクト抵抗値の増大を防ぎ、性能のよい不揮発性半導体記憶装置を作製することができる。本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

【実施例2】

【0146】

本実施例では、上記実施例1で示した構造において、一つの島状の半導体層に複数の不揮発性メモリ素子を設けた場合に関して図面を参照して説明する。なお、上記実施例と同じものを指す場合には同様の符号を用いて示し説明を省略する。なお、図25は上面図を示し、図26は図25におけるE-F間、G-H間の断面図を示している。

【0147】

本実施例で示す不揮発性半導体記憶装置は、ビット線BL0、BL1にそれぞれ電氣的に接続された島状の半導体層200a、200bが設けられており、島状の半導体層200a、200bの各々に複数の不揮発性メモリ素子が設けられている(図25、26参照)。具体的には、半導体層200aにおいて、選択トランジスタS01、S02の間に複数の不揮発性メモリ素子M0~M31を有するNANDセル202aが設けられている。また、半導体層200bにおいても、選択トランジスタの間に複数の不揮発性メモリ素子を有するNANDセル202bが設けられている。また、半導体層200a、200bを分離して設けることによって、隣接するNANDセル202aとNANDセル202bを絶縁分離することが可能となる。

【0148】

また、一つの島状の半導体層に複数の不揮発性メモリ素子を設けることによって、より不揮発性メモリ素子の集積化が可能となり、大容量の不揮発性半導体記憶装置を形成することができる。

【 0 1 4 9 】

本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

【 実施例 3 】

【 0 1 5 0 】

本実施例では、上述した本発明の不揮発性半導体記憶装置を備えた非接触でデータの入出力が可能である半導体装置の適用例に関して図面を参照して以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によっては、RFIDタグ、IDタグ、ICタグ、ICチップ、RFタグ、無線タグ、電子タグまたは無線チップともよばれる。

10

【 0 1 5 1 】

半導体装置 800 は、非接触でデータを交信する機能を有し、高周波回路 810、電源回路 820、リセット回路 830、クロック発生回路 840、データ復調回路 850、データ変調回路 860、他の回路の制御を行う制御回路 870、記憶回路 880 およびアンテナ 890 を有している（図 27（A））。高周波回路 810 はアンテナ 890 より信号を受信して、データ変調回路 860 より受信した信号をアンテナ 890 から出力する回路であり、電源回路 820 は受信信号から電源電位を生成する回路であり、リセット回路 830 はリセット信号を生成する回路であり、クロック発生回路 840 はアンテナ 890 から入力された受信信号を基に各種クロック信号を生成する回路であり、データ復調回路 850 は受信信号を復調して制御回路 870 に出力する回路であり、データ変調回路 860 は制御回路 870 から受信した信号を変調する回路である。また、制御回路 870 としては、例えばコード抽出回路 910、コード判定回路 920、CRC 判定回路 930 および出力ユニット回路 940 が設けられている。なお、コード抽出回路 910 は制御回路 870 に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路 920 は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC 判定回路 930 は判定されたコードに基づいて送信エラー等の有無を検出する回路である。

20

【 0 1 5 2 】

次に、上述した半導体装置の動作の一例について説明する。まず、アンテナ 890 により無線信号が受信される。無線信号は高周波回路 810 を介して電源回路 820 に送られ、高電源電位（以下、VDD と記す）が生成される。VDD は半導体装置 800 が有する各回路に供給される。また、高周波回路 810 を介してデータ復調回路 850 に送られた信号は復調される（以下、復調信号）。さらに、高周波回路 810 を介してリセット回路 830 およびクロック発生回路 840 を通った信号及び復調信号は制御回路 870 に送られる。制御回路 870 に送られた信号は、コード抽出回路 910、コード判定回路 920 および CRC 判定回路 930 等によって解析される。そして、解析された信号にしたがって、記憶回路 880 内に記憶されている半導体装置の情報が出力される。出力された半導体装置の情報は出力ユニット回路 940 を通って符号化される。さらに、符号化された半導体装置 800 の情報はデータ変調回路 860 を通って、アンテナ 890 により無線信号に載せて送信される。なお、半導体装置 800 を構成する複数の回路においては、低電源電位（以下、VSS）は共通であり、VSS は GND とすることができる。また、本発明の不揮発性半導体記憶装置を記憶回路 880 に適用することができる。本発明の不揮発性半導体記憶装置は、駆動電圧を低くすることができるため、非接触でデータを交信できる距離をのばすことが可能となる。

30

40

【 0 1 5 3 】

このように、リーダ/ライタから半導体装置 800 に信号を送り、当該半導体装置 800 から送られてきた信号をリーダ/ライタで受信することによって、半導体装置のデータを読み取ることが可能となる。

【 0 1 5 4 】

また、半導体装置 800 は、各回路への電源電圧の供給を電源（バッテリー）を搭載せず

50

電磁波により行うタイプとしてもよいし、電源（バッテリー）を搭載して電磁波と電源（バッテリー）により各回路に電源電圧を供給するタイプとしてもよい。

【 0 1 5 5 】

次に、非接触でデータの入出力が可能な半導体装置の使用形態の一例について説明する。表示部 3 2 1 0 を含む携帯端末の側面には、リーダ／ライタ 3 2 0 0 が設けられ、品物 3 2 2 0 の側面には半導体装置 3 2 3 0 が設けられる（図 2 7（B））。品物 3 2 2 0 が含む半導体装置 3 2 3 0 にリーダ／ライタ 3 2 0 0 をかざすと、表示部 3 2 1 0 に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品 3 2 6 0 をベルトコンベアにより搬送する際に、リーダ／ライタ 3 2 4 0 と、商品 3 2 6 0 に設けられた半導体装置 3 2 5 0 を用いて、該商品 3 2 6 0 の検品を行うことができる（図 2 7（C））。このように、システムに半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

10

【 0 1 5 6 】

また、本発明の不揮発性半導体記憶装置は、メモリを具備したあらゆる分野の電子機器に用いることが可能である。例えば、本発明の不揮発性半導体記憶装置を適用した電子機器として、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には DVD（digital versatile disc）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の具体例を図 2 8 に示す。

20

【 0 1 5 7 】

図 2 8（A）、（B）は、デジタルカメラを示している。図 2 8（B）は、図 2 8（A）の裏側を示す図である。このデジタルカメラは、筐体 2 1 1 1、表示部 2 1 1 2、レンズ 2 1 1 3、操作キー 2 1 1 4、シャッターボタン 2 1 1 5 などを有する。また、取り出し可能な不揮発性のメモリ 2 1 1 6 を備えており、当該デジタルカメラで撮影したデータをメモリ 2 1 1 6 に記憶させておく構成となっている。本発明を用いて形成された不揮発性の半導体記憶装置は当該メモリ 2 1 1 6 に適用することができる。

30

【 0 1 5 8 】

また、図 2 8（C）は、携帯電話を示しており、携帯端末の 1 つの代表例である。この携帯電話は筐体 2 1 2 1、表示部 2 1 2 2、操作キー 2 1 2 3 などを含む。また、携帯電話は、取り出し可能な不揮発性のメモリ 2 1 2 5 を備えており、当該携帯電話の電話番号等のデータ、映像、音楽データ等をメモリ 2 1 2 5 に記憶させ再生することができる。本発明を用いて形成された不揮発性の半導体記憶装置は当該メモリ 2 1 2 5 に適用することができる。

【 0 1 5 9 】

また、図 2 8（D）は、デジタルプレーヤーを示しており、オーディオ装置の 1 つの代表例である。図 2 8（D）に示すデジタルプレーヤーは、本体 2 1 3 0、表示部 2 1 3 1、メモリ部 2 1 3 2、操作部 2 1 3 3、イヤホン 2 1 3 4 等を含んでいる。なお、イヤホン 2 1 3 4 の代わりにヘッドホンや無線式イヤホンを用いることができる。メモリ部 2 1 3 2 は、本発明を用いて形成された不揮発性の半導体記憶装置を用いることができる。例えば、記録容量が 2 0 ギガバイト以上 2 0 0 ギガバイト（GB）以下の NAND 型不揮発性メモリを用い、操作部 2 1 3 3 を操作することにより、映像や音声（音楽）を記録、再生することができる。なお、表示部 2 1 3 1 は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型のオーディオ装置において特に有効である。なお、メモリ部 2 1 3 2 に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

40

【 0 1 6 0 】

50

また、図 28 (E) は、電子ブック（電子ペーパーともいう）を示している。この電子ブックは、本体 2141、表示部 2142、操作キー 2143、メモリ部 2144 等を含んでいる。またモデムが本体 2141 に内蔵されていてもよいし、無線で情報を送受信できる構成としてもよい。メモリ部 2144 は、本発明を用いて形成された不揮発性の半導体記憶装置を用いることができる。例えば、記録容量が 20 ギガバイト以上 200 ギガバイト (GB) 以下の NAND 型不揮発性メモリを用い、操作キー 2143 を操作することにより、映像や音声（音楽）を記録、再生することができる。なお、メモリ部 2144 に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

【0161】

以上の様に、本発明の不揮発性半導体記憶装置の適用範囲は極めて広く、メモリを有するものであればあらゆる分野の電子機器に用いることが可能である。

10

【図面の簡単な説明】

【0162】

【図 1】本発明に係る不揮発性半導体記憶装置の主要な構成を説明するための断面図。

【図 2】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。

【図 3】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。

【図 4】プラズマ処理装置の構成を説明する図。

【図 5】不揮発性メモリセルアレイの等価回路の一例を示す図。

【図 6】NOR 型不揮発性メモリセルアレイの等価回路の一例を示す図。

【図 7】NAND 型不揮発性メモリセルアレイの等価回路の一例を示す図。

20

【図 8】NAND 型不揮発性メモリの書き込み動作を説明する図。

【図 9】NAND 型不揮発性メモリの消去及び読み出し動作を説明する図。

【図 10】不揮発性半導体記憶装置の回路ブロック図の一例を示す図。

【図 11】本発明に係る不揮発性半導体記憶装置の主要な構成を説明するための断面図。

【図 12】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。

【図 13】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。

【図 14】本発明に係る不揮発性半導体記憶装置の主要な構成を説明するための断面図。

【図 15】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。

【図 16】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。

【図 17】本発明の不揮発性半導体記憶装置の上面の一例を示す図。

30

【図 18】本発明の不揮発性半導体記憶装置の上面の一例を示す図。

【図 19】本発明の不揮発性半導体記憶装置の上面の一例を示す図。

【図 20】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。

【図 21】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。

【図 22】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。

【図 23】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。

【図 24】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。

【図 25】本発明の不揮発性半導体記憶装置の上面の一例を示す図。

【図 26】本発明の不揮発性半導体記憶装置の一例を示す図。

【図 27】本発明の不揮発性半導体記憶装置の使用形態の一例を示す図。

40

【図 28】本発明の不揮発性半導体記憶装置の使用形態の一例を示す図。

【図 29】従来の不揮発性半導体記憶装置の構成を説明するための図。

【符号の説明】

【0163】

10 基板

12 下地絶縁膜

14 半導体層

16 絶縁膜

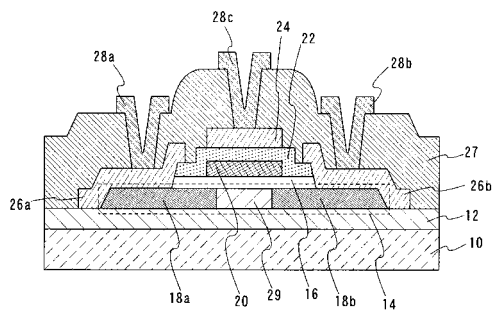
20 浮遊ゲート電極

22 絶縁膜

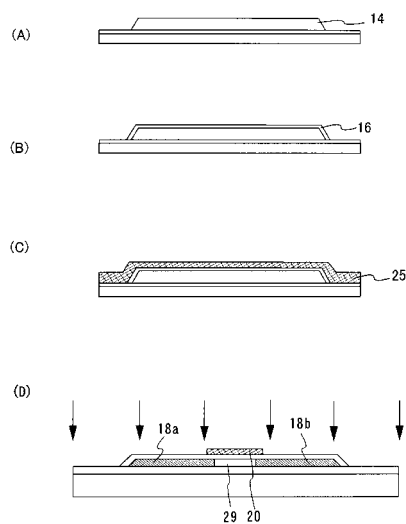
50

- 2 4 制御ゲート電極
 2 6 a、2 6 b 導電層
 2 7 絶縁膜
 2 9 チャンネル形成領域

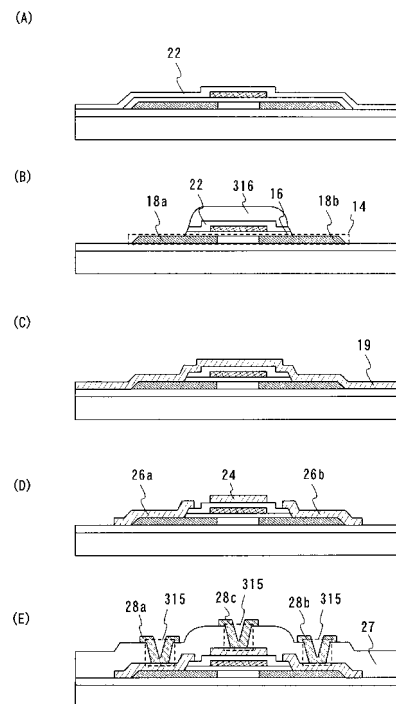
【図 1】



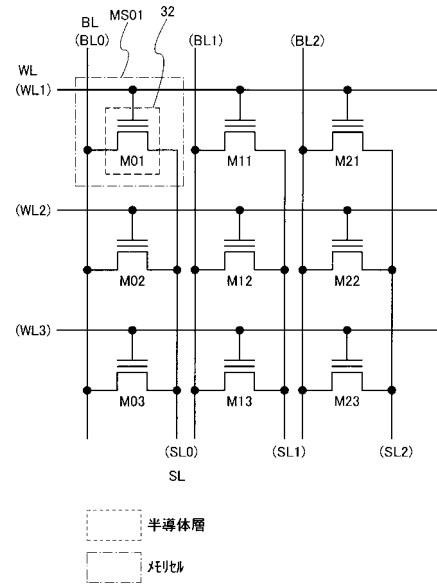
【図 2】



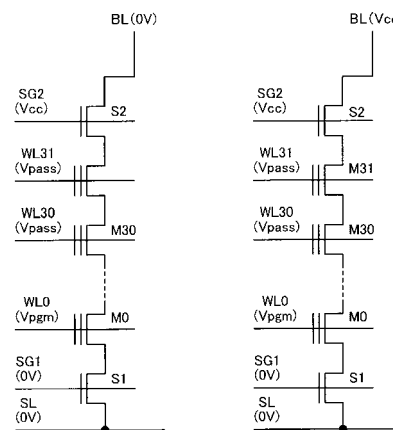
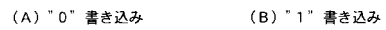
【図 3】



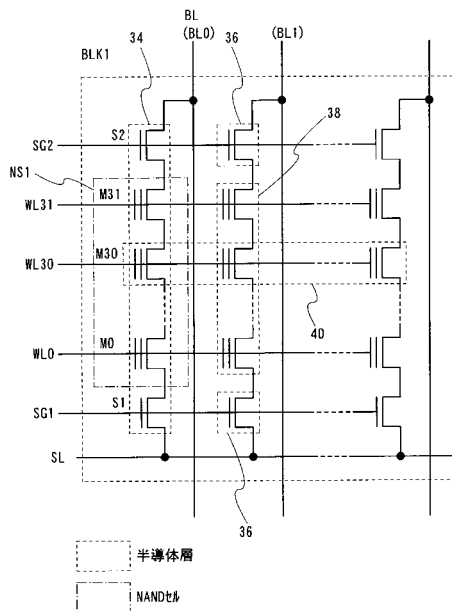
【 図 6 】



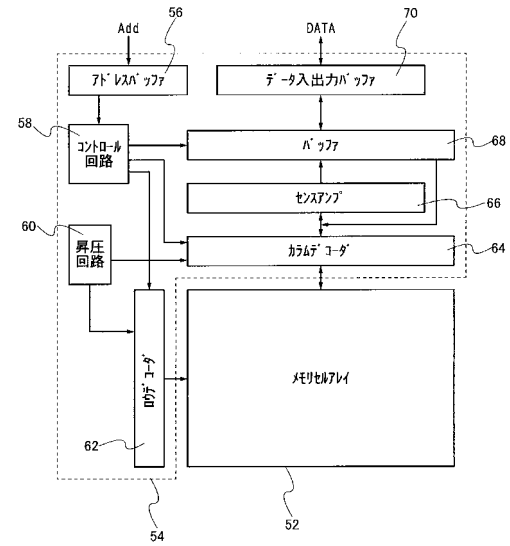
【 図 8 】



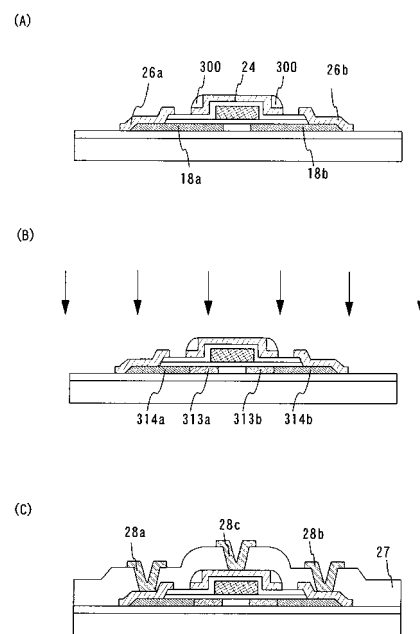
【圖 7】



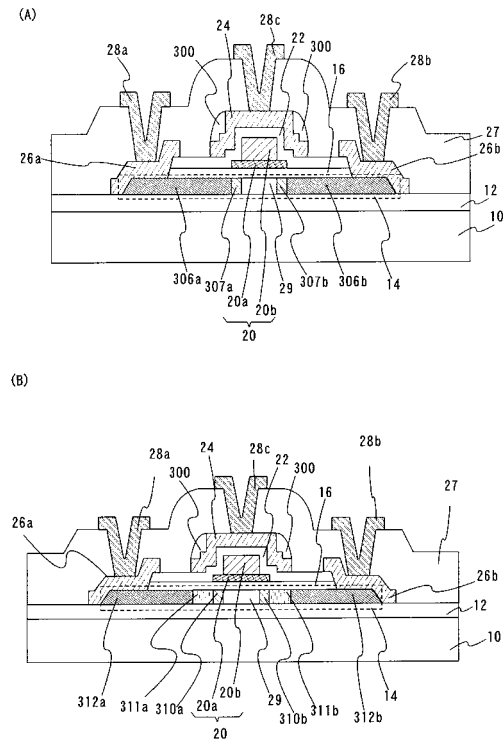
【 図 1 0 】



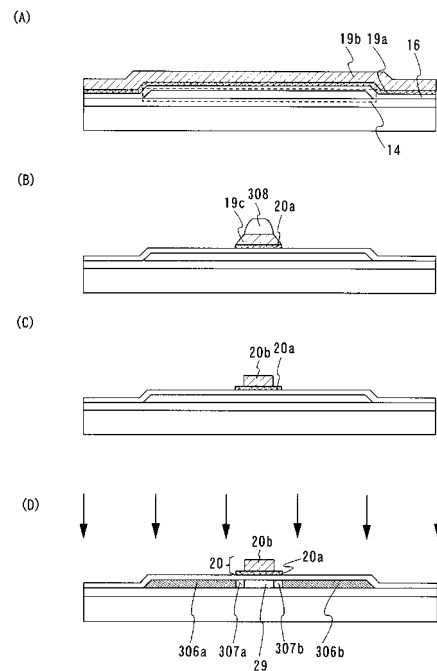
【 図 1 3 】



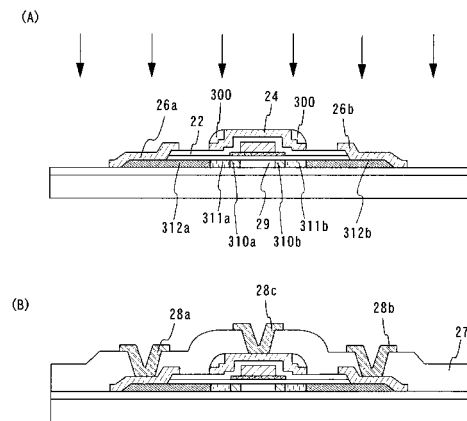
【図 14】



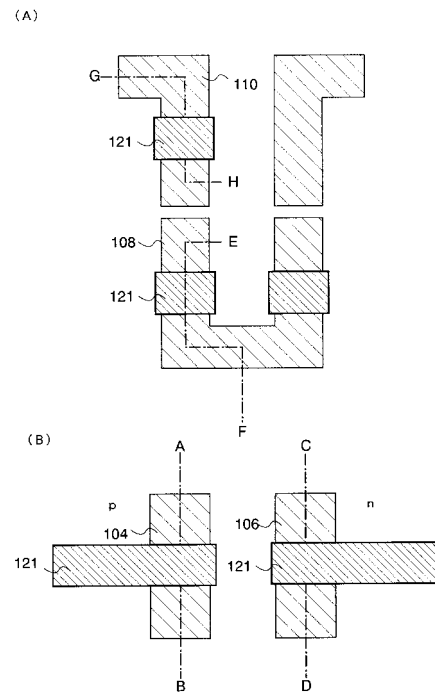
【図 15】



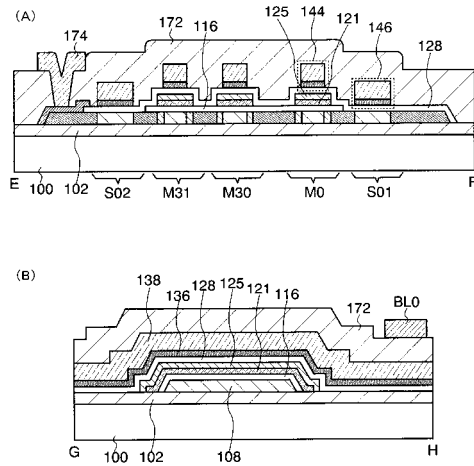
【図 16】



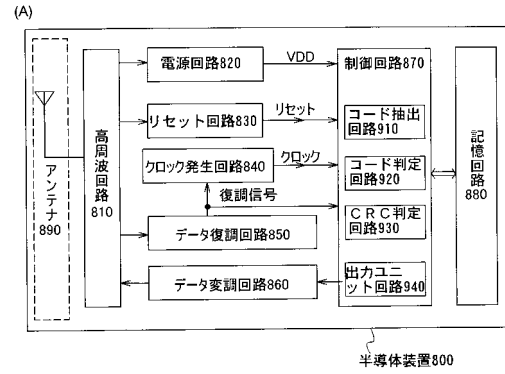
【図 17】



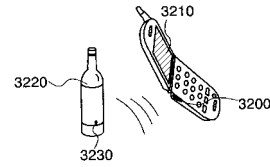
【図 26】



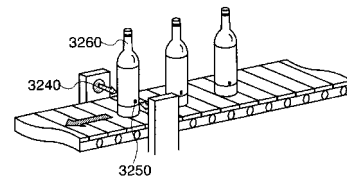
【図 27】



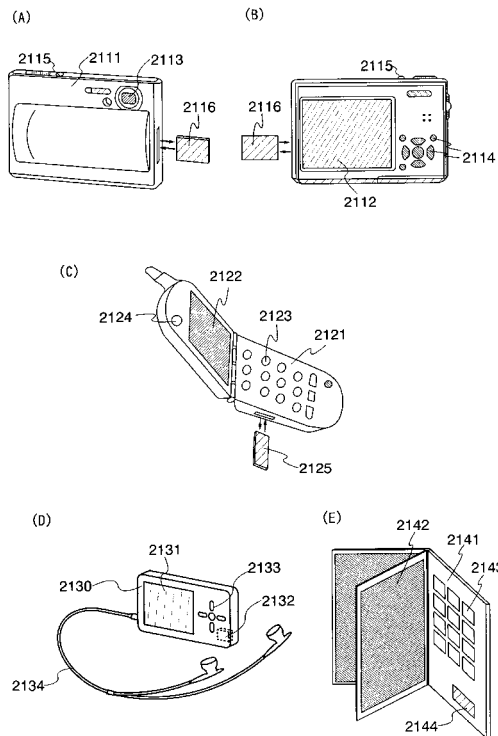
(B)



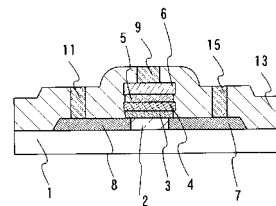
(C)



【図 28】



【図 29】



 フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/10 (2006.01) H 0 1 L 21/90 D
H 0 1 L 29/417 (2006.01)
H 0 1 L 21/28 (2006.01)
H 0 1 L 21/768 (2006.01)
H 0 1 L 23/522 (2006.01)

(56)参考文献 特開 2 0 0 1 - 3 2 6 2 8 9 (J P , A)
 特開 2 0 0 0 - 0 2 2 0 0 4 (J P , A)
 特開 2 0 0 6 - 0 6 0 2 0 9 (J P , A)
 特開平 1 1 - 1 4 3 3 7 9 (J P , A)
 特開 2 0 0 4 - 3 2 7 6 1 7 (J P , A)
 特開平 1 1 - 1 5 4 7 1 4 (J P , A)
 特開 2 0 0 0 - 1 7 4 2 3 8 (J P , A)
 特開 2 0 0 5 - 2 9 4 8 1 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 4 7
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 3 / 5 2 2
 H 0 1 L 2 7 / 1 0
 H 0 1 L 2 7 / 1 1 5
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 2 9 / 7 8 8
 H 0 1 L 2 9 / 7 9 2