



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년02월26일

(11) 등록번호 10-1598289

(24) 등록일자 2016년02월22일

- (51) 국제특허분류(Int. Cl.)
H01G 4/30 (2006.01) *H01G 2/06* (2006.01)
- (21) 출원번호 10-2014-0100597
- (22) 출원일자 2014년08월05일
 심사청구일자 2014년09월19일
- (65) 공개번호 10-2015-0050326
- (43) 공개일자 2015년05월08일
- (30) 우선권주장
 1020130131105 2013년10월31일 대한민국(KR)
- (56) 선행기술조사문헌
 KR1020130025595 A*
 KR1020130061260 A*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
- (72) 발명자
박민철
 경기도 수원시 영통구 매영로 150 (매탄동)
안영규
 경기도 수원시 영통구 매영로 150 (매탄동)
이교광
 경기도 수원시 영통구 매영로 150 (매탄동)
- (74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 13 항

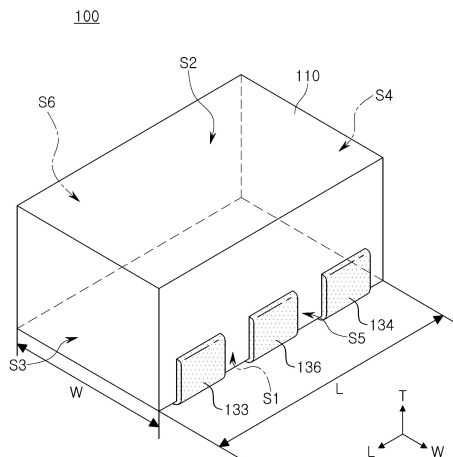
심사관 : 황승희

(54) 발명의 명칭 **적층 세라믹 커패시터 및 그 실장 기판**

(57) 요약

본 발명은, 세라믹 바디의 실장 면에 3개의 외부 전극을 서로 이격되게 배치하고, 상기 세라믹 바디의 길이를 L로, 폭 방향으로 배치된 복수의 내부 전극을 포함하는 액티브층의 폭을 A로 규정할 때, $0.64 \leq A/L \leq 1.14$ 의 범위를 만족하는 적층 세라믹 커패시터를 제공한다.

대표도 - 도1



명세서

청구범위

청구항 1

복수의 유전체층이 폭 방향으로 적층되고, 상기 유전체층을 사이에 두고 번갈아 배치된 복수의 제1 및 제2 내부 전극을 포함하는 액티브층을 포함하는 세라믹 바디;

상기 제1 내부 전극에서 상기 세라믹 바디의 실장 면을 통해 노출되도록 연장되게 형성되며, 상기 세라믹 바디의 길이 방향을 따라 서로 이격되게 배치되는 제1 및 제2 리드부;

상기 제2 내부 전극에서 상기 세라믹 바디의 실장 면을 통해 노출되도록 연장되게 형성되며, 길이방향으로 볼 때 상기 제1 및 제2 리드부 사이에 위치하는 제3 리드부;

상기 세라믹 바디의 실장 면에 상기 세라믹 바디의 길이 방향을 따라 서로 이격되게 배치되며, 상기 제1 및 제2 리드부와 각각 접속되는 제1 및 제2 외부 전극; 및

상기 세라믹 바디의 실장 면에 상기 제1 및 제2 외부 전극 사이에 배치되며, 상기 제3 리드부와 접속되는 제3 외부 전극; 을 포함하며,

상기 세라믹 바디의 길이를 L로, 상기 액티브층의 폭을 A로 규정할 때, $0.64 \leq A/L \leq 1.14$ 의 범위를 만족하는 적층 세라믹 커패시터.

청구항 2

제1항에 있어서,

상기 A/L이 0.94 이하인 적층 세라믹 커패시터.

청구항 3

제1항에 있어서,

상기 세라믹 바디의 길이를 L, 상기 세라믹 바디의 폭을 W로 규정할 때, $0.7 \leq W/L \leq 1.2$ 의 범위를 만족하는 적층 세라믹 커패시터.

청구항 4

제3항에 있어서,

상기 W/L이 1.0 이하인 적층 세라믹 커패시터.

청구항 5

제1항에 있어서,

상기 세라믹 바디의 길이가 0.8 mm 를 초과하는 적층 세라믹 커패시터.

청구항 6

제1항에 있어서,

상기 제1 및 제2 내부 전극은 상기 세라믹 바디의 길이 방향의 양 면으로부터 이격되게 배치되는 적층 세라믹 커패시터.

청구항 7

제1항에 있어서,

상기 액티브층의 폭 방향의 양 측에 각각 배치된 커버층을 더 포함하는 적층 세라믹 커패시터.

청구항 8

제1항에 있어서,

상기 제1 내지 제3 외부 전극은 상기 세라믹 바디의 실장 면에서 상기 세라믹 바디의 폭 방향의 양 면의 일부까지 연장되게 형성되는 적층 세라믹 커패시터.

청구항 9

제1항에 있어서,

상기 제1 내부 전극에서 상기 세라믹 바디의 실장 면과 대향되는 면을 통해 노출되도록 연장되게 형성되며, 상기 세라믹 바디의 길이 방향을 따라 서로 이격되게 배치되는 제4 및 제5 리드부;

상기 제2 내부 전극에서 상기 세라믹 바디의 실장 면과 대향되는 면을 통해 노출되도록 연장되게 형성되며, 길이방향으로 볼 때 상기 제4 및 제5 리드부 사이에 위치하는 제6 리드부; 및

상기 세라믹 바디의 실장 면과 대향되는 면에 배치되는 절연층; 을 포함하는 적층 세라믹 커패시터.

청구항 10

제9항에 있어서,

상기 제4 내지 제6 외부 전극은 상기 세라믹 바디의 실장 면과 대향되는 면에서 상기 세라믹 바디의 폭 방향의 양 면의 일부까지 연장되게 형성되는 적층 세라믹 커패시터.

청구항 11

제1항에 있어서,

상기 제1 내부 전극에서 상기 세라믹 바디의 실장 면과 대향되는 면을 통해 노출되도록 연장되게 형성되며, 상기 세라믹 바디의 길이 방향을 따라 서로 이격되게 배치되는 제4 및 제5 리드부;

상기 제2 내부 전극에서 상기 세라믹 바디의 실장 면과 대향되는 면을 통해 노출되도록 연장되게 형성되며, 길이방향으로 볼 때 상기 제4 및 제5 리드부 사이에 위치하는 제6 리드부;

상기 세라믹 바디의 실장 면과 대향되는 면에 상기 세라믹 바디의 길이 방향을 따라 서로 이격되게 배치되며, 상기 제4 및 제5 리드부와 각각 접속되는 제4 및 제5 외부 전극; 및

상기 세라믹 바디의 실장 면과 대향되는 면에 상기 제4 및 제5 외부 전극 사이에 배치되며, 상기 제6 리드부와 접속되는 제6 외부 전극; 을 포함하는 적층 세라믹 커패시터.

청구항 12

제11항에 있어서,

상기 제4 내지 제6 외부 전극은 상기 세라믹 바디의 실장 면과 대향되는 면에서 상기 세라믹 바디의 폭 방향의 양 면의 일부까지 연장되게 형성되는 적층 세라믹 커패시터.

청구항 13

상부에 제1 내지 제3 전극 패드를 갖는 기판; 및

상기 제1 내지 제3 전극 패드 위에 제1 내지 제3 외부 전극이 각각 배치되는 제1항 내지 제12항 중 어느 한 항의 적층 세라믹 커패시터; 를 포함하는 적층 세라믹 커패시터의 실장 기판.

발명의 설명

기술 분야

[0001] 본 발명은 적층 세라믹 커패시터 및 그 실장 기판에 관한 것이다.

배경 기술

[0002] 최근 전자 제품이 소형화 및 고용량화 됨에 따라 전자 제품에 사용되는 전자 부품도 소형화 및 고용량화가 요구되고 있다.

[0003] 이 중 적층 세라믹 커패시터의 경우 등가 직렬 인덕턴스(Equivalent Series Inductance, 이하 “ESL”)가 커지면 전자 제품의 성능이 저하될 수 있으며, 적용되는 전자 부품이 소형화 및 고용량화 될수록 적층 세라믹 커패시터의 ESL 증가가 전자 부품의 성능 저하에 미치는 영향은 상대적으로 커지게 된다.

[0004] 특히, IC의 고성능화에 따라 디커플링 커패시터의 사용이 증가되고 있으며, 이에 외부 단자 간의 거리를 감소시켜 전류 흐름의 경로를 감소시키고 이로 인하여 커패시터의 인덕턴스를 줄일 수 있는 수직 적층형 3단자 구조의 MLCC인 소위 “LICC(Low Inductance Chip Capacitor)”의 수요가 증대되고 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국공개특허 제2008-0073193호

(특허문헌 0002) 미국특허 제6,950,300호

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은, 저 ESL 특성을 극대화할 수 있는 적층 세라믹 커패시터 및 그 실장기판을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 측면은, 세라믹 바디의 실장 면에 3개의 외부 전극을 서로 이격되게 배치하고, 상기 세라믹 바디의 길이를 L로, 복수의 배치된 복수의 내부 전극을 포함하는 액티브층의 폭을 A로 규정할 때, $0.64 \leq A/L \leq 1.14$ 의 범위를 만족하는 적층 세라믹 커패시터를 제공한다.

발명의 효과

[0008] 본 발명의 일 실시 형태에 따르면, 수직 적층형 3단자 구조의 적층 세라믹 커패시터를 소형화시키되, 세라믹 바디의 사이즈를 길이 방향으로만 소형화시켜 전류 패스(current path)의 폭은 유지되도록 함으로써, 소형화에 따른 적층 세라믹 커패시터의 ESL 증가를 방지하여 적층 세라믹 커패시터의 저ESL 특성을 극대화시킬 수 있는 효과가 있다.

[0009]

도면의 간단한 설명

[0010] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 나타낸 사시도이다.
 도 2는 도 1의 적층 세라믹 커패시터 중 세라믹 바디를 뒤집어 나타낸 사시도이다.
 도 3은 도 1의 적층 세라믹 커패시터에서 외부 전극을 생략하고 나타낸 분해사시도이다.
 도 4는 도 1의 적층 세라믹 커패시터를 나타낸 단면도이다.
 도 5는 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 나타낸 사시도이다.
 도 6은 도 5의 적층 세라믹 커패시터에서 외부 전극을 생략하고 나타낸 분해사시도이다.
 도 7은 도 5의 적층 세라믹 커패시터를 나타낸 단면도이다.
 도 8은 본 발명의 또 다른 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 나타낸 사시도이다.
 도 9는 도 8의 적층 세라믹 커패시터 중 세라믹 바디를 나타낸 사시도이다.
 도 10은 도 8의 적층 세라믹 커패시터에서 외부 전극을 생략하고 나타낸 분해사시도이다.
 도 11은 도 8의 적층 세라믹 커패시터를 나타낸 단면도이다.
 도 12는 도 8의 적층 세라믹 커패시터가 기판에 실장된 모습을 도시한 사시도이다.
 도 13은 도 8의 적층 세라믹 커패시터가 기판에 실장된 모습을 도시한 단면도이다.
 도 14는 적층 세라믹 커패시터의 사이즈에 따른 ESL 특성을 비교하여 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.
 [0012] 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.
 [0013] 또한, 본 발명의 실시 형태는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
 [0014] 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
 [0015] 또한, 각 실시 예의 도면에 나타난 동일한 사상의 범위 내의 기능이 동일한 구성 요소는 동일한 참조 부호를 사용하여 설명한다.
 [0016] 본 발명의 실시 예들을 명확하게 설명하기 위해 육면체의 방향을 정의하면, 도 1에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다. 여기서, 폭 방향은 유전체층이 적층된 적층 방향과 동일한 개념으로 사용될 수 있다.

[0017] **적층 세라믹 커패시터**

- [0018] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 나타내는 사시도이고, 도 2는 도 1의 적층 세라믹 커패시터 중 세라믹 바디를 뒤집어 나타낸 사시도이고, 도 3은 도 1의 적층 세라믹 커패시터에서 외부 전극을 생략하고 나타낸 분해사시도이고, 도 4는 도 1의 적층 세라믹 커패시터를 나타낸 단면도이다.
- [0019] 도 1 내지 도 4를 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)는 복수의 유전체층(111)이 폭 방향으로 적층된 세라믹 바디(110)와, 복수의 제1 및 제2 내부 전극(121, 122)을 포함하는 액티브층과, 제1 내지 제3 외부 전극(133, 134, 136)을 포함한다.
- [0020] 즉, 본 실시 형태의 적층 세라믹 커패시터(100)는 총 3개의 외부 단자를 갖는 일명 3단자 커패시터로 볼 수 있다.
- [0021] 본 실시 형태에서는 세라믹 바디(110)의 길이를 L로, 상기 액티브층의 폭을 A로 규정할 때, $0.64 \leq A/L \leq 1.14$ 의 범위를 만족할 수 있다.
- [0022] 세라믹 바디(110)는 서로 마주보는 두께 방향의 제1 면(S1) 및 제2 면(S2)과, 제1 면(S1) 및 제2 면(S2)을 연결하며 서로 마주보는 길이 방향의 제3 면(S3) 및 제4 면(S4)과, 서로 마주보는 폭 방향의 제5 및 제6 면(S5, S6)을 가질 수 있다.
- [0023] 이하, 본 실시 형태에서, 적층 세라믹 커패시터(100)의 실장 면은 세라믹 바디(110)의 제1 주면(S1)으로 정의하여 설명하기로 한다.
- [0024] 이러한 세라믹 바디(110)는 복수의 유전체층(111)을 폭 방향으로 적층한 다음 소성하여 형성되며, 형상에 특별히 제한은 없지만 도시된 바와 같이 육면체 형상일 수 있다.
- [0025] 본 실시 형태에서는 이러한 세라믹 바디(110)의 길이를 L, 세라믹 바디(110)의 폭을 W로 규정할 때, $0.7 \leq W/L \leq 1.2$ 의 범위를 만족할 수 있다.
- [0026] 도 14는 칩 사이즈에 따른 ESL 특성을 비교하여 나타낸 그래프이다.
- [0027] 여기서, 비교 예 1의 경우 길이×폭이 1.6×0.8(mm)인 칩이고, 비교 예 2의 경우 길이×폭이 1.0×0.5(mm)인 칩이며, 실시 예의 경우 비교 예 1에서 길이만을 1.0 mm로 줄여 길이×폭을 1.0×0.8(mm)로 제작한 칩이다.
- [0028] 도 14를 참조하면, 비교 예 1의 ESL은 35 pH로, 비교예 2의 ESL은 45 pH로 비교 예 1에 비해 더 높게 나타났으나, 비교 예 1에서 길이만을 감소시켜 W/L이 0.8인 실시 예의 경우 ESL이 31 pH로 비교 예 1 및 2에 비해 저감됨을 알 수 있다.
- [0029] 이때, 상기 W/L이 0.7 미만인 경우 저ESL을 구현하기 어려우며, 상기 W/L이 1.2를 초과하는 경우 즉 세라믹 바디(110)의 폭이 세라믹 바디(110)의 길이에 비해 지나치게 커지는 경우 적층 세라믹 커패시터 제조 공정 상에서 절단 불량에 심각하게 발생할 수 있는 문제점이 있다. 상기 W/L은 바람직하게는 제조 공정 상의 절단 불량이 발생되지 않도록 1.0 이하로 설정될 수 있다.
- [0030] 또한, 세라믹 바디(110)의 길이는 0.8 mm 이상일 수 있다. 세라믹 바디(110)의 길이가 0.8 mm 미만인 경우 후술하는 제1 및 제2 내부 전극의 리드부의 L-방향의 길이가 작아져 ESR(등가직렬저항; Equivalent Series Resistance)이 증가될 수 있기 때문이다.
- [0031] 이러한 ESR의 증가는 칩의 발열을 높이고 효율을 저하시키는 원인이 될 수 있다.
- [0032] 또한, 세라믹 바디(110)를 형성하는 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0033] 이러한 세라믹 바디(110)는 커패시터의 용량 형성에 기여하는 부분으로서 복수의 내부 전극을 갖는 액티브층과, 폭 방향의 마진부로서 상기 액티브층의 양 측으로 각각 형성되는 커버층(112, 113)으로 구성될 수 있다.

- [0034] 상기 액티브층은 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(121, 122)을 폭 방향으로 반복적으로 적층하여 형성될 수 있다.
- [0035] 본 실시 형태에서는 세라믹 바디(110)의 길이를 L로, 상기 액티브층의 폭을 A로 규정할 때, $0.64 \leq A/L \leq 1.14$ 의 범위를 만족할 수 있다. 상기 A/L은 더 바람직하게 적층 세라믹 커패시터 제조 공정 상의 절단 불량 발생되지 않도록 하기 위해서는 0.94 이하일 수 있다.
- [0036] 본 실시 형태에서와 같이, 세라믹 바디(110)의 길이와 상기 액티브층의 폭을 수치 한정하면 유전체층(111)의 폭을 최대한 활용하여 액티브층, 즉 용량부로 사용할 수 있어, 저ESL을 구현하면서도 커패시터의 최대 용량을 일정 수준으로 확보할 수 있게 된다.
- [0037] 한편, 본 실시 형태에서, ESL을 낮게 유지하면서 커패시터의 용량을 다양하게 구현하기 위해서도 커버층(112, 113)의 두께는 최소한으로 유지되어야 한다.
- [0038] 또한, 본 실시 형태와 같은 수직형 커패시터에서는 액티브층의 폭이 감소하면 전류 패스의 폭이 줄어들어 ESL이 증가될 수 있다.
- [0039] 본 실시 형태에서는 세라믹 바디(110)의 길이에 대해 액티브층의 폭을 일정 수준 이상으로 확보할 수 있도록 하여 일정 수준 이하의 저 ESL을 구현하고 있다.
- [0040] 이때, 유전체층(111)의 두께는 적층 세라믹 커패시터(100)의 용량 설계에 맞추어 임의로 변경할 수 있으며, 바람직하게 1 층의 두께는 소성 후 0.01 내지 1.00 μm 이 되도록 구성할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0041] 또한, 유전체층(111)은 고유전율을 갖는 세라믹 분말, 예를 들어 티탄산바륨(BaTiO_3)계 또는 티탄산스트론튬(SrTiO_3)계 분말을 포함할 수 있으며, 충분한 정전 용량을 얻을 수 있는 한 본 발명이 이에 한정되는 것은 아니다.
- [0042] 또한, 유전체층(111)에는 상기 세라믹 분말과 함께, 필요시 세라믹 첨가제, 유기용제, 가소제, 결합제 및 분산제 등이 더 첨가될 수 있다.
- [0043] 또한, 유전체층(111) 형성에 사용되는 세라믹 분말의 평균 입경은 특별히 제한되지 않으며, 본 발명의 목적 달성을 위해 조절될 수 있으나, 예를 들어 400 nm 이하로 조절될 수 있다.
- [0044] 커버층(112, 113)은 내부 전극을 포함하지 않는 것을 제외하고는 유전체층(111)과 동일한 재질 및 구성을 가질 수 있다.
- [0045] 또한, 커버층(112, 113)은 단일 유전체층 또는 2 개 이상의 유전체층을 상기 액티브층의 폭 방향의 양 측에 적층하여 형성할 수 있으며, 기본적으로 물리적 또는 화학적 스트레스에 의한 제1 및 제2 내부 전극(121, 122)의 손상을 방지하는 역할을 수행할 수 있다.
- [0046] 제1 및 제2 내부 전극(121, 122)은 서로 다른 극성을 갖는 전극으로서, 세라믹 바디(110)의 내부에 형성되며, 유전체층(111)을 사이에 두고 서로 대향하도록 배치된다. 이때, 제1 및 제2 내부 전극(121, 122)은 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.
- [0047] 또한, 제1 및 제2 내부 전극(121, 122)은 세라믹 바디(110)의 길이 방향의 제1 및 제2 측면(S3, S4)로부터 일정 거리 이격되게 배치될 수 있다.
- [0048] 이러한 제1 및 제2 내부 전극(121, 122)은 이웃하는 내부 전극과 중첩되어 용량 형성에 기여하는 용량부 및 상기 용량부의 일부가 연장되어 세라믹 바디(110)의 외부로 인출되는 리드부를 포함한다.
- [0049] 이때, 상기 리드부는 특별히 제한되는 것은 아니나, 예를 들어 상기 용량부를 구성하는 내부 전극의 세라믹 바

디(110)의 길이 방향 길이에 비하여 더 짧은 길이를 가질 수 있다.

- [0050] 또한, 제1 및 제2 내부 전극(121, 122)의 두께는 용도에 따라 결정될 수 있는데, 예를 들어 세라믹 바디(110)의 크기를 고려하여 0.2 내지 1.0 μm 의 범위 내에 있도록 결정될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0051] 또한, 제1 및 제2 내부 전극(121, 122)을 형성하는 재료는 특별히 제한되지 않으며, 예를 들어 팔라듐(Pd), 팔라듐-은(Pd-Ag)합금 등의 귀금속 재료 및 니켈(Ni) 및 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트를 사용하여 형성될 수 있다.
- [0052] 또한, 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0053] 본 실시 형태에서, 제1 및 제2 리드부(121b, 121b')는 세라믹 바디(110)의 길이 방향을 따라 서로 이격되게 배치되며, 제1 내부 전극(121)에서 세라믹 바디(110)의 실장 면인 제1 면(S1)을 통해 노출되도록 연장되게 형성된다.
- [0054] 제3 리드부(122b)는 제1 및 제2 리드부(121b, 121b') 사이에 배치되며, 제2 내부 전극(122)에서 세라믹 바디(110)의 제1 면(S1)을 통해 노출되도록 연장되게 형성된다.
- [0055] 제1 및 제2 외부 전극(133, 134)은 서로 같은 극성을 갖는 전극으로서, 세라믹 바디(110)의 제1 면(S1)에 세라믹 바디(110)의 길이 방향을 따라 서로 이격되게 배치되며, 세라믹 바디(110)의 제1 면(S1)을 통해 노출된 제1 및 제2 리드부(121b, 121b')와 각각 접촉되어 전기적으로 접속된다.
- [0056] 이러한 제1 및 제2 외부 전극(133, 134)은 세라믹 바디(110)의 제1 면(S1)에서 세라믹 바디(110)의 폭 방향의 제5 및 제6 면(S5, S6)의 일부까지 연장되게 형성될 수 있다.
- [0057] 제3 외부 전극(136)은 제1 및 제2 외부 전극(133, 134)과 다른 극성을 갖는 전극으로서, 본 실시 형태에서는 그라운드 단자로 활용될 수 있다.
- [0058] 제3 외부 전극(136)은 제1 및 제2 외부 전극(133, 134) 사이에 배치되며, 세라믹 바디(110)의 제1 면(S1)을 통해 노출된 제3 리드부(122b)와 접촉되어 전기적으로 접속된다.
- [0059] 이러한 제3 외부 전극(136)은 세라믹 바디(110)의 제1 면(S1)에서 세라믹 바디(110)의 폭 방향의 제5 및 제6 면(S5, S6)의 일부까지 연장되게 형성될 수 있다.
- [0060] 일반적인 적층 세라믹 전자 부품은 세라믹 바디의 길이 방향으로 서로 마주 보는 단면에 외부 전극이 배치되어 있을 수 있다.
- [0061] 이 경우 외부 전극에 교류 인가시 전류의 경로가 길기 때문에 전류 루프가 더 크게 형성될 수 있으며, 유도 자기장의 크기가 커져 인덕턴스가 증가할 수 있다.
- [0062] 상기의 문제를 해결하기 위하여, 본 발명의 일 실시 형태에 따르면 전류의 경로를 감소시키기 위하여 세라믹 바디(110)의 제1 면(S1)에 제1 및 제2 외부 전극(133, 134) 사이에 제3 외부 전극(136)이 배치된다.
- [0063] 이러한 제1 내지 제3 외부 전극(133, 134, 136)은 3중 층 구조로서, 각각의 대응되는 내부 전극의 리드부와 접촉되어 연결되는 제1 내지 제3 도전층(133a, 134a, 136a)과, 제1 내지 제3 도전층(133a, 134a, 136a)을 덮도록 형성된 제1 내지 제3 니켈(Ni) 도금층(133b, 134b, 136b)과, 제1 내지 제3 니켈 도금층(133b, 134b, 136b)을 덮도록 형성된 제1 내지 제3 주석(Sn) 도금층(133c, 134c, 136c)을 포함한다.
- [0064] 제1 내지 제3 도전층(133a, 134a, 136a)은 제1 및 제2 내부 전극(121, 122)과 동일한 재질의 도전성 물질로 형

성될 수 있다. 그러나, 본 발명은 이에 제한되지는 않으며, 예를 들어 구리(Cu), 은(Ag) 및 니켈(Ni) 등의 금속 분말로 형성될 수 있으며, 이러한 금속 분말에 글라스 프릿을 첨가하여 마련된 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다.

실험 예

[0066] 본 발명의 실시 예와 비교 예에 따른 적층 세라믹 커패시터는 하기와 같이 제작되었다.

[0067] 티탄산바륨(BaTiO₃) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film) 상에 도포 및 건조하여 1.8 μm의 두께로 제조된 복수 개의 세라믹 그린 시트를 마련한다.

[0068] 다음으로, 상기 세라믹 그린 시트 상에 스크린을 이용하여 니켈 내부 전극용 도전성 페이스트를 도포하여 상기 세라믹 그린 시트의 제1 및 제2 면으로 노출되는 제1 및 제2 리드부를 갖는 제1 내부 전극 및 상기 제1 및 제2 리드부와 이격되어 상기 세라믹 그린 시트의 제1 면으로 노출되는 제3 리드부를 갖는 제2 내부 전극을 형성한다.

[0069] 다음으로, 상기 세라믹 그린 시트를 약 150에서 400 층으로 다양화하여 적층하되, 제1 및 제2 내부 전극이 형성되지 않은 세라믹 그린 시트를 양 측에 더 적층하여 적층체를 제조하고, 이 적층체를 85 °C에서 1000 kgf/cm² 압력 조건으로 등압 압축성형(isostatic pressing) 하였다.

[0070] 다음으로, 압착이 완료된 세라믹 적층체를 개별 칩의 형태로 절단하였고, 절단된 칩은 대기 분위기에서 약 230 °C, 60 시간 유지하여 탈바인더를 진행하였다.

[0071] 다음으로, 약 1,200 °C에서 내부 전극이 산화되지 않도록 Ni/NiO 평형 산소 분압 보다 낮은 10⁻¹¹ 내지 10⁻¹⁰ atm의 산소분압하 환원분위기에서 소성하여 세라믹 바디를 마련하였다.

[0072] 소성 후 적층 칩 커패시터의 칩 사이즈는 그 길이를 약 1.0 mm 로 하고, 폭은 0.5에서 1.3 mm까지 다양화하였다. 여기서, 제작 공차는 길이×폭(L×W)으로 ±0.1 mm 내의 범위로 정하였다.

[0073] 다음으로, 세라믹 바디의 제1 면에 제1 및 제2 내부 전극의 리드부와 각각 대응되게 제1 내지 제3 외부 전극을 형성하는 공정을 거쳐 적층 세라믹 커패시터를 완성하고, 절단 불량률(%) 및 등가 직렬 인덕턴스(ESL) 측정 테스트를 실시하여 표 1에 나타내었다. 각 시험은 샘플 시료 100 개에 대하여 수행되었다.

표 1

번호	세라믹 바디의 폭(W)	액티브층의 폭(A)	내부 전극 적층수	ESL (pH)	절단 불량률(%)
1	0.5mm	0.34mm	150	60.1	0
2	0.5mm	0.44mm	150	48.4	0
3	0.5mm	0.44mm	250	49.2	0
4	0.6mm	0.44mm	250	48.7	0
5	0.6mm	0.54mm	250	40.6	0
6	0.6mm	0.54mm	400	40.1	0
7	0.7mm	0.64mm	400	31.1	0
8	0.8mm	0.74mm	400	27.4	0
9	0.9mm	0.84mm	400	24.1	0

10	1.0mm	0.94mm	400	21.2	0
11	1.1mm	1.04mm	400	19.6	4%
12	1.2mm	1.14mm	400	18.5	6%
13	1.3mm	1.24mm	400	17.4	22%

[0075] * 세라믹 바디의 길이(L) = 1.0 mm

[0076] 상기 표 1 및 도 14를 참조하면, 시료 (1, 2), (4, 5)에서와 같이, 세라믹 바디의 폭이 동일할 때 액티브층의 폭이 커지면 이에 대해 ESL이 감소한다. 즉, ESL을 감소시키기 위해서는 액티브층의 폭을 크게 해야 함을 알 수 있다.

[0077] 또한, 시료 (2, 3), (5, 6)에서와 같이, 액티브층의 폭이 동일한 경우 내부 전극의 적층 수에 차이가 나더라도, 즉, 용량이 서로 다르더라도, 이러한 용량 차이에 따른 ESL의 차이가 크지 않음을 알 수 있다.

[0078] 또한, 시료 (3, 4)에서와 같이, 세라믹 바디의 폭이 커지더라도 액티브층의 폭이 동일하면 ESL의 차이는 크지 않음을 알 수 있다.

[0079] 따라서, ESL에 가장 큰 영향을 주는 인자는 액티브층의 폭이며, 커패시터의 용량을 최대화하면서, 저ESL을 구현하기 위해서는 세라믹 바디의 폭을 최대한 액티브층으로 사용해야 한다.

[0080] 상기 세라믹 바디의 길이를 L로, 상기 액티브층의 길이를 A로 규정할 때, $0.64 \leq A/L \leq 1.14$ 의 범위를 만족하는 시료 7 내지 12에서, ESL이 32 pH이하로 준수하면서, 절단 불량은 10% 이하로 양호하게 나타났다.

[0081] 또한, 상기 A/L이 1.14를 초과하는 시료 13에서는 절단 불량률이 22%로 심하게 나타났다.

[0082] 또한, 상기 A/L이 0.94 이하인 시료 1 내지 11에서는 절단 불량률이 전혀 발생되지 않았다.

[0083] **변형 예**

[0084] 도 5는 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 나타낸 사시도이고, 도 6은 도 5의 적층 세라믹 커패시터에서 외부 전극을 생략하고 나타낸 분해사시도이고, 도 7은 도 5의 적층 세라믹 커패시터를 나타낸 단면도이다.

[0085] 여기서, 세라믹 바디(110)의 구조는 앞서 설명한 일 실시 형태와 동일하므로 중복을 피하기 위하여 이에 대한 구체적인 설명을 생략하며, 앞서 설명한 실시 형태와 상이한 구조를 갖는 제1 및 제2 내부 전극(121, 122)과 절연층(150)에 대해 구체적으로 설명한다.

[0086] 도 5 내지 도 7을 참조하면, 본 실시 형태의 적층 세라믹 커패시터(100')의 세라믹 바디(110)의 실장면과 대향되는 제2 면(S2)에는 절연층(150)이 배치될 수 있다.

[0087] 제1 내부 전극(121)은 세라믹 바디(110)의 제2 면(S2)을 통해 노출되어 세라믹 바디(110)의 제2 면(S2)에 형성된 절연층(150)과 접촉하는 제4 및 제5 리드부(121a, 121a')를 가질 수 있다.

[0088] 제2 내부 전극(122)은 제3 및 제4 리드부(121a, 121a') 사이에 배치되며 세라믹 바디(110)의 제2 면(S2)을 통해 노출되어 절연층(150)과 접촉하는 제6 리드부(122a)를 가질 수 있다.

[0089] 도 8은 본 발명의 또 다른 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 나타낸 사시도이고, 도 9는 도 8의 적층 세라믹 커패시터 중 세라믹 바디를 나타낸 사시도이고, 도 10은 도 8의 적층 세라믹 커패시터에서 외부 전극을 생략하고 나타낸 분해사시도이고, 도 11은 도 8의 적층 세라믹 커패시터를 나타낸 단면도이다.

- [0090] 여기서, 세라믹 바디(110)의 구조는 앞서 설명한 일 실시 형태와 동일하므로 중복을 피하기 위하여 이에 대한 구체적인 설명을 생략하며, 앞서 설명한 실시 형태와 상이한 구조를 갖는 제4 내지 제6 외부 전극(131, 132, 135)과 제1 및 제2 내부 전극(121, 122)에 대해 구체적으로 설명한다.
- [0091] 도 8 내지 도 11을 참조하면, 본 실시 형태의 적층 세라믹 커패시터(100")는, 제4 내지 제6 외부 전극(131, 132, 135)이 세라믹 바디(110)의 제2 면(S2)에 제1 내지 제3 외부 전극(133, 134, 136)과 마주보게 배치된다.
- [0092] 이때, 제4 내지 제6 외부 전극(131, 132, 135)은 필요시 세라믹 바디(110)의 폭 방향의 제5 및 제6 면(S5, S6)의 일부까지 연장되게 형성될 수 있다.
- [0093] 이러한 제4 내지 제6 외부 전극(131, 132, 135)은 3중 층 구조로서, 각각의 대응되는 내부 전극의 리드부와 접촉되어 연결되는 제4 내지 제6 도전층(131a, 132a, 135a)과, 제4 내지 제6 도전층(131a, 132a, 135a)을 덮도록 형성된 제4 내지 제6 니켈(Ni) 도금층(131b, 132b, 135b)과, 제4 내지 제6 니켈 도금층(131b, 132b, 135b)을 덮도록 형성된 제4 내지 제6 주석(Sn) 도금층(131c, 132c, 135c)을 포함한다.
- [0094] 제1 내부 전극(121)은 세라믹 바디(110)의 제2 면(S2)을 통해 노출되어 세라믹 바디(110)의 제2 면(S2)에 형성된 제4 및 제 5 외부 전극(131, 132)과 각각 접촉되는 제4 및 제5 리드부(121a, 121a')를 가질 수 있다.
- [0095] 제2 내부 전극(122)은 제3 및 제4 리드부(121a, 121a') 사이에 배치되며 세라믹 바디(110)의 제2 면(S2)을 통해 노출되어 제6 외부 전극(135)과 접촉하는 제6 리드부(122a)를 가질 수 있다.
- [0096] 위와 같이, 적층 세라믹 커패시터(100")의 내부 및 외부 구조를 상하 대칭 구조로 형성한 경우 커패시터의 방향성을 제거할 수 있다.
- [0097] 따라서, 적층 세라믹 커패시터(100")의 제1 및 제2 면(S1, S2) 중 어느 면도 실장 면으로 제공될 수 있으므로, 적층 세라믹 커패시터(100")를 기판에 실장시 실장 면의 방향을 고려하지 않아도 되는 장점이 있다.
- [0098] **적층 세라믹 커패시터의 실장 기판**
- [0099] 도 12는 도 8의 적층 세라믹 커패시터가 기판에 실장된 모습을 도시한 사시도이고, 도 13은 도 8의 적층 세라믹 커패시터가 기판에 실장된 모습을 도시한 단면도이다.
- [0100] 도 12 및 도 13을 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터의 실장 기판(200)은 적층 세라믹 커패시터가 수평하도록 실장되는 기판(210)과, 기판(210)의 상면에 서로 이격되게 형성된 제1 내지 제3 전극 패드(221, 222, 223)를 포함한다.
- [0101] 이때, 상기 적층 세라믹 커패시터는 제1 내지 제3 외부 전극(133, 134, 136)이 제1 내지 제3 전극 패드(221, 222, 223) 위에 각각 접촉되게 위치한 상태에서 솔더(230)에 의해 기판(210)과 전기적으로 연결될 수 있다.
- [0102] 도 13에서 도면 부호 224는 접지 단자를, 도면 부호 225는 전원 단자를 나타낸다.
- [0103] 한편, 본 실시 형태는 도 8의 적층 세라믹 커패시터를 실장하는 형태로 도시하여 설명하고 있으나, 본 발명은 이에 한정되는 것은 아니며, 일 예로서, 도 1 및 도 5에 도시된 적층 세라믹 커패시터도 유사한 구조로 기판에 실장하여 실장 기판을 구성할 수 있다.
- [0104] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자

한다.

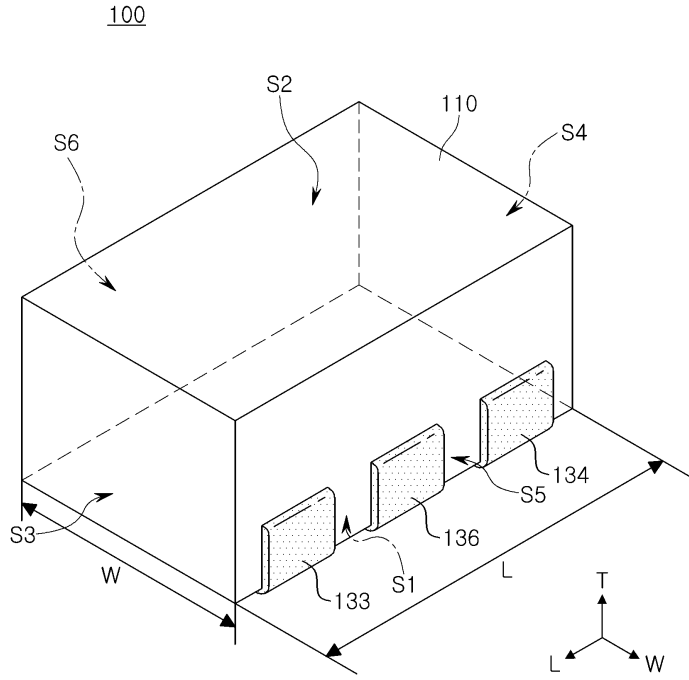
[0105] 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술 분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

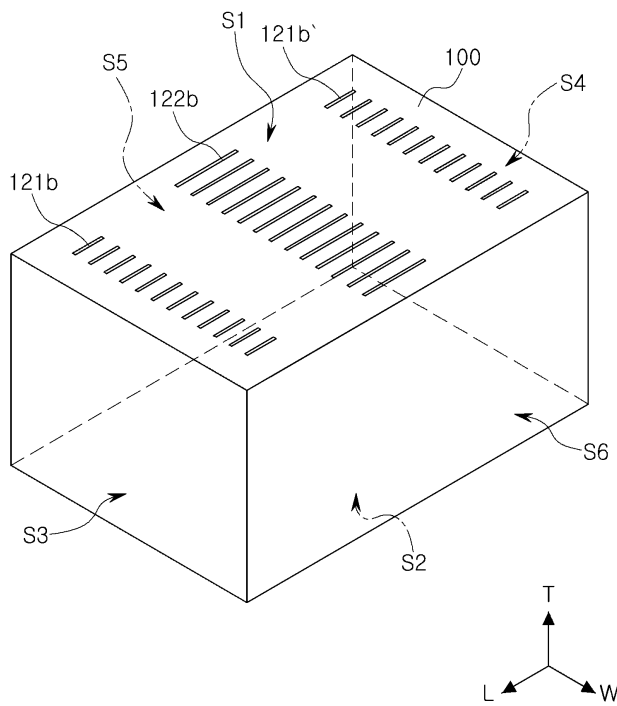
[0106] 100, 100', 100" ; 적층 세라믹 커패시터
 110 ; 세라믹 바디
 111 ; 유전체층
 112, 113 ; 커버층
 121, 122 ; 제1 및 제2 내부 전극
 121b, 121b' ; 제1 및 제2 리드부
 122b ; 제3 리드부
 121a, 121a' ; 제4 및 제5 리드부
 122a ; 제6 리드부
 133 ; 제1 외부 전극
 134 ; 제2 외부 전극
 136 ; 제3 외부 전극
 131 ; 제4 외부 전극
 132 ; 제5 외부 전극
 135 ; 제6 외부 전극
 200 ; 실장 기관
 210 ; 기관
 221, 222, 223 ; 제1 내지 제3 전극 패드
 230 ; 솔더

도면

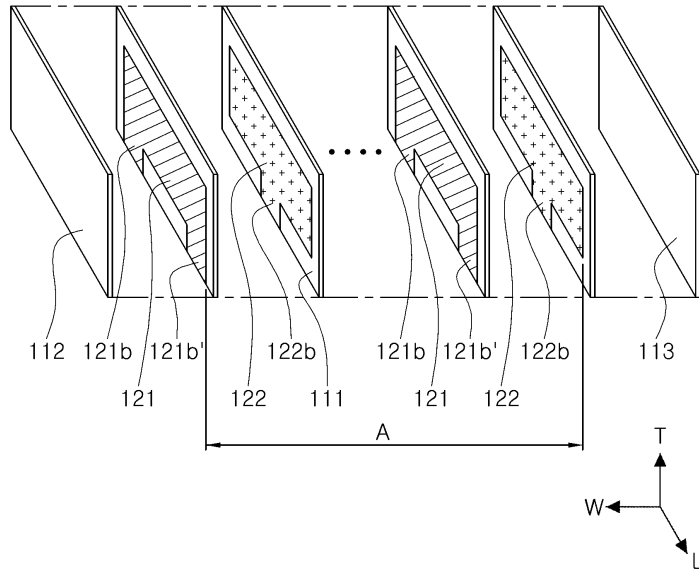
도면1



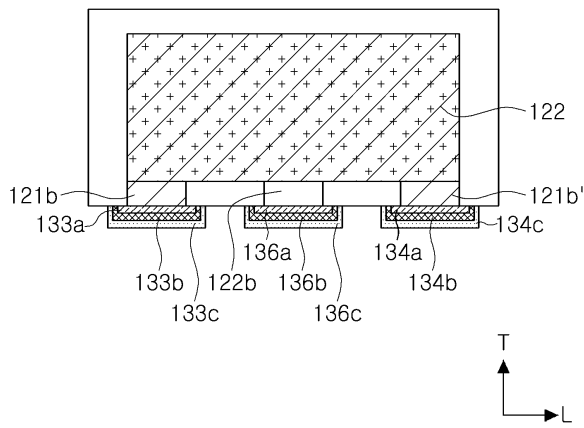
도면2



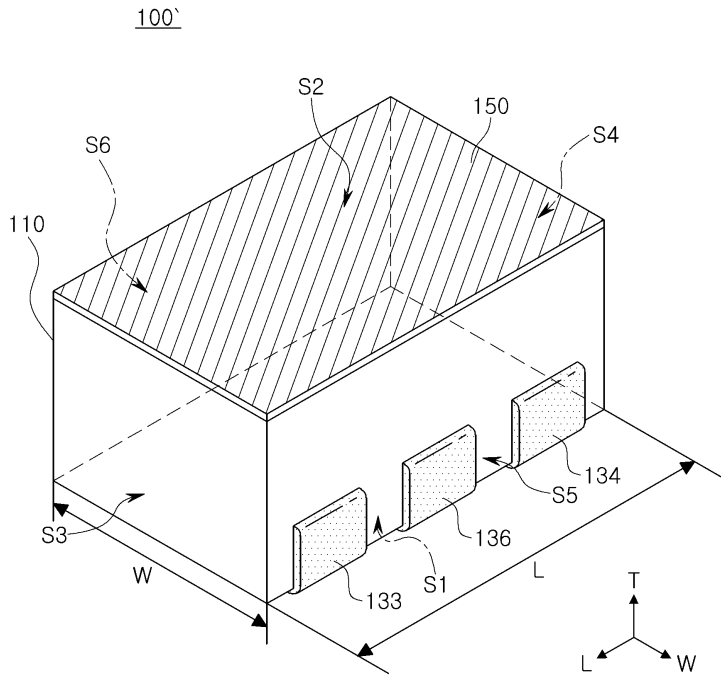
도면3



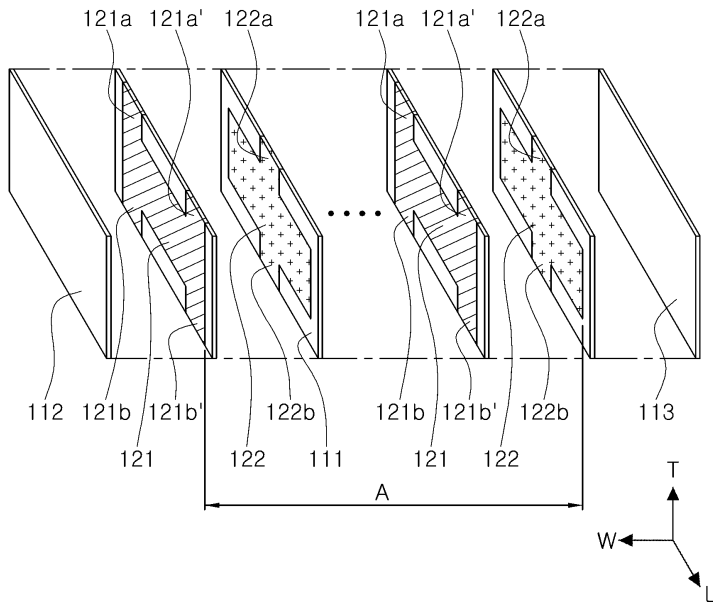
도면4



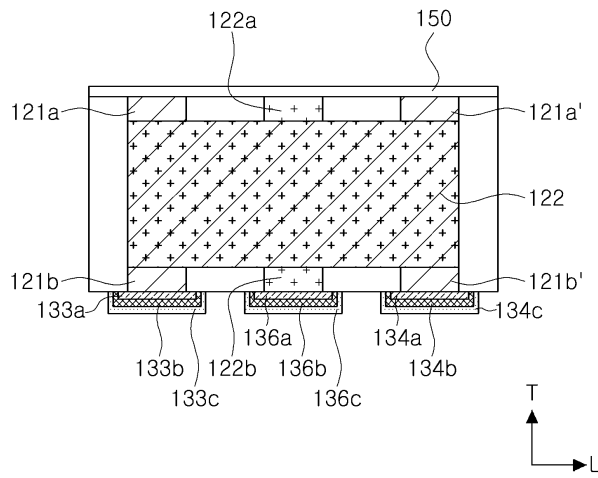
도면5



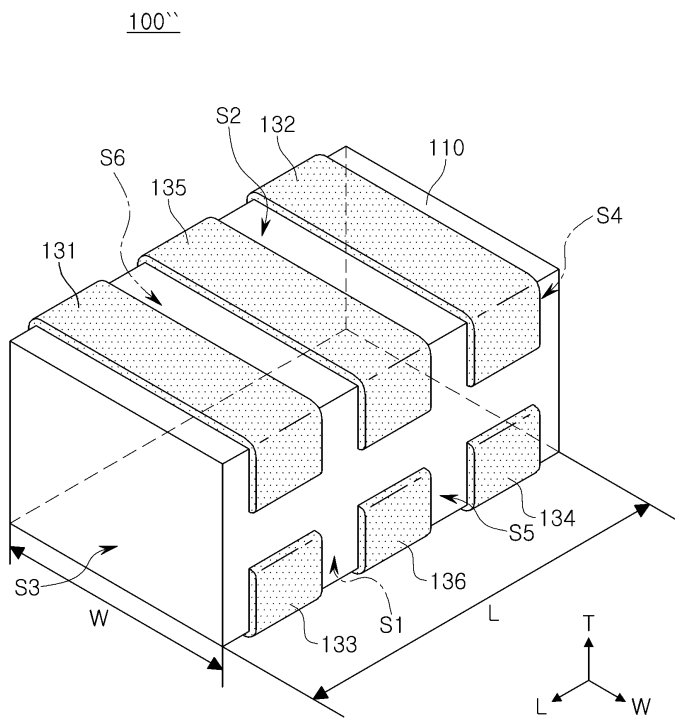
도면6



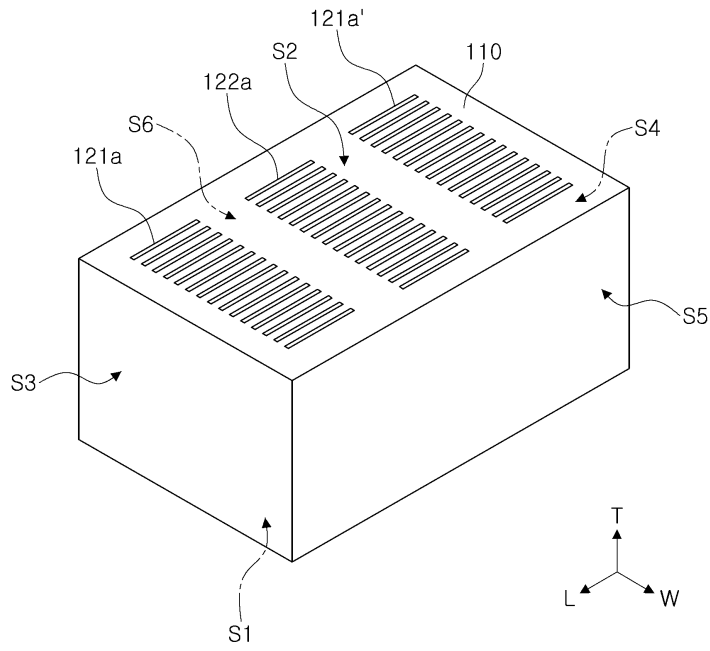
도면7



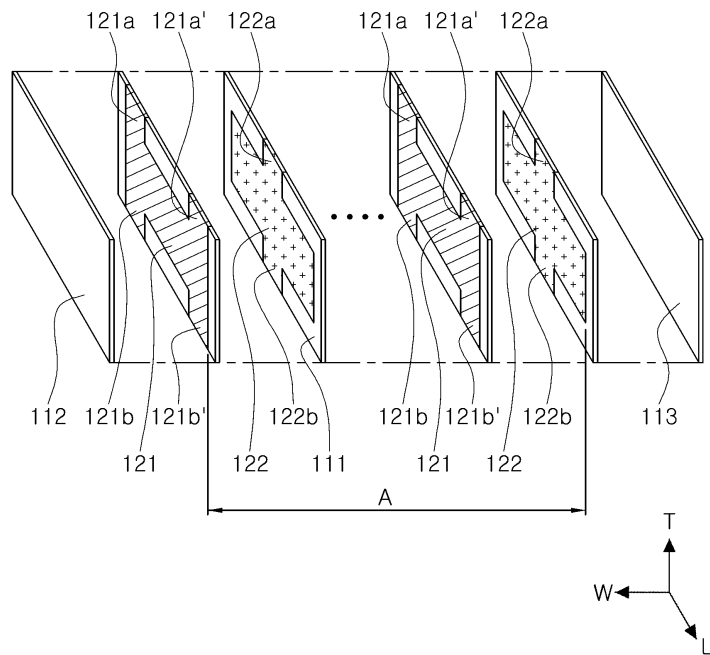
도면8



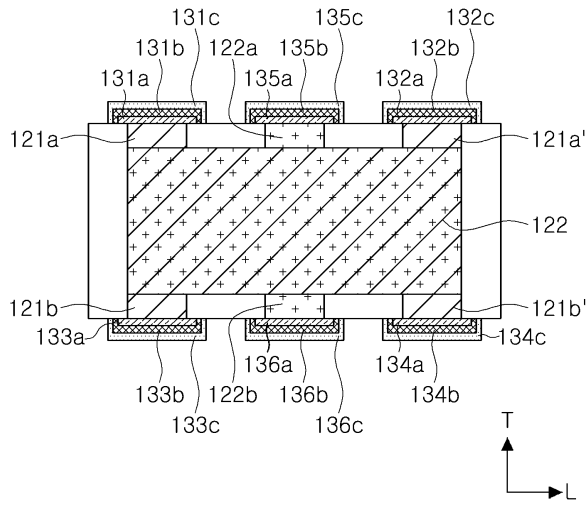
도면9



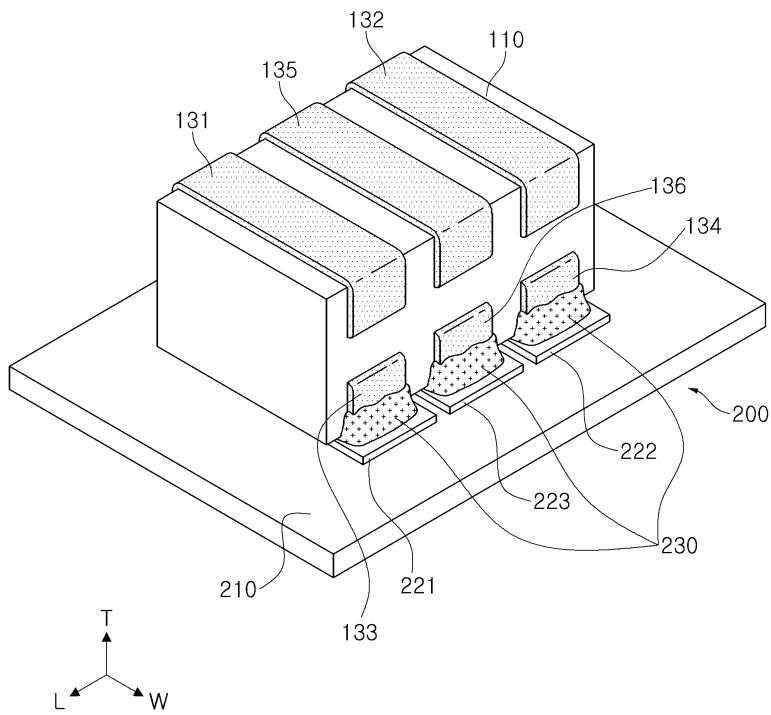
도면10



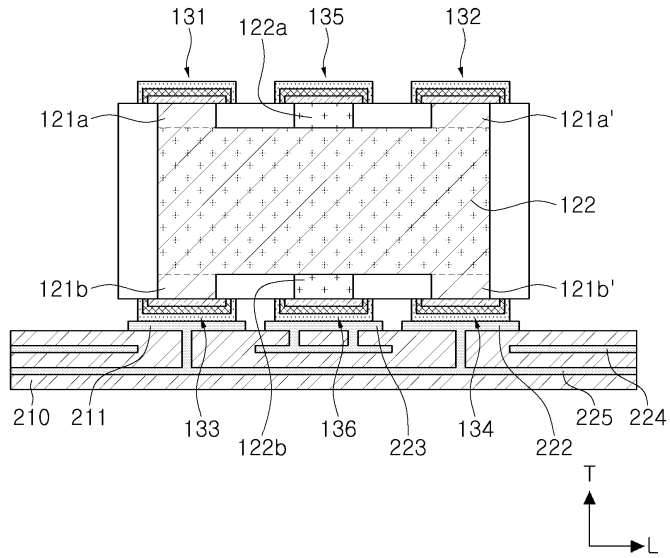
도면11



도면12



도면13



도면14

