(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 207938601 U
(45)授权公告日 2018.10.02

(21)申请号 201820371520.7
(ESM)同样的发明创造已同日申请发明专利

(22)申请日 2018.03.19

(30)优先权数据
2017-087869 2017.04.27 JP

(73)专利权人 瑞萨电子株式会社
地址 日本东京都

(72)发明人 佐藤幸弘 清原俊范

(74)专利代理机构 北京市金杜律师事务所 11256
代理人 陈伟 王娟娟

(51)Int.Cl.
H01L 23/49(2006.01)
H01L 23/495(2006.01)
H01L 23/485(2006.01)
H01L 21/60(2006.01)

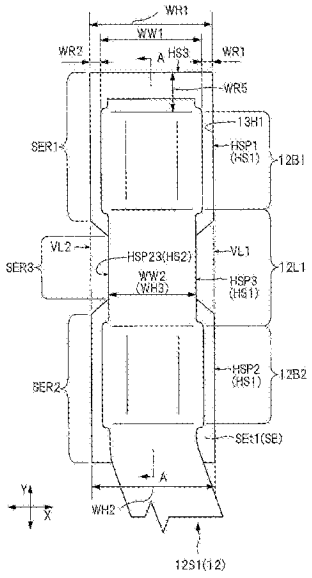
权利要求书3页 说明书26页 附图23页

(54)实用新型名称

半导体器件

(57)摘要

本实用新型提供半导体器件，能提高半导体器件的性能。一实施方式的半导体器件具有导线(12)，其在形成于半导体芯片的绝缘膜上的开口部(13H1)处，在一个接合面(SEt1)的多个部位接合。另外，半导体器件具有以与接合面(SEt1)接触的方式封固上述半导体芯片及导线(12)的封固体。接合面(SEt1)具有供导线(12)的接合部(12B1)接合的区域(SER1)、供导线(12)的接合部(12B2)接合的区域(SER2)、以及位于区域(SER1)与区域(SER2)之间的区域(SER3)。区域(SER3)的宽度(WH3)比区域(SER1)的宽度(WH1)及区域(SER2)的宽度(WH2)小。



CN 207938601 U

1.一种半导体器件,其特征在于,包括:

半导体芯片,其包括电极焊盘和绝缘膜,该电极焊盘具有第1接合面,该绝缘膜具有使所述电极焊盘的所述第1接合面露出的第1开口部;

第1导线,其与所述电极焊盘的所述第1接合面接合;以及

封固体,其以与所述电极焊盘的所述第1接合面接触的方式封固所述半导体芯片和所述第1导线,

所述第1接合面由金属构成,

所述封固体由绝缘材料构成,

在俯视观察时,所述第1接合面具有第1区域、第2区域、及位于所述第1区域与所述第2区域之间的第3区域,

所述第1导线具有与所述第1接合面的所述第1区域接合的第1接合部、与所述第1接合面的所述第2区域接合的第2接合部、及位于所述第1接合部与所述第2接合部之间的第1中间部,

在俯视观察时,所述第1中间部沿着第1方向延伸,且所述第1中间部与所述第3区域分离,

在俯视观察时,所述第1区域在与所述第1方向正交的第2方向上的宽度、和所述第2区域在所述第2方向上的宽度,比所述第3区域在所述第2方向上的宽度大。

2.根据权利要求1所述的半导体器件,其特征在于,

所述第1开口部具有第1边和第2边,该第1边在所述第2方向上位于所述第1开口部的一端部且沿着所述第1方向延伸,该第2边位于所述第1边的相反侧的端部且沿着所述第1方向延伸,

所述第1边分别在所述第1区域与所述第3区域之间以及所述第2区域与所述第3区域之间弯曲,

所述第2边分别在所述第1区域与所述第3区域之间以及所述第2区域与所述第3区域之间弯曲。

3.根据权利要求1所述的半导体器件,其特征在于,

在俯视观察时,所述第3区域在所述第2方向上的宽度小于或等于所述第1导线的所述第1中间部在所述第2方向上的宽度。

4.根据权利要求1所述的半导体器件,其特征在于,

在所述第2方向上,第2导线配置在所述第1导线的旁边,

所述第1导线与所述第2导线在所述第2方向上的分离距离比所述第1导线的线径小。

5.根据权利要求1所述的半导体器件,其特征在于,

在俯视观察时,所述第1开口部具有沿着所述第1方向延伸的第1边、及位于所述第1边的相反侧的第2边,

所述第1边在俯视观察时具有沿着所述第1区域延伸的第1部分、沿着所述第2区域延伸的第2部分、以及位于所述第1部分与所述第2部分之间且沿着所述第3区域延伸的第3部分,

所述第1边的所述第1部分的延长线与所述第3部分之间的宽度,比所述第1边的所述第3部分与所述第1导线的所述第1中间部之间的宽度大。

6.根据权利要求1所述的半导体器件,其特征在于,

在俯视观察时，所述第1开口部具有沿着所述第1方向延伸的第1边及位于所述第1边的相反侧的第2边，

所述第1边在俯视观察时具有沿着所述第1区域延伸的第1部分、沿着所述第2区域延伸的第2部分、以及位于所述第1部分与所述第2部分之间且沿着所述第3区域延伸的第3部分，

所述第2边在俯视观察时具有沿着所述第1区域延伸的第4部分、沿着所述第2区域延伸的第5部分、以及位于所述第4部分与所述第5部分之间且沿着所述第3区域延伸的第6部分，

所述第1边的所述第3部分位于所述第1部分的延长线与所述第2边之间，

所述第2边的所述第6部分位于所述第4部分的延长线与所述第1边之间。

7.根据权利要求1所述的半导体器件，其特征在于，

所述第1接合面的所述第1区域具有沿着所述第2方向突出的第1突出部，

在俯视观察时，所述第1突出部在所述第1方向上的长度比所述第1区域在所述第1方向上的长度短。

8.根据权利要求7所述的半导体器件，其特征在于，

在俯视观察时，所述第1突出部在所述第2方向上的长度比所述第1突出部在所述第1方向上的长度短。

9.根据权利要求1所述的半导体器件，其特征在于，

在俯视观察时，所述第1开口部具有沿着所述第1方向延伸的第1边和位于所述第1边的相反侧的第2边，

所述第1接合面的所述第1区域具有在所述第1开口部的所述第1边处沿着所述第2方向突出的第1突出部、和在所述第1开口部的所述第2边处沿着所述第2方向突出的第2突出部，

在俯视观察时，所述第1突出部在所述第1方向上的长度及所述第2突出部在所述第1方向上的长度分别比所述第1区域在所述第1方向上的长度短。

10.根据权利要求9所述的半导体器件，其特征在于，

所述第1接合面的所述第2区域具有在所述第1开口部的所述第1边处沿着所述第2方向突出的第3突出部、和在所述第1开口部的所述第2边处沿着所述第2方向突出的第4突出部，

在俯视观察时，所述第3突出部在所述第1方向上的长度及所述第4突出部在所述第1方向上的长度分别比所述第2区域在所述第1方向上的长度短。

11.根据权利要求1所述的半导体器件，其特征在于，

所述第1接合面的所述第3区域具有沿着所述第2方向朝向所述第3区域凹陷的第1凹部，

在俯视观察时，所述第1凹部在所述第1方向上的长度比所述第3区域在所述第1方向上的长度短。

12.根据权利要求1所述的半导体器件，其特征在于，

在俯视观察时，所述第1开口部具有沿着所述第1方向延伸的第1边和位于所述第1边的相反侧的第2边，

所述第1接合面的所述第3区域具有在所述第1开口部的所述第1边处沿着所述第2方向朝向所述第2边凹陷的第1凹部、和在所述第1开口部的所述第2边处沿着所述第2方向朝向所述第2边凹陷的第2凹部，

在俯视观察时，所述第1凹部在所述第1方向上的长度及所述第2凹部在所述第1方向上

的长度分别比所述第3区域在所述第1方向上的长度短。

13.根据权利要求1所述的半导体器件，其特征在于，

所述第3区域具有试验用端子侵入的痕迹。

14.一种半导体器件，其特征在于，包括：

半导体芯片，其包括电极焊盘和绝缘膜，该电极焊盘具有第1接合面，该绝缘膜具有使所述电极焊盘的所述第1接合面露出的第1开口部，

第1导线，其与所述电极焊盘的所述第1接合面接合；以及

封固体，其以与所述电极焊盘的所述第1接合面接触的方式封固所述半导体芯片和所述第1导线，

所述第1接合面由金属构成，

所述封固体由绝缘材料构成，

所述第1导线具有与所述第1接合面接合的第1接合部、与所述第1接合面接合的第2接合部、以及位于所述第1接合部与所述第2接合部之间的第1中间部，

在俯视观察时，所述第1中间部沿着第1方向延伸，且所述第1中间部与所述第1接合面分离，

在俯视观察时，所述第1开口部具有沿着所述第1方向延伸的第1边、位于所述第1边的相反侧的第2边、沿着与所述第1方向正交的第2方向延伸的第3边、和位于所述第3边的相反侧的第4边，

所述第1边在俯视观察时具有沿着所述第1方向延伸的第1部分、沿着所述第1方向延伸的第2部分、以及位于所述第1部分与所述第2部分之间且沿着所述第1方向延伸的第3部分，

在俯视观察时的所述第2方向上，所述第1接合部位于所述第1边的所述第1部分与所述第2边之间，

在俯视观察时的所述第2方向上，所述第2接合部位于所述第1边的所述第2部分与所述第2边之间，

在俯视观察时的所述第2方向上，所述第1中间部位于所述第1边的所述第3部分与所述第2边之间，

在俯视观察时，从所述第1边的所述第1部分到所述第2边为止在所述第2方向上的长度、和从所述第1边的所述第2部分到所述第2边为止在所述第2方向上的长度，分别比从所述第3部分到所述第2边为止在所述第2方向上的长度大。

15.根据权利要求14所述的半导体器件，其特征在于，

所述第2边在俯视观察时具有沿着所述第1方向延伸的第4部分、沿着所述第1方向延伸的第5部分、以及位于所述第1部分与所述第2部分之间且沿着所述第1方向延伸的第6部分，

所述第1边的所述第3部分位于所述第1部分的延长线与所述第2边之间，

所述第2边的所述第6部分位于所述第4部分的延长线与所述第1边之间。

16.根据权利要求14所述的半导体器件，其特征在于，

所述第1接合面的与所述第1导线的第1中间部重叠的区域具有试验用端子侵入的痕迹。

半导体器件

技术领域

[0001] 本实用新型涉及半导体器件及其制造方法，例如涉及连接有导线的引线的一部分被树脂封固体封固的半导体器件。

背景技术

[0002] 在日本特表2000-503491号公报(专利文献1)中记载了一种在位于半导体芯片上表面的多个电极焊盘上连接有多条导线的功率半导体器件。另外，在专利文献1中记载了一种在多个电极焊盘中的一部分焊盘中，在电极焊盘的多个部位连接有导线的构造。

[0003] 另外，在日本特开昭61-290747号公报(专利文献2)中记载了一种将接合焊盘和测试用焊盘借助布线连接的构造。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1：日本特表2000-503491号公报

[0007] 专利文献2：日本特开昭61-290747号公报

实用新型内容

[0008] 本申请发明人对半导体器件的性能提高进行了研究。例如，具有在半导体芯片的一个电极焊盘的多个部位接合一根导线的技术。在半导体芯片的电极形成面由作为保护膜的绝缘膜覆盖并在电极焊盘的多个部位接合导线的情况下，通过增大在保护膜上形成的开口部的开口面积，从而使导线容易连接。但是，已经判明了：由于构成电极焊盘的金属材料与用于封固导线的树脂材料之间的接合界面的强度较弱，因此电极焊盘中未连接导线且从保护膜露出的部分与封固导线的树脂(树脂封固体)会剥离。即使在电极焊盘与树脂封固体剥离了的情况下，也不会立即损害半导体器件的功能。但是，若考虑半导体器件的产品寿命等长期的产品品质，则优选能够抑制电极焊盘与树脂封固体之间的剥离。

[0009] 其他课题和新的特征根据本说明书的记载及附图可以明确。

[0010] 一实施方式的半导体器件具有在形成于半导体芯片的绝缘膜上的第1开口部处与一个接合面的多个部位接合的导线。另外，半导体器件具有以与上述接合面接触的方式对上述半导体芯片及上述导线进行封固的封固体。上述接合面具有与上述导线的第1接合部接合的第1区域、与上述导线的第2接合部接合的第2区域、及位于上述第1区域与上述第2区域之间的第3区域。上述第3区域的宽度比上述第1区域的宽度及上述第2区域的宽度小。

[0011] 实用新型效果

[0012] 根据上述一实施方式，能够提高半导体器件的性能。

附图说明

[0013] 图1是示意性地示出一实施方式的半导体器件所具有的电路的一例的说明图。

[0014] 图2是示出图1所示的场效应晶体管的元件构造例的要部剖视图。

[0015] 图3是图1所示的半导体器件的俯视图。

[0016] 图4是图3所示的半导体器件的仰视图。

[0017] 图5是在将图3所示的封固体除掉后的状态下示出半导体器件的内部构造的透视俯视图。

[0018] 图6是沿着图5的A-A线的剖视图。

[0019] 图7是将图5所示的半导体芯片的上表面周边放大示出的放大俯视图。

[0020] 图8是沿着图7的A-A线的放大剖视图。

[0021] 图9是图7所示的源极电极焊盘用的开口部的放大俯视图。

[0022] 图10是示出在图9所示的接合面上接合了源极导线的状态的放大俯视图。

[0023] 图11是沿着图10的A-A线的放大剖视图。

[0024] 图12是针对图10的研究例的接合面的放大俯视图。

[0025] 图13是将图10所示的导线的接合位置偏离的情况下的环部的周边放大示出的放大俯视图。

[0026] 图14是示出针对图11的研究例的放大剖视图。

[0027] 图15是示出使用图1至图11说明的半导体器件的制造工序的概要的说明图。

[0028] 图16是以图15所示的半导体芯片准备工序准备的半导体芯片的表面(电极露出面)侧的俯视图。

[0029] 图17是将以图15所示的引线框架准备工序准备的引线框架的一部分示出的放大俯视图。

[0030] 图18是示出在图15所示的封固工序中形成将半导体芯片及导线封固的封固体的状态的放大俯视图。

[0031] 图19是在沿着图18的A-A线的剖面中,示出在成形模具内配置有引线框架的状态的放大剖视图。

[0032] 图20是示出在封固工序中由树脂封固的导线的周边的放大剖视图。

[0033] 图21是示出针对图9的变形例的放大俯视图。

[0034] 图22是示出在图21所示的接合面上接合有导线的状态例的放大俯视图。

[0035] 图23是示出在图21所示的接合面上接合有导线的其他状态例的放大俯视图。

[0036] 图24是示出针对图21的变形例的放大俯视图。

[0037] 图25是示出在图24所示的接合面上接合有导线的状态例的放大俯视图。

[0038] 图26是示出针对图13的变形例的放大俯视图。

[0039] 附图标记说明

[0040] 10半导体芯片

[0041] 10b背面(面、主面、下表面)

[0042] 10s侧面(面)

[0043] 10t表面(面、主面、上表面)

[0044] 11芯片接合材料(粘接材料)

[0045] 12、12G、12S、12S1、12S2导线(金属导线、导电性部件、金属线)

[0046] 12B1、12B2、12B3接合部(连接部、针脚式接合部)

[0047] 12L1、12L2环部(中间部、延伸部)

[0048] 13绝缘膜(保护膜)

[0049] 13H1、13H2、13H3、13H4、13H5开口部

[0050] 20芯片焊盘(金属板、芯片搭载部、散热板)

[0051] 20b下表面(面、主面、背面、露出面、安装面)

[0052] 20s、20s1、20s2侧面

[0053] 20t上表面(面、主面、表面、芯片搭载面)

[0054] 21、31基材

[0055] 22、32金属膜(镀膜)

[0056] 30、30D、30G、30S引线(端子)

[0057] 30b下表面(面)

[0058] 30M内部(内引线部、被封固部)

[0059] 30s侧面

[0060] 30t上表面(面、导线接合面)

[0061] 30W导线接合部(引线柱、焊盘、接合焊盘、导线连接部、接合部)

[0062] 30X外部(外引线部、露出部)

[0063] 40封固体(树脂封固体、树脂体、模塑树脂)

[0064] 40b下表面(安装面)

[0065] 40s侧面

[0066] 40t上表面

[0067] 62成形模具

[0068] 62B下模(第2模具)

[0069] 62C腔室

[0070] 62T上模(第1模具)

[0071] CH沟道形成区域

[0072] D漏极

[0073] DE漏极电极(电极)

[0074] EP外延层

[0075] G栅极电极

[0076] GE栅极电极焊盘(电极、栅极电极)

[0077] GEt、SEt1、SEt2、SEt3、SEt4、SEtH接合面(露出面、接合部)

[0078] GI栅极绝缘膜

[0079] GP1、GP2分离距离

[0080] GP3长度

[0081] GW布线(栅极布线)

[0082] HS1、HS2、HS3、HS4边(部分)

[0083] HSM1、HSM2、HSM3、HSM4突出部

[0084] HSM5、HSM6凹部

[0085] HSP1、HSP2、HSP3、HSP4、HSP5、HSP21、HSP22、HSP23、HSP24、HSP25部分

[0086] HSM1、HSM2、HSM3、HSM4突出部

[0087] HSM5、HSM6凹部

[0088] HSP1、HSP2、HSP3、HSP4、HSP5、HSP21、HSP22、HSP23、HSP24、HSP25部分

[0089] HT1环高度

[0090] LE1环长度

[0091] LE2长度

[0092] LF引线框架

[0093] LFd器件形成部

[0094] LFf框部(框架部)

[0095] LFt系杆

[0096] LM1、LM2、LM3、LM4、LM5、LM6长度

[0097] PKG1半导体器件

[0098] PRM探针痕迹

[0099] Q1晶体管

[0100] S源极

[0101] SE源极电极焊盘(电极、源极电极)

[0102] SR源极区域

[0103] SW布线(源极布线)

[0104] TR1沟槽(开口部、槽)

[0105] VL1、VL2延长线(假想线)

[0106] WC1、WC2、WH1、WH2、WH3、WH4、WH5、WR1、WR2、WR3、WR4、WR5、WR6、WRP、WW1、WW2宽度(长度、粗度)

[0107] WH半导体衬底

[0108] WHt主面

[0109] WS1、WS2距离

具体实施方式

[0110] (本申请的记载形式、基本用语、用法的说明)

[0111] 在本申请中,实施方式的记载根据需要为了方便而分为多个部分等记载,但除了特别明示并非如此的情况以外,这些部分并非相互独立,无论记载的前后顺序,单个例子的各部分中的一方是另一方的部分详细说明或一部分或全部的变形例等。另外,原则上省略相同部分的重复说明。另外,实施方式中的各构成要素在没有特别明示不是这样的情况下,除了理论上限定于其数量及根据上下文明显并非如此的情况以外,并不是必需的。

[0112] 同样地,在实施方式等的记载中,关于材料、组成等,对于“由A构成的X”等,除了特别明示并非如此的情况及根据上下文明显并非如此的情况以外,并不排除包含A以外的要素的情况。例如,对于成分来说,是指“作为主要成分含有A的X”等意思。例如,“硅部件”等并不限定于纯质的硅,当然也包括SiGe(硅锗)合金或其他以硅为主要成分的多元合金、包含其他添加物等的部件。另外,对于镀金、Cu层、镀镍等,除了特别明示并非如此的情况以外,不仅包括纯质材料的部件,也包含分别以金、Cu、镍等为主要成分的部件。

[0113] 此外,在言及特定的数值、数量时也同样,除了特别明示并非如此的情况、理论上

限定于其数量的情况、以及从上下文明显并非如此的情况以外，可以是超过该特定数值的数值，也可以是低于该特定数值的数值。

[0114] 另外，在实施方式的各图中，相同或等同的部分以相同或相近的标号或附图标记表示，原则上不做重复说明。

[0115] 另外，在附图中，在反而会变得复杂的情况或与空隙的区别明确的情况下，存在即使是剖面也省略阴影线等的情况。与之相关联，在根据说明等确知的情况等下，存在即使是俯视时闭合的孔也省略背景轮廓线的情况。另外，即使不是剖面，为了明确不是空隙或为了明示区域的边界，有时也赋予阴影线或点图案。

[0116] 在以下的说明中，使用了“接触”、“粘接”、“接合”、“剥离”、及“连接”的用语，其意义如下。“接触”是指能够分离的两个部件的至少一部分彼此相接的状态。“粘接”是指能够分离的两个部件(被接材料)的至少一部分借助粘结剂相互结合而固定的状态。另外，“接合”是指能够分离的两个部件(被接材料)的至少一部分相互结合而固定的状态。上述“结合”包括锚固效应等机械性的结合、分子间力等的物理性的相互作用下的结合、及共价结合等化学性的相互作用下的结合。另外，“接合”除了在被接材料之间存在其他部件(例如粘结剂)的情况以外，也包含不存在其他部件的情况。即，“接合的状态”包含“粘接的状态”。另外，“剥离”是指使得上述“结合”状态解除、变为能够分离的状态。另外，仅记载为“剥离”的情况，除了在两个部件的接合部分的整体结合解除了的情况以外，还包括接合部分的一部分结合解除了的状态。另外，“连接”是指两个部件连通的状态(连接路径在中途未断开的连续连接)。与两个部件之间是否存在其他部件无关。例如“A部件与B部件电连接的状态”是指A部件与B部件能够电导通的状态，也包括A部件与B部件之间夹存C部件的情况。另外，仅记为“A部件与B部件连接的状态”是指A部件与B部件固定的状态，也包括在A部件与B部件之间夹存C部件的情况。另外，例如“A部件与B部件连接的状态”也包括A部件与B部件形成为无法分离的一体件且形状或功能能够区分的情况。如上所述，也包括将A部件与B部件形成为一体件的状态记为“连结”的情况。

[0117] 另外，在以下的说明中，记为焊料、焊锡材料、焊接材料、或焊料成分的情况，是指例如含铅(Pb)的Sn-Pb焊料或实际上不含有Pb的所谓无铅焊料。作为无铅焊料的例子，能够举出例如仅有锡(Sn)、锡-铋(Sn-Bi)、或锡-铜-银(Sn-Cu-Ag)、锡-铜(Sn-Cu)等。在此，无铅焊料是指铅(Pb)的含量为0.1wt％以下，该含量是采用RoHS(Restriction of Hazardous Substances)指令标准来确定的。

[0118] 在本实施方式中，作为半导体器件的例子，以组装于电源电路等电力控制电路的功率器件或被称为功率半导体器件的半导体器件为例来说明。以下说明的半导体器件组装于电力变换电路，作为开关元件发挥功能。

[0119] ＜电路构成例＞

[0120] 图1是示意性地示出本实施方式的半导体器件所具有的电路的一例的说明图。另外，图2是示出图1所示的场效应晶体管的元件构造例的要部剖视图。

[0121] 被称为功率半导体器件的电力控制用半导体器件具有例如二极管、闸流管、或晶体管等半导体元件。晶体管被应用于多种领域，如本实施方式所示，组装于例如1A(安培)以上的大电流流通的电力控制电路内而作为开关元件动作的晶体管被称为功率晶体管。本实施方式的半导体器件PKG1如图1所示，具有形成有作为功率晶体管的晶体管Q1的半导体芯

片10。在图1及图2所示的例子中，形成于半导体芯片10上的晶体管Q1是场效应晶体管，具体而言是MOSFET(Metal Oxide Semiconductor Field Effect Transistor:金属氧化物半导体场效应晶体管)。在功率半导体器件中，晶体管作为例如开关元件使用。功率半导体器件所使用的MOSFET被称为功率MOSFET。

[0122] 上述MOSFET被记为广泛地表示在栅极绝缘膜上配置有由导电性材料构成的栅极电极的构造的场效应晶体管的用语。因此，在记为MOSFET的情况下也并不排除氧化膜以外的栅极绝缘膜。另外，在记为MOSFET的情况下，也不排除例如多晶硅等金属以外的栅极电极材料。

[0123] 另外，图1所示的晶体管Q1例如由图2所示的n沟道型场效应晶体管形成。图2是表示图1所示的场效应晶体管的元件构造例的要部剖视图。

[0124] 在图2所示的例子中，在由例如n型单晶硅构成的半导体衬底WH的主面WHt上形成有n^-型外延层EP。该半导体衬底WH及外延层EP构成MOSFET的漏极区域(与图1所示的漏极D相当的区域)。该漏极区域与在半导体芯片10的背面侧形成的漏极电极DE电连接。

[0125] 在外延层EP上形成有作为p^+型半导体区域的沟道形成区域CH，在该沟道形成区域CH上形成有作为n^+型半导体区域的源极区域(与图1所示的源极S相当的区域)SR。源极区域SR借助引出布线与在半导体芯片10的主面侧形成的源极电极焊盘(电极、源极电极)SE电连接。另外，在层叠于半导体衬底WH上的半导体区域形成有沟槽(开口部、槽)TR1，该沟槽TR1自源极区域SR的上表面贯穿沟道形成区域CH而到达外延层EP的内部。

[0126] 另外，在沟槽TR1的内壁上形成有栅极绝缘膜GI。另外，在栅极绝缘膜GI上形成有以填埋沟槽TR1的方式层叠的栅极电极G。栅极电极G借助引出布线与半导体芯片10的栅极电极焊盘(电极、栅极电极)GE电连接。

[0127] 另外，晶体管Q1以隔着沟道形成区域CH的方式沿着厚度方向配置漏极区域和源极区域SR，因此沿着厚度方向形成沟道(以下记为纵型沟道构造)。在该情况下，与沿着主面WHt形成沟道的场效应晶体管相比，能够减小俯视观察时元件的占有面积。因此，能够减小半导体芯片10的平面尺寸。

[0128] 另外，在上述纵型沟道构造的情况下，由于能够增大俯视观察时的单位面积的沟道宽度，因此能够减小导通电阻。此外，图2是表示场效应晶体管的元件构造的图，在图1所示的半导体芯片10中，具有例如图2所示的元件构造的多个(很多)晶体管Q1并联。由此，能够构成例如超过1安培的大电流流通的功率MOSFET。

[0129] 如上所述，在将纵型沟道构造的多个晶体管Q1并联而构成MOSFET的情况下，MOSFET的电特性(主要是耐压特性、导通电阻特性、容量特性)对应于半导体芯片10的平面尺寸而变化。例如，只要半导体芯片10的平面面积增大就会增加并联的晶体管Q1的单元数量(即元件数量)，因此导通电阻降低、容量增大。

[0130] 此外，在图1及图2中，作为功率半导体器件所具有的功率晶体管的例子而例示了MOSFET，但能够使用多种变形例。例如，也可以取代MOSFET而设置绝缘栅双极晶体管(IGBT;Insulated Gate Bipolar Transistor)。

[0131] ＜半导体器件＞

[0132] 下面，对图1所示的半导体器件PKG1的封装构造进行说明。图3是图1所示的半导体器件的俯视图。另外，图4是图3所示的半导体器件的仰视图。另外，图5是在将图3所示的封

固体除掉的状态下示出半导体器件的内部构造的透视俯视图。另外，图6是沿着图5的A-A线的剖视图。

[0133] 本实施方式的半导体器件PKG1包括半导体芯片10(参照图5、图6)、用于搭载半导体芯片10的芯片焊盘(金属板、芯片搭载部、散热板)20(参照图3至图6)、及作为外部端子的多根引线(端子)30。半导体芯片10和多根引线30借助多根导线12(参照图5、图6)电连接。另外，半导体芯片10、芯片焊盘20的上表面20t及多根引线30的内部(内引线部、被封固部)30M(参照图5、图6)利用封固体(树脂封固体、树脂体、模塑树脂)40封固。

[0134] 在本实施方式中，如图5所示，在俯视观察时，多根引线30分别沿着Y方向与芯片焊盘20并列配置，且沿着与Y方向相交叉(在图5的例子中是正交)的X方向并列配置。另外，在图5所示的例子中，在俯视观察时，多个源极用引线(源极引线、源极端子)30S、漏极用引线(漏极引线、漏极端子)30D、及栅极用引线(栅极引线、栅极端子)30G沿着X方向依次排列。多根引线30分别具有由封固体40封固的内部30M和从封固体40露出的外部(外引线部、露出部)30X。另外，如图6所示，多根引线30分别具有上表面30t和上表面30t的相反侧的下表面30b。

[0135] 另外，如图6所示，半导体芯片10具有表面(面、上表面)10t和位于表面10t的相反侧的背面(面、下表面)10b。另外，如图5所示，半导体芯片10的表面10t(或图6所示的背面10b)在俯视观察时呈四边形，在周缘部具有四个侧面10s。在图5所示的例子中，半导体芯片10在俯视观察时呈长方形，长边沿着X方向配置。

[0136] 另外，如图5所示，在半导体芯片10的表面10t上形成有与栅极电极G(参照图1)电连接的栅极电极焊盘GE、与源极S(参照图1)电连接的源极电极焊盘SE。另外，如图6所示，在半导体芯片10的背面10b上形成有与漏极D(参照图1)电连接的漏极电极(电极)DE。在图6所示的例子中，半导体芯片10的整个背面10b成为漏极电极DE。

[0137] 如图2所示，在将半导体芯片10设为纵型沟道构造的情况下，能够通过减小半导体芯片10的厚度(减小图6所示的表面10t与背面10b之间的距离)来减小导通电阻。另一方面，从增大芯片焊盘20的热容量的角度或增大电流流通的导电路径的截面积的角度来说，优选芯片焊盘20的厚度较厚。因此，在图6所示的例子中，芯片焊盘20的厚度比半导体芯片10的厚度大。

[0138] 另外，半导体器件PKG1具有用于搭载半导体芯片10的芯片焊盘(金属板、芯片搭载部、散热板)20。如图6所示，芯片焊盘20具有借助芯片接合材料11搭载半导体芯片10的上表面(面、主面、表面、芯片搭载面)20t、和与上表面20t为相反侧的下表面(面、主面、背面、露出面、安装面)20b。在图5所示的例子中，半导体芯片10的平面尺寸(表面10t的面积)比芯片焊盘20的平面尺寸(上表面20t的面积)小。另外，如图4所示，芯片焊盘20在周缘部具有与下表面20b相连的多个侧面20s。

[0139] 另外，如图5所示，芯片焊盘20与作为漏极端子的引线30D一体形成。引线30D是与图1所示的漏极D电连接的外部端子。如图6所示，在半导体芯片10的背面10b形成有与作为MOSFET的晶体管Q1(参照图1)的漏极D连接的漏极电极DE。漏极电极DE借助由导电性材料构成的芯片接合材料11与芯片焊盘20电连接。芯片接合材料11是导电性树脂，是例如焊料或银(Ag)粒子等导电性粒子与树脂的混合物的固化物。引线30D与芯片焊盘20连接，借助芯片焊盘20及芯片接合材料11与半导体芯片10的漏极电极DE电连接。另外，引线30D与芯片焊盘

20连接(连结),在后述的半导体器件的制造工序中,具有作为支承芯片焊盘20的悬吊引线的功能。

[0140] 此外,在本实施方式中,由于芯片焊盘20的下表面20b从封固体40露出,因此可以将芯片焊盘20本身视为漏极端子。另外,在本实施方式中,作为功率晶体管的例子,以使用MOSFET的实施方式为例进行了说明,因此引线30及芯片焊盘20在电路中作为半导体器件PKG1的漏极端子进行动作。但是,作为变形例,在功率晶体管使用IGBT的情况下,在半导体芯片的背面形成集电极。因此,在功率晶体管为IGBT的情况下,引线30及芯片焊盘20在电路中作为半导体器件PKG1的集电端子进行动作。

[0141] 另外,如图5所示,芯片焊盘20的多个侧面20s包含侧面20s1,该侧面20s1以在俯视观察时与多根引线30分别相对的状态设置,并由封固体40封固。另外,多个侧面20s包含侧面20s2,该侧面20s2设置在侧面20s1的相反侧,从封固体40露出且由金属膜22(参照图6)覆盖。

[0142] 另外,如图4及图6所示,芯片焊盘20的下表面20b在封固体40的下表面40b侧从封固体40露出。在图4所示的例子中,芯片焊盘20的下表面20b的面积小于或等于封固体40的下表面40b的面积。另外,如图3所示,在从芯片焊盘20的上表面20t侧观察的俯视观察时,芯片焊盘20的一部分从封固体40所具有的多个侧面40s中的一个侧面40s向外侧突出。并且,如图3及图6所示,芯片焊盘20的上表面20t的一部分、及多个侧面20s中的一部分(至少为侧面20s2)从封固体40露出。如本实施方式所示,通过增大芯片焊盘20的平面尺寸并使芯片焊盘20的一部分从封固体40露出,能够提高在半导体芯片10中产生的热量的散热效率。

[0143] 另外,通过使与作为外部端子的引线30D连接的芯片焊盘20的下表面20b从封固体40露出,能够增大电流流通的导通路径的截面积。因此,能够减小导通路径中的阻抗。特别是,在引线30D成为与半导体器件PKG1所具有的电路的输出节点对应的外部端子的情况下,能够通过减小与引线30D连接的导通路径的阻抗成分来直接减小输出布线的电力损失,从这一点来说是优选的。

[0144] 芯片焊盘20具有由与多根引线30相同的金属材料、例如铜(Cu)或以铜(Cu)为主要成分的合金材料构成的基材21。另外,多根引线30分别具有由与芯片焊盘20相同的金属材料、例如铜(Cu)或以铜(Cu)为主要成分的合金材料构成的基材31。

[0145] 另外,芯片焊盘20中从封固体40露出的部分(外部、露出部)由金属膜22覆盖。同样地,引线30中从封固体40露出的部分(外部30X)由金属膜32覆盖。该金属膜22及金属膜32是在将半导体器件PKG1向安装基板安装时用于提高作为连接材料使用的焊接材料的润湿性的金属膜。金属膜22及金属膜32例如是通过电镀法形成的金属镀膜。详细内容如后所述,金属膜22及金属膜32由例如含锡(Sn)的焊接材料构成。

[0146] 另外,图5及图6所示的芯片接合材料(粘接材料)11是导电性部件(芯片接合材料),用于将半导体芯片10固定在芯片焊盘20上,且将半导体芯片10与芯片焊盘20电连接。芯片接合材料11例如可以使用焊接材料。或者,芯片接合材料11也可以是含有多个银(Ag)粒子(Ag填料)的所谓银(Ag)膏的导电性树脂粘接材料。此外,虽然图示省略,但也可以在芯片焊盘20的上表面20t的一部分形成由与芯片接合材料11粘接的粘接性比作为芯片焊盘20的基材的铜(Cu)或铜合金高的金属膜(图示省略)。由此,能够提高芯片接合材料11与芯片焊盘20粘接的粘接强度。

[0147] 另外，如图5所示，半导体芯片10的栅极电极焊盘GE和引线30G借助导线12(具体来说是导线12G)电连接。同样地，半导体芯片10的源极电极焊盘SE与引线30S借助导线(导电性部件、金属线)12(具体来说是导线12S)电连接。导线12是用于将半导体芯片10的表面10t侧的电极焊盘与引线30连接的导电性部件，以例如铝(Al)为主要成分。此外，导线12的构成材料具有多种变形例，例如可以以铜(Cu)、银(Ag)、或金(Au)等金属材料为主要成分。

[0148] 如图5所示，导线12G的一端与半导体芯片10的栅极电极焊盘GE接合。另一方面，导线12G的与上述一端为相反侧的另一端与形成为引线30G的一部分的导线接合部(引线柱、焊盘、接合焊盘、导线连接部、接合部)30W的上表面30t接合。

[0149] 另外，如图5及图6所示，导线12S的一端与半导体芯片10的源极电极焊盘SE接合。另一方面，导线12S的与上述一端为相反侧的另一端与形成为引线30S的一部分的导线接合部(引线柱、焊盘、接合焊盘、导线连接部、接合部)30W的上表面30t接合。

[0150] 另外，在功率半导体器件中，在与源极电极焊盘SE连接的布线路径中，流通比与栅极电极焊盘GE连接的布线路径大的电流。因此，在图5所示的例子中，导线12S比导线12G粗。此外，导线12的形状和数量不限定于图5所示的方式，存在多种变形例。例如，也可以使导线12G与导线12S的粗细相同。另外，例如，源极电极焊盘SE与引线30S也可以借助多根导线12S电连接。具体如后所述，在本实施方式中，在半导体芯片10的源极电极焊盘SE上连接有多根导线12S。由此，通过在源极电极焊盘SE上连接多根较粗的导线12S，能够减小与图1所示的源极S连结的导电路径的阻抗。

[0151] 另外，半导体芯片10、多根引线30、及多根导线12由封固体40封固。封固体40是用于封固半导体芯片10和多根导线12的树脂体。具体来说，封固体40是以与后述的图7所示的源极电极焊盘SE的露出面即接合面SEt1、SEt2接触的方式封固半导体芯片10及多根导线12的树脂体。封固体40具有上表面40t(参照图3、图6)和位于上表面40t的相反侧的下表面(安装面)40b(参照图4、图6)。另外，如图3及图4所示，封固体40的上表面40t(参照图3)及下表面40b(参照图4)分别在周缘部具有多个侧面40s。另外，封固体40作为主要材料含有有机绝缘材料。例如主要含有环氧系树脂等热固化性树脂。另外，在本实施方式中，为了提高封固体40的特性(例如受热影响的膨胀特性)，在树脂材料中混合有例如硅石(二氧化硅；SiO_2)粒子等填料粒子。

[0152] ＜导线与电极焊盘的连接部分的详细内容＞

[0153] 在此，对半导体芯片的电极焊盘与导线连接的部分的详细内容进行说明。图7是将图5所示的与半导体芯片连接的多根导线中的一部分放大示出的放大俯视图。另外，图8是沿着图7的A-A线的放大剖视图。另外，图9是图7所示的源极电极焊盘用的开口部的放大俯视图。图10是示出在图9所示的接合面上接合有源极导线的状态的放大俯视图。另外，图11是沿着图10的A-A线的放大剖视图。另外，图12是针对图10的研究例的接合面的放大俯视图。另外，图13是将图10所示的导线的接合位置偏离的情况下的环部的周边放大示出的放大俯视图。在图8中，以半导体芯片10所具有的多个晶体管Q1中的两个晶体管Q1为代表示出。另外，使图5所示的源极电极SE的一部分露出的多个接合面、及与该多个接合面接合的多根导线12均为相同的构造。因此，在图9及图10中，作为代表例使用图7所示的接合面SEt1、及与其连接的导线12S1进行说明，对其他接合面(及导线)的构造省略重复的说明。

[0154] 如图7所示，在半导体芯片10上形成有具有表面10t的绝缘膜13。绝缘膜13是用于

保护半导体芯片10的表面10t侧的保护膜。绝缘膜(保护膜)13的上表面构成半导体芯片10的表面10t的大部分。在本实施方式的情况下,绝缘膜13是由有机材料(有机绝缘材料)构成的有机膜,例如是聚酰亚胺膜。在绝缘膜13是有机膜的情况下,绝缘膜13与以有机绝缘材料为主要成分的封固体40(参照图6)之间的接合强度特别高。但是,作为绝缘膜13的构成材料存在多种变形例。例如也可以是除了聚酰亚胺膜以外的有机膜。另外,例如也可以是二氧化硅(SiO_2)、氮化硅(SiN)等无机绝缘膜。若考虑与封固体40的接合强度,则相对于无机绝缘膜更优选有机膜。但是,和金属材料与封固体40之间的接合强度进行比较,无机绝缘膜与封固体40之间的接合强度较高。

[0155] 另外,在绝缘膜13上形成有多个开口部。在图7所示的例子中,在绝缘膜13上形成有开口部13H1、开口部13H2、及开口部13H3。在开口部13H1、13H2、13H3处分别露出在绝缘膜13的下层形成的导体图案的一部分。具体来说,如图8所示,在开口部13H1处,作为源极电极焊盘SE的一部分的接合面(露出面、接合部)SEt1从绝缘膜13露出。另外,在开口部13H2处,作为源极电极焊盘SE的另一部分的接合面(露出面、接合部)SEt2从绝缘膜13露出。另外,在开口部13H3处,作为栅极电极焊盘GE的一部分的接合面GEt从绝缘膜13露出。接合面SEt1、SEt2、及GEt分别从绝缘膜13露出,因此构成半导体芯片10的表面10t的一部分。

[0156] 另外,如图7所示,在接合面SEt1、SEt2及GEt上分别连接有导线12。具体来说,在接合面SEt1上接合有导线(源极导线)12S1,在接合面SEt2上接合有导线(源极导线)12S2。另外,在接合面Get上接合有导线(栅极导线)12G。在图7所示的多根导线12中,导线12S1在多个部位(在图7中为两个部位)与接合面SEt1接合。在该情况下,导线12S1与接合面SEt1的接合面积(总和)增大,因此能够减小经由导线12S1供给的电位的供给路径的阻抗。

[0157] 具体来说,如图9所示,接合面SEt1具有区域(接合区域)SER1、区域(接合区域)SER2、和在俯视观察时位于区域SER1与区域SER2之间的区域(中间区域、非接合区域)SER3。另外,如图10所示,导线12S1具有与接合面SEt1的区域SER1接合的接合部(连接部、针脚式接合部)12B1、与接合面SEt1的区域SER2接合的接合部(连接部、针脚式接合部)12B2、和在俯视观察时位于接合部12B1与接合部12B2之间的环部(中间部)12L1。

[0158] 接合部12B1及接合部12B2均为导线12中热压接于半导体芯片10的电极焊盘的部分,接合部12B1及接合部12B2各自的下表面与同一(共通的)接合面SEt1接合。另外,环部12L1是将接合部12B1与接合部12B2连结的部分,与接合面SEt1分离(参照图8)。另外,导线12S1具有与图5所示的引线30S的导线接合部30W接合的部分即接合部(连接部、针脚式接合部)12B3。另外,导线12S1具有环部12L2,该环部12L2位于图7所示的接合部12B2与接合部12B3(参照图5)之间,用于将接合部12B2与接合部12B3连结。

[0159] 图5所示的源极电极焊盘SE的一部分露出的四个接合面,均为与图9及图10所示的接合面SEt1相同的构造。另外,与使源极电极焊盘SE露出的四个接合面接合的四根导线12,均为与图10所示的导线12S1相同的构造。

[0160] 另外,图7所示的多根导线12中的与栅极电极焊盘GE连接的导线12G,其构造与导线12S1、12S2不同。即,导线12G在一个部位与一个接合面GEt接合。具体来说,导线12G具有与接合面GEt接合的接合部(连接部、针脚式接合部)12B2、与引线30G(参照图5)的导线接合部30W(参照图5)接合的接合部(连接部、针脚式接合部)12B3(参照图5)、及位于接合部12B2与接合部12B3之间的环部12L2。但是,导线12G不具有与导线12S1中的接合部12B1及环部

12L1相当的部分。用于控制晶体管Q1(参照图1)的开关动作的信号(栅极信号)被向导线12G传送。经由导线12G的传送路径与经由导线12S1的传送路径相比,即使传送路径中的阻抗增大,对开关电路的性能带来的影响也相对较小。因此,导线12G在一个部位与一个接合面GEt接合。通过简化导线12G与半导体芯片10之间的连接部分的构造,能够简化制造工序。

[0161] 如图8所示,在本实施方式的情况下,接合面SEt1及接合面SEt2分别为由绝缘膜13覆盖的一个源极电极焊盘SE的一部分。换言之,接合面SEt1是源极电极焊盘SE的第1部分,接合面SEt2是源极电极焊盘SE的第2部分。在一个源极电极焊盘SE上连接多根导线12的情况下,可以考虑如下方法:例如使开口部13H1的开口面积增大,在一个开口部13H1处露出的接合面SEt1上接合导线12S1及导线12S2这两方。在该情况下,能够使导线12与接合面SEt1接合时的位置偏离的余裕(容许范围)增大。

[0162] 但是,根据本申请发明人的研究可知,由于以有机类材料为主要成分的封固体40(参照图6)与以金属材料(例如铝)为主要成分的源极电极焊盘SE之间的接合强度较低,因此容易在封固体40与源极电极焊盘SE之间的接合界面发生剥离。另外,在源极电极焊盘SE和封固体40中,由于线膨胀系数差较大,因此容易由于在形成封固体40之后对封装施加的温度变化而发生剥离。如上所述,在封固体40中,在树脂材料中混合有硅石粒子等填料粒子。因此,能够得到与作为半导体衬底的硅(Si)相同程度的线膨胀系数。但在该情况下,由于与由金属材料构成的源极电极焊盘SE的线膨胀系数差较大,因此也容易发生剥离。

[0163] 即使在源极电极焊盘SE与封固体40剥离了的情况下,也不会立即损害半导体器件PKG1(参照图6)的功能。但是,若考虑半导体器件PKG1的产品寿命等长期间的产品品质,优选能够抑制源极电极焊盘SE与封固体40之间的剥离。

[0164] 如上所述,绝缘膜13和封固体40之间的接合界面,与作为金属膜的源极电极焊盘SE和封固体40之间的接合界面相比不易发生剥离。例如在绝缘膜13由作为有机材料的聚酰亚胺构成的情况下,能够提高与封固体40的紧贴性,能够提高接合强度。另外,作为变形例,即使在绝缘膜13由二氧化硅、氮化硅等无机绝缘材料构成的情况下,与金属膜相比也能够提高与封固体40的紧贴性。另外,在绝缘膜13的材料为二氧化硅、氮化硅素等无机绝缘膜的情况下,能够减小与封固体40的线膨胀系数差,因此不易发生剥离。

[0165] 如上所述,从抑制源极电极焊盘SE与封固体40之间的剥离的角度来说,优选减小源极电极焊盘SE从绝缘膜13露出的部分的面积。

[0166] 另外,根据本申请发明人的研究可知,在如图7所示那样高密度地配置多根导线12的情况下,在相邻的导线12之间容易发生剥离。在本实施方式中,从提高与源极电极焊盘SE电连接的传送路径的电特性的角度出发,将线径比导线12G粗的多根导线12S以高密度连接于源极电极焊盘SE。通过连接线径较粗的多根导线12S,能够增大与源极电极焊盘SE电连接的传送路径的截面积,从而能够减小阻抗成分。

[0167] 在例如图5所示的例子中,示出根据与半导体芯片10的表面10t的面积的关系连接有四根导线12S的例子。但是,导线12S的根数不限定于四根,可以少于四根也可以是五根以上。另外,在图7所示的例子的情况下,导线12S1、12S2的线径是500μm。另外,在X方向上彼此相邻的导线12S1、12S2的中心间距离是850μm。另外,环部12L1处的导线12S1、12S2的宽度(导线12在X方向上的长度)WW2与导线12S1、12S2的线径相等,均为500μm。接合部12B1、12B2处的导线12S1、12S2的宽度(导线12在X方向上的长度)WW1(参照图10)分别为600μm左右。因

此，彼此相邻的导线12S1与导线12S2的分离距离为150μm(相邻的接合部12B1之间的距离WS1)至350μm(相邻的环部12L1之间的距离WS2)左右。换言之，导线12S1与导线12S2的分离距离比导线12S1的线径小。

[0168] 图6所示的封固体40通过供给软化了的树脂材料并将半导体芯片10、导线12及引线30的一部分(内部30M)封固起来，然后使树脂材料固化来形成。此时，在如图7所示多根导线12以较小间距配置的情况下，在供给封固体40的原料树脂时施加于相邻的导线12之间的力，比施加于其他部分(例如半导体芯片10的表面10t中未被导线12覆盖的部分)的力小。因此，在相邻的导线12之间的区域中，与其他区域相比，封固体40与半导体芯片10之间的粘接强度较小。因此，相邻的导线12之间的区域与其他区域相比特别容易发生剥离。

[0169] 根据本申请发明人的研究可知，在相邻的导线12之间，源极电极焊盘SE从绝缘膜13露出的部分在X方向上的长度(宽度)为150μm以上的情况下，封固体40(参照图6)与接合面SEt1之间的剥离特别容易发生。因此，本申请发明人进行了使相邻的导线12之间的接合面的露出面积减小的技术研究。此外，“在相邻的导线12之间，源极电极焊盘SE从绝缘膜13露出的部分在X方向上的长度(宽度)”，是指位于图7所示的相邻的导线12S之间的区域中未由绝缘膜13覆盖的部分的X方向上的长度。例如在图10所示的开口部13H1处，从导线12S1的接合部12B1到开口部13H1的边HS1的部分HSP1为止的长度WR1，与“在相邻的导线12之间，源极电极焊盘SE从绝缘膜13露出的部分在X方向上的长度(宽度)”相当。另外，在开口部13H2(参照图7)处，从导线12S2(参照图7)的接合部12B1到开口部13H2的边HS2的一部分HSP21为止的长度WR2，与“在相邻的导线12之间，源极电极焊盘SE从绝缘膜13露出的部分在X方向上的长度(宽度)”相当。

[0170] 首先，如图12中作为研究例所示，对于在具有长方形开口形状的接合面SEtH中将X方向上的宽度设定得较小的情况进行了研究。在图10及图12中，导线12S1的尺寸相同。即，环部12L1处的导线12S1在X方向上的宽度(导线12S1在X方向上的长度)WW2是500μm。另外，接合部12B1及接合部12B2处的导线12S1的宽度(导线12S1在X方向上的长度)WW1分别为600μm左右。另外，接合面SEtH在X方向上的宽度WH1(换言之是开口部13H1的开口宽度)是700μm。

[0171] 在俯视观察时，图12所示的接合面SEtH的周缘部在X方向上具有位于开口部13H1的一个端部的边(一部分)HS1、和位于边HS1的相反侧端部的边(一部分)HS2。如图12所示的例子所示，在接合部12B1在X方向上与接合面SEtH的中心接合的情况下，边HS1与接合部12B1之间的宽度(接合面SEtH的露出面在X方向上的长度)WR1及边HS2与接合部12B1之间的宽度(接合面SEtH的露出面在X方向上的长度)WR2分别为50μm。虽然省略了重复说明，但在图12中，接合部12B2与边HS1、HS2的关系也与上述相同。另外，在图12所示的例子的情况下，边HS1与环部12L1之间的宽度(接合面SEtH的露出面在X方向上的长度)WR3及边HS2与环部12L1之间的宽度(接合面SEtH的露出面在X方向上的长度)WR4分别为100μm。

[0172] 如图12所示，只要能够在X方向上将导线12S1接合在接合面SEtH的中心，则接合面SEtH从绝缘膜13及导线12S1露出的部分在X方向上的宽度均小于150μm。因此，不容易发生上述的封固体40(参照图6)与接合面SEtH之间的剥离。但是，在将导线12S1与接合面SEtH接合时，存在发生位置偏离的情况。因此，从稳定地进行导线12S1接合的角度出发，需要50μm左右的位置偏离的余裕(容许范围)。

[0173] 在图12所示的例子中，在导线12S1的连接位置向边HS1侧或边HS2侧偏离了50μm的情况下，宽度WR3及宽度WR4中的某一方为150μm。已知在该情况下，在相邻的导线12之间，封固体40(参照图6)与接合面SEtH之间的剥离变得显著。另一方面，在为了减小宽度WR3及宽度WR4而将接合面SEtH的宽度WH1设定得小于700μm的情况下，导线接合时的余裕较小。其结果，根据导线接合时的位置偏离程度的不同，接合部12B1或接合部12B2的一部分可能会与绝缘膜13(参照图7)重叠。导线12S1的一部分与绝缘膜13重叠时，会成为传送路径的电特性降低的原因。

[0174] 在本实施方式的情况下，如图9所示，接合面SEt1的平面形状、换言之开口部13H1的开口形状不是四边形。在俯视观察时，接合面SEt1在区域SER1与区域SER2之间具有缩颈部(区域SER3)。

[0175] 图9所示的接合面SEt1(换言之开口部13H1)的形状能够如下表现。在俯视观察时，区域SER1在X方向上的宽度WH1、区域SER2在X方向上的宽度WH2比区域SER3在X方向上的宽度WH3大。另外，在俯视观察时，接合面SEt1(开口部13H1)在X方向上具有位于开口部13H1的一个端部的边(一部分)HS1、和位于边HS1的相反侧端部的边(一部分)HS2。另外，接合面SEt1(开口部13H1)在与X方向相交叉(在图9中是正交)的Y方向上，具有位于开口部13H1的一个端部的边(一部分)HS3、和位于边HS3的相反侧端部的边(一部分)HS4。边HS3及边HS4分别沿着X方向延伸。另外，边HS1及边HS2分别沿着Y方向延伸，但并非直线，而是在区域SER1和区域SER3之间以及在区域SER2和区域SER3之间弯曲。换言之，接合面SEt1在边HS1侧及边HS2侧具有缩颈部。

[0176] 在图9所示的例子中，区域SER1的宽度WH1和区域SER2在X方向上的宽度WH2分别为700μm。另一方面，区域SER3的宽度WH3是500μm。

[0177] 另外，图9所示的接合面SEt1(开口部13H1)的形状能够如下表现。在俯视观察时，接合面SEt1(开口部13H1)的边HS1具有沿着Y方向延伸的部分HSP1、沿着Y方向延伸的部分HSP2、以及位于部分HSP1与部分HSP2之间且沿着Y方向延伸的部分HSP3。另外，如图10所示，在俯视观察时，接合部12B1在X方向上位于边HS1的部分HSP1与边HS2之间。在俯视观察时，接合部12B2在X方向上位于边HS1的部分HSP2与边HS2之间。另外，如图10所示，在俯视观察时，环部12L1在X方向上位于边HS1的部分HSP3与边HS2之间。另外，在俯视观察时，从边HS1的部分HSP1到边HS2为止在X方向上的长度(宽度WH1)、及从边HS1的部分HSP2到边HS2为止在X方向上的长度(宽度WH2)，分别比从部分HSP3到边HS2为止在X方向上的长度(宽度WH3)大。

[0178] 另外，在图10所示的例子中，在俯视观察时，边HS1的部分HSP1和部分HSP2位于同一延长线VL1上。换言之，边HS1的部分HSP2位于部分HSP1的延长线VL1上。另外，边HS1的部分HSP3位于部分HSP1的延长线VL1与边HS2之间。另外，在俯视观察时，边HS2的部分HSP21和部分HSP22位于同一延长线VL2上。换言之，边HS2的部分HSP22位于部分HSP21的延长线VL2上。另外，边HS2的部分HSP23位于部分HSP21的延长线VL2与边HS1之间。

[0179] 如图10所示，在接合部12B1在X方向上接合于接合面SEt1的中心的情况下，边HS1与接合部12B1之间的宽度(接合面SEt1的露出面在X方向上的长度)WR1和边HS1与接合部12B1之间的宽度(接合面SEt1的露出面在X方向上的长度)WR2分别为50μm。虽然省略重复的说明，但图10中接合部12B2与边HS1、HS2的关系也与上述相同。另外，在图10所示的例子的

情况下，边HS1与环部12L1之间的宽度(接合面SEt1的露出面在X方向上的长度)及边HS2与环部12L1之间的宽度(接合面SEt1的露出面在X方向上的长度)分别为0μm。

[0180] 因此，假设在图10所示的例子中导线12S1的连接位置向边HS1侧偏离了50μm的情况下，边HS2与环部12L1之间在X方向上的宽度(接合面SEt1的露出面在X方向上的长度)为50μm。另外，在导线12S1的连接位置向边HS2侧偏离了50μm的情况下，边HS1与环部12L1之间在X方向上的宽度(接合面SEt1的露出面在X方向上的长度)为50μm。也就是说，在将导线接合在X方向上的位置精度的余裕设为50μm的情况下，接合面SEt1的露出面在X方向上的长度为50μm以下，因此能够抑制封固体40(参照图6)与接合面SEt1之间的剥离。另外，在将导线接合在X方向上的位置精度的余裕设为50μm的情况下，能够抑制导线12S1的接合部12B1、12B2的一部分与绝缘膜13(参照图7)重叠的情况。

[0181] 此外，在图9所示的例子中，接合面SEt1(开口部13H1)在区域SER3与区域SER1之间具有区域SER4。另外，接合面SEt1(开口部13H1)在区域SER3与区域SER2之间具有区域SER5。在区域SER4及区域SER5中，X方向上的宽度(长度)WH4、WH5并非恒定。在区域SER4中，宽度WH4的值越靠近区域SER3越小，越靠近区域SER1越大。另外，在区域SER5中，宽度WH4的值越靠近区域SER3越小，越靠近区域SER2越大。

[0182] 另外，在图9所示的例子中，边HS1具有位于部分HSP3和部分HSP1之间、且在俯视观察时沿着与Y方向和X方向相交叉的方向(第3方向)延伸的部分HSP5。另外，边HS1具有位于部分HSP3与部分HSP2之间、且沿着与Y方向及X方向相交叉的方向(第4方向)延伸的部分HSP4。另外，在俯视观察时，接合面SEt1(开口部13H1)的边HS2具有沿着Y方向延伸的部分HSP21、沿着Y方向延伸的部分HSP22、以及位于部分HSP21与部分HSP22之间且沿着Y方向延伸的部分HSP23。另外，边HS2具有位于部分HSP23与部分HSP21之间且在俯视观察时沿着与Y方向及X方向相交叉的方向(第5方向)延伸的部分HSP24。另外，边HS2具有位于部分HSP23与部分HSP22之间且沿着与Y方向及X方向相交叉的方向(第6方向)延伸的部分HSP25。

[0183] 但是，作为变形例，也存在没有区域SER4及区域SER5的情况。在该情况下，图9所示的边HS1的部分HSP4、HSP5、和边HS2的部分HSP24、HSP25分别沿着X方向延伸。

[0184] 另外，在图9所示的例子中，区域SER3在X方向上的宽度WH3为500μm。如上所述，在图7所示的相邻的导线12之间，在源极电极焊盘SE从绝缘膜13露出的部分在X方向上的长度(宽度)为150μm以上的情况下，封固体40(参照图6)与接合面SEt1特别容易发生剥离。因此，在导线接合在X方向上的位置精度的余裕为50μm的情况下，如果宽度WH3小于700μm，则接合面SEt1露出的部分在X方向上的宽度即使考虑位置偏离也会小于150μm。

[0185] 但是，从可靠地抑制图9中的区域SER3发生剥离的角度来说，优选宽度WH3的值较小。例如，如图13所示，考虑导线12S1的接合位置靠近开口部13H1的边HS2侧的情况。在图13所示的例子中，导线12S1的接合位置在X方向上向边HS2侧偏离约40μm左右。在该情况下，接合面SEt1中应考虑上述剥离影响的部分是接合面SEt1中被夹在开口部13H1的边HS1与导线12S1之间的部分。边HS1的部分HSP1与导线12S1的接合部12B1(参照图10)之间的宽度WR1约为90μm。另外，在图13所示的例子的情况下，部分HSP1的延长线VL1与部分HSP3之间的宽度(长度)WC1为100μm。因此，边HS1的部分HSP3与导线12S1的环部12L1之间的宽度(长度)WR3约为40μm。在该情况下，与图9所示的区域SER1和区域SER2相比，在区域SER3不易发生上述剥离。

[0186] 如上所述，从抑制区域SER3的剥离发生概率的角度来说，优选部分HSP1的延长线VL1与部分HSP3之间的宽度WC1，比边HS1的部分HSP3与导线12S1的环部12L1之间的宽度WR3大。同样地，从抑制区域SER3的剥离发生概率的角度来说，优选边HS2的部分HSP21的延长线VL2与部分HSP23之间的宽度WC2，比边HS2的部分HSP23与导线12S1的环部12L1之间的宽度WR4大。

[0187] 此外，在图10所示的例子的情况下，在俯视观察时，环部12L1的一个边与开口部13H1的部分HSP3的位置重叠，因此，图13中示出的宽度WR3的值为0μm。

[0188] 另外，如上所述，图6所示的封固体40与接合面SEt1之间的剥离容易在相邻的导线12之间发生。因此，即使接合面SEt1的露出面积在图10所示的导线12S1与开口部13H1的边HS3之间较大的情况下，也不易发生上述剥离。因此，在图10所示的例子中，边HS3与接合部12B1之间在Y方向上的宽度(接合面SEtH的露出面在Y方向上的长度)WR5，比边HS1与接合部12B1之间在X方向上的宽度(接合面SEtH的露出面在X方向上的长度)WR1大。宽度WR5比边HS2与接合部12B1之间在X方向上的宽度(接合面SEtH的露出面在X方向上的长度)WR2大。此外，在图10所示的例子中，边HS1与接合部12B1之间在X方向上的宽度WR1为50μm。另外，在图13所示的例子中，宽度WR1约为90μm。与此相对，图10所示的宽度WR5的值为150μm至200μm左右。如图10所示，在不易发生剥离的部分，通过使宽度WR5的值增大，能够使导线接合时的位置偏离的余裕较大，因此能够放宽导线接合工序中的制造条件。

[0189] 另外，从减小源极电极焊盘SE的露出面积的角度来说，还考虑了图14所示的研究例的构造。图14是示出针对图11的研究例的放大剖视图。在图14所示的研究例的情况下，一根导线12S与隔着绝缘膜13分离的接合面SEt3及接合面SEt4接合，这一点与图11所示的实施方式不同。换言之，在图14所示的例子中，在半导体芯片10的表面10t上，导线12S在两个部位与源极电极焊盘SE接合，且与导线12S接合的接合面SEt3及接合面SEt4相互分离。另一方面，在图11所示的例子中，导线12S1的接合部12B1和接合部12B2与未隔着绝缘膜13分离的一个接合面SEt1接合。再换言之，在图14所示的例子中，导线12S的环部12L1在源极电极焊盘SE的上方跨过绝缘膜13。另一方面，在图11所示的例子中，导线12S1的环部12L1未在源极电极焊盘SE的上方跨过绝缘膜13。在图14所示的例子的情况下，由于在表面10t上接合面SEt3、SEt4隔着绝缘膜13分离，因此与图11所示的本实施方式的例子相比，能够进一步减小源极电极焊盘SE的露出面积。

[0190] 但是，将图11与图14相比可知，在以下几点优选图11所示的例子。即，在图14所示的例子的情况下，导线12S的环部12L1必须是与绝缘膜13不接触的形状。因此，若将环部12L1中距源极电极焊盘SE的露出面的距离最远位置处的距离设为环高度HT1，则能够使图11所示的例子的环高度HT1比图14所示的例子的环高度HT1小。另外，若将环部12L1在Y方向上的长度(换言之，接合部12B1与接合部12B2之间的分离距离)定义为环长度LE1，则能够使图11所示的例子的环长度LE1比图14所示的例子的环长度LE1短。这一点能够通过使图11所示的例子中的环高度HT1较低来实现。另外，若能够缩短环长度LE1，则能够缩短源极电极焊盘SE在Y方向上的长度LE2(也包括被绝缘膜13覆盖的部分)。

[0191] 因此，根据图11所示的例子，与图14所示的例子相比能够减小源极电极焊盘SE的大小，因此能够减小半导体芯片10的平面面积(表面10t的面积)。如果能够减小半导体芯片10的平面面积，则能够获得多种益处。例如，能够减小供半导体芯片10搭载的半导体器件

PKG1(参照图5)的平面面积。另外，例如在制造半导体芯片时，由于能够提高自一片半导体晶圆获取的半导体芯片的数量(获取率)，因此半导体芯片的制造效率提高。

[0192] 另外，从以下方面来说，优选缩短源极电极焊盘SE在Y方向上的长度LE2。即，因源极电极焊盘SE与封固体40的线膨胀系数差而产生的应力，与源极电极焊盘SE的长度成比例增大。因此，如图11所示，根据本实施方式，由于能够缩短源极电极焊盘SE在Y方向上的长度LE2，因此能够减小因源极电极焊盘SE与封固体40的线膨胀系数差而产生的应力。其结果，能够抑制因该应力而产生的源极电极焊盘SE与封固体40之间的剥离。

[0193] 另外，图6所示的封固体40以与图7所示的栅极电极焊盘GE的露出面即接合面GEt接触的方式形成。因此，从抑制接合面GEt与封固体40之间的剥离的角度来说，优选减小接合面GEt中未与导线12G重叠的区域的面积。但是，在本实施方式的情况下，导线12G的线径(直径)比导线12S1、12S2的线径细，例如为125至150μm左右。另外，在栅极电极焊盘GE上导线12G在一个部位接合，而未在其他部位接合。因此，栅极电极焊盘GE的接合面GEt的面积比源极电极焊盘SE的接合面SEt1、SEt2各自的面积小。例如在图7所示的例子中，栅极电极焊盘GE的接合面GEt的面积为源极电极焊盘SE的接合面SEt1、SEt2各自的面积的1/4以下。换言之，接合面SEt1、SEt2各自的面积为接合面GEt的面积的4倍以上。像这样，接合面GEt的面积与源极电极焊盘SE的接合面SEt1、SEt2相比足够小，因此与接合面SEt1、SEt2相比，接合面GEt不易与封固体40剥离。因此，在半导体芯片10的表面10t中，关于对与封固体40之间的剥离采取对策的部位，源极电极焊盘SE的接合面SEt1、SEt2的优先顺序比栅极电极焊盘GE的接合面GEt高。

[0194] ＜半导体器件的制造方法＞

[0195] 以下对使用图1至图11说明的半导体器件PKG1的制造工序进行说明。半导体器件PKG1按照图15所示的流程来制造。图15是示出使用图1至图11说明的半导体器件的制造工序的概要的说明图。在以下的说明中，在说明半导体器件PKG1的构成部件时，根据需要存在参照已说明的图1至图14进行说明的情况。

[0196] ＜半导体芯片准备工序＞

[0197] 在图15所示的半导体芯片准备工序中，准备图16所示的半导体芯片10。图16是以图15所示的半导体芯片准备工序准备的半导体芯片的表面(电极露出面)侧的俯视图。

[0198] 以该工序准备的半导体芯片10如图6所示，具有表面10t和位于表面10t的相反侧的背面10b。另外，如图16所示，半导体芯片10的表面10t包括绝缘膜13的上表面及从绝缘膜13露出的源极电极焊盘(电极)SE的接合面(露出面)SEt1、SEt2、SEt3、及SEt4。源极电极焊盘SE具有在形成于绝缘膜13的开口部13H1处从绝缘膜13露出的接合面SEt1、和在形成于绝缘膜13的开口部13H2处从绝缘膜13露出的接合面SEt2。另外，在图16所示的例子中，源极电极焊盘SE具有在形成于绝缘膜13的开口部13H4处从绝缘膜13露出的接合面SEt3、和在形成于绝缘膜13的开口部13H5处从绝缘膜13露出的接合面SEt4。接合面SEt1、SEt2、SEt3、及SEt4分别以沿着Y方向延伸且在与Y方向相交叉的X方向上彼此相邻的方式排列。

[0199] 另外，在半导体芯片10的表面10t上形成有栅极电极焊盘(电极)GE。栅极电极焊盘GE具有在形成于绝缘膜13的开口部13H3处从绝缘膜13露出的接合面GEt。另外，如图6所示，在半导体芯片10的背面10b上形成有与漏极D(参照图1)电连接的漏极电极(电极)DE。在图6所示的例子中，半导体芯片10的整个背面10b成为漏极电极DE。

[0200] 接合面SEt1、SEt2、SEt3、及SEt4的形状、构造已经使用图9进行了说明，因此省略重复的说明。

[0201] 图16所示的半导体芯片10例如按照以下方式来制造。准备在由n型单晶硅构成的半导体衬底WH(参照图2)的主面WHt(参照图2)上形成有n^-型外延层EP的半导体晶圆(图示省略)，如图8所示，在外延层EP上形成多个晶体管Q1。在半导体晶圆中包括多个芯片区域，对多个芯片区域分别形成多个晶体管Q1。另外，在晶体管Q1上形成源极电极焊盘SE及栅极电极焊盘GE。源极电极焊盘SE与多个源极区域SR连接，栅极电极焊盘GE与多个栅极电极G连接。在图8所示的例子中，例示了源极区域SR与源极电极焊盘SE直接连接的例子，但作为变形例，也可以在源极区域与源极电极焊盘SE之间夹设引出布线(源极布线)。另外，图8中虽然省略了图示，但栅极电极焊盘GE与栅极电极G经由未图示的引出布线(栅极布线)连接。接下来，以覆盖全部源极电极焊盘SE及栅极电极焊盘GE的方式形成绝缘膜13。然后，在绝缘膜13上形成图16所示的开口部13H1、13H2、13H3、13H4、及13H5，使源极电极焊盘SE的一部分(接合面SEt1、SEt2、SEt3、SEt4)及栅极电极焊盘GE的一部分(接合面GEt)从绝缘膜13露出。然后，在进行了针对电路的电试验等必要的试验(晶圆测试)之后，将晶圆分割为多个半导体芯片10。此外，在作为图6所示的漏极电极DE而要在背面10b形成金属膜的情况下，作为漏极电极DE使用的金属膜在从准备半导体晶圆的工序到分割半导体晶圆的工序之间的任意时刻形成。例如，在形成了开口部13H1、13H2、13H3、13H4、13H5之后，且要在晶圆测试前对半导体晶圆的背面进行研磨来减小半导体芯片10的厚度的情况下，在对背面进行研磨之后，在背面10b(参照图6)形成作为漏极电极DE的金属膜。在作为漏极电极DE不使用金属膜的情况下，该工序可以省略。

[0202] 另外，在半导体芯片准备工序中，在分割半导体晶圆获取多个半导体芯片10之前实施晶圆测试。该晶圆测试包括对在半导体芯片10上形成的电路的电特性进行确认的电试验。在该电试验中，例如使未图示的试验用端子(探针)与源极电极焊盘SE接触。这时，若使试验用端子侵入源极电极焊盘SE，则会在源极电极焊盘SE上残留试验用端子侵入的痕迹(图16所示的探针痕迹PRM)。

[0203] 接合面SEt1、SEt2、SEt3、及SEt4如上所述分别具有区域SER1、SER2、及SER3。其中，区域SER1及区域SER2是与导线12(参照图7)接合的区域。若考虑导线12的连接稳定性，则优选在与导线12接合的区域中没有探针痕迹PRM这样的凹凸。因此，如图16所示，探针痕迹PRM形成在非导线连接的预定区域的区域SER3。

[0204] 此外，在图16所示的例子中，接合面SEt1、SEt2、SEt3、及SEt4彼此电连接，因此代表性地示出了使接合面SEt4与试验用端子接触的例子。但是，也存在全部接合面SEt1、SEt2、SEt3、及SEt4上形成探针痕迹PRM的情况。在该情况下，在接合面SEt1、SEt2、SEt3、及SEt4各自所具有的区域SER3上形成探针痕迹PRM。

[0205] ＜引线框架准备工序＞

[0206] 另外，在图15所示的引线框架准备工序中准备图17所示的引线框架LF。另外，图17是将以图15所示的引线框架准备工序准备的引线框架的一部分示出的放大俯视图。

[0207] 如图17所示，以该工序准备的引线框架LF具备与框部(框架部)LFf连接的器件形成部LFd。一个器件形成部LFd与图5所示的一个半导体器件PKG1相当。在图17中图示了一个器件形成部LFd，但引线框架LF具备经由框部LFf连结的多个器件形成部LFd。像这样，通过

使用具备多个器件形成部LFd的引线框架LF，能够一次性地制造多个半导体器件PKG1(参照图3)，因此能够提高制造效率。

[0208] 引线框架LF例如由以铜(Cu)为主要成分的金属材料构成，厚度为例如125μm至400μm左右。另外，多个器件形成部LFd分别与框部LFf连接。框部LFf是在图15所示的引线分离工序之前的期间对在器件形成部LFd内形成的各部件进行支承的支承部。

[0209] 另外，如图17所示，在器件形成部LFd中形成有芯片焊盘20及多根引线30。芯片焊盘20借助多根引线30中的一根引线(引线30D)与框部LFf连结并支承于框部LFf。另外，芯片焊盘20具有作为芯片搭载面的上表面20t。

[0210] 另外，多根引线30分别与框部LFf连结并支承于框部LFf。多根引线30分别以沿着Y方向延伸且在X方向上彼此相邻的方式并列地排列。多根引线30借助系杆LFt相互连结。

[0211] 多根引线30中包括作为源极用引线的多根引线30S。多根引线30S分别以在X方向上彼此相邻地排列的方式配置，且分别与导线接合部(引线柱、焊盘、接合焊盘、导线连接部、接合部)30W连结。另外，多根引线30中包括作为栅极用引线的引线30G。在引线30G的芯片焊盘20侧的前端部分设有导线接合部30W。另外，多根引线30中包括作为漏极用引线的引线30D。引线30D在X方向上配置在引线30G与引线30S之间，且Y方向上的芯片焊盘20侧的前端与芯片焊盘20连结。

[0212] 在本实施方式中，芯片焊盘20的上表面20t与引线30的导线接合部30W的上表面30t配置在不同的高度。对用于支承芯片焊盘20的引线30D及将芯片焊盘20与框部LFf连接的部分实施弯曲加工，使得芯片焊盘20偏移。在本实施方式中，芯片焊盘20相对于引线框架LF的其他部件偏向下方。因此，如图6所示，芯片焊盘20的上表面20t相对于引线30的上表面30t配置在下方。像这样，通过将芯片焊盘20偏向下方设置，如图6所示，芯片焊盘20的下表面20b从封固体40露出。

[0213] ＜半导体芯片搭载工序＞

[0214] 接下来，在图15所示的半导体芯片搭载工序中，如图5所示，在引线框架LF的芯片焊盘20上搭载半导体芯片10。

[0215] 在该工序中，在与作为漏极端子的引线30D一体形成的芯片焊盘20的上表面20t上借助芯片接合材料11搭载(粘接固定)半导体芯片10。另外，半导体芯片10以形成有漏极电极DE(参照图6)的背面10b(参照图6)与芯片焊盘20的作为芯片搭载面的上表面20t相对的方式，借助芯片接合材料11粘接固定。由此，半导体芯片10的漏极电极DE借助作为导电性连接材料的芯片接合材料11与芯片焊盘20电连接。

[0216] 在该工序中，在芯片焊盘20的上表面20t上涂布芯片接合材料11后，在芯片接合材料11上配置半导体芯片10。然后，通过使芯片接合材料固化来固定半导体芯片10和芯片焊盘20。

[0217] 芯片接合材料11例如可以使用焊接材料。或者，芯片接合材料11可以是含有多个银(Ag)粒子(Ag填料)的所谓被称为银(Ag)膏的导电性树脂粘接材料。在芯片接合材料11为焊接材料的情况下，作为使芯片接合材料固化的方法进行回流焊处理。另外，在芯片接合材料11为导电性树脂粘接材料的情况下，对芯片接合材料11中含有的热固化性树脂成分加热而使其固化。

[0218] ＜导线接合工序＞

[0219] 接下来，在图15所示的导线接合工序中，如图5所示，将半导体芯片10的多个电极焊盘(栅极电极焊盘GE及源极电极焊盘SE)与多根引线30分别借助导线(金属导线)12电连接。

[0220] 如图5所示，在该工序中，将半导体芯片10的栅极电极焊盘GE与引线30G借助导线12G电连接。另外，在该工序中，将半导体芯片10的源极电极焊盘SE与引线30S借助导线12S电连接。具体来说，在作为栅极电极焊盘GE的一部分的接合面GEt(参照图7)上接合导线12G的接合部12B2(参照图7)，在引线30G的导线连接部30W的上表面(接合面)30t上接合导线12G的接合部12B3。另外，在作为源极电极焊盘SE的一部分的接合面SEt1(参照图7)上接合导线12S1(参照图7)的接合部12B1及接合部12B2，在引线30S的导线连接部30W的上表面(接合面)30t上接合导线12S1的接合部12B3。与接合面SEt1同样地，在图16所示的接合面SEt2、SEt3、及SEt4上分别接合导线12(参照图5)。

[0221] 导线12的连接方法能够应用多种变形例，但在本实施方式中，使用未图示的被称为楔形工具的接合工具来接合铝制的导线12。以下作为利用了楔形接合方法的导线接合工序的例子，以借助图10所示的导线12S1将源极电极焊盘SE与图5所示的引线30S电连接的方法为例进行说明。

[0222] 首先，在导线接合工序中，使用楔形工具将图10及图11所示的导线12S1的接合部12B1与源极电极焊盘SE中在开口部13H1处露出的接合面SEt1的区域SER1(参照图10)接合(第1接合工序)。在楔形接合方法的情况下，通过将导线12S1夹在楔形工具的前端面与接合面SEt1之间并从前端面施加压力和热量，从而将导线12S1热压接于接合面SEt1。另外，此时，通过从前端面施加超声波，容易使导线12S1接合。被楔形工具按压的导线12S1变形，形成接合部12B1。通过按照这种方式使具有圆形截面状态的导线变形而形成的接合部12B1被称为针脚式接合(stitch)部。

[0223] 接下来，在导线接合工序中，使楔形工具在自图10及图11所示的接合面SEt1离开之后沿着Y方向移动，从而形成环部12L1(第1环形成工序)。在该工序中，楔形工具一边将导线12S1放出一边向引线框架LF的上方上升，从而使楔形工具与半导体芯片10之间的距离增大。然后，在使楔形工具朝向进行第2接合的区域沿着Y方向移动之后，使楔形工具再次下降。由此，形成图11所示的环部12L1。此时，如使用图11说明的那样，在本实施方式的情况下，在导线12的环部12L1与源极电极焊盘SE之间不夹存绝缘膜13。因此，也可以使楔形工具WT上升的高度降低。由此，能够缩短图11所示的环长度LE1。

[0224] 接下来，在导线接合工序中，使用楔形工具将图10及图11所示的导线12S1的接合部12B2与源极电极焊盘SE中在开口部13H1处露出的接合面SEt1的区域SER2(参照图10)接合(第2接合工序)。在第2接合工序中，与第1接合工序同样地，将导线12S1热压接于接合面SEt1。这时，也可以施加超声波。

[0225] 接下来，在导线接合工序中，使楔形工具在自图10及图11所示的接合面SEt1离开之后，朝向引线30S(参照图5)的导线接合部30W(参照图5)移动，从而形成环部12L2(参照图11)(第2环形成工序)。环部12L2从半导体芯片10朝向引线30延伸。因此，在第2环形成工序之后，如图7所示，在俯视观察时，环部12L2与开口部13H1所具有的多个边中的某一个边相交叉。在图7所示的例子中，导线12S1的环部12L2与开口部13H1的边HS4(参照图9)相交叉。

[0226] 接下来，在导线接合工序中，使用楔形工具将导线12S1(参照图10)的接合部12B3

(参照图5)与作为引线30S(参照图5)的导线接合部30W(参照图5)的接合面的上表面30t(参照图5)接合(第3接合工序)。

[0227] 接下来,在导线接合工序中,使用楔形工具所具备的导线切刀切断导线12S1(导线切断工序)。

[0228] 通过以上各工序,借助图5所示的导线12S将半导体芯片10的源极电极焊盘SE与引线30S电连接。

[0229] 另外,在本实施方式的情况下,导线12S的接合位置的位置偏离的余裕较小。因此,在导线接合工序中,优选在第一根导线12S接合之后,确认导线12S的接合位置的位置偏离的程度,根据该确认结果调整导线接合位置(根据需要进行变更)。位置偏离的确认至少在图10所示的导线12S1的接合部12B1接合之后实施。但是,也可以在将导线12S1与图5所示的引线30S接合之后实施。由此,能够提高第二根导线以后的导线12S的位置精度。另外,在一个引线框架LF(参照图17)上形成有多个器件形成部LFd的情况下,在多个器件形成部LFd中最先实施导线接合工序的器件形成部LFd上进行位置偏离的确认及调整。由此,也可以不对第二次以后实施导线接合工序的器件形成部LFd实施位置偏离的确认。

[0230] <封固工序>

[0231] 接下来,在图15所示的封固工序中,将图5所示的半导体芯片10、芯片焊盘20的一部分、多根引线30各自的一部分(图19所示的内部30M)、及多根导线12用绝缘树脂封固,形成图18所示的封固体40。图18是示出在图15所示的封固工序中形成对半导体芯片及导线进行封固的封固体的状态的放大俯视图。另外,图19是示出在沿着图18的A-A线的剖面中在成形模具内配置有引线框架的状态的放大剖视图。另外,图20是示出在封固工序中由树脂封固的导线的周边的放大剖视图。

[0232] 在该工序中,例如如图19所示,使用包括上模(第1模具)62T和下模(第2模具)62B的成形模具62,利用所谓的传递模塑法形成封固体40。

[0233] 在图19所示的例子中,以器件形成部LFd的芯片焊盘20及多根引线30各自的一部分位于在上模62T及下模62B形成的腔室62C内的方式配置引线框架LF。然后,利用上模62T和下模62B夹持(夹入)引线框架LF。在该状态下,在将含有软化(可塑化)了的热固化性树脂(绝缘树脂)的封固体的原料压入到成形模具62的腔室62C中时,绝缘树脂被供给至由腔室62C和下模62B形成的空间内,模仿腔室62C的形状成形。

[0234] 此时,如图19所示,与芯片焊盘20的上表面20t中的偏移部分相连且配置于相对较高位置的前端侧的一部分被上模62T按压。另外,芯片焊盘20的下表面20b被下模62B按压。在图19所示的例子中,芯片焊盘20中的偏移部分的下表面20b与下模62B紧贴。因此,如图18所示,在该工序之后,芯片焊盘20的下表面20b中的一部分从封固体40露出。

[0235] 另外,如图20所示,在该工序中以构成封固体40的树脂与接合面SEt1接触的方式形成封固体40。另外,在该工序中,成为树脂也侵入导线12的环部12L1与接合面SEt1、SEt2之间而封固体40夹存于导线12的环部12L1与接合面SEt1、SEt2之间的状态。

[0236] 但是,在俯视观察时,在导线12S1的环部12L1与接合面SEt1重叠的区域中,如图20所示,接合面SEt1从绝缘膜13及导线12S1露出且与封固体40紧贴。但是,在导线12S1的环部12L1与接合面SEt1重叠的区域中,由于封固体40利用导线12S1的环部12L1被接合面SEt1夹持,因此在该区域中,接合面SEt1与封固体40之间不易发生剥离。因此,在考虑封固体40与

接合面SEt1之间的剥离的情况下，重要的是减小图10所示的俯视观察时接合面SEt1中与导线12S1不重叠区域中的露出面的面积。另外，在接合面SEt1的与导线12S1不重叠的区域中，优选在如图7所示那样配置于相邻的导线12之间的区域中接合面SEt1的露出面积特别小。

[0237] 如上所述，在封固体40与由金属材料构成的接合面SEt1的接触面积较大的情况下，存在该工序之后在封固体40与接合面SEt1的接合界面发生剥离的情况。特别是在如图7所示那样相邻的导线12的分离距离较小的情况下，容易在相邻的导线12之间发生剥离。但是，根据本实施方式，如上所述，能够减小封固体40与接合面SEt1的接触界面中容易发生剥离的部分的面积，因此能够抑制剥离。

[0238] 在成形封固体40之后，将封固体40中含有的热固化性树脂的一部分加热至固化(称为临时固化)。在通过该临时固化能够将引线框架LF从成形模具62取出时，将引线框架LF从成形模具62取出。然后，运送到加热炉进一步进行加热处理(cure bake)。由此，能够使热固化性树脂的其余部分固化，获得图18所示的封固体40。

[0239] 另外，封固体40以绝缘性的树脂为主体构成，但通过将例如硅石(二氧化硅；SiO_2)粒子等填料粒子混合到热固化性树脂中，能够提高封固体40的性能(例如耐翘曲变形的性能)。

[0240] ＜镀敷工序＞

[0241] 接下来，在图15所示的镀敷工序中，将图18所示的引线框架LF浸入未图示的镀敷溶液，在从封固体40露出的金属部分(外部)的表面形成金属膜(图6所示的金属膜22及金属膜32)。

[0242] 在该工序中，利用电镀法在从树脂露出的金属部件的表面形成由例如焊料构成的金属膜22、32(参照图6)。虽然省略图示，但在电镀法中将作为被镀敷加工物的引线框架LF(参照图18)配置在装入了镀敷液的镀敷槽内。此时，将被加工物与镀敷槽内的阴极连接。例如将引线框架LF的框部LFf(参照图18)与阴极电连接。然后，通过在该阴极与配置在同一镀敷槽内的阳极之间施加例如直流电压，从而在与引线框架LF的框部LFf连接的金属部件的露出面上形成金属膜22、32。在本实施方式中，利用所谓的电镀法形成金属膜22、32。

[0243] 此外，在图15中，虽然省略图示，但在镀敷工序中将引线框架LF浸入镀敷液中之前，作为前处理也可以对图18所示的芯片焊盘20、引线30的表面实施化学研磨。通过在将引线框架LF浸入镀敷液中之前实施前处理，能够除去例如从封固体40(参照图18)露出的引线框架LF表面的氧化膜、微小的毛刺。

[0244] 本实施方式的金属膜22、32如上所述，由实际上不含铅(Pb)的所谓无铅焊料构成，是例如仅有锡(Sn)、锡-铋(Sn-Bi)、或锡-铜-银(Sn-Cu-Ag)等。因此，在本镀敷工序中使用的镀敷液是含有例如Sn^{2+}、或Bi^{3+}等金属盐的电镀液。此外，在以下说明中，作为无铅焊料镀敷的例子，对于Sn-Bi合金化金属镀敷进行说明，但能够将铋(Bi)置换为铜(Cu)、银(Ag)等金属、或置换为在铋(Bi)的基础上增加铜(Cu)、银(Ag)的电镀液。

[0245] 在本实施方式中，在图18所示的芯片焊盘20(参照图6)借助引线30与框部LFf电连接的状态下进行镀敷工序。当在将引线框架LF浸入镀敷液的状态下在阳极与阴极之间施加电压时，与阴极连接的引线30及芯片焊盘20和阳极之间借助镀敷液通电。这时，镀敷液中的Sn^{2+}及Bi^{3+}以规定的比例析出到引线30及芯片焊盘20的从封固体40露出的露出面上，形成图6所示的金属膜22、32。

[0246] ＜单片化工序＞

[0247] 接下来，在图15所示的单片化工序中，将与图3所示的半导体器件PKG1(参照图3)相当的组装体从图18所示的引线框架LF的框部LFf及系杆LFt分离而使其单片化。

[0248] 在该工序中，将与芯片焊盘20(参照图6)连结的框部LFf(参照图18)切断，分别分割出借助框部LFf连结的多个芯片焊盘20。另外，在该工序中，通过将系杆LFt(参照图18)切断并将多根引线30与框部LFf的交界切断，从而能够使多根引线30分别分离。

[0249] 对于系杆LFt、框部LFf、及引线30的切断方法，能够使用将切断夹具向被切断部位按压来剪切的加工方法(冲压加工)。该工序在镀敷工序之后进行，因此通过由该工序切断而新形成的侧面从镀膜(图6所示的金属膜22、32)露出。

[0250] 在该工序之后，进行外观检查、电试验等必要的检查、试验，合格的产品为图3所示的完成品的半导体器件PKG1。然后，半导体器件PKG1出厂或被安装于未图示的安装基板。

[0251] 以上基于实施方式对本申请发明人提出的实用新型进行了具体说明，但本实用新型当然并不仅限定于上述实施方式或在上述实施方式中说明的变形例，能够在不脱离其主旨的范围内进行多种变更。以下对具有代表性的变形例进行说明。

[0252] ＜变形例1＞

[0253] 如使用图9及图10所说明的那样，在减小接合面SEt1的露出面积的情况下，在导线接合工序中，导线的接合位置的位置偏离的余裕减小。因此，在导线接合工序中，优选通过肉眼观察或使用图像传感器等确认导线12S1的接合部12B1、12B2与接合面SEt1之间的位置关系，并根据确认结果进行导线接合位置的微调。另外，在对导线12S1的接合部12B1、12B2与接合面SEt1之间的位置关系进行确认的情况下，若在接合部12B1、12B2附近存在能够掌握位置偏离程度的标记，则能够容易地实施微调。在本变形例中，对于在图9所示的接合面SEt1的一部分上形成有掌握位置偏离程度的标记的构造例进行说明。图21是示出针对图9的变形例的放大俯视图。另外，图22及图23是示出在图21所示的接合面上接合有导线的状态例的放大俯视图。

[0254] 在图21所示的变形例的情况下，接合面SEt1的区域SER1具有在开口部13H1的边HS1处沿着X方向突出的突出部HSM1、和在开口部13H1的边HS2处沿着X方向突出的突出部HSM2。另外，接合面SEt1的区域SER2具有在开口部13H1的边HS1处沿着X方向突出的突出部HSM3、和在开口部13H1的边HS2处沿着X方向突出的突出部HSM4。

[0255] 突出部HSM1、HSM2、HSM3、及HSM4分别从接合面SEt1的面内朝向绝缘膜13(参照图7)突出。另外，突出部HSM1、HSM2、HSM3、及HSM4分别为在上述导线接合工序中确认导线12S1的接合位置的位置偏离程度时参照的标记。具体来说，在导线接合工序中，参照突出部HSM1、HSM2、HSM3、或HSM4在X方向上的长度(宽度)WRP，确认图10所示的导线12S1的接合部12B1或接合部12B2的位置偏离量。图21所示的突出部HSM1、HSM2、HSM3、或HSM4在X方向上的长度(宽度)WRP的值相等，例如是50μm。该50μm的值是在导线接合工序中容许的位置偏离量的上限值。

[0256] 另外，在俯视观察时，突出部HSM1在Y方向上的长度LM1及突出部HSM2在Y方向上的长度LM2，分别比区域SER1在Y方向上的长度短。换言之，突出部HSM1形成于区域SER1的边HS1的一部分。另外，突出部HSM2形成于区域SER1的边HS2的一部分。另外，突出部HSM3在Y方向上的长度LM3及突出部HSM4在Y方向上的长度LM4分别比区域SER2在Y方向上的长度短。突

出部HSM1形成于区域SER1的一部分，因此如图22及图23所示，能够对边HS1与接合部12B1之间的分离距离GP1和突出部HSM1在X方向上的长度WRP进行比较。突出部HSM2、HSM3、及HSM4也同样。

[0257] 在如本变形例所示，在接合面SEt1的区域SER1形成有作为位置偏离量标准的标记的情况下，在如图22及图23所示接合部12B1的位置相对于接合面SEt1的区域SER1的规定位置偏离的情况下，容易确认偏离量。例如在图22所示那样接合部12B1靠近开口部13H1的边HS1侧的情况下，当将边HS1与接合部12B1之间的分离距离GP1和突出部HSM1在X方向上的长度WRP比较时，能够容易地确认偏离量相对于容许值的程度。

[0258] 另外，在如图23所示接合部12B1靠近开口部13H1的边HS2侧的情况下，当将边HS2与接合部12B1之间的分离距离GP2和突出部HSM2在X方向上的长度WRP比较时，能够容易地确认偏离量相对于容许值的程度。在如图21所示，在边HS1侧和边HS2侧形成有突出部HSM1、HSM2的情况下，能够高精度地掌握偏离量。

[0259] 但是，在如图23所示接合部12B1靠近开口部13H1的边HS2侧的情况下，也可以将边HS1与接合部12B1之间的分离距离GP1和突出部HSM1在X方向上的长度WRP进行比较。在该情况下也能够掌握接合部12B1的位置偏离程度。

[0260] 另外，在图21所示的例子中，在接合面SEt1的区域SER2形成有突出部HSM3及突出部HSM4。如图10所示，导线12S1的接合部12B1、环部12L1、及接合部12B2分别沿着Y方向以直线状配置。因此，只要形成图21所示的突出部HSM1、HSM2、HSM3、及HSM4中的至少某一个，就能够掌握偏离量。但是，若如图21所示分别在区域SER1和区域SER2形成有突出部，则在图10所示的导线12S1的延伸方向的角度相对于Y方向倾斜的情况下，容易掌握该倾斜角度的程度。

[0261] 另外，图21所示的突出部HSM1、HSM2、HSM3、及HSM4的长度WRP，能够对应于导线接合工序中的容许范围的设定值而变更，但其值过大时突出部HSM1、HSM2、HSM3、或HSM4可能成为上述剥离的起点。因此，优选长度WRP小到不会发生剥离的程度。在图21所示的例子中，长度WRP为50μm，比各长度LM1、LM2、LM3及LM4短。长度LM1、LM2、LM3及LM4例如为200μm左右。另外，优选长度WRP比图22及图23所示的分离距离GP1及分离距离GP2中的较大一方的值小。在例如图22及图23所示的例子的情况下，分离距离GP1与分离距离GP2的总和为100μm，因此若长度WRP为50μm，则除了分离距离GP1为50μm的情况以外，均满足上述条件。

[0262] 另外，在图21至图23中，对在导线12S1(参照图22)的接合部12B1附近配置有用于掌握位置偏离量的标记的例子进行了说明，但标记也可以形成在图9所示的区域SER3中。图24是示出针对图21的变形例的放大俯视图。图25是示出在图24所示的接合面上接合有导线的状态例的放大俯视图。

[0263] 在图24所示的变形例的情况下，接合面SEt1的区域SER3具有在开口部13H1的边HS1处沿着X方向朝向区域SER3凹陷的凹部HSM5、和在开口部13H1的边HS2处沿着X方向朝向区域SER3凹陷的凹部HSM6。

[0264] 凹部HSM5及HSM6分别以向接合面SEt1的区域SER3侵入的方式凹陷。另外，凹部HSM5及HSM6分别是在上述导线接合工序中在确认导线12S1的接合位置的位置偏离程度时参照的标记。具体来说，在导线接合工序中，通过确认凹部HSM5及HSM6在X方向上的长度(宽度)WRP与图10所示的导线12S1的环部12L1的位置关系来确认位置的偏离量。图24所示的凹

部HSM5及HSM6在X方向上的长度(宽度)WRP的值相等，例如均为50μm。该50μm的值如上所述，是在导线接合工序中容许的位置偏离量的上限值。

[0265] 另外，在俯视观察时，凹部HSM5在Y方向上的长度LM5及凹部HSM6在Y方向上的长度LM6，分别比区域SER3在X方向上的长度短。换言之，凹部HSM5形成在区域SER3的边HS1的一部分。另外，凹部HSM6形成在区域SER3的边HS2的一部分。由于凹部HSM5形成在区域SER3的一部分，因此如图25所示那样能够容易地掌握在俯视观察时凹部HSM5中从环部12L1露出的部分在X方向上的长度GP3。

[0266] 如本变形例所示，在接合面SEt1的区域SER3形成有作为位置偏离量标准的标记的情况下，如图25所示，在环部12L1的位置相对于接合面SEt1的区域SER3的规定位置偏离的情况下，能够容易地确认偏离量。另外，如上所述，图10所示的导线12S1的接合部12B1、环部12L1、及接合部12B2分别沿着Y方向以直线状配置。因此，只要能够掌握环部12L1的偏离量，就能够推测接合部12B1、12B2的偏离量。

[0267] 另外，在图21所示的例子中，与未形成突出部HSM1、HSM2、HSM3、及HSM4的情况相比，开口部13H1的开口面积较大。因此，例如如图7所示，在彼此相邻的开口部13H1与开口部13H2之间的分离距离较小的情况下，需要以在开口部13H1和开口部13H2分别形成的突出部HSM1、HSM2、HSM3、及HSM4彼此不连通的方式考虑布局。

[0268] 另一方面，在图24所示的例子的情况下，与未形成凹部HSM5及HSM6的例子比较，开口部13H1的开口面积较小。因此，即使在如图7所示那样彼此相邻的开口部13H1与开口部13H2之间的分离距离较小的情况下，布局的自由度也较高。

[0269] 此外，在如图25所示那样导线12S1的位置靠近开口部13H1的边HS2侧的情况下，无法视觉辨认设置在边HS2上的凹部HSM6。相反，在导线12S1的位置靠近开口部13H1的边HS1侧的情况下，无法视觉辨认设置在边HS1上的凹部HSM5。因此，从即使在导线12S1的位置靠近边HS1及HS2的某一侧的情况下都会掌握偏离量的角度来说，优选如图24所示在边HS1及边HS2双方形成有凹部。

[0270] 另外，在图24所示的例子中，未形成使用图21说明的突出部HSM1、HSM2、HSM3、及HSM4。但作为变形例，也可以在图25所示的凹部HSM5、HSM6的基础上，形成有图21所示的突出部HSM1、HSM2、HSM3、及HSM4中的至少一个。

[0271] ＜变形例2＞

[0272] 另外，在上述实施方式中，如图9所示以在开口部13H1的边HS1及边HS2双方形成有缩颈部的实施方式为例进行了说明。但作为变形例，也可以如图26所示在边HS1及边HS2中的某一方形成有缩颈部。图26是示出针对图13的变形例的放大俯视图。

[0273] 图26所示的接合面SEt1在开口部13H1的边HS2侧没有图13所示的部分HSP23，且边HS2呈直线状延伸，这一点与图13所示的接合面SEt1不同。

[0274] 即使是图26所示的变形例的情况，在导线12S1的接合位置靠近边HS2侧的情况下，边HS2与导线12S1的环部12L1之间的宽度WR4的值也小于100μm。另一方面，虽然省略图示，但在导线12S1的接合位置靠近边HS1侧的情况下，存在宽度WR4的值为150μm的情况。

[0275] 但是，如图5所示，多根导线12S彼此相邻地排列，如图7所示，导线12S1配置在排列的端部。另外，在开口部13H1的边HS2侧未配置导线12S。因此，与图12所示的研究例中宽度WR3的值为150μm的情况相比较，在图26所示的例子中宽度WR3的值为150μm的情况下不易发

生剥离。

[0276] 如上所述，在接合面(开口部)彼此相邻地排列的情况下、或配置在排列端部的接合面的情况下，也存在将缩颈部配置于边HS1及边HS2中的一方的情况。

[0277] ＜变形例3＞

[0278] 另外，在上述实施方式中，对例如图8所示那样一个源极电极焊盘SE的多个部分在设置于绝缘膜13的多个开口部13H1处露出的实施方式进行了说明。但是，图8所示的接合面SEt1可以是由绝缘膜13覆盖的第1源极电极焊盘(电极、源极电极)SE1的一部分，接合面SEt2可以是由绝缘膜13覆盖的第2源极电极焊盘(电极、源极电极)SE2的一部分。

[0279] ＜变形例4＞

[0280] 另外，在上述实施方式中，对例如如图7所示那样接合面SEt1和接合面SEt2的形状为长方形的情况进行了说明。但是，接合面SEt1和接合面SEt2的形状不限定于长方形，例如存在多边形、圆形(包括椭圆形)等多种变形例。

[0281] ＜变形例5＞

[0282] 另外，虽然省略图示，但作为针对图7的另一变形例，也可以将导线12S1在三个以上的部位与一个接合面SEt1接合。在该情况下，由于导线12S1与接合面SEt1的接合面积增加，因此能够减小经由导线12S1的导电路径的阻抗。导线12S2也同样。

[0283] 但是，在导线12S1与接合面SEt1的接合部位数量较多的情况下，接合面SEt1在Y方向上的长度(例如图7所示的例子中边HS1及边HS2的长度)较长。在该情况下，因封固体40(参照图20)与源极电极焊盘SE的线膨胀系数差引起的应力在接合面SEt1的Y方向上的两端部(图7所示的边HS3附近及边HS4附近)处特别大。因此，从缩短源极电极焊盘SE在Y方向上的长度的角度来说，特别优选如图7所示，导线12S1在两个部位与一个接合面SEt1接合的方式。

[0284] ＜变形例6＞

[0285] 另外，在上述实施方式中，作为功率半导体器件所具有的功率晶体管的例子例示了MOSFET，但能够应用多种变形例。例如，也可以取代MOSFET而具备IGBT。在该情况下，能够将上述实施方式中说明的MOSFET的漏极替换为IGBT的集电极，将MOSFET的源极替换为IGBT的发射极来适用。另外，在使用IGBT的情况下，将用于控制负载电流的流通方向的二极管(FWD，Free Wheeling Diode：续流二极管)芯片与IGBT芯片独立搭载的情况较多。因此，在图5所示的芯片焊盘20上搭载IGBT芯片及FWD芯片。

[0286] 另外，在上述实施方式中，作为容易对耐环境温度、耐温度循环负载性要求过高条件的半导体器件的例子，以功率半导体器件为例进行了说明。但是，即使是功率半导体器件以外的半导体器件(例如控制系统的半导体器件或通信系统的半导体器件)等情况下，在耐环境温度或耐温度循环负载性的要求标准较高的情况下，通过应用在上述实施方式或变形例中说明的技术，能够提高耐环境温度或耐温度循环负载性相关的性能。另外，在功率半导体器件以外的半导体器件中，作为导线使用金(Au)导线、作为导线接合方式使用球形接合方式的情况较多。

[0287] ＜变形例7＞

[0288] 另外，在上述实施方式中，对例如图7所示的半导体芯片10那样作为接合面SEt1及接合面SEt2的配列方向的X方向、和作为接合面SEt1及接合面SEt2的延伸方向的Y方向沿着

半导体芯片10的表面10t的外缘各边延伸的实施方式进行了说明。但是，上述各构造也能够应用于X方向及Y方向分别相对于半导体芯片10的表面10t的外缘各边以正交以外的角度相交叉的情况。

[0289] ＜变形例8＞

[0290] 另外，例如如上所述对多种变形例进行了说明，但能够将以上说明的各变形例组合使用。另外，也可以提取各变形例的一部分进行组合。

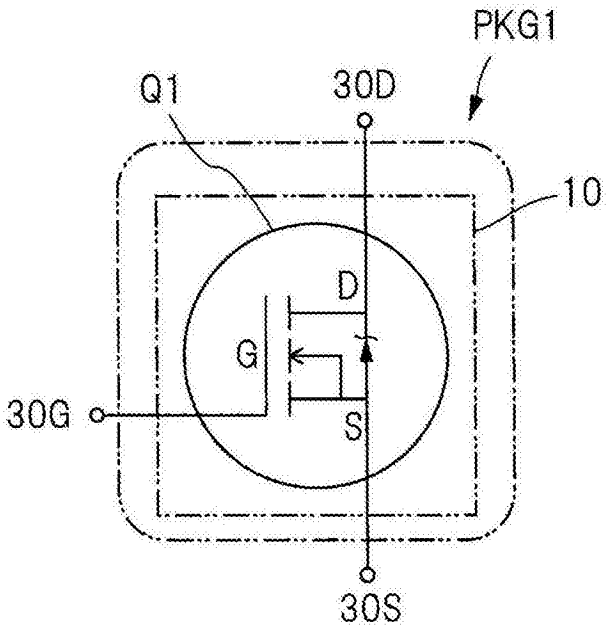

PKG1
Q1
30D
10
D
G
30G
S
30S

图1

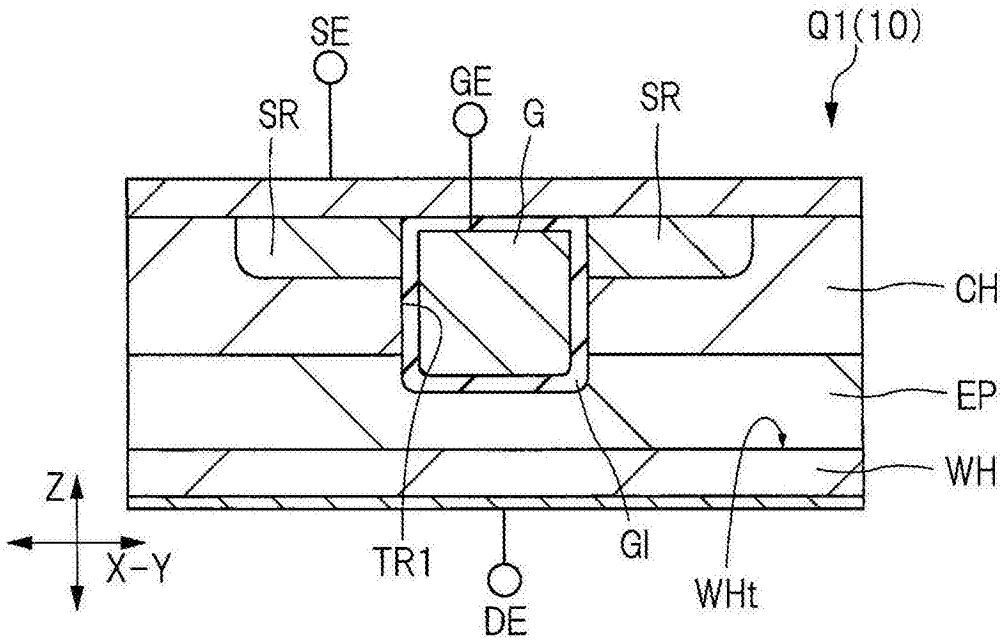

SE
Q1(10)
SR
GE
G
SR
CH
EP
WH
Z
X-Y
TR1
GI
WHt
DE

图2

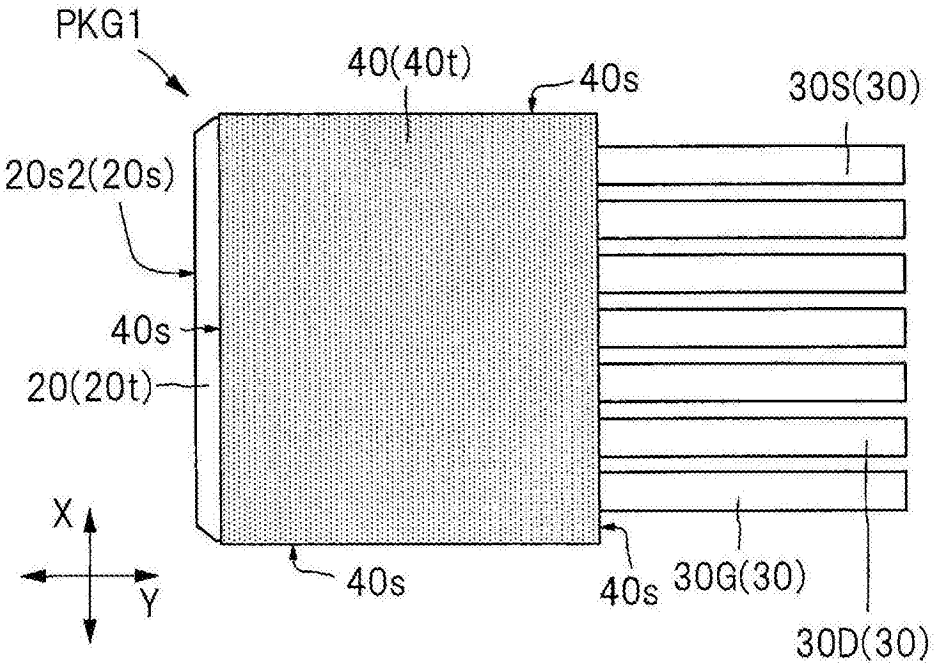

PKG1
40(40t)
40s
30S(30)
20s2(20s)
40s
20(20t)
X
Y
40s
40s
30G(30)
30D(30)

图3

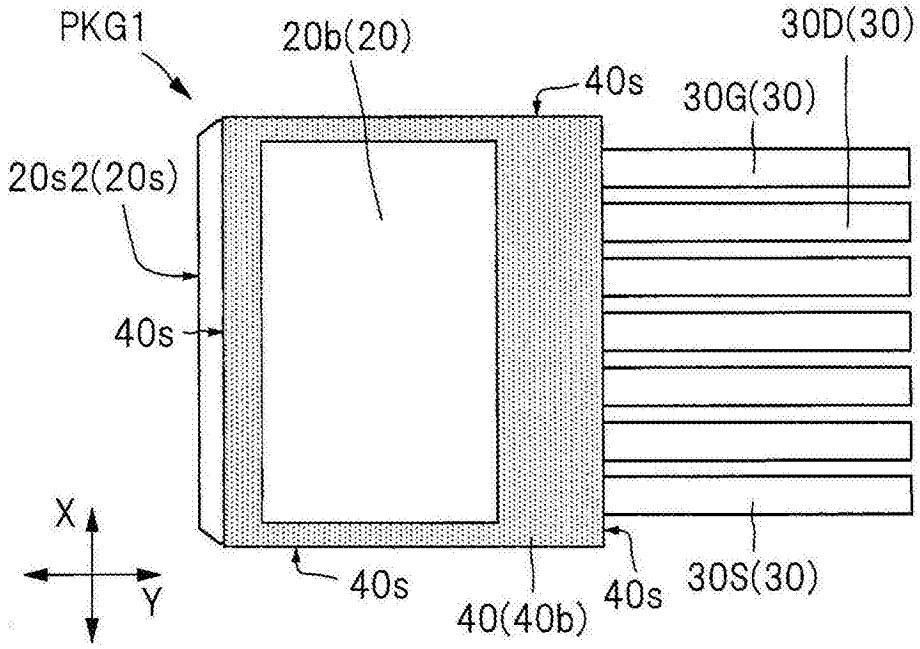

PKG1
20b(20)
40s
30G(30)
30D(30)
20s2(20s)
40s
X
Y
40s
40(40b)
40s
30S(30)

图4

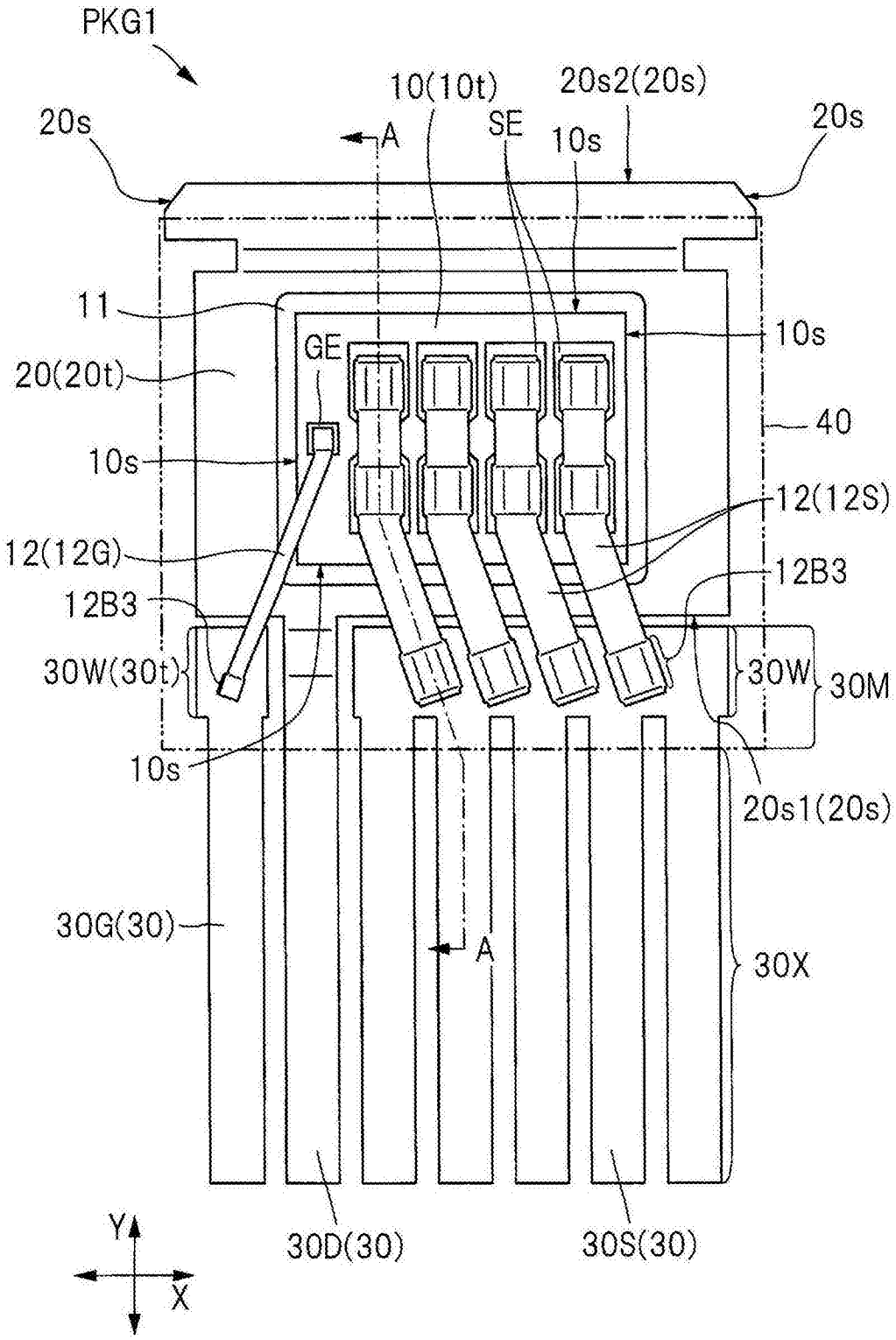

PKG1
20s
10(10t)
A
SE
10s
20s2(20s)
20s
11
GE
10s
20(20t)
40
10s
12(12S)
12(12G)
12B3
12B3
30W(30t)
30W
30M
10s
20s1(20s)
30G(30)
A
30X
Y
X
30D(30)
30S(30)

图5

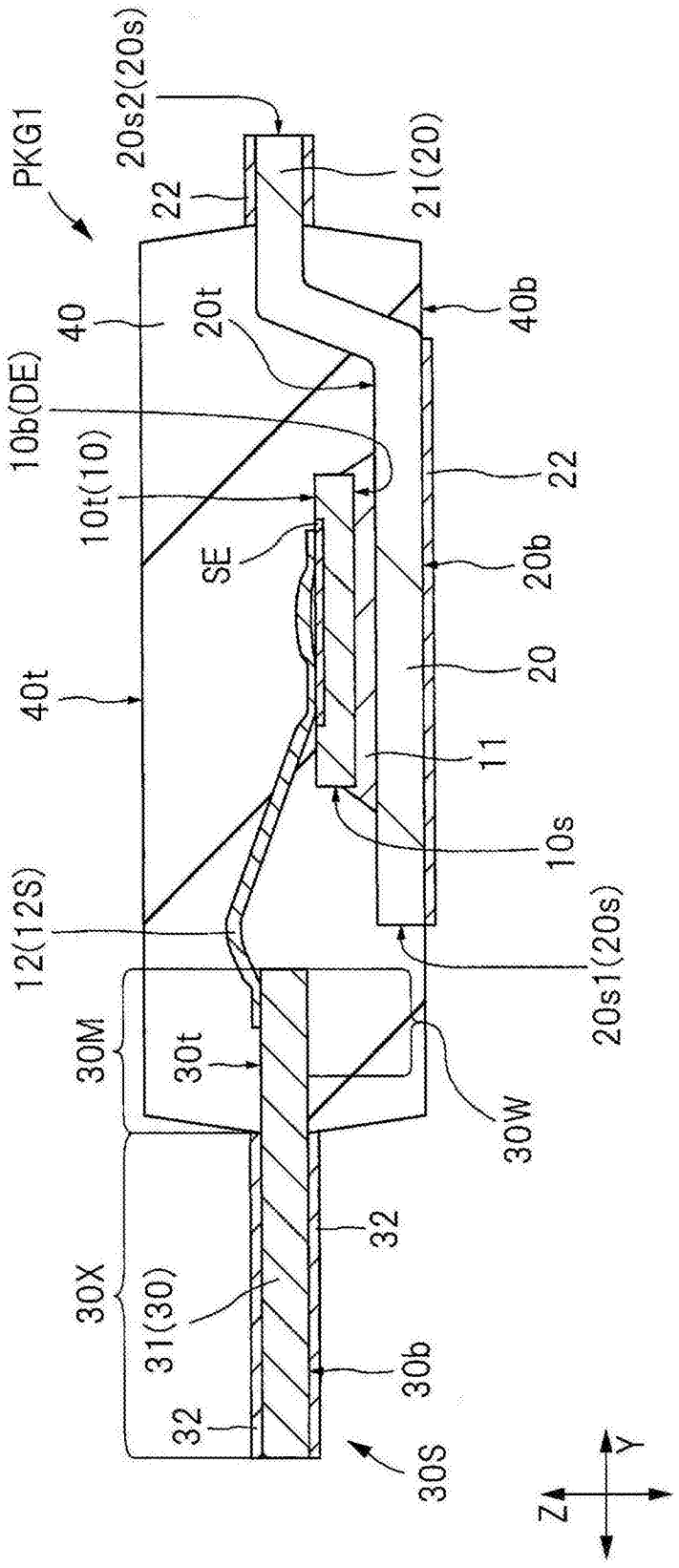

PKG1
20s2(20s)
22
21(20)
40
20t
40b
10b(DE)
10t(10)
22
SE
20b
40t
20
11
10s
12(12S)
20s1(20s)
30M
30t
30W
32
30X
31(30)
30b
32
30S
Y
Z

图6

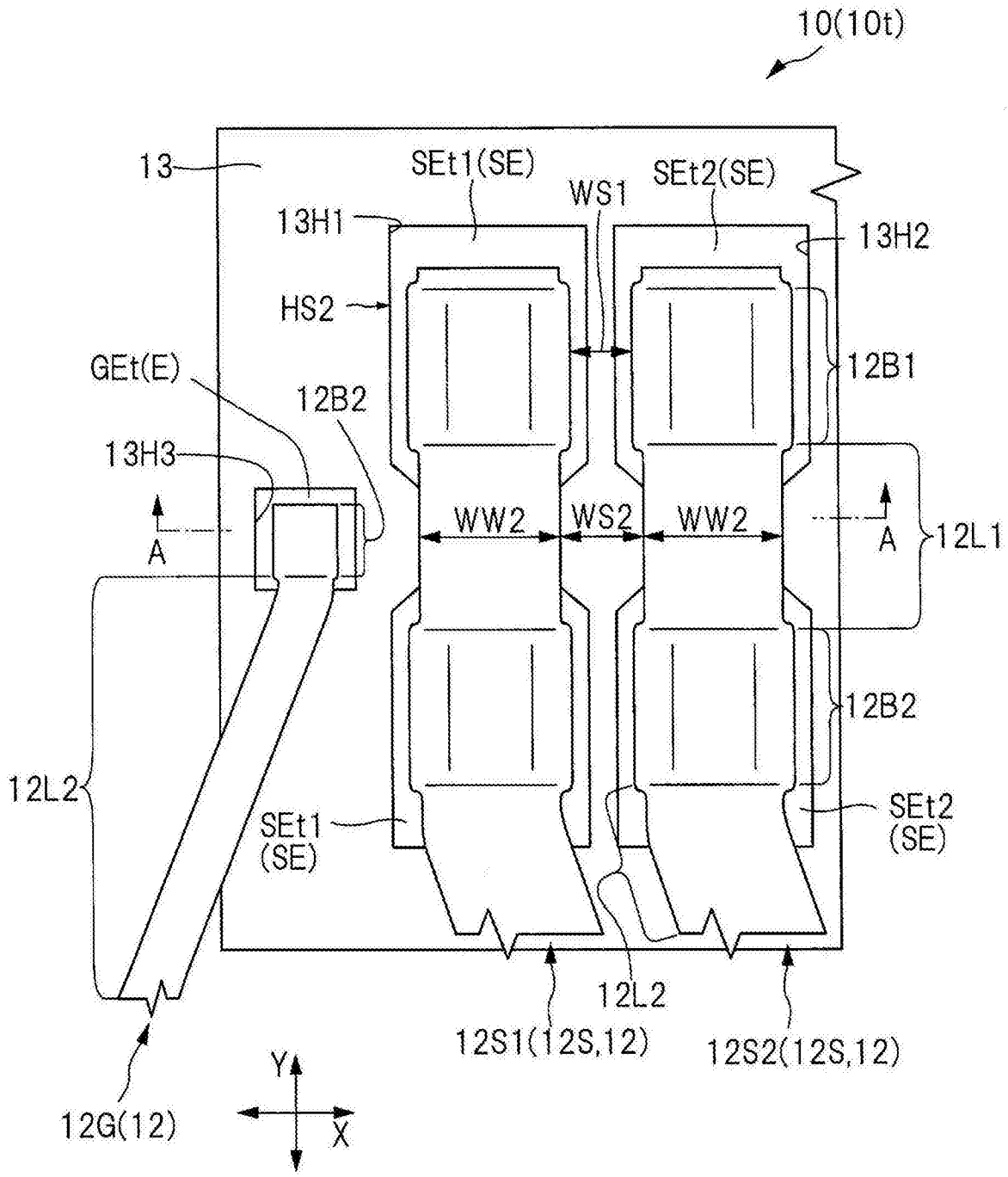

10(10t)
13
SEt1(SE)
WS1
SEt2(SE)
13H1
13H2
HS2
12B1
GEt(E)
12B2
13H3
WW2
WS2
WW2
A
A
12L1
12B2
12L2
SEt1
(SE)
SEt2
(SE)
12L2
12S1(12S,12)
12S2(12S,12)
12G(12)
Y
X

图7

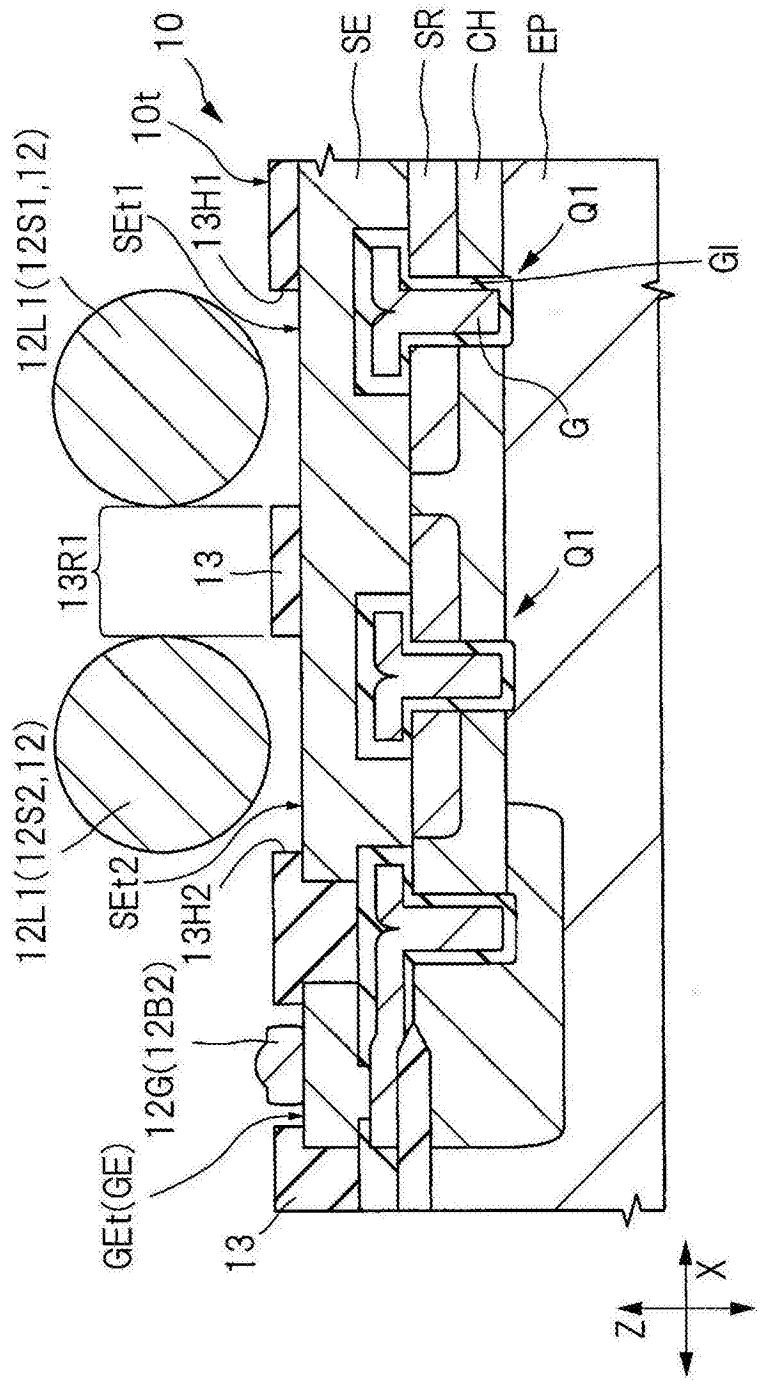

10
10t
SE
SR
CH
EP
SEt1
13H1
Q1
Gl
G
12L1(12S1,12)
13R1
13
Q1
12L1(12S2,12)
SEt2
13H2
12G(12B2)
GEt(GE)
13
X
Z

图8

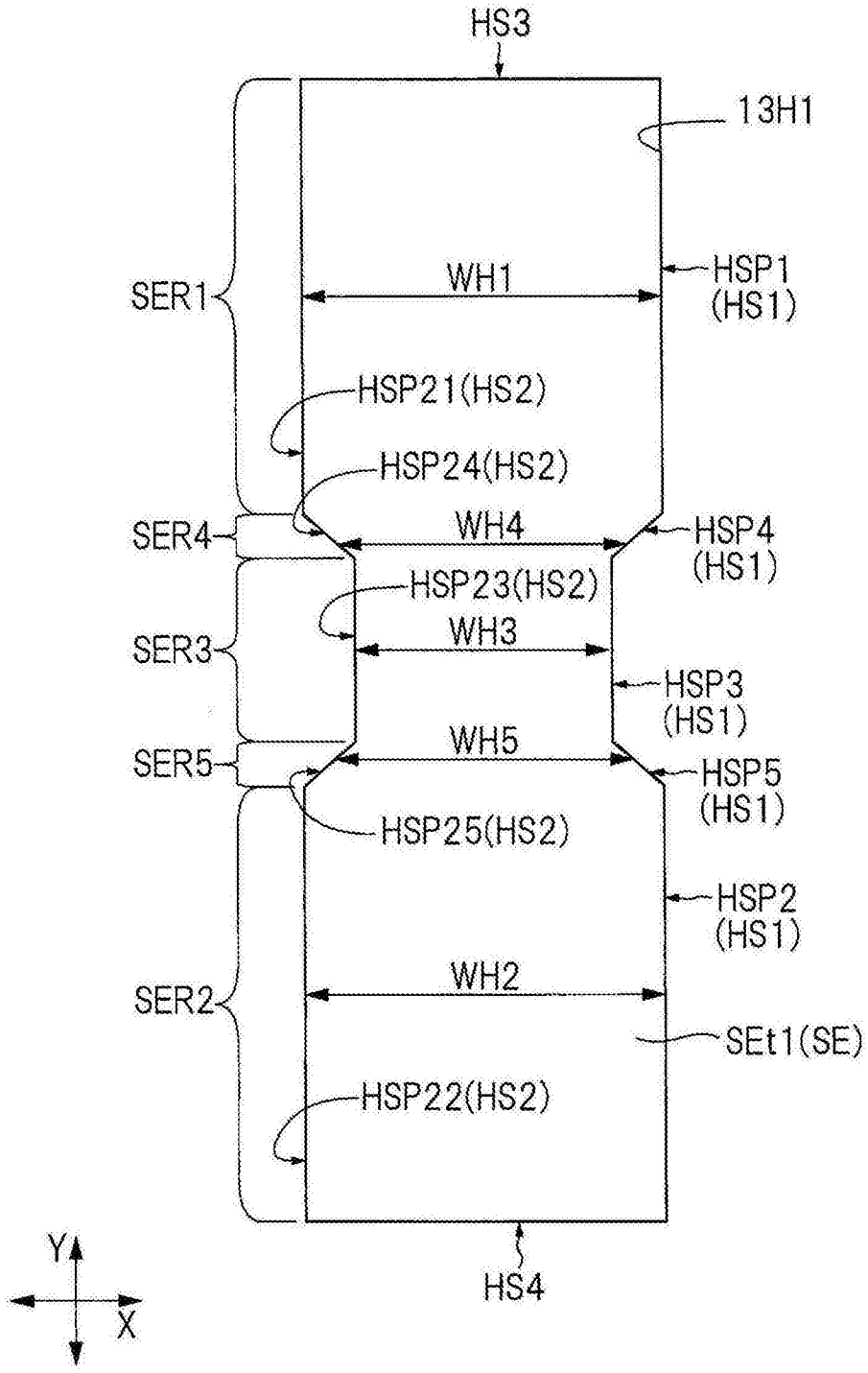

HS3
13H1
WH1
HSP1
(HS1)
SER1
HSP21(HS2)
HSP24(HS2)
SER4
WH4
HSP4
(HS1)
HSP23(HS2)
SER3
WH3
HSP3
(HS1)
SER5
WH5
HSP5
(HS1)
HSP25(HS2)
HSP2
(HS1)
WH2
SER2
SEt1(SE)
HSP22(HS2)
HS4
Y
X

图9

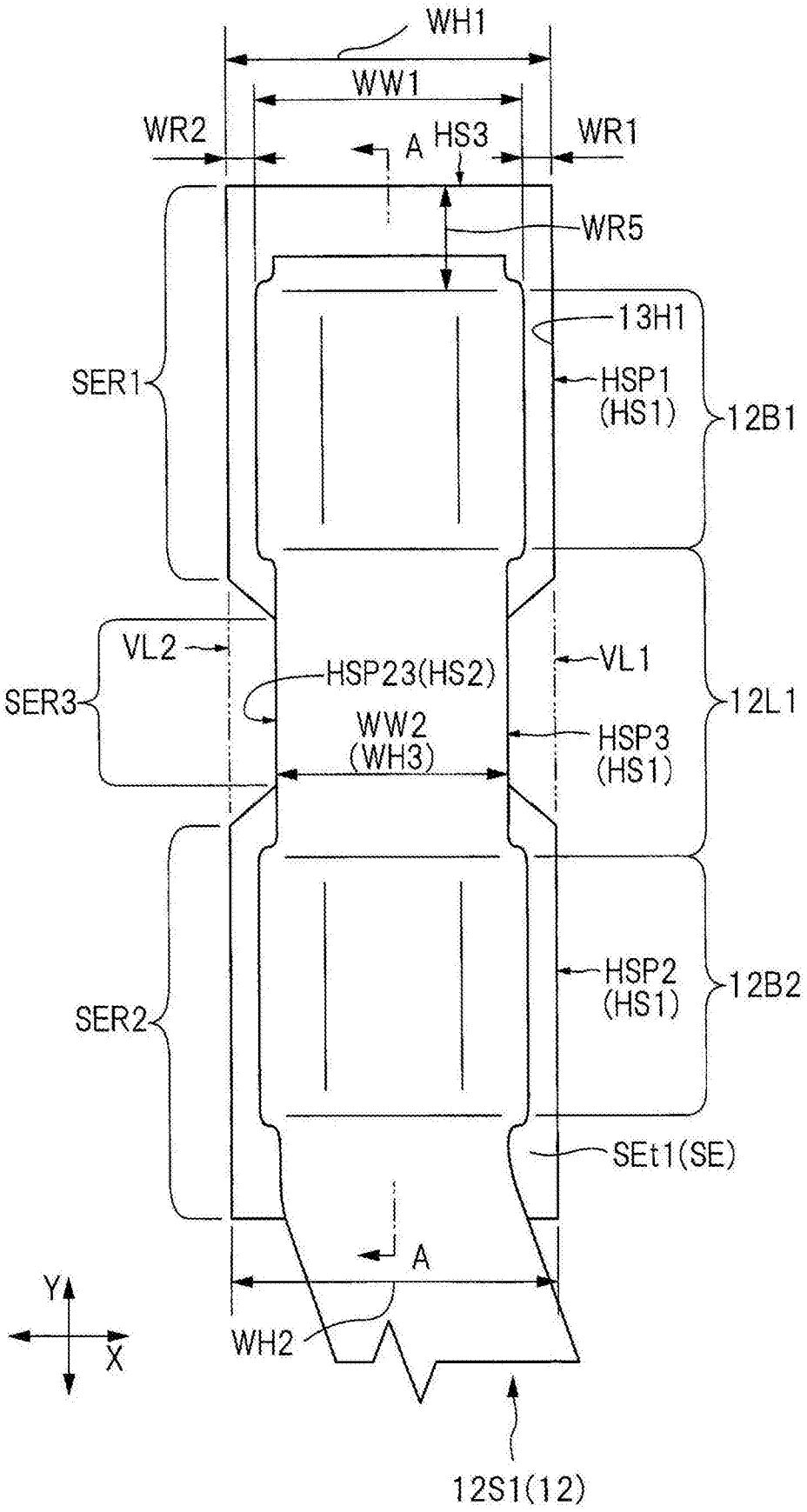

WH1
WW1
WR2
A
HS3
WR1
WR5
13H1
SER1
HSP1
(HS1)
12B1
VL2
HSP23(HS2)
VL1
SER3
12L1
WW2
(WH3)
HSP3
(HS1)
HSP2
(HS1)
12B2
SER2
SEt1(SE)
A
Y
X
WH2
12S1(12)

图10

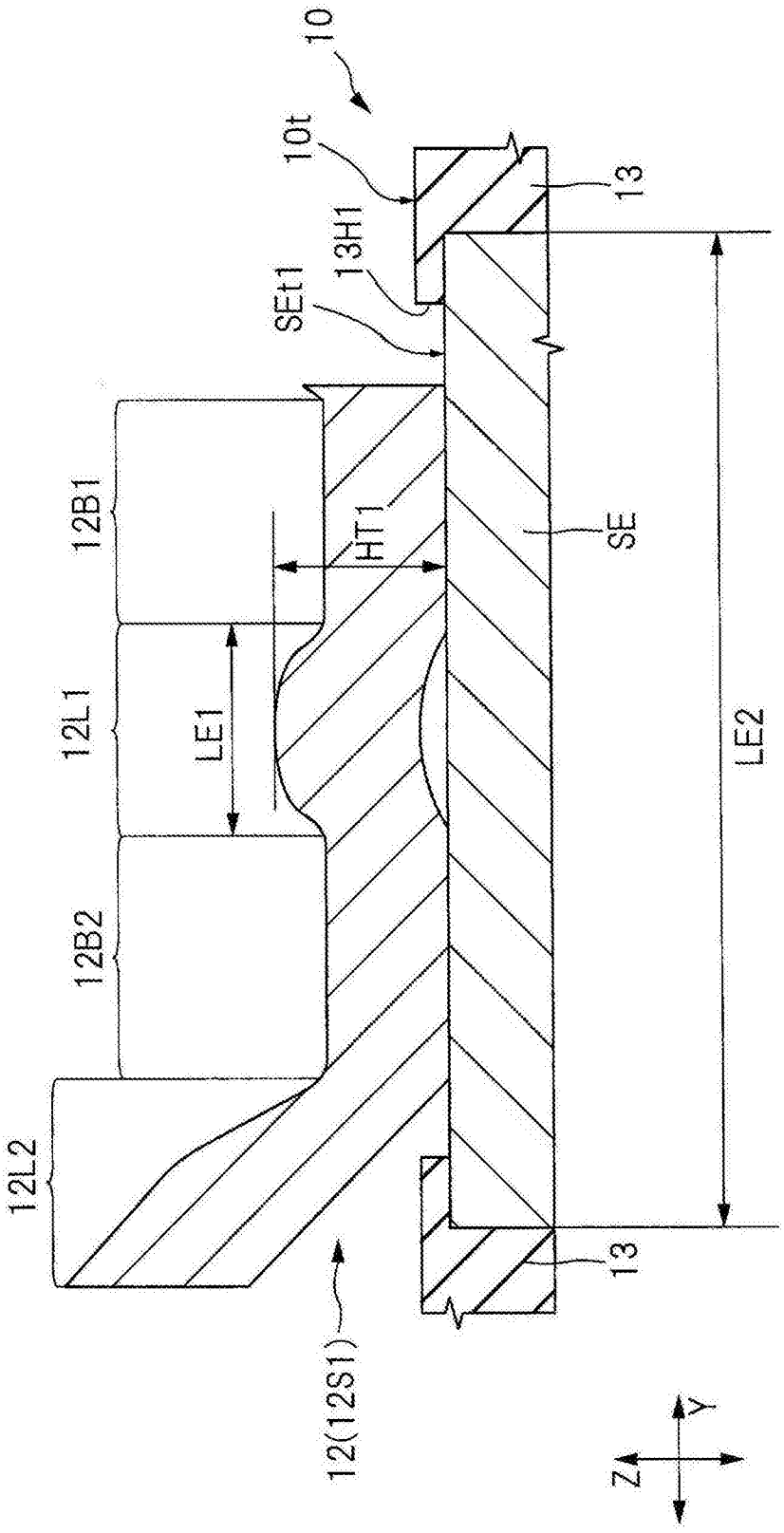

10
10t
13
13H1
SEt1
12B1
HT1
SE
12L1
LE1
LE2
12B2
12L2
13
12(12S1)
Y
Z

图11

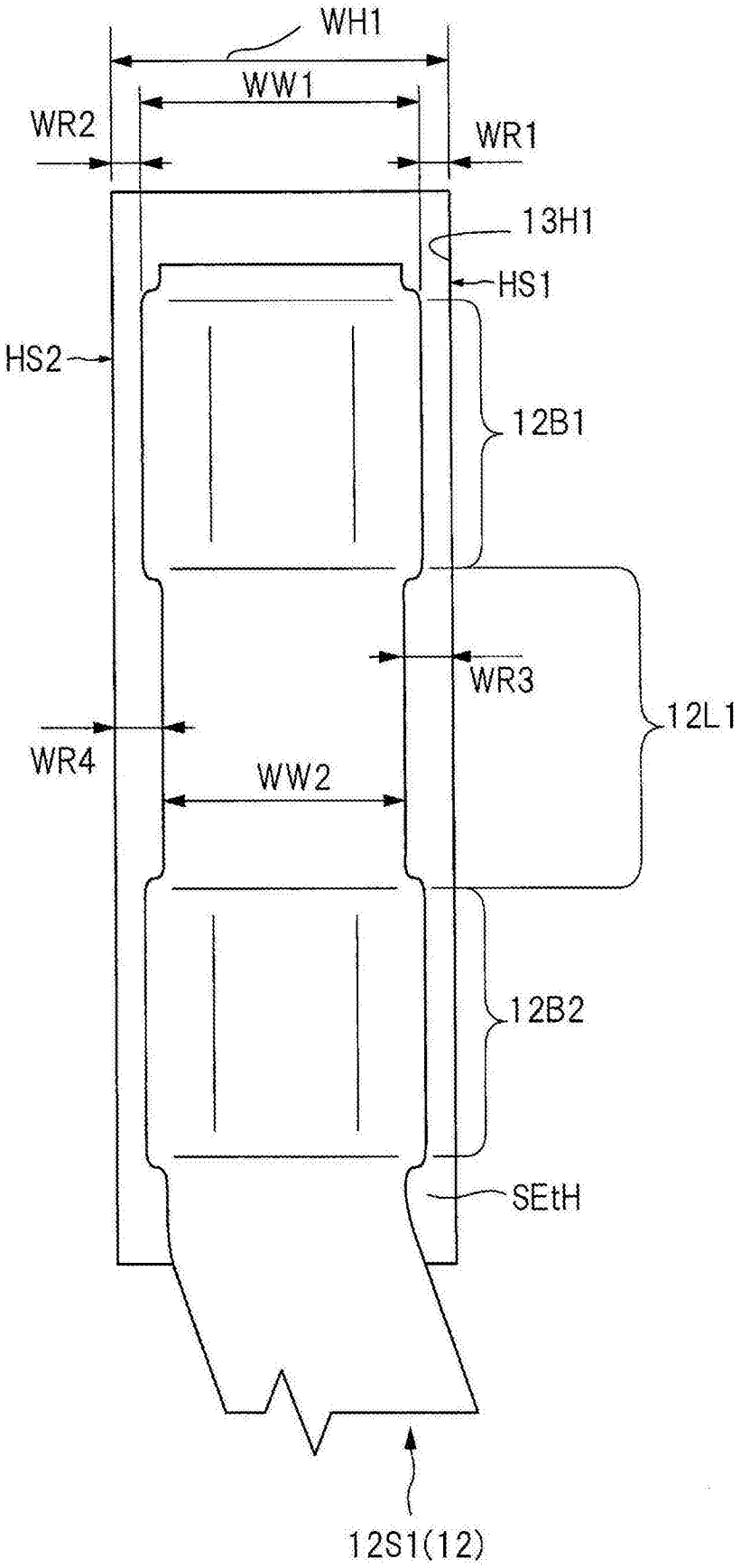

WH1
WW1
WR2
WR1
13H1
HS1
HS2
12B1
WR3
12L1
WR4
WW2
12B2
SEtH
12S1(12)

图12

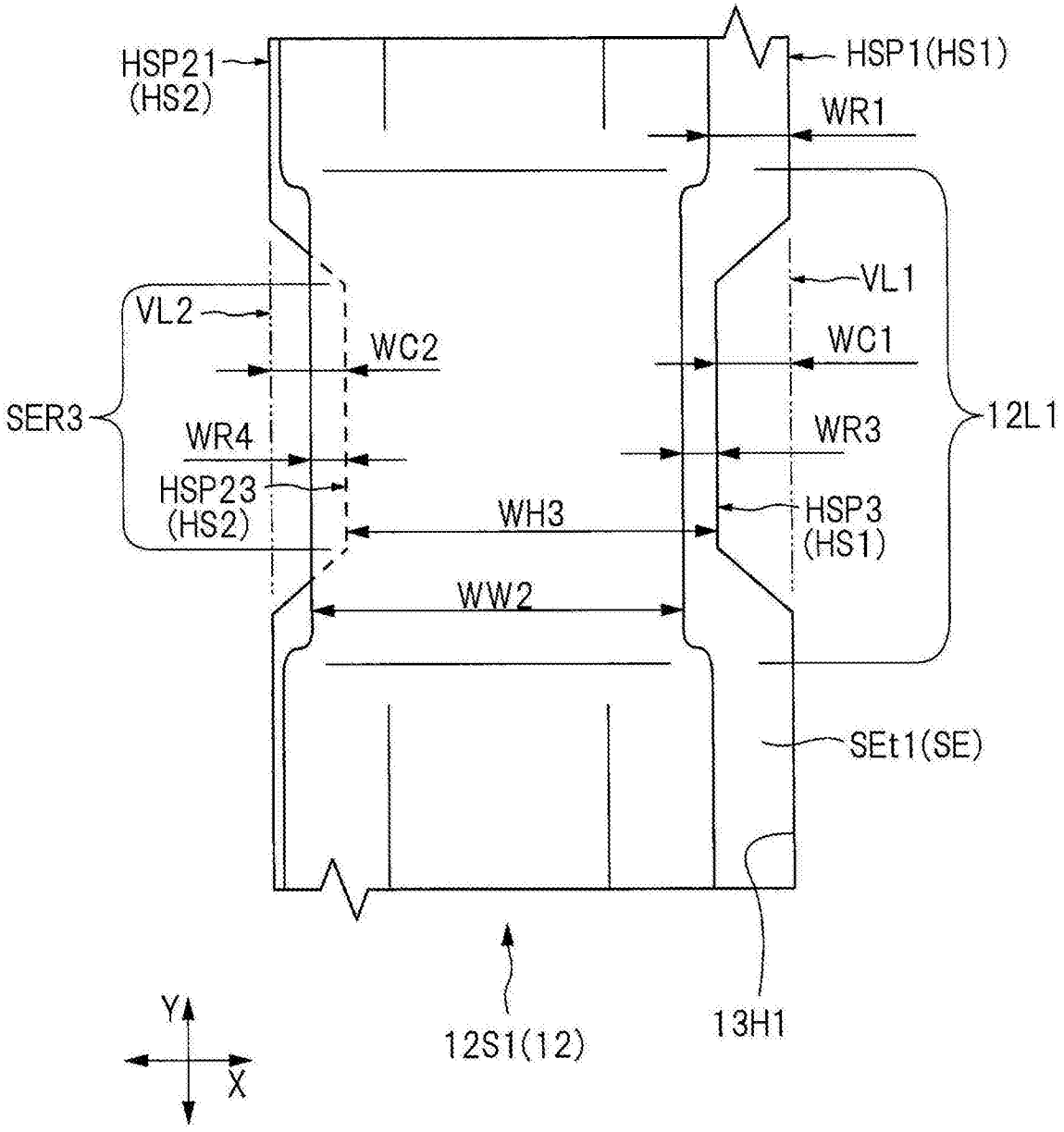

HSP21
(HS2)
HSP1(HS1)
WR1
VL1
VL2
WC2
WC1
SER3
WR4
WR3
12L1
HSP23
(HS2)
WH3
HSP3
(HS1)
WW2
SEt1(SE)
12S1(12)
13H1
Y
X

图13

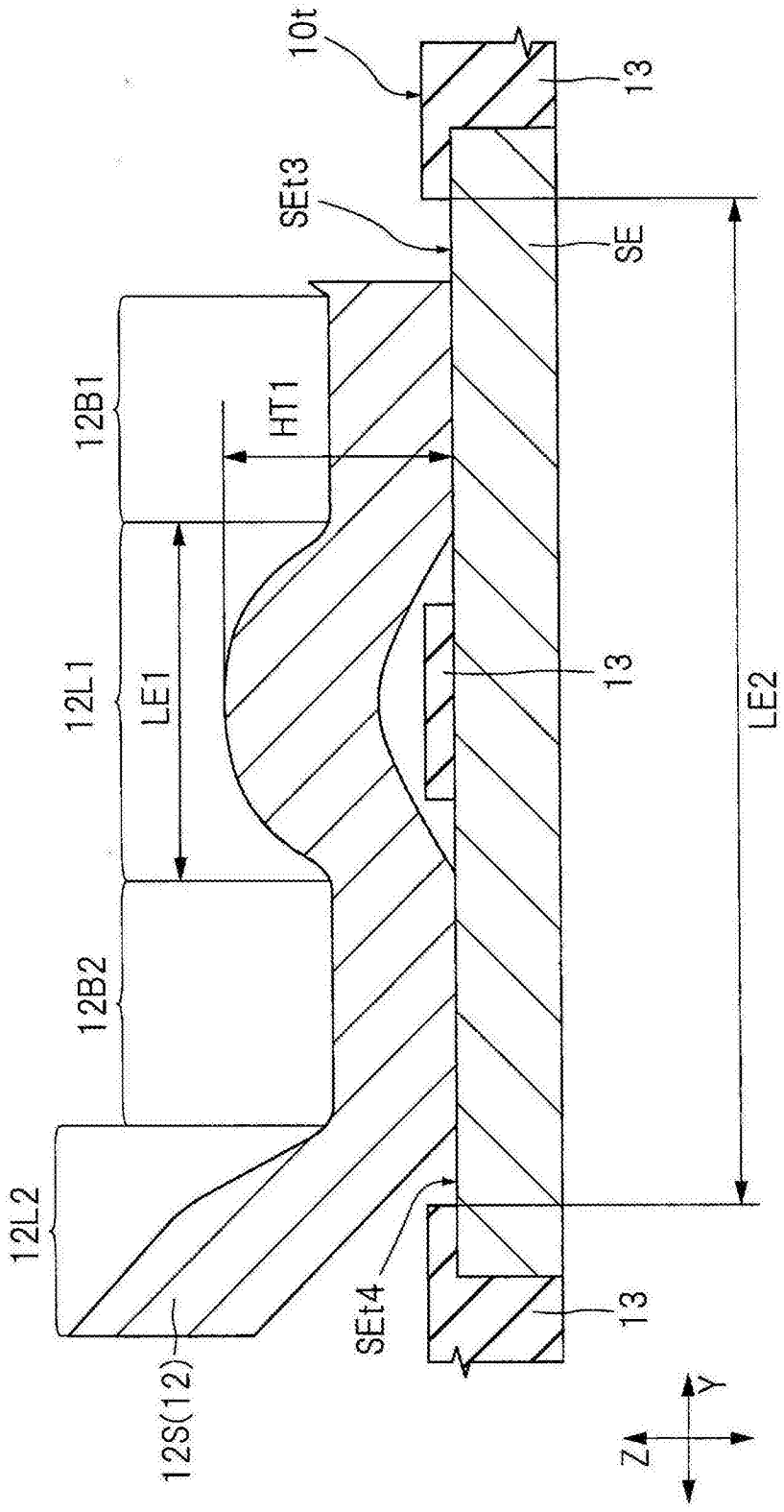

10t
13
SEt3
SE
12B1
HT1
12L1
LE1
13
LE2
12B2
12L2
SEt4
13
12S(12)
Y
Z

图14

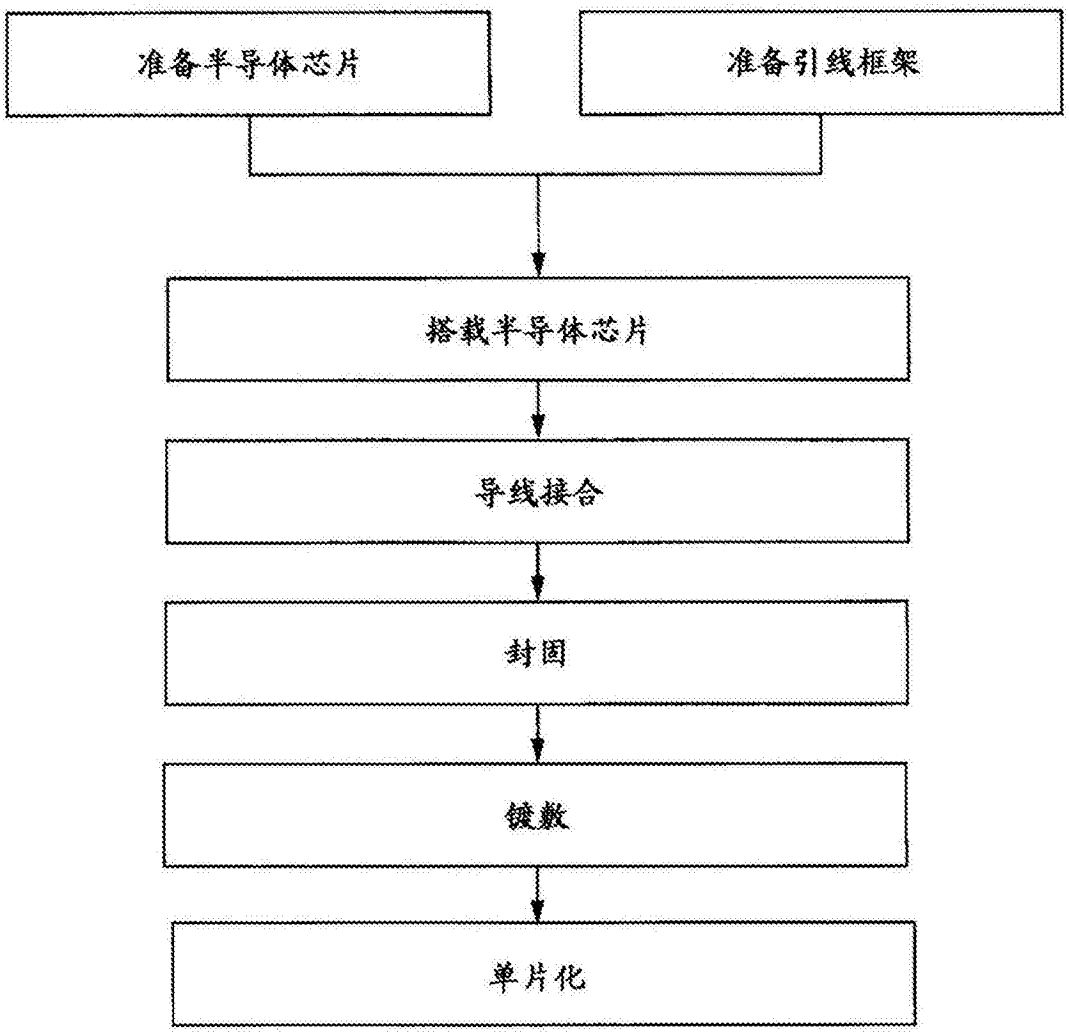


图15

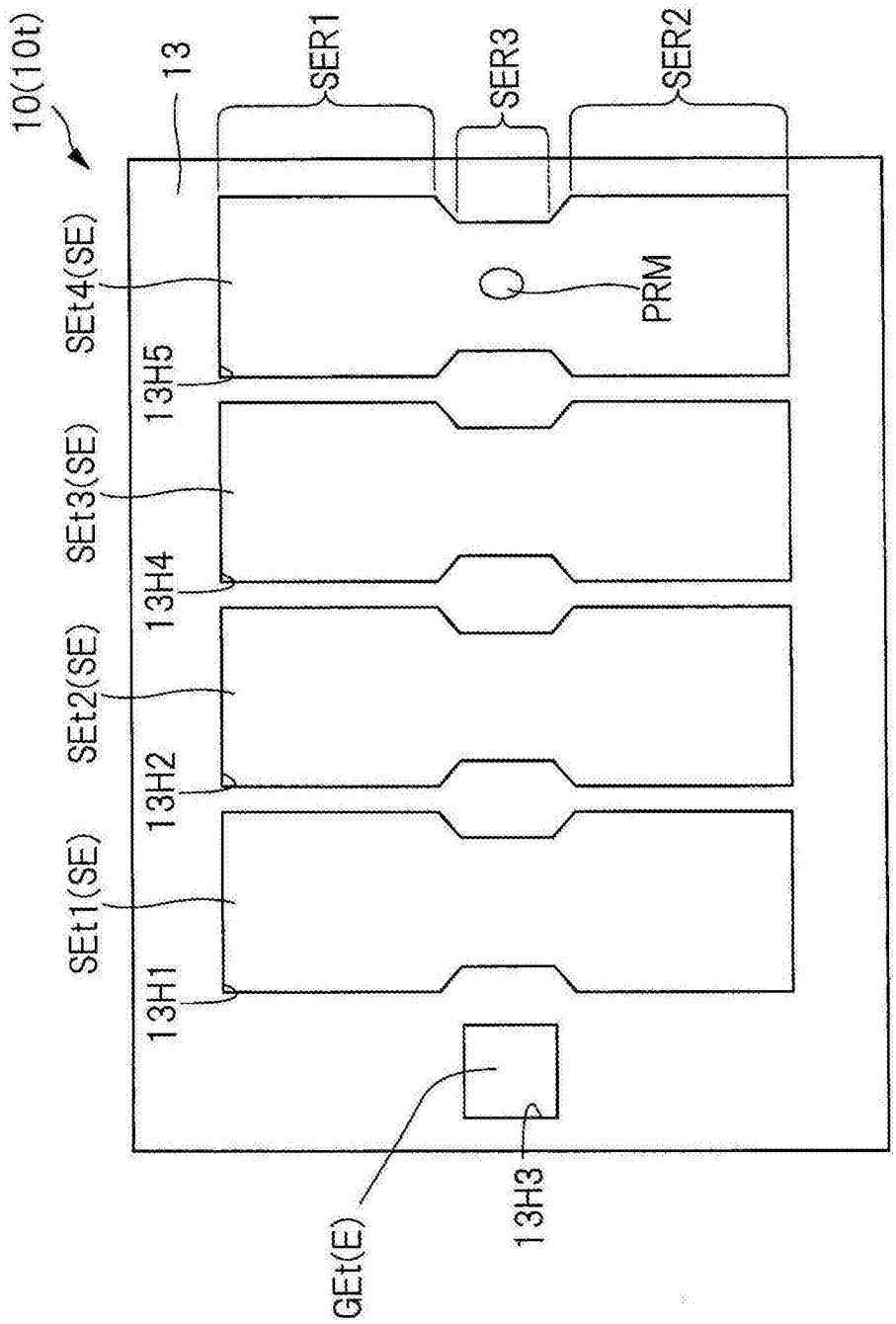

10(10t)
13
SER1
SER3
SER2
SEt4(SE)
Q
PRM
13H5
SEt3(SE)
13H4
SEt2(SE)
13H2
SEt1(SE)
13H1
GEt(E)
13H3

图16

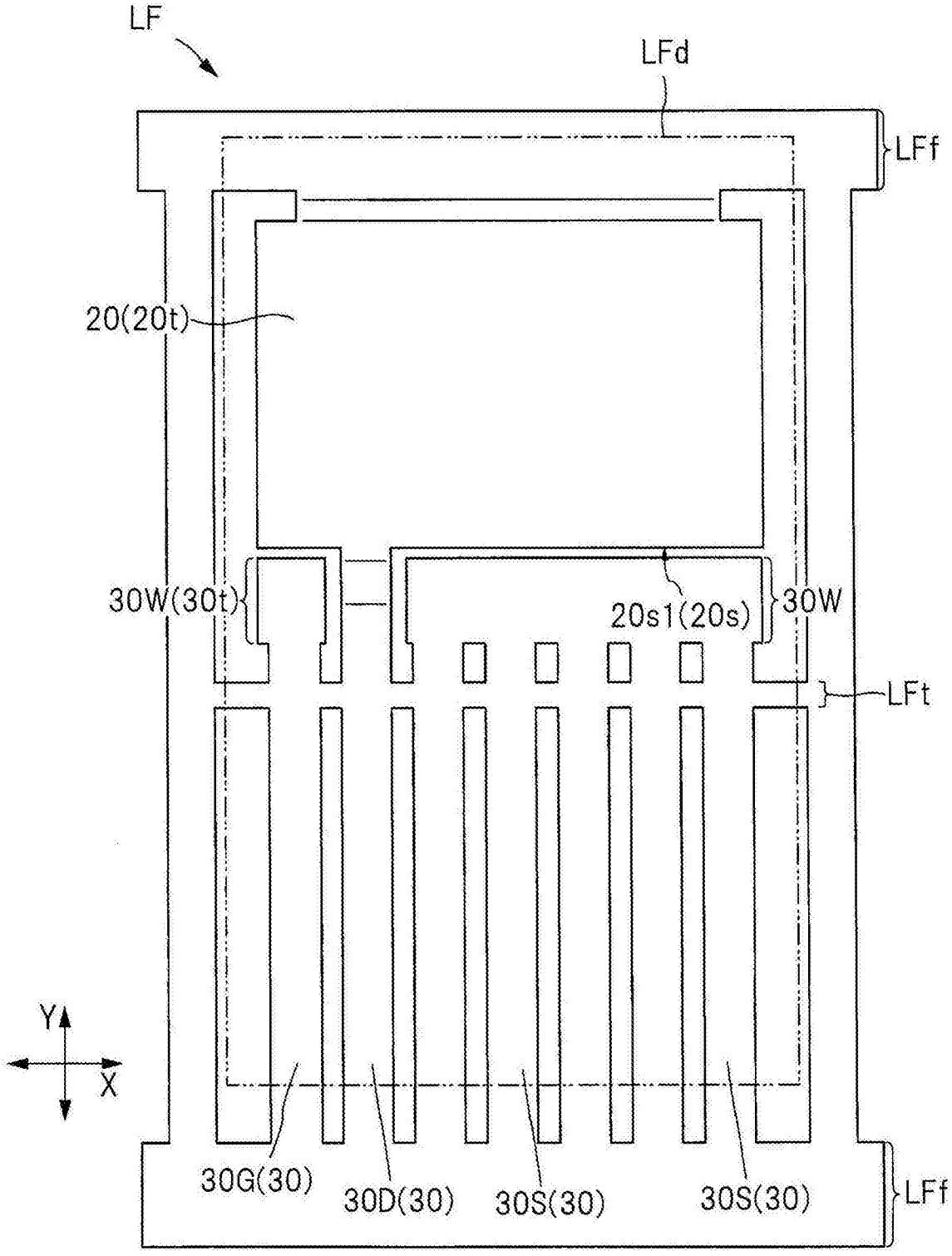

LF
LFd
LFf
20(20t)
30W(30t)
20s1(20s)
30W
LFt
Y
X
30G(30)
30D(30)
30S(30)
30S(30)
LFf

图17

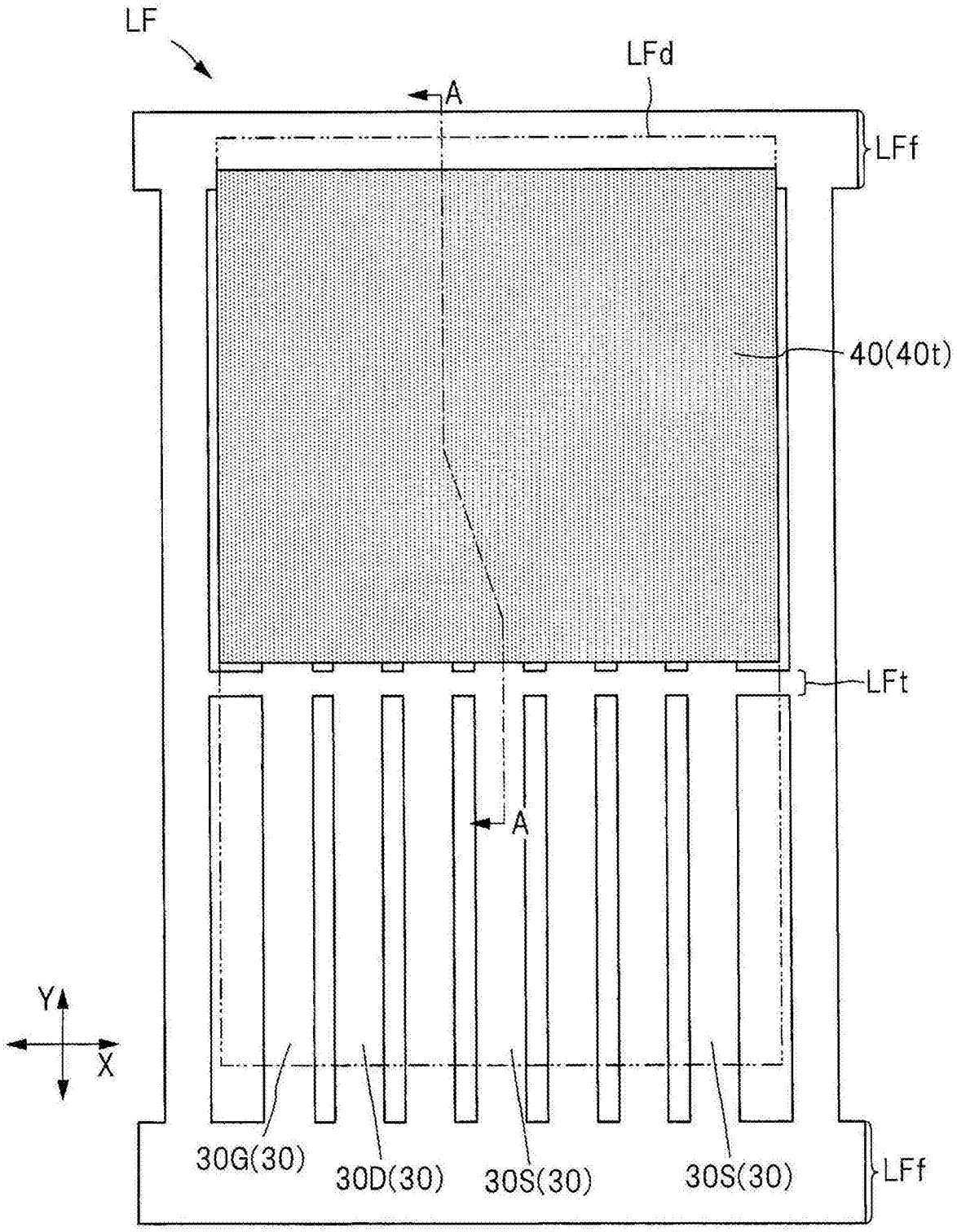


图18

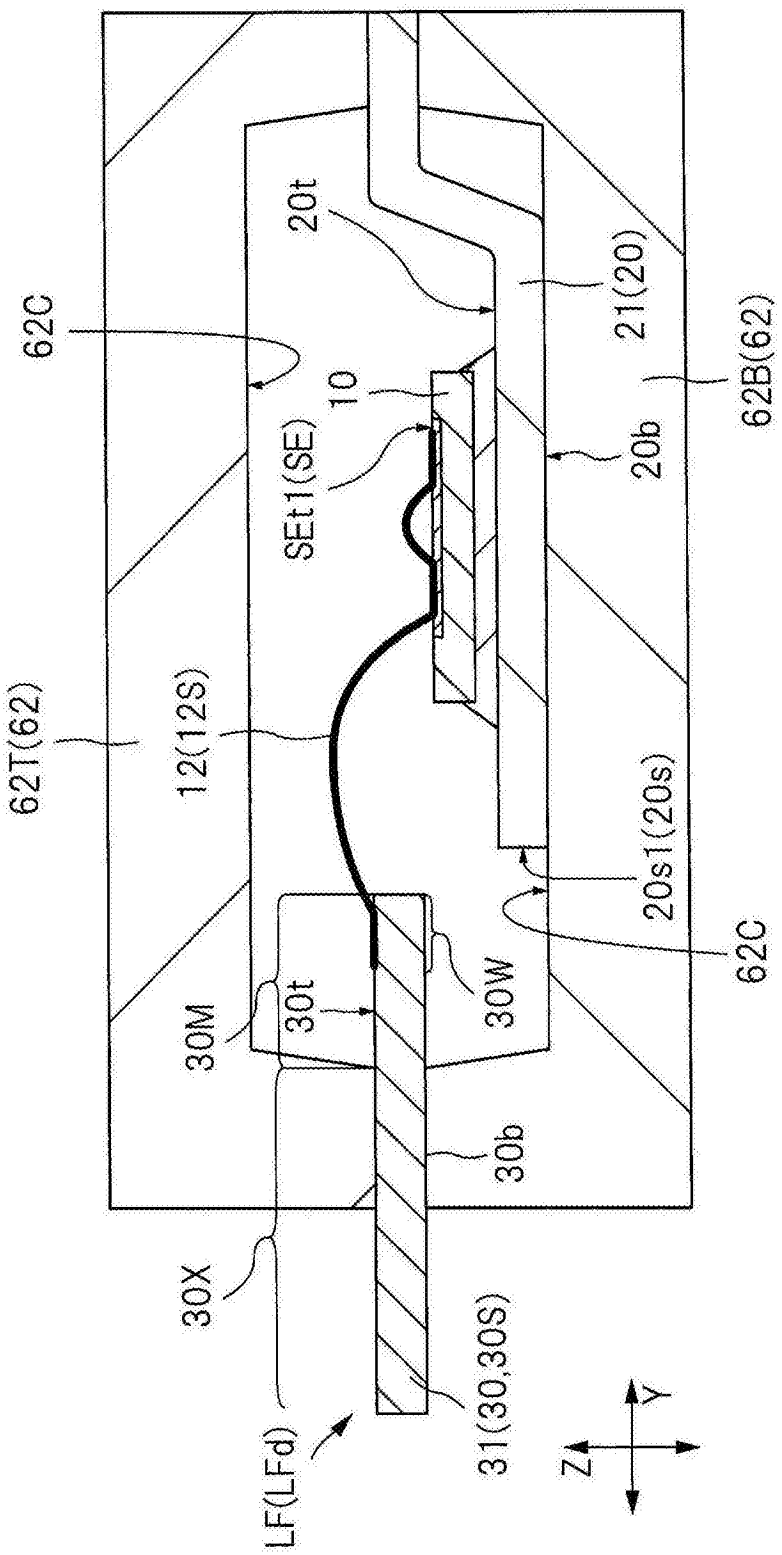

62C
20t
21(20)
62B(62)
10
SEt1(SE)
20b
62T(62)
12(12S)
20s1(20s)
62C
30M
30t
30W
30b
30X
31(30,30S)
LF(LFd)
Y
Z

图19

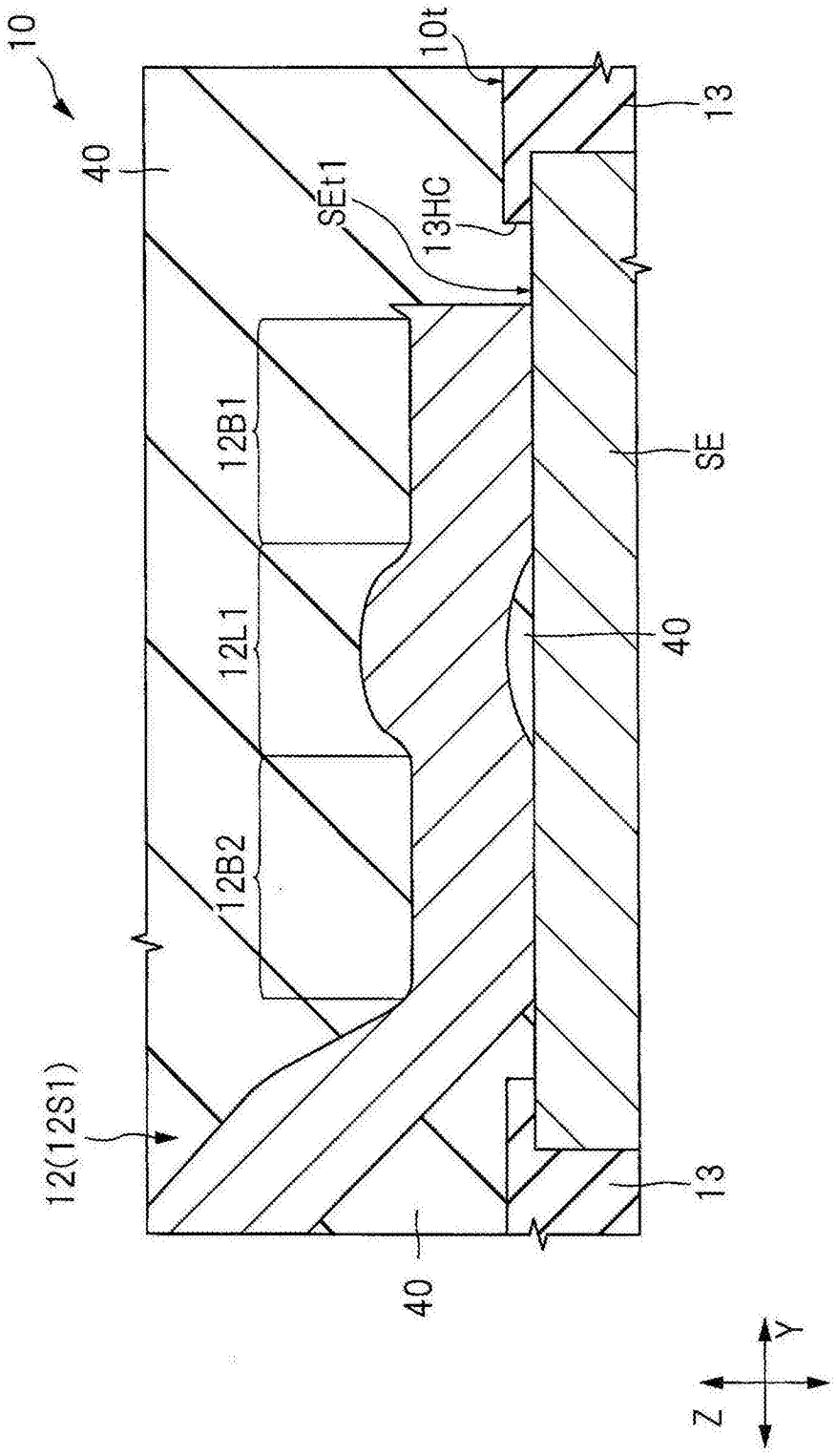


图20

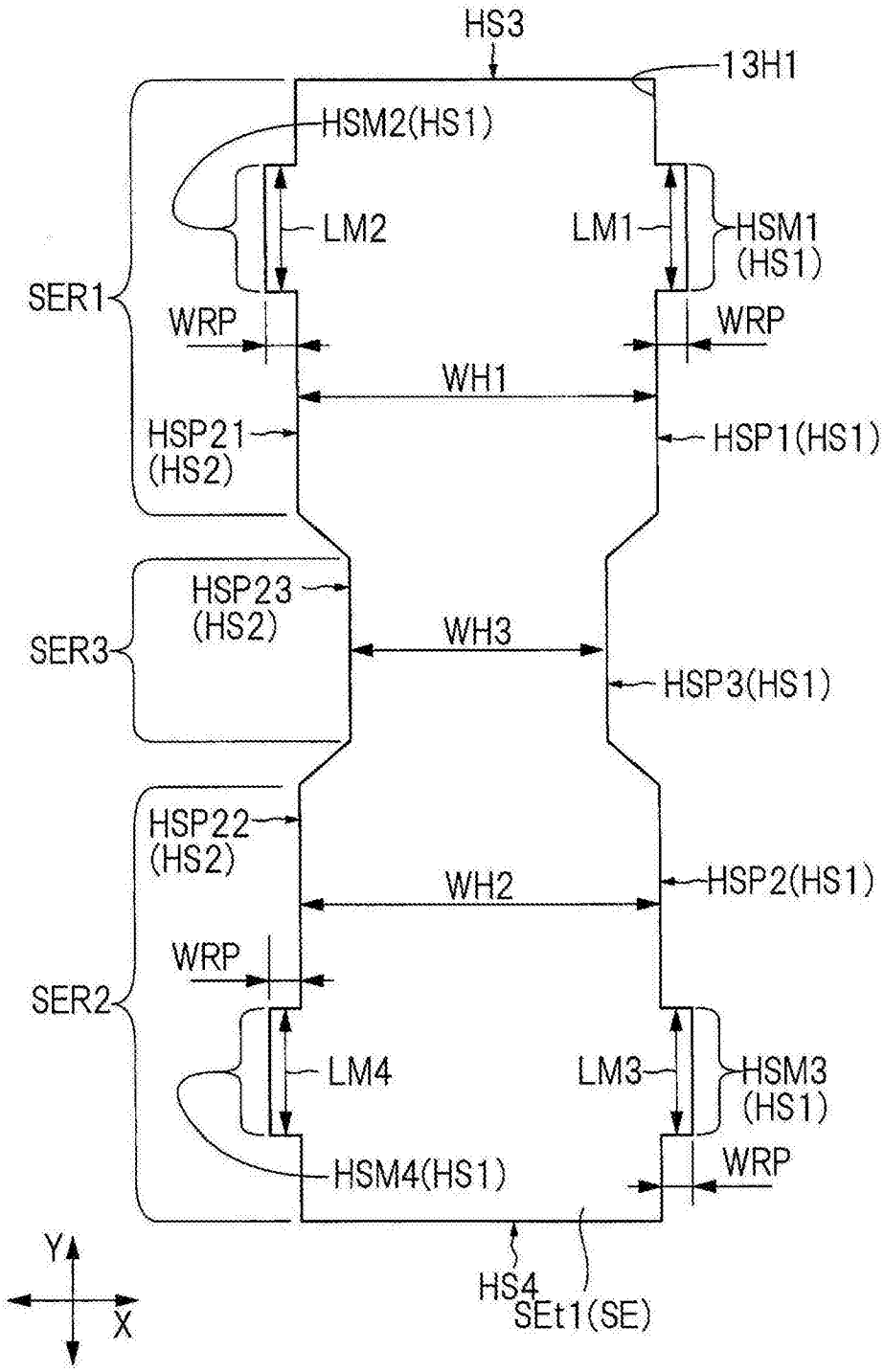

HS3
13H1
HSM2(HS1)
LM2
LM1
HSM1
(HS1)
SER1
WRP
WRP
WH1
HSP21
(HS2)
HSP1(HS1)
HSP23
(HS2)
SER3
WH3
HSP3(HS1)
HSP22
(HS2)
WH2
HSP2(HS1)
WRP
SER2
LM4
LM3
HSM3
(HS1)
HSM4(HS1)
WRP
Y
X
HS4
SEt1(SE)

图21

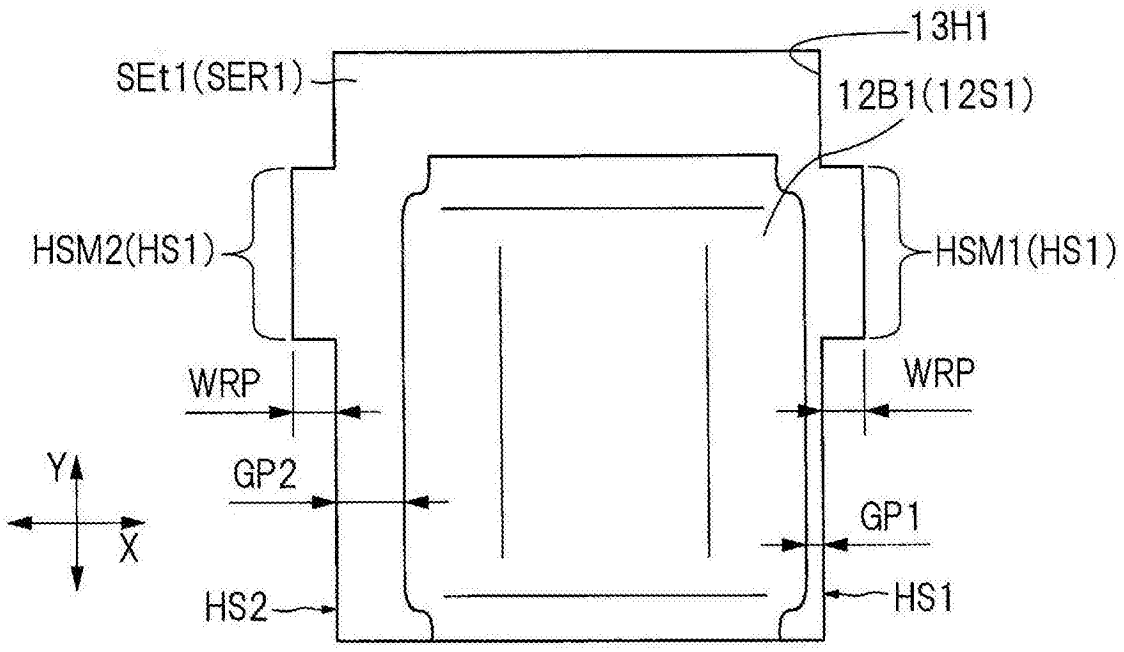

13H1
SEt1(SER1)
12B1(12S1)
HSM2(HS1)
HSM1(HS1)
WRP
WRP
Y
GP2
GP1
X
HS2
HS1

图22

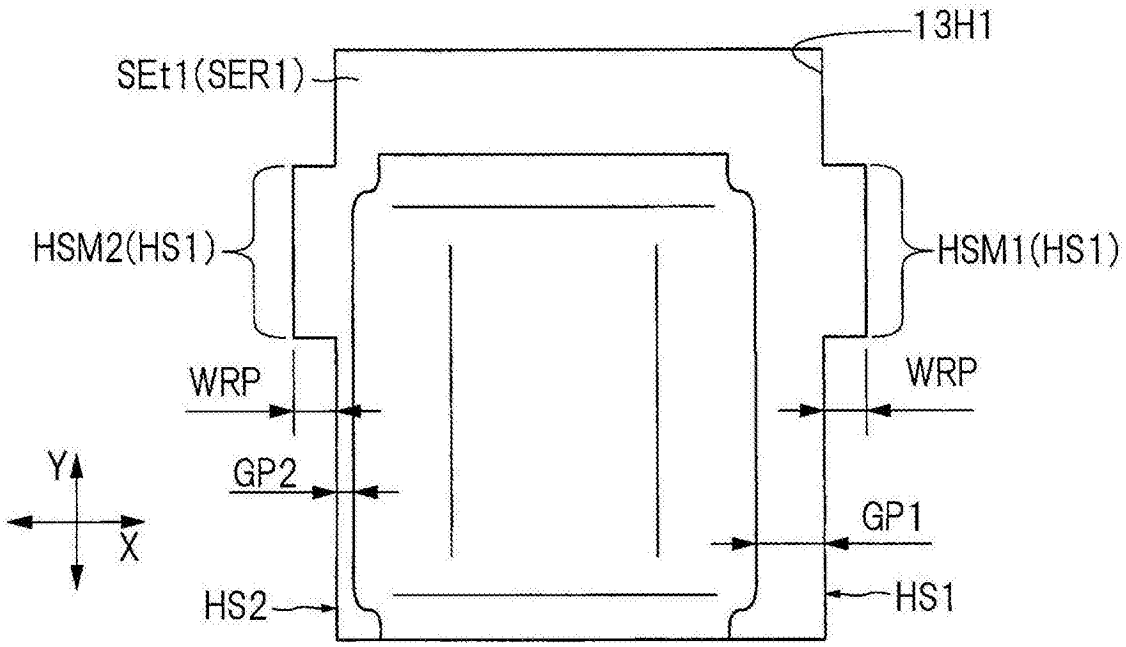

13H1
SEt1(SER1)
HSM2(HS1)
HSM1(HS1)
WRP
WRP
Y
GP2
GP1
X
HS2
HS1

图23

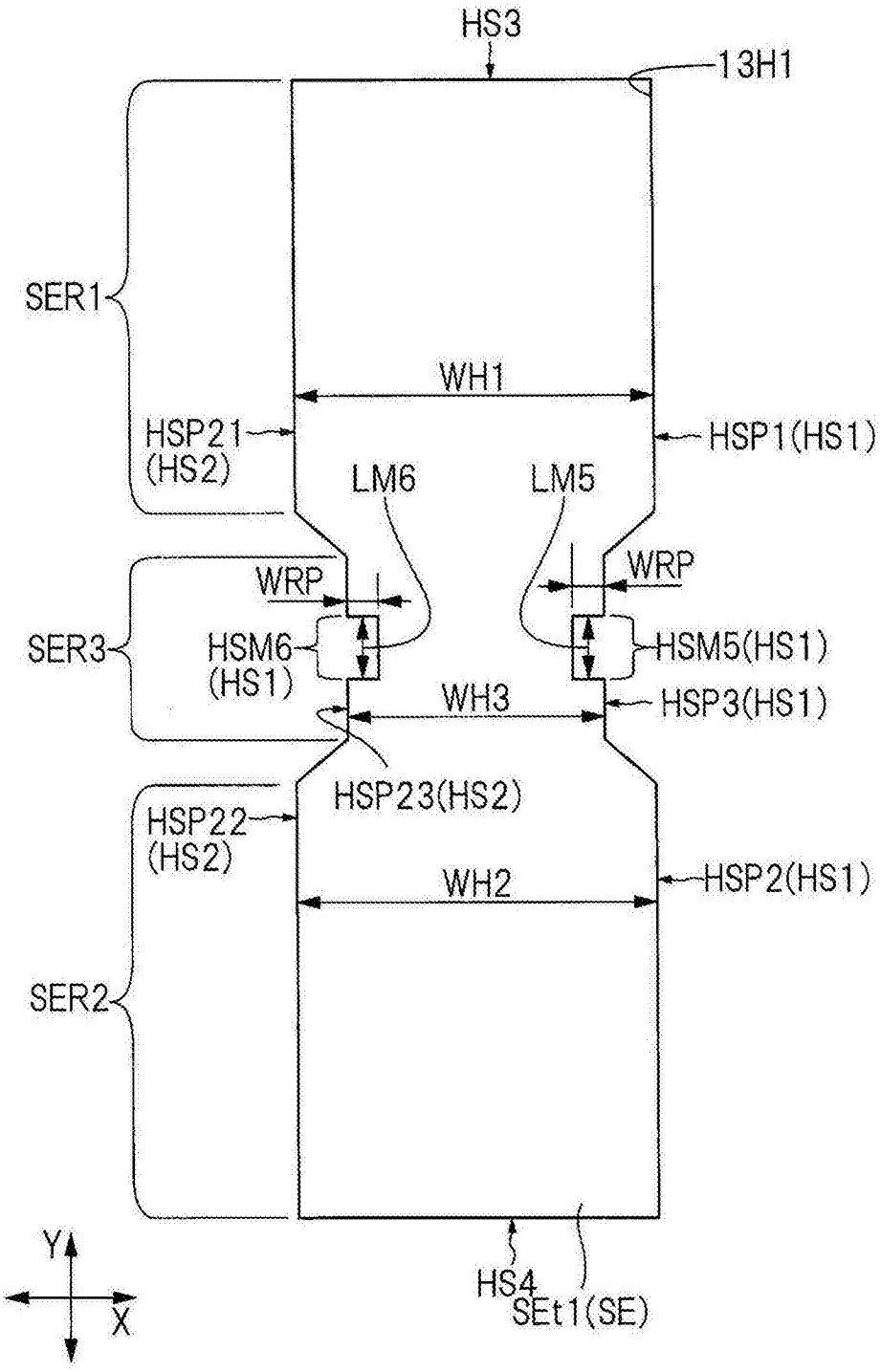

HS3
13H1
SER1
WH1
HSP21
(HS2)
HSP1(HS1)
LM6
LM5
WRP
WRP
SER3
HSM6
(HS1)
HSM5(HS1)
WH3
HSP3(HS1)
HSP23(HS2)
HSP22
(HS2)
WH2
HSP2(HS1)
SER2
Y
X
HS4
SEt1(SE)

图24

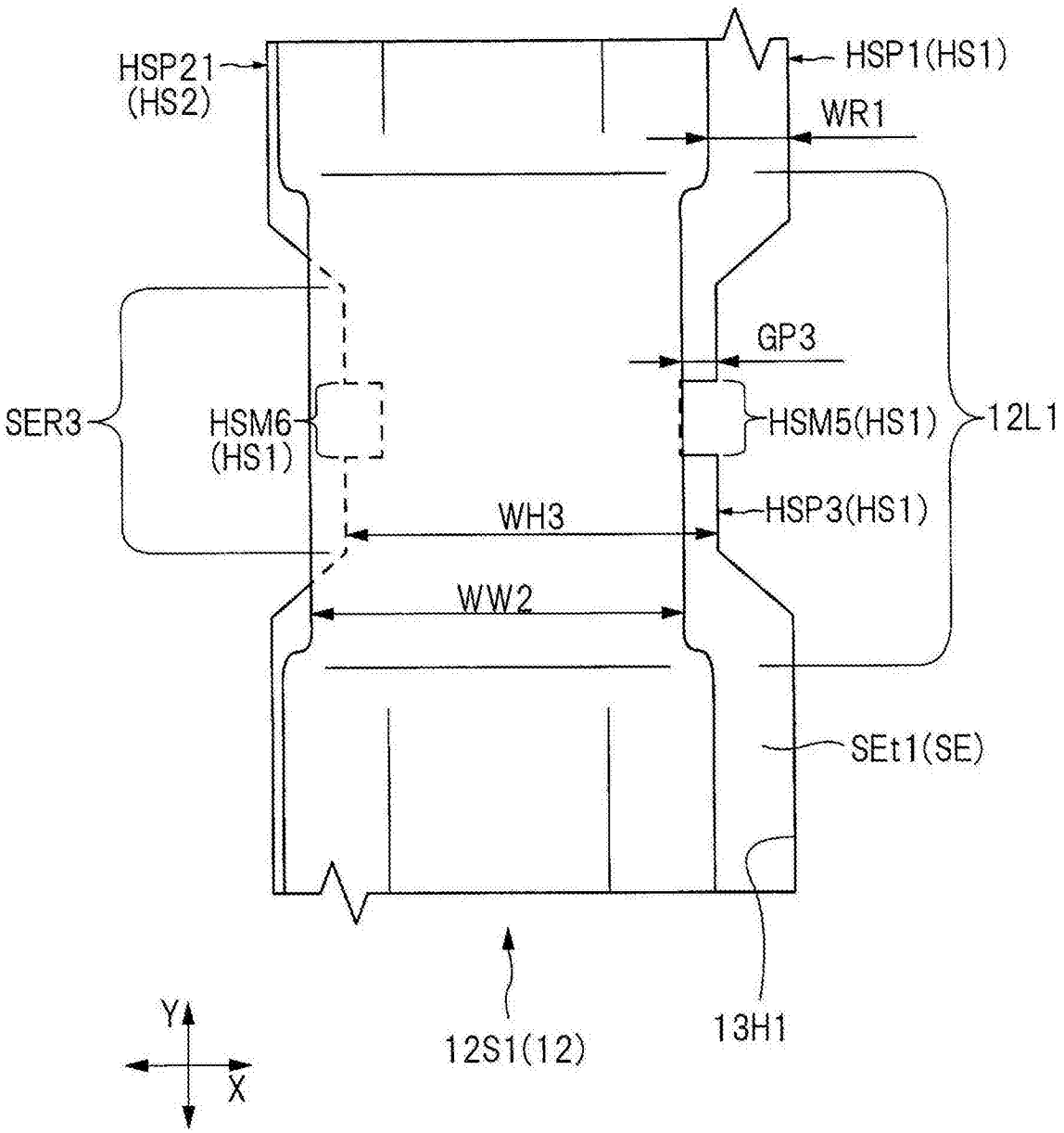

HSP21
(HS2)
HSP1(HS1)
WR1
GP3
SER3
HSM6
(HS1)
HSM5(HS1)
12L1
WH3
HSP3(HS1)
WW2
SEt1(SE)
12S1(12)
13H1
Y
X

图25

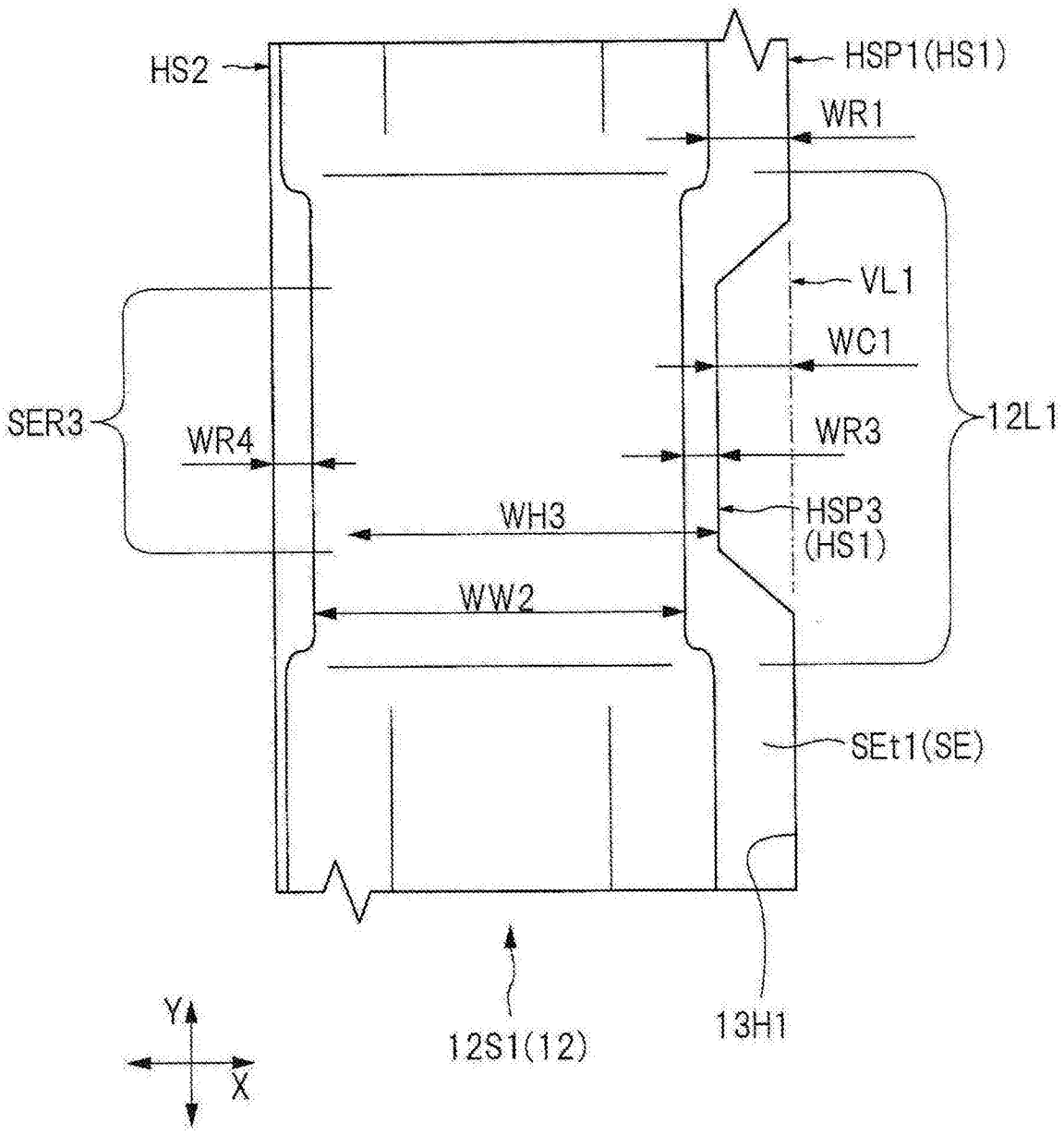

HS2
HSP1(HS1)
WR1
VL1
WC1
SER3
WR4
WR3
12L1
WH3
HSP3
(HS1)
WW2
SEt1(SE)
Y
X
12S1(12)
13H1

图26