

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6239544号
(P6239544)

(45) 発行日 平成29年11月29日 (2017.11.29)

(24) 登録日 平成29年11月10日 (2017.11.10)

(51) Int.Cl.	F I
G 0 6 F 7/57 (2006.01)	G 0 6 F 7/57 2 0 3
G 0 6 F 9/38 (2006.01)	G 0 6 F 9/38 3 7 0 A

請求項の数 9 外国語出願 (全 19 頁)

(21) 出願番号	特願2015-40233 (P2015-40233)	(73) 特許権者	593096712
(22) 出願日	平成27年3月2日 (2015.3.2)		インテル コーポレーション
(62) 分割の表示	特願2007-539681 (P2007-539681) の分割		アメリカ合衆国 95054 カリフォル ニア州 サンタ クララ ミッション カ レッジ ブールバード 2200
原出願日	平成17年11月2日 (2005.11.2)	(74) 代理人	100107766
(65) 公開番号	特開2015-133132 (P2015-133132A)		弁理士 伊東 忠重
(43) 公開日	平成27年7月23日 (2015.7.23)	(74) 代理人	100070150
審査請求日	平成27年3月2日 (2015.3.2)		弁理士 伊東 忠彦
審査番号	不服2016-17278 (P2016-17278/J1)	(74) 代理人	100091214
審査請求日	平成28年11月18日 (2016.11.18)		弁理士 大貫 進介
(31) 優先権主張番号	04105471.9		
(32) 優先日	平成16年11月3日 (2004.11.3)		
(33) 優先権主張国	欧州特許庁 (EP)		

最終頁に続く

(54) 【発明の名称】 S I M D命令をサポートするプログラマブルデータ処理回路

(57) 【特許請求の範囲】

【請求項 1】

命令選択可能なレジスタを有するレジスタのセットであって、各レジスタはN個の各自の S I M D 命令オペランド及び／又は結果を格納する、レジスタのセットと、

S I M D 命令を有する命令セットを有する命令実行回路であって、前記命令実行回路は前記 S I M D 命令に応答してN個の各自の同一の処理をパラレルに実行するよう構成される複数の算術回路を有し、前記 S I M D 命令は、前記 S I M D 命令によって選択される前記レジスタのセットからの第1レジスタ及び第2レジスタからの前記 S I M D 命令のN個の各自の S I M D 命令オペランドの第1及び第2系列を規定し、各算術回路は、前記 S I M D 命令を実行するとき、前記第1及び第2系列からそれぞれ各自の第1オペランド及び各自の第2オペランドを受信するよう構成される、命令実行回路と、
を有するデータ処理回路であって、

前記命令実行回路は、前記第1及び第2系列が部分的に重複するように前記第1及び第2系列を選択するよう構成され、

前記複数の算術回路の少なくとも第1及び第2算術回路は、前記第1及び／又は第2系列からのオペランドを共通して利用し、

オペランドレジスタからの少なくとも2つの異なるオペランドは前記第1及び第2系列において重複し、

前記命令実行回路は、プログラム制御の下で前記レジスタのセットからの第1レジスタ及び第2レジスタ内の前記第1系列のポジションを少なくとも選択するよう構成されるデ

ータ処理回路。

【請求項 2】

前記命令実行回路は、前記レジスタのセットからの第 1 レジスタ及び第 2 レジスタの双方から少なくとも第 2 オペランド系列を抽出するよう構成される、請求項 1 記載のデータ処理回路。

【請求項 3】

前記命令実行回路及び前記レジスタのセットに接続され、前記 SIMD 命令を選択し、前記レジスタのセットから前記第 1 レジスタ及び第 2 レジスタをそれぞれ選択するため命令データを供給する命令発行回路と、

前記レジスタのセットと前記算術回路との間に接続され、前記命令データ及び／又はオペランドデータによって制御され、少なくとも 1 つのポジションを含む前記第 1 系列の選択可能なポジションを選択するオペランド配信回路と、
を有し、

前記第 1 系列は、前記レジスタのセットからの第 1 レジスタ及び第 2 レジスタの双方に拡張する、請求項 1 記載のデータ処理回路。

【請求項 4】

前記 SIMD 命令は、更なるレジスタを選択し、

前記命令実行回路は、前記選択された更なるレジスタからの情報の制御の下で前記第 1 系列のポジションを制御するよう構成される、請求項 1 記載のデータ処理回路。

【請求項 5】

前記算術回路のそれぞれは、前記更なるレジスタからのオペランドと、前記算術回路の全てに共通の係数と前記第 1 及び第 2 系列からのオペランドとの各自の積との和を計算するよう構成される、請求項 4 記載のデータ処理回路。

【請求項 6】

前記 SIMD 命令は、追加的なレジスタを選択し、

前記係数は、前記追加的なレジスタから前記算術回路に供給される、請求項 5 記載のデータ処理回路。

【請求項 7】

前記命令実行回路は、前記 SIMD 命令により選択される前記追加的なレジスタからのデータの制御の下で、前記レジスタのセットからの前記第 1 レジスタ及び第 2 レジスタ内の前記第 1 系列のポジションを少なくとも選択するよう構成される、請求項 6 記載のデータ処理回路。

【請求項 8】

ピクセルのグループに対してピクセル補間を平行に実行するための SIMD 命令を含むプログラムによりプログラムされる、請求項 5 記載のデータ処理回路。

【請求項 9】

前記命令セットは、更なる SIMD 命令を有し、

前記命令実行回路は、前記更なる SIMD 命令に応答して、前記算術回路に N 個の同一の更なる処理を平行に実行させるよう構成され、

各算術回路は、前記更なる SIMD 命令によって選択された前記レジスタのセットからの第 1 レジスタからの各自の第 1 オペランドと、前記更なる SIMD 命令によって選択された前記レジスタのセットからの第 2 レジスタからの各自の第 2 オペランドとを利用する、請求項 1 記載のデータ処理回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、SIMD (Single Instruction Multiple Data) を含む命令セットを有するプログラマブルデータ処理回路に関する。本発明はまた、画像データの補間を実行する方法に関する。

【背景技術】

【0002】

Intel Pentium (登録商標) III プロセッサの命令セットの SIMD 命令の使用が、Intel Technology Journal Q2, 1999 に刊行され、“www.intel.com/technology/itj/q21999/articles/art_5.htm” を介しインターネット上で公衆に利用可能な James Abel、Kumar Balasubramanian、Mike Barger、Tom Craver 及び Mike Philpot による “Applications Tuning for Streaming SIMD Extensions” という論文に記載されている。当該論文は、Abel 等として参照される。SIMD 命令に応答して、プロセッサは、複数の数列として（例えば、32 ビットレジスタの 4 つの 8 ビット数など）オペランド及び結果レジスタのコンテンツを処理する。プロセッサは、SIMD 命令により規定された処理をパラレルに数回実行し、各回毎にオペランドとして各入力レジスタからの異なる数のペアを利用する。プロセッサは、これらパラレルに実行される処理から得られる各数を含む合成された結果を命令により規定された結果レジスタに書き込む。

10

【0003】

プロセッサの命令セットにおけるこのタイプの SIMD 命令の利用性は、タスクを実行するため実行される必要がある命令の合計数を低減する。ここでは、同一の関数が、コンピュータグラフィックス処理、画像圧縮又は解凍などの画像処理タスクなど、大量のデータに適用される必要がある。合計の命令数の低減は、このようなタスクが実行可能なスピードを増大させ、このようなタスクの実行に伴う電力消費を低減する。

20

【0004】

あるタスクが SIMD 命令を用いて実行されるとき、アライメント (alignment) が問題を生じさせるかもしれない。アライメント問題は、オペランドデータがメモリからオペランドデータを SIMD 命令に供給するのに利用されるレジスタにロード可能な方法の結果である。典型的には、オペランドデータは、ベーシックアドレス距離のある整数倍であるアドレスからスタートすることによってのみロード可能である。大部分のケースでは、すべてのデータが連続的なロード命令を利用することによってロード可能となるように、処理される必要があるデータ（連続するピクセルのデータなど）はアラインされたアドレス (aligned address) からスタートして連続的に格納されるため、これは問題とならない。Abel 等は、キャッシュライン分割に関するアライメント問題について述べている。特殊なケースについて、Abel 等は、アラインされていないアドレス (unaligned address) からのロードをサポートするため、“moveups” 命令の利用を記載している。さらに、Abel 等は、レジスタからの数を再構成するのに利用可能な “shuffling” 命令を記載している。このタイプの命令を利用する必要性は、実行される必要がある命令数を増大させる。

30

【0005】

アライメント問題の一例は、隣接ピクセルの情報の組み合わせに関する画像データの補間中に発生する。Abel 等は、SIMD 命令のパラレル化が同一のピクセルの異なるカラーコンポーネントを補間するのに利用される補間アプローチについて記載している。このケースでは、連続するピクセルのカラーコンポーネントセットが連続的に格納されるメモリが利用される。

40

【0006】

あるいは、隣接ピクセルの 1 つのカラーコンポーネントのピクセルデータが、連続する隣接したメモリ位置に格納されてもよい。好ましくは、SIMD 命令を用いて、複数のピクセル位置の補間データをパラレルに生成することが可能であるべきである。この場合、従来は SIMD 命令の第 1 オペランドが複数の第 1 隣接ピクセルのピクセルデータを含むべきであり、第 2 オペランドが複数の第 2 ピクセルのピクセルデータを含むべきであり、そのピクセル位置は、固定されたオフセット（典型的には、1 ピクセルポジション）だけ複数の第 1 ピクセルの位置にオフセットされる。しかしながら、この場合、オペランドの

50

少なくとも1つは、アラインされていない位置からロードされる必要があり、このことは必要とされる命令数を増大させる。

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の課題は、特にアライメント距離の整数倍でないアドレス距離によりメモリに格納されているオペランドを利用して、SIMD処理を実行するため必要とされる命令数の低減をサポートする命令セットを有するプログラマブルプロセッサを提供することである。

【0008】

10

本発明の課題は、特に選択可能なアラインされていないアドレス距離によりメモリに格納されているオペランドを利用してSIMD処理を実行するため必要とされる命令数の低減をサポートする命令セットを有するプログラマブルプロセッサを提供する。

【課題を解決するための手段】

【0009】

本発明は、請求項1記載のデータ処理回路を提供する。本発明によると、データ処理回路は、新たなタイプのSIMD命令を有する命令セットを有する。このSIMD命令にตอบสนองして、N個の算術回路（N=4又は8など）が、N個の同一の処理をパラレルに実行する。SIMD命令は、当該SIMD命令によって選択される第1及び第2レジスタからのSIMD命令のN個の各SIMD命令オペランドの第1及び第2系列を規定する。各算術回路は、SIMD命令を実行する際、それぞれ第1及び第2系列から各自の第1オペランドと各自の第2オペランドを受け付けるよう構成される。命令実行ユニットは、第1及び第2系列が部分的に重複部分を有することを可能にするよう構成される。すなわち、第1及び第2レジスタからのオペランドのすべてではないが、少なくとも1つが、2つの算術ユニットにより利用される。典型的には、第1及び第2系列の少なくとも1つは、第1レジスタから取得される部分と、第2レジスタから取得される部分とを有するN個のオペランドを含む。

20

【0010】

一実施例では、SIMD命令が信号サンプルの補間又はフィルタリングに適用される。連続する出力サンプルポジションに対して補間された値は、入力サンプルポジションの各自のオペランドペアから計算されるN個のSIMD結果である。本実施例では、連続する各ペアに対して1つのオペランドが、先行するペアの他のオペランドと重複する。

30

【0011】

好ましくは、第1及び第2レジスタ内の第1系列のポジションは、プログラムにより選択可能である。従って、補間又はフィルタリングアプリケーションでは、最初のSIMD結果が計算される最初の入力サンプルポジションは、オペランドレジスタのコンテンツがアラインされたロード処理によりロードされたとしても、各サンプルポジションにプログラムにより調整することが可能である。これは、フィルタリング又は補間が、任意のポジションのウィンドウなど、任意の位置からスタートして格納されるアレイについて実行される必要がある場合に有用である。第2系列は、好ましくは、オペランドレジスタ内の1つのオペランドポジションによるオフセットなど、第1系列に関して所定の相対ポジションを有する。

40

【0012】

一実施例では、ポジションの選択は、SIMD命令のオペレーションコードによって制御される。他の実施例では、ポジションは、SIMD命令によって選択されるさらなるレジスタからのオペランドデータにより制御される。このように、異なる命令タイプの最小限しか必要でない。好ましくは、さらなるレジスタがまた、すべての算術回路に共通に供給されるフィルタリング又は補間に対する係数を供給する。

【0013】

さらなる実施例では、データ処理回路は、レジスタセット（典型的には、レジスタファ

50

イル)と算術回路との間に接続されるオペランド分配回路を有する。本実施例では、オペランド分配回路は、少なくとも第1オペランド系列のポジションを選択するため、命令データ及び／又はオペランドデータにより制御される。

【0014】

さらなる実施例では、SIMD命令は、第1及び第2オペランドに対して選択されたポジションと関係なく、さらなるオペランドレジスタの所定のポジションから提供されるさらなるオペランドを有する。フィルタリング又は補間アプリケーションでは、例えば、SIMD命令は、好ましくは、N個の積の和を計算する。この場合、N個の和がさらなるオペランドレジスタから提供されてもよい。あるいは、このような和は、算術回路により包含されるアキュムレータレジスタから提供可能であるが、これは、SIMD命令が利用可能なフレキシビリティを制限する。

10

【0015】

このタイプのSIMD命令によると、例えば、いくつかのポジションに対するオペランド値a[]のアレイから、

【0016】

【数1】

$$r[i]=s[i]+w1*a[i+offset]+w2*a[i+offset+1]$$

20

などの結果r[i]のアレイをパラレル計算することが可能となる。他のオペランド又はオフセットが利用されるこのタイプの命令の他の実行に対する入力値sとして結果rを利用することによって、より大きなサポート領域(結果に影響を与える位置の領域)を有する補間又はフィルタリング処理が、最小数の命令により処理回路に対してプログラムにより実現可能である。

【0017】

さらに、命令セットはまた、好ましくは、従来のSIMD命令を有するようにしてもよく、これに応答して、算術回路はN個の同一の処理をパラレルに実行する。各算術回路は、さらなるSIMD命令によって選択されるレジスタの第1のレジスタからの各自の第1オペランドと、さらなるSIMD命令によって選択されるレジスタの第2レジスタからの各自の第2オペランドとを利用する。

30

【発明の効果】

【0018】

本発明によると、アライメント距離の整数倍でないアドレス距離によりメモリに格納されているオペランドを利用して、SIMD処理を実行するため必要とされる命令数の低減をサポートする命令セットを有するプログラマブルプロセッサを提供することができる。

【0019】

本発明によると、特に選択可能なアラインされていないアドレス距離によりメモリに格納されているオペランドを利用してSIMD処理を実行するため必要とされる命令数の低減をサポートする命令セットを有するプログラマブルプロセッサを提供することができる。

40

【0020】

本発明の上記及び他の課題及び効果的特徴が、以下の図面に示される非限定的な具体例を用いてより詳細に説明される。

【図面の簡単な説明】

【0021】

【図1】図1は、データ処理回路を示す。

【図2】図2は、機能ユニットの一部を示す。

【図3】図3は、従来のSIMD命令のデータフローを示す。

【図4a】図4aは、新規なSIMD命令のデータフローを示す。

50

【図 4 b】図 4 b は、新規な SIMD 命令のデータフローを示す。

【図 4 c】図 4 c は、新規な SIMD 命令のデータフローを示す。

【図 5】図 5 は、簡単化されたデータフローによる機能ユニットを示す。

【図 6】図 6 は、さらなるオペランド入力による機能ユニットを示す。

【図 7】図 7 は、共通のオペランドのオペランド入力による機能ユニットを示す。

【図 8】図 8 は、加数入力により機能ユニットを示す。

【図 9】図 9 は、算術回路を示す。

【発明を実施するための形態】

【0022】

図 1 は、本発明が実現可能なデータ処理回路の一例を示す。データ処理回路は、命令発行回路 10 と、複数の機能ユニット 12 a 及び 12 b と、レジスタファイル 14 と、データメモリ 16 とを有する。命令発行回路 10 は、レジスタファイル 14 のアドレスポートと機能ユニット 12 a 及び 12 b とに接続される発行スロット出力 11 a 及び 11 b を有する。機能ユニット 12 a 及び 12 b は、レジスタファイルに接続されるオペランド／結果通信ライン 13 a 及び 13 b を有する。第 1 機能ユニット 12 a は、データメモリ 16 に接続されるアドレス／データインタフェース 15 を有する。

【0023】

動作について、命令発行回路 10 は、発行スロット 11 a 及び 11 b を介し命令を発行する。各命令は、機能ユニット 12 a 及び 12 b に供給されるオペレーションコードと、レジスタファイル 14 に供給される少なくとも 1 つのオペランドレジスタアドレスと、レジスタファイル 14 に供給される少なくとも 1 つの結果レジスタアドレスとを有する。オペランドレジスタアドレスにตอบสนองして、レジスタファイル 14 は、アドレス指定されたレジスタからオペランドデータを読み込み、当該オペランドデータを命令を実行する機能ユニット 12 a 及び 12 b に供給する。オペレーションコードにตอบสนองして、機能ユニット 12 a 及び 12 b は、オペランドデータを入力として利用して選択された処理を実行する。機能ユニット 12 a 及び 12 b は、結果レジスタアドレスによってアドレス指定されたレジスタに結果データを格納するレジスタファイル 14 に、処理の結果を結果データとして書き込む。

【0024】

図のデータ処理回路の構成は単なる一例であり、他の多数の構成が利用可能であるということが強調されるべきである。あるアーキテクチャの処理回路が本発明を説明するのに利用されたが、処理回路は本発明を実現するのに利用可能な処理回路の単なる一例であり、何れかのケースでは、最小限の詳細のみが示されることが理解されるべきである。例えば、2 つの発行スロット 11 a 及び 11 b と 2 つの機能ユニット 12 a 及び 12 b とを有する処理回路が示されているが、より多く又はより少ない発行スロット及び／又は機能ユニットが利用可能であるということが理解されるべきである。他の例として、簡単化のためパイプライン処理については記載しないが、各命令の各処理部分が重複し、命令の各部分が異なる時点に発行されるように、典型的には、パイプライン処理が利用されるということが理解されるべきである。さらに、独立した機能ユニットが独立した発行スロットに接続されるよう示されているが、これらの機能ユニットの 1 以上が適切な命令を受け付けると、アクティブ状態となるように、これらの機能ユニットの機能は単一の機能ユニットに合成され、又は各機能ユニットは同一の発行ユニットに接続可能であることが理解されるべきである。さらに、簡単化のため、1 つのレジスタファイル 14 しか示されていないが、実際には、レジスタファイルは、おそらく互いの異なるビット幅のレジスタを有する複数のレジスタファイルなどを有する何れかのレジスタセットを表すかもしれないということが理解されるべきである。発行スロットの各フィールドは、これらのレジスタファイルの異なるレジスタファイルアドレス指定するかもしれない。さらに、各部分の間の接続を示すのに 1 つのラインが示されているが、各ラインは、一般には複数のビットをパラレルに供給する複数のコンダクタを表していることが理解されるべきである。

【0025】

第1機能ユニット12aは、データメモリ16へのアクセス処理を実行することによって、オペレーションコードに応答するメモリアクセスユニットである。例えば、リードオペレーションコードに応答して、機能ユニット12aは、アドレスとリードコントロール信号をメモリに供給し、当該アドレスからメモリが読み込んだデータを受け取り、当該データをレジスタファイル14に書き込むかもしれない。ライトオペレーションコードに応答する他の例として、機能ユニット12aは、アドレスを供給し、データとライトコントロール信号をメモリに書き込み、ライトデータはレジスタファイル14から受け付けられるオペランドデータであってもよい。この結果、データメモリ16は、当該アドレスによってアドレス指定された位置にライトデータを格納する。典型的には、メモリアクセスユニットは、連続するアラインしたアドレスの間の距離が、1つのレジスタと一緒にロード可能なメモリ位置の個数に対応するように、アラインしたアドレスと呼ばれる選択されたアドレスから始まるレジスタにデータをロード可能な高速ロード及び／又はストア命令をサポートする。

10

【0026】

第2機能ユニット12bは、各種SIMD (Single Instruction Multiple Data) 命令を実行可能な算術プロセッサを有する。

【0027】

図2は、このような算術プロセッサの実施例を示す。この実施例では、機能ユニット12bは、2つのオペランド入力20a及び20bの入力接続22a及び22bと、オペランド分配回路24と、複数の算術回路26a～26dと、出力接続28と、結果出力29とを有する。典型的には、入力20a及び20bはそれぞれ、レジスタファイル14（図示せず）に機能的に平行に接続される複数のコンダクタを有する。32又は64個のコンダクタが、各入力20a及び20bなどに対して平行に利用されるかもしれない。入力接続22a及び22bは、実際の回路に対応している必要はなく、入力20a及び20bが複数のオペランドに分割されるものとして処理可能であることを示すため単に示されている。32ビット入力20a及び20bは、例えば、各8ビットの4つのオペランドに分割されてもよく、又は64ビット入力20a及び20bは、例えば、各8ビットの8つのオペランド又は各16ビットの4つのオペランドに分割されてもよい。典型的には、各入力20a及び20bは、オペランド分配回路24の入力に提供される各オペランドのグループに分割可能な複数のコンダクタを平行に表す。

20

30

【0028】

オペランド分配回路24は、算術回路26a～26dの各入力に接続される出力を有する。算術回路26a～26dは、出力接続28に接続される出力を有し、さらに、出力接続28は、結果出力29に接続される出力を有する。出力接続28はまた、出力29が複数の結果に分割されるものとして処理可能であることを示すため単に示される。典型的には、各算術回路26a～26dの出力は、出力29に合成可能な複数のコンダクタを平行に表す。32又は64個のコンダクタは、出力29などについて平行に利用可能である。32ビット出力29は、例えば、各算術回路26a～26dからの各8ビットの4つの結果に分割されてもよく、又は64ビット出力29は、例えば、各算術回路26a～26dからの各8ビットの8つのオペランド（図示せず）又は各算術回路26a～26dからの各16ビットの4つの結果に分割されてもよい。

40

【0029】

命令発行回路10（図示せず）からオペレーションコードを受け付ける入力27は、各算術回路26a～26dとオペランド分配回路24とに接続される。SIMD処理について、各算術回路26a～26dは、その入力オペランドに対して同一の処理を実行することによって応答する。従来のSIMD命令の実行については、オペランド分配回路24は、第1入力20aの各ポジションから算術回路26a～26dの第1入力にオペランドを提供することによって、そして、第2入力20bの各ポジションから算術回路26a～26dの第1入力に対応するオペランドを提供することによって、このような従来のSIMD命令を選択するオペレーションコードに応答するよう構成される。

50

【0030】

図3は、このような従来のSIMD命令に対するデータフローを示す。ここでは、各レジスタからの入力30a及び30bは、各オペランドに対応するフィールドに分割されるよう示されている。丸印32は処理を表し、フィールドと処理の間の矢印はデータフローを表す。このSIMD命令は、例えば、

【0031】

【数2】

ADDVECTOR R1, R2, R3

10

などのアセンブリ言語表現によるベクトルADD命令とすることが可能である。

【0032】

ここでは、“ADDVECTOR”は、実行される必要がある処理を特定するオペレーションコードを表し、R1及びR2は、各レジスタが複数のオペランドとして処理されるコンテンツを有するレジスタのアドレスを表す。命令は複数の加算を実行することによって実行され、第1加算は、R1及びR2によりアドレス指定されるレジスタの第1ポジションからのオペランドを加算し、第2加算は、R1及びR2などによってアドレス指定されるレジスタの第2ポジションからのオペランドを加算する。R3は、複数の結果の和が命令に回答して格納されるレジスタのアドレスを表す。もちろん、減算、乗算などの他の

20

【0033】

【数3】

SUBVECTOR R1, R2, R3

MULVECTOT R1, R2, R3

図4aは、本発明によるSIMD命令の一例に対するデータフローを示す。この例では、第1入力30aの第1及び第2フィールドからのオペランドを利用して、処理が実行され、同一の処理が第1入力30aの第2及び第3フィールドからのオペランドを利用して実行し、同一の処理が、第1入力30aの第3及び第4フィールドからのオペランドを利用して実行され、同一の処理が、第1入力30aの第4フィールドと第2入力30bの第1フィールドからのオペランドを利用して実行される。SIMD命令は、

30

【0034】

【数4】

ADDADJACENT R1, R2, R3

40

などの加算命令であってもよい。

【0035】

ここでは、R1によりアドレス指定されるレジスタの隣接ポジションのペアからのオペランドが加算され、R2によりアドレス指定されるレジスタは、R1によりアドレス指定されるレジスタの拡張として処理される。これらの加算の結果は、R3によりアドレス指定されるレジスタに格納される。もちろん、減算、乗算、MAC (Multiply Accumulate) 処理などの他の処理の対する他の命令が、レジスタの隣接位置のペアからのオペランドについて可能である。

【0036】

50

【数 5】

SUBADJACENT	R1, R2, R3
MULADJACENT	R1, R2, R3
MACADJACENT	R1, R2, R3

オペランド分配回路 24 は、オペランドの分配を実現する。従来タイプの SIMD 命令を選択した入力 27 からのオペレーションコードに応答して、オペランド分配回路 24 は、図 3 のデータフローに従って当該オペランドを算術回路 26 a ~ 26 d に転送する。新しいタイプの SIMD 命令を選択した入力 27 からのオペレーションコードに応答して、オペランド分配回路 24 は、図 4 a のデータフローに従って算術回路 26 a ~ 26 d に当該オペランドを転送する。

10

【0037】

本発明は図 4 a に示されるタイプのデータフローに限定されるものでないということが、理解されるべきである。他の命令に응答して、オペランド分配回路 24 は、図 4 b または 4 c に示されるデータフローを提供するようにしてもよい。図 4 b は、SIMD 命令のオペレーションコードに対する応答を示し、そこでは、算術回路 26 a 及び 26 b が、第 1 入力の第 1、第 2、第 3 及び第 4 フィールドからそれらの第 1 オペランドをそれぞれ受け取り、第 1 入力の第 4 フィールドと、第 2 入力の第 1、第 2 及び第 3 フィールドから第 2 オペランドをそれぞれ受け取る。このような命令は、

20

【0038】

【数 6】

ADD14 R1, R2, R3 または MAC14 R1, R2, R3 など

などのアセンブリ言語表現を有することが可能である。

【0039】

30

ここでは、オペレーションコード ADD14 又は MAC14 は、処理と R1 によりアドレス指定されるレジスタの第 1 オペランドのポジションとを示す。

【0040】

図 4 c は、SIMD 命令のオペレーションコードに対する応答を示し、ここでは、算術回路 26 a 及び 26 b は、第 1 入力の第 2、第 3 及び第 4 フィールドと、第 2 入力の第 1 フィールドからそれぞれそれらの第 1 オペランドを受け取り、また第 1 入力の第 3 及び第 4 フィールドと、第 2 入力の第 1 及び第 2 フィールドとからそれぞれ第 2 オペランドを受け取る。

【0041】

このような命令は、

40

【0042】

【数 7】

ADD23 R1, R2, R3 または MAC23 R1, R2, R3 など

などのアセンブリ言語表現を有することが可能である。

【0043】

もちろん、同一の処理のすべてのポジションの組み合わせに対してオペレーションコー

50

ドが必要となるわけでない。プログラムにおいて頻繁に必要とされる組み合わせのみを提供すれば十分であるかもしれない。

【0044】

ここまで与えられた例では、オペランド分配回路24は、命令発行回路10からのオペレーションコードの制御の下、フィールドからオペランドを選択する。あるいは、当該選択は、レジスタファイル14から受け付けたさらなるオペランドからのオペレーションコードの制御の下、又は命令発行回路10からのオペレーションコードとそのようなオペランドの組み合わせの制御の下、実行されてもよい。

【0045】

図5は、レジスタファイル14（図示せず）に接続されるさらなるオペランド入力50を有する機能ユニット12bの実施例を示す。本実施例では、命令発行回路10により発行される命令は、命令発行回路10がレジスタファイル14に供給するさらなるオペランドレジスタ選択アドレスを有する。このような命令の具体例のアセンブリ言語表現は、例えば、

【0046】

【数8】

ADDSUCCESSIVE Rp,R1,R2,R3

である。

【0047】

ここで、レジスタアドレスRpは、さらなるオペランドを提供するレジスタのアドレスを指定する。

【0048】

本実施例では、オペランド分配回路24は、さらなるオペランド入力50からのさらなるオペランドと、命令発行回路10からのオペレーションコードとの組み合わせの制御の下、オペランドの選択を実行する。本実施例では、オペレーションコードは、従来のフロー（図3に示されるような）が必要であるか、またさらなるオペランド入力50からのさらなるオペランドがどのオペランド選択を利用するか制御しないか示すのに利用されてもよい。

【0049】

一例では、さらなるオペランドは、第1入力30aからのオペランドに対して第1フィールドを選択し、オペランド分配回路24は、当該フィールドからスタートして、第1入力30aのフィールドに続き、第2入力30bの第1フィールドから継続する各算術回路26a～26dに対して4つの第1フィールドを選択する。この場合、オペランド分配回路24は、第1入力30aの選択されたフィールドに続く次のフィールドからスタートし、存在する場合には、第1入力30aのフィールドに続き、第2入力30bの第1フィールドから継続する各算術回路26a～26dに対して4つの第2オペランドを選択するよう構成されてもよい。このようにして、例えば、図4cのデータフローが選択されるかもしれない。この場合、さらなるオペランドは、例えば、0、1、2、3などの4つの値の1つを有し、各値は異なるポジションを示す。この場合、このためには、さらなるオペランドの2ビットで十分である。

【0050】

他の例では、オペランド分配回路24は、2つのさらなるオペランドから、又は上記さらなるオペランドの制御の下、2つのスタートオペランドのポジションの独立した選択を行うよう構成されてもよい。従って、例えば、さらなるオペランドは、第1フィールドが第1又は第2入力の第1フィールドを選択するためのものであり、第2フィールドが第1又は第2入力の第2フィールドを選択するためのものである2つのフィールドを有するか

10

20

30

40

50

もしれない。この場合、オペランド分配回路 24 は、存在する場合には、第 1 入力 30 a の第 1 フィールドからスタートし、第 2 入力 30 b の第 1 フィールドから継続する各算術回路 26 a ~ 26 d に対して 4 つの第 1 オペランドを選択するよう構成されてもよい。同様に、オペランド分配回路 24 は、存在する場合には、第 1 入力 30 a の第 2 フィールドからスタートし、第 2 入力 30 b の第 1 フィールドから継続する各算術回路 26 a ~ 26 d に対して 4 つの第 2 オペランドを選択するよう構成されてもよい。このようにして、図 4 b のデータフローは、さらなるオペランドの第 1 フィールドが第 1 入力の第 1 フィールドを選択し、さらなるオペランドの第 2 フィールドが第 1 入力の第 4 フィールドを選択する場合に実現されるかもしれない。この場合、このためには、各フィールドについてさらなるオペランドの 2 ビットが 2 回あれば十分である。

10

【0051】

さらなる実施例では、さらなるオペランドは、各オペランドの独立した選択のための選択フィールドを有するかもしれない。従って、各レジスタが N 個のオペランドを有するものとして処理される場合、さらなるレジスタは、オペランドを選択するため、各 $2 \log N$ ビットの 2 N フィールドを有するようにしてもよい。しかしながら、実際のプログラムについては、第 1 処理の第 1 オペランドについて 1 つのオフセットのみを選択し（残りのオペランドは、連続するポジションから選択される）、又は第 1 処理の第 1 及び第 2 オペランドに対して 2 つのオフセットのみを選択し（残りのオペランドは、連続するポジションから選択される）、より少ない選択で十分であるということが判明した。

【0052】

20

図 6 は、制限されたオペランド選択のみが使用されるときに利用可能な簡単化された機能ユニットの一部を示す。そこでは、最後の算術回路 26 d 以外の各算術回路の第 2 オペランドが、次の算術回路の第 1 オペランドとして供される。このようにして、オペランド分配回路 24 をかなり簡単化することができる。オペランド分配回路 24 は、例えば、各マルチプレクサが算術回路 26 d の各オペランド入力と選択可能な入力とを選択可能に接続するマルチプレクサセットとして実現されてもよい。しかしながら、本発明の他の実現形態が可能である。例えば、複数の算術回路 26 a ~ 26 d が、このタイプの命令によりアドレス指定されるレジスタからの所定のフィールドからのオペランドデータを利用する 1 つのタイプの命令のみを実行するため設けられてもよい。この場合、算術回路の入力は、アドレス指定されたレジスタのコンテンツの所定部分を受け付けるよう配線されてもよく、算術回路は、当該命令がこのタイプのものであることを示すオペレーションコードに応答して、当該結果を結果レジスタに書き込むよう起動される。この場合、オペランド分配回路 24 は、関連する配線接続より多く有する必要はない。

30

【0053】

図 7 は、すべての算術回路 26 a ~ 26 d に共通に提供されるさらなるオペランドデータが提供可能なさらなる入力 60 が提供されるさらなる実施例を示す。この場合、機能ユニットの命令は、

【0054】

【数 9】

40

OPCODE Rp, Rc, R1, R2, R3

などのアセンブリ言語表現を有するようにしてもよい。

【0055】

ここでは、Rc は、算術回路 26 a ~ 26 d について共通のさらなるオペランドによるレジスタのアドレスを示す。このさらなるオペランドデータは、例えば、フィルタ係数を表すものであるかもしれない。一実施例では、このような命令は、

【0056】

50

【数 1 0】

$$b[0] = w0 * a[offset+0] + w1 * a[offset+1]$$

$$b[1] = w0 * a[offset+1] + w1 * a[offset+2]$$

$$b[2] = w0 * a[offset+2] + w1 * a[offset+3]$$

$$b[3] = w0 * a[offset+3] + w1 * a[offset+4]$$

の計算を実現するのに利用可能である。

【0 0 5 7】

10

ここでは、 $a[0]$ 、 $a[1]$ 、 $a[2]$ 、 $a[3]$ 、 $a[4]$ などは、R1及びR2によりアドレス指定されるレジスタの各フィールドに格納されているオペランドデータを表す。(R2によりアドレス指定されるレジスタは、R1によりアドレス指定されるレジスタも拡張として扱われる。)オペランド“offset”は、Rpによりアドレス指定されるレジスタから取得され、R1及びR2によりアドレス指定されるレジスタのスタートフィールドポジションを示す。各算術回路26a~26dは、 $b[0]$ 、 $b[1]$ 、 $b[2]$ 、 $b[3]$ のそれぞれを計算し、これらの結果は、R3によりアドレス指定されるレジスタの各フィールド(部分)に書き込まれる。

【0 0 5 8】

本実施例では、Rcによりアドレス指定されるレジスタは、各算術回路26a~26dに供給される係数w0及びw1を有する。他の実施例では、オペランド分配回路24を制御するオペランドと、算術回路26a~26dに共通に提供されるオペランドとは、1つのさらなるオペランドから取得されるかもしれない。例えば、32ビットのレジスタの場合、2つの8ビット係数と2ビットオフセット選択とが、

20

【0 0 5 9】

【数 1 1】

OPCODE Rs, Rpc, R1, R2, R3

30

の1つのオペランドの各フィールドから提供されるかもしれない。

【0 0 6 0】

ここでは、ポジション及び係数情報は、Rpcによりアドレス指定されるレジスタからの1オペランドにより合成されて供給されると仮定される。当該フィールドは、Rsのコンテンツによって選択される。

【0 0 6 1】

図8は、機能ユニットのさらなる実施例を示す。ここでは、追加的なオペランド接続70が加えられ、当該追加的なオペランド接続70から各算術回路26a~26dに各オペランドを提供する入力72に接続される。さらに、追加的な結果接続74が出力接続28に加えられた。この機能ユニットは、例えば、命令にตอบสนองして、

40

【0 0 6 2】

【数 1 2】

$$\begin{aligned}
 b[0] &= s[0] + w0*a[offset+0] + w1*a[offset+1] \\
 b[1] &= s[1] + w0*a[offset+1] + w1*a[offset+2] \\
 b[2] &= s[2] + w0*a[offset+2] + w1*a[offset+3] \\
 b[3] &= s[3] + w0*a[offset+3] + w1*a[offset+4]
 \end{aligned}$$

10

の計算を実行するのに利用可能である。

【0063】

これは、レジスタの連続する隣接フィールドからのオペランドを利用した乗算加算命令である。

【0064】

図9は、積 $w0 * a[.]$ 及び $w1 * a[.]$ を計算する乗算器90a及び90bと加算回路92とを有する上記目的に利用可能な算術回路26を示す。

【0065】

本例では、機能ユニットは、加数 (summand) $s[.]$ と積 $w0 * a[.]$ 及び $w1 * a[.]$ の各和を出力する。各算術回路26a～26dの加数 $s[.]$ は、 R_s によりアドレス指定されるレジスタの所定のフィールドから取得され、共通の係数は、 R_1 及び R_2 によりアドレス指定されるレジスタの各フィールドから取得される。これらのオペランドが求められるポジションは、 R_{pc} によりアドレス指定されるレジスタからのオフセット情報により制御される。各算術回路26a～26dからの結果は合成され、 R_3 によりアドレス指定されるレジスタに書き込まれる。

20

【0066】

好ましくは、結果が格納されるレジスタ (R_3) は、オペランド $a[.]$ を提供するのに利用されるレジスタ (R_1 , R_2) のものの少なくとも2倍の長さを有する。これは、精度のロスなく $2M$ ビットが2つの M ビット数の積を表すのに必要とされる事実を考慮するため利用される。累積が利用される場合 (ある数の積への加算)、さらに多くのビット、例えば、 $2M + 2$ ビットなどが必要とされるかもしれない。この幅は、結果の関連する幅に従って選択されてもよい。従って、例えば、4つの8ビットオペランド $a[.]$ ($M = 8$) が32ビット入力レジスタ (R_1 , R_2) から供給される場合、好ましくは、64ビット出力レジスタ (R_3) が、4つの16ビット結果 ($M = 16$) を格納するのに利用される。さらに、命令に応答して、当該結果はまた、好ましくは、入力レジスタ (R_1 , R_2) と同じ幅を有するさらなる結果レジスタ R_4 の丸められた精度により格納される。このさらなる結果レジスタでは、各結果 $b[.]$ の一部のみが、例えば、ビットの上位 $1/2$ のみ、ビットの上位関連する $1/2$ のみ、ビット4～12など各結果からのいくつかの所定のポジションからのビットなどが格納される。好ましくは、和 $s[.]$ を提供するのに利用されるレジスタ (R_s) はまた、オペランド $a[.]$ を供給するの

30

に用いられるレジスタ (R_1 , R_2) のものの2倍の幅 (ビット数) を有する。このことは、

40

【0067】

【数 1 3】

MAC Rs, Rpc1, R1, R2, R3, R4
 MAC R3, Rpc2, R1', R2', R3, R4

の命令を利用して、多次元補間（２次元画像補間など）を実現するため利用されてもよい。

10

【0068】

ここでは、R1によりアドレス指定されるレジスタが、画像ラインに沿った隣接ピクセルポジションのN個（N=4など）のピクセル値（ピクセル値 $p[i, j]$, $p[i+1, j]$, $p[i+2, j]$, $p[i+3, j]$ など（jはラインを表し、iはスタートピクセルポジションを表す））を有し、R2によりアドレス指定されるレジスタは、R1のものに続くポジションのピクセル値（ピクセル値 $p[i+4, j]$, $p[i+5, j]$, $p[i+6, j]$, $p[i+7, j]$ など）を有すると仮定される。Rpc1によりアドレス指定されるレジスタは、2つの係数w00及びw01を有する。同様に、R1'及びR2'はそれぞれ、R1及びR2の画像ラインに隣接する次の画像ラインに沿った隣接するピクセルポジションのN個（N=4など）のピクセル値（それぞれピクセル値 $p[i, j+1]$, $p[i+1, j+1]$, $p[i+2, j+1]$, $p[i+3, j+1]$ 及び $p[i+4, j+1]$, $p[i+5, j+1]$, $p[i+6, j+1]$, $p[i+7, j+1]$ など）を有する。Rpc2によりアドレス指定されるレジスタは、2つの係数w10及びw11を有する。Rsによりアドレス指定されるレジスタは、ゼロの値を有する。この場合、上記2つの処理の後に、R3によりアドレス指定されるレジスタの結果は、

20

【0069】

【数 1 4】

$$\begin{aligned} b[0] &= w00 p[i+0,j] + w01 p[i+1,j] + w10 p[i+0,j+1] + w11 p[i+1,j+1] \\ b[1] &= w00 p[i+1,j] + w01 p[i+2,j] + w10 p[i+1,j+1] + w11 p[i+2,j+1] \\ b[2] &= w00 p[i+2,j] + w01 p[i+3,j] + w10 p[i+2,j+1] + w11 p[i+3,j+1] \\ b[3] &= w00 p[i+3,j] + w01 p[i+4,j] + w10 p[i+3,j+1] + w11 p[i+4,j+1] \end{aligned}$$

30

を含むであろう。

【0070】

このため、4つの4ピクセル補間が2つの命令を実行することによって実行された。完全な画像を補間するため、これは連続するピクセルグループのロードと共に繰り返されてもよい。

40

【0071】

好ましくは、機能ユニットはさらに、例えば、Rpc1及びRpc2によりアドレス指定されるレジスタのオペランドの一部として、オフセットを規定する少なくとも1つのオペランドをサポートする。このようにして、R1, R2, R1', R2'によりアドレス指定されるレジスタのスタートピクセル値 $p[i+0, j]$ 及び $p[i+0, j+1]$ のポジションは、プログラムの制御の下で選択可能である。このことは、アラインされたアドレスを利用したロード処理と共にさらなる再アライメントなしに、データメモリの任意のアドレスからスタートして格納されているピクセル値に対する結果を生成することを可能にする。従って、例えば、あるラインに沿ったピクセル系列が、

50

【 0 0 7 2 】

【 数 1 5 】

```

LOAD A, R1
INC4 A
LOAD A, R2
LOAD A', R1'
INC4 A'
LOAD A', R2'
10
repeat
MAC Rs, Rpc1, R1, R2, R3, R4
INC4 A
LOAD A, R1
MAC R3, Rpc2, R1', R2', R3, R4
STORE A", R4
INC4 A"
INC4 A'
20
LOAD A', R1'
MAC Rs, Rpc1, R2, R1, R3, R4
INC4 A
LOAD A, R2
MAC R3, Rpc2, R2', R1', R3, R4
STORE A", R4
INC4 A"
INC4 A'
30
LOAD A', R2'

```

の命令を利用して処理することが可能である。

【 0 0 7 3 】

ここでは、隣接するメモリ位置のグループからのピクセル値が、R 1 , R 2 , R 1 ' , R 2 ' によりアドレス指定されるレジスタにロードされ、(MAC 命令により) 4つの補間された結果のグループを生成するのに利用される。ここで、第1補間結果を生成するのに利用されるレジスタ R 1 及び R 2 から利用される第1ピクセルのオフセットは、R p c 1 によりアドレス指定されるレジスタにより制御される。隣接メモリ位置の次のグループからの次のピクセル値が R 1 (及び R 1 ') にロードされ、R 1 及び R 2 の役割が補間命令 (MAC) において交換される。その後、ループが繰り返される。

【 0 0 7 4 】

このプログラムのメモリアクセス命令 (LOAD 及び STORE) はすべてアラインされたアドレスを利用することが理解されるべきである。従って、アラインされていないスタートアドレスからスタートして格納されているピクセルデータの補間が容易になる。このことは、特に画像の任意に選択可能なポジションからスタートする相対的に小さなウィンドウにおいて補間が要求される場合、スピードを増大させる。

【 0 0 7 5 】

本発明のアプリケーションが2次元画像処理について説明されたが、本発明が当該アプ

40

30

50

リケーションに限定されないということが理解されるべきである。本発明はまた、1次元アレイ処理又は3次元以上のアレイ処理にも適用可能である。さらに、係数とピクセルの積の和に関するSIMD命令へのアプリケーションが説明されたが、他の命令も利用可能であるということが理解されるべきである。

【0076】

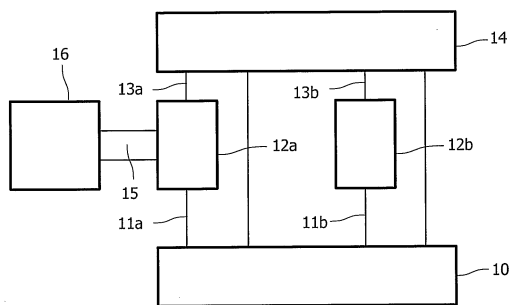
本発明によると、処理回路は、その命令セットに新規な命令を含むよう構成される。周知のように、プロセッサの命令セットの仕様は、一般には何れの実現形態がプロセッサを実現するのに利用可能であるか当業者に通知すれば十分である。命令セットは、プロセッサに対するマシンプログラムに含めることが可能な各種命令タイプを規定する。（ここで使用される「命令」とは、最終的に命令でない部分とならず、プログラムが分割可能な最小ユニットであるマシンプログラムの“アトム”を表す。）本発明による処理回路の命令セットは、各々が複数の潜在的なオペランドを有するレジスタからのオペランドを利用して、同一タイプの処理を平行に実行することによって複数の結果が生成されるという意味において、処理回路にSIMD処理を実行させる命令を有する。平行に実行される処理は、オペランド系列の重複を利用する。好ましくは、命令は、オペランドが取得する必要があるレジスタのポジションを示すさらなるオペランドを有する。あるいは、異なるオペレーションコードが、異なるポジションを示す。

【符号の説明】

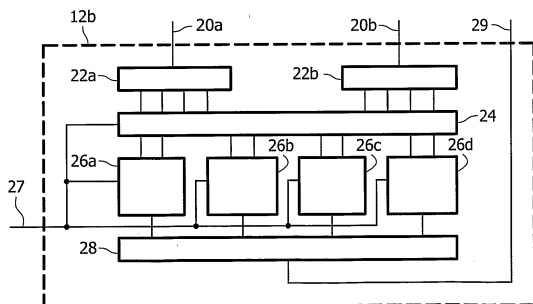
【0077】

- 10 命令発行回路
- 12 機能ユニット
- 14 レジスタファイル
- 15 アドレス／データインタフェース
- 16 データメモリ

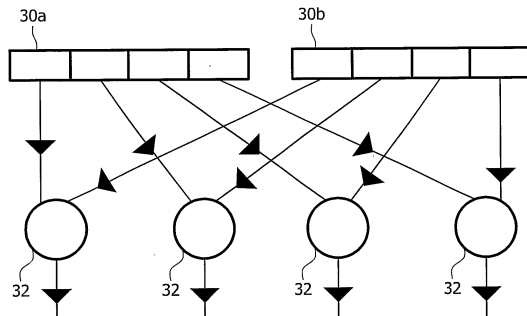
【図1】



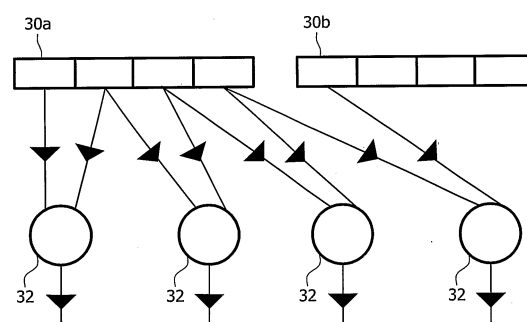
【図2】



【図3】



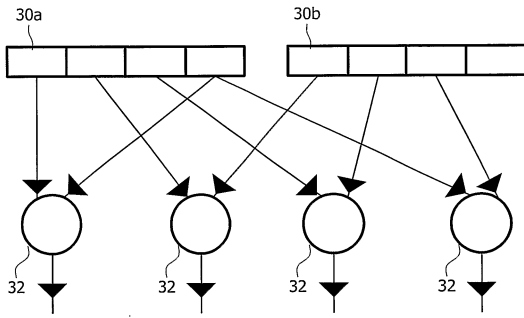
【図4a】



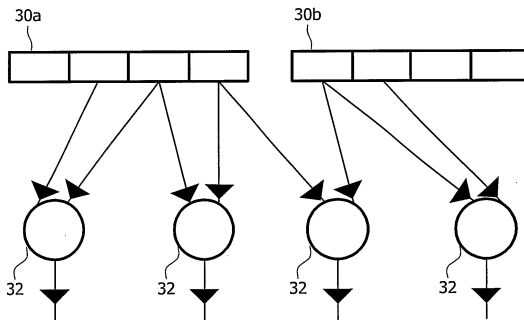
10

20

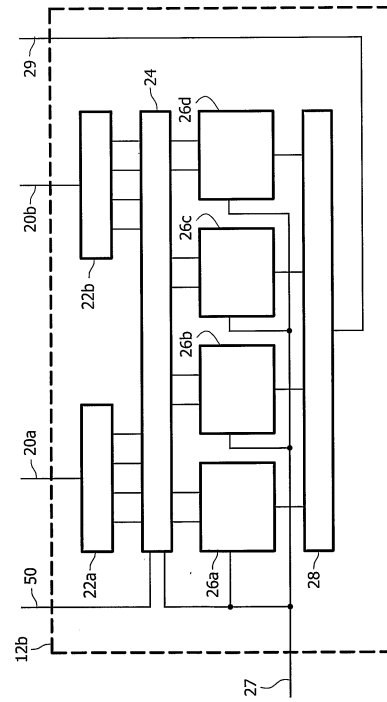
【図 4 b】



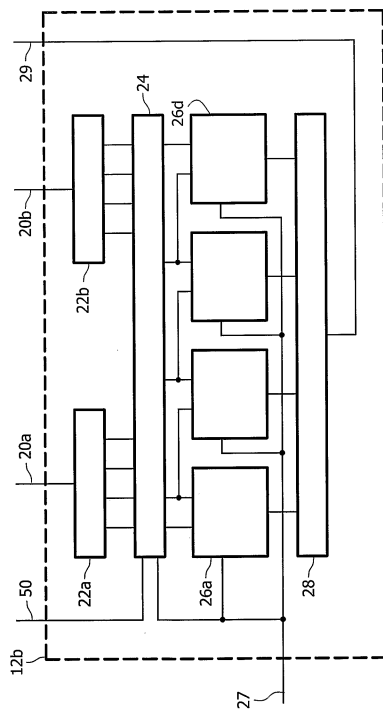
【図 4 c】



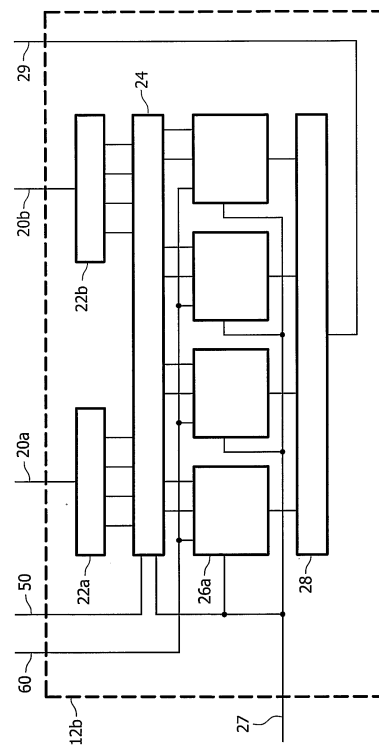
【図 5】



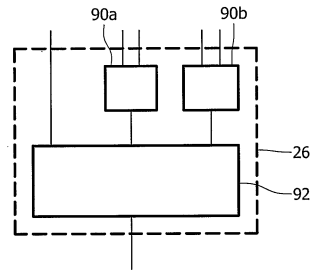
【図 6】



【図 7】



【图 9】



フロントページの続き

(72)発明者 ファン ウェル, アントニウス, アー, エム
イギリス国, サリー アールエイチ1 5エイチエイ, レッドヒル, クロス・オーク・レーン, フ
ィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

合議体

審判長 新川 圭二

審判官 土谷 慎吾

審判官 山澤 宏

(56)参考文献 特開2003-337696(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 7/00

G06F 7/57

G06F 9/30

G06F 9/38

G06F15/80