

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5543072号
(P5543072)

(45) 発行日 平成26年7月9日(2014.7.9)

(24) 登録日 平成26年5月16日(2014.5.16)

(51) Int.Cl. F I
 HO 1 L 25/10 (2006.01) HO 1 L 25/14 Z
 HO 1 L 25/11 (2006.01)
 HO 1 L 25/18 (2006.01)

請求項の数 6 (全 10 頁)

(21) 出願番号	特願2008-12816 (P2008-12816)	(73) 特許権者	513192281
(22) 出願日	平成20年1月23日 (2008.1.23)		ピーエスフォー ルクスコ エスエイアー
(65) 公開番号	特開2009-176885 (P2009-176885A)		ルエル
(43) 公開日	平成21年8月6日 (2009.8.6)		PS4 Luxco S. a. r. l.
審査請求日	平成22年11月15日 (2010.11.15)		ルクセンブルク大公国エルー 2 1 2 1、ルクセンブルク、ヴァル デ ボン マラデス 2 0 8
		(74) 代理人	100123788
			弁理士 宮崎 昭夫
		(74) 代理人	100106138
			弁理士 石橋 政幸
		(74) 代理人	100127454
			弁理士 緒方 雅昭

最終頁に続く

(54) 【発明の名称】 積層型半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 の面及び該第 1 の面とは反対側の第 2 の面を有する第 1 の配線基板と、該第 1 の配線基板の前記第 1 の面に実装された第 1 の半導体チップと、を有する第 1 の半導体装置と

第 3 の面及び該第 3 の面とは反対側の第 4 の面を有する第 2 の配線基板と、該第 2 の配線基板の前記第 3 の面に実装された第 2 の半導体チップと、を有する第 2 の半導体装置と

前記第 1 の配線基板の前記第 2 の面に設けられた外部接続端子と、を有し、
 前記第 2 の半導体装置の前記第 4 の面が前記第 1 の半導体装置に面するように前記第 2 の半導体装置が前記第 1 の半導体装置に積層されており、

前記第 1 の配線基板と前記第 2 の配線基板とは第 1 の基板間接続端子により互いに接続されており、

前記第 2 の配線基板の前記第 4 の面には半導体チップが実装されておらず、
 前記第 2 の半導体装置における前記第 2 の半導体チップの厚さが、前記第 1 の半導体チップの厚さより厚い、積層型半導体装置。

【請求項 2】

前記外部接続端子と前記第 1 の基板間接続端子とが半田バンプからなる、請求項 1 に記載の積層型半導体装置。

【請求項 3】

第3の配線基板と該第3の配線基板に実装された第3の半導体チップとを有し、前記第2の半導体装置に積層された第3の半導体装置を有し、

前記第3の半導体チップの厚さが前記第2の半導体チップの厚さと同一である、請求項1または2に記載の積層型半導体装置。

【請求項4】

第3の配線基板と該第3の配線基板に実装された第3の半導体チップとを有し、前記第2の半導体装置に積層された第3の半導体装置と、

前記第2の配線基板と前記第3配線基板とを互いに接続する第2の基板間接続端子と、
を有し、

前記第2の基板間接続端子の位置が前記第1の基板間接続端子の位置と同一である、請求項1から3のいずれか1項に記載の積層型半導体装置。

10

【請求項5】

前記第1の配線基板と前記第2の配線基板との間には前記第1の半導体チップ以外の半導体チップがない、請求項1から4のいずれか1項に記載の積層型半導体装置。

【請求項6】

前記第1の基板間接続端子は、前記第1の半導体チップを挟んで両側に配列されている、請求項1から5のいずれか1項に記載の積層型半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の半導体装置が積層された構造の積層型半導体装置に関する。

20

【背景技術】

【0002】

近年、メモリの大容量化に関する需要がより高まっている。しかし、周辺回路の大規模化や複雑化、及びプロセスシュリンクの困難さ等の要因により、半導体チップの面積を小さくすることは困難である。さらなる大容量化及び高集積化を図るため、特許文献1では、同一あるいは異なる種類の半導体チップが積層されたチップ積層型半導体装置が記載されている。

【0003】

また複数の半導体装置が積層された積層型半導体装置も知られている（特許文献2参照）。特許文献2に記載の積層型半導体装置は、BGA（Ball Grid Array）構造の半導体装置が複数積層されてなる。さらに、半導体装置の高密度化に対応して、FBGA（Fine pitch Ball Grid Array）構造の半導体装置を複数積層して1つの積層型半導体装置とした、sFBGA（stached FBGA：sFBGA）構造の半導体装置も知られている。

30

【0004】

ところで、DDR2（Double Data Rate 2）やDDR3（Double Data Rate 3）のような高速のDRAM（Dynamic Random Access Memory）では、電子部品の標準化を推進する業界団体であるJEDEC（Joint Electron Device Engineering Council）によって、半導体装置の外部接続端子（例えば、半田ボール。）の配置に関して標準規格が設けられている。この標準規格による接続端子位置の制約は、半導体装置の機械的な信頼性の向上を困難とする一要因となっている。

40

【0005】

上述のような積層型半導体装置において、この積層型半導体装置を母基板に接続する外部接続端子の位置は、JEDEC標準規格のような制約が設けられる。また、積層されて隣接する半導体装置における配線基板同士を接続する基板間接続端子（例えば、半田ボール。）は、下層の半導体チップを回避して配置される必要がある。このため、一般的に上記の外部接続端子と上記の基板間接続端子の配置は異なる。

【特許文献1】特開2007-165454号公報

50

【特許文献2】特開2005-26680号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

積層型半導体装置は、半導体チップと配線基板との線膨張係数の違いにより、使用時の熱に起因する反り変形が生じる。このような反り変形は、接続端子に負荷を与えるため、接続端子の接続寿命が低減する要因である。

【0007】

特許文献1では、配線基板上に大きさの異なる複数の半導体チップが積層されたチップ積層型半導体装置に関して、反り変形を低減させる構成が記載されている。このチップ積層型半導体装置は、最上層の半導体チップの上にダミーチップが構成されており、それぞれの半導体チップとダミーチップとが一括で樹脂封止されている。ダミーチップにより半導体チップの上部の樹脂量を低減できるので、反り変形が緩和される。しかし特許文献1に記載のチップ積層型半導体装置は、複数の半導体チップが一括で樹脂封止されているため、動作不良の半導体チップが1つでも存在すると、全ての半導体チップが使用不能となる。

10

【0008】

特許文献2では、複数の半導体装置を積層することで構成される積層型半導体装置が記載されている。特許文献2に記載の積層型半導体装置では、半導体チップと他の部材との線膨張係数の違いによって、接続端子のせん断変形が大きくなり、接続端子の信頼性が懸念される。s F B G A構造の半導体装置は積層型半導体装置であり、複数の半導体チップが一括で樹脂封止されることはないため、1つの動作不良の半導体チップによって全ての半導体チップが使用不能となることはない。また、s F B G A構造の積層型半導体装置では、最下層の半導体装置の反りが外部接続端子によって母基板に拘束されるため、母基板と最下層の半導体装置との接続端子のせん断変形が低減される。ただし、最下層の半導体装置よりも上方に積層される半導体装置の反りは母基板に拘束されないため、最下層の半導体装置とそれより上方の半導体装置とでは、反り変形に大きな違いが生じる。したがって、各層の半導体装置を接続する基板間接続端子には大きな負荷が生じる。この負荷によって、接続端子の接続寿命が低下し、半導体装置の信頼性が低減する。そのため、各層の半導体装置を接続する基板間接続端子の信頼性確保が課題となる。

20

30

【0009】

また上述のように、外部接続端子の位置と基板間接続端子の位置が異なる積層型半導体装置の場合、各層の半導体装置の熱反り変形は必然的に異なる。したがって基板間接続端子に大きな負荷が生じ、接続寿命が低減されるという課題がある。

【0010】

基板間接続端子の信頼性を確保するためには、基板間接続端子によって相互接続された隣接する半導体装置において、反り変形の違いを低減することが有効である。

【0011】

本発明の目的は、上記従来技術の課題に鑑み、使用時の熱による反り変形を低減することができる積層型半導体装置を提供することである。

40

【課題を解決するための手段】

【0012】

上記目的を達成するため、本発明の積層型半導体装置は、配線基板と該配線基板に実装された第1の半導体チップとを有する第1の半導体装置と、配線基板と該配線基板に実装された第2の半導体チップとを有する少なくとも1つの第2の半導体装置とを有し、第2の半導体装置が第1の半導体装置に積層されてなる。そして、各々の第2の半導体装置における第2の半導体チップの厚さが、第1の半導体チップの厚さより厚いことを特徴とする。

【発明の効果】

【0013】

50

本発明によれば、複数の半導体装置が積層された積層型半導体装置において、使用時の熱による半導体装置の反り変形を緩和することが出来る。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施形態について図面を参照して説明する。

【0015】

[第1の実施例]

図1は本発明の第1の実施例に係わる積層型半導体装置の模式的断面図である。本実施例における積層型半導体装置は、FBGA型の第1の半導体装置8と第2の半導体装置18とが積層されている。第1の半導体装置8は、第1の半導体チップである第1のシリコンチップ2と、配線基板であるテープ基板3と、外部接続端子である半田ボール7とを有する。テープ基板3は約50 μ mの厚さのポリイミドから構成されており、ポリイミドの両面には約20 μ mの厚さの銅配線が設けられている。第1のシリコンチップ2は、テープ基板3にエラストマ4を介して搭載されている。エラストマ4は、厚さが約100 μ mの低弾性体である。上記の銅配線の一部がテープ基板3から突出しており、リード5を形成している。リード5は第1のシリコンチップ2の中央部に設けられたパッド(不図示)と接続されている。このように、第1のシリコンチップ2とテープ基板3とは結線されている。リード5とパッドはレジン6によって封止されており、長期間に渡って第1の半導体装置8の信頼性を確保する。半田ボール7はテープ基板3に設けられている。

【0016】

第2の半導体装置18は第1の半導体装置8とほぼ同様の構造である。第2の半導体装置18は、第2の半導体チップである第2のシリコンチップ12と、配線基板であるテープ基板13と、基板間接続端子である半田ボール17とを有する。テープ基板13は約50 μ mの厚さのポリイミドから構成されており、ポリイミドの両面には約20 μ mの厚さの銅配線が設けられている。第2のシリコンチップ12は、テープ基板13にエラストマ14を介して搭載されている。エラストマ14は、厚さが約100 μ mの低弾性体である。上記の銅配線の一部がテープ基板13から突出しており、リード15を形成している。リード15は第2のシリコンチップ12の中央部に設けられたパッド(不図示)と接続されている。リード15とパッドは、レジン16によって封止されている。半田ボール17はテープ基板13に設けられており、第1の半導体装置8におけるテープ基板3と接続されている。

【0017】

外部接続端子である半田ボール7の配置は、JEDEC標準規格に準拠した格子状の配置となっている。一方、基板間接続端子である半田ボール17は、テープ基板13の両端部近傍に平行に配置されている。

【0018】

第2の半導体装置18における第2のシリコンチップ12の厚さは、第1の半導体装置8における第1のシリコンチップ2の厚さよりも厚い。本実施例では、一例として、第1のシリコンチップ2の厚さを190 μ mとし、第2のシリコンチップ12の厚さを300 μ mとした。このように、第2のシリコンチップ12の厚さを第1のシリコンチップ2の厚さより厚くすることで、使用時の熱による第2の半導体装置18の反り変形を緩和することができる。また母基板(不図示)に搭載された状態の積層型半導体装置では、テープ基板3が格子状に配置された半田ボール7を介して母基板と接続される。母基板は剛性が大きいため、第1の半導体装置8の反り変形は小さくなる。従って、第1の半導体装置8と第2の半導体装置18との反り変形の差が低減され、半田ボール17に生じる負荷が低減される。これにより半田ボール17の接続寿命が長くなり、積層型半導体装置の信頼性が向上する。

【0019】

以下、第1の実施例に係わる積層型半導体装置に対して、有限要素法による応力解析の結果について説明する。積層型半導体装置の形状は、中心線(テープ基板3, 13の主面

10

20

30

40

50

と直交し、積層型半導体装置の中心を通る直線。)を含む2つの直交する鏡映面に関してそれぞれ鏡映対称である。この対称性のため、2つの鏡映面で切断された形状の積層型半導体装置における解析モデルを用いて応力解析を実施することが出来る。尚、母基板に実装された状態における積層型半導体装置に対して、応力解析を実施した。

【0020】

図2(a)は応力解析に用いられた解析モデルの斜視図であり、図2(b)は解析モデルの側面図である。また図2(c)は、図2(a)の解析モデルにおいて、内部及び外部接続端子の位置のみが示された図である。また図2(a)~(c)におけるA-A線は、積層型半導体装置の中心線を示している。ここで、第1のシリコンチップ2の厚さを190 μm 、第2のシリコンチップ12の厚さを300 μm とした。また実際の構成部品の物性に基づいて、第1及び第2のシリコンチップ2, 12の線膨張係数を、テープ基板3, 13やエラストマ4, 14の線膨張係数より小さくした。外部接続端子及び基板間接続端子は、一般的な形状の半田バンプ27, 37(半田ボールを含む。)とした。半田バンプ27, 37は弾塑性体とし、その他の材料は弾性体であるとした。以上の構成の解析モデルに対して、高温(125)と低温(-25)の温度サイクル試験を模擬した応力解析を実施し、テープ基板3, 13の反り変形や半田バンプ37に発生するひずみを評価した。

【0021】

図3(a)、(b)は、125 から -25 まで温度を低下させた場合に、積層型半導体装置に生じるひずみを解析した図である。図3(a)は解析モデルの斜視図であり、図3(b)は解析モデルの側面図である。ただし図では、変形率を拡大表示している。第2の半導体装置18は上に凸の反り変形が生じている。これは、小さい線膨張係数を有するシリコンチップ12と、大きい線膨張係数を有するテープ基板13やエラストマ14との変形量に差が生じるためである。一方、外部接続端子である半田バンプ27近傍のテープ基板3は、母基板21によって拘束されるため、第1の半導体装置8の反り変形は小さい。基板間接続端子である半田バンプ37には、第1の半導体装置8と第2の半導体装置18の反り変形の差のため、負荷が生じる。したがって、周囲の温度変化によって繰り返し負荷が生じた場合、半田バンプ37の疲労破壊が懸念される。

【0022】

【表1】

第2のシリコンチップの厚み(μm)	第1のシリコンチップの厚み(μm)	基板間接続端子である半田バンプの相当塑性ひずみ範囲(%)
190	190	1.28
200	190	1.25
220	190	1.20
240	190	1.15
300	190	0.97

【0023】

表1は第2のシリコンチップ12の厚さと基板間接続端子である半田バンプ37の相当塑性ひずみ範囲との関係を示す表である。また図4は、表1の関係をグラフ化したものである。第1のシリコンチップ2と第2のシリコンチップ12の厚さが同一の場合と比較して、第2のシリコンチップ12の厚さが厚い場合には、相当塑性ひずみ範囲の値が減少している。

【0024】

半田バンプ37の疲労破壊は、相当塑性ひずみ範囲が大きいほど早く発生することが知られている。半田バンプの疲労破壊による接続寿命 N_f と相当塑性ひずみ範囲 ϵ_{eq} との関係は、コフィンマンソン(Coffin-Manson)則と称される下式を満たす。

【 0 0 2 5 】

【 数 1 】

$$Nf = C (\Delta \varepsilon_{eq})^{-\alpha}$$

【 0 0 2 6 】

ここでC、 α は半田の組成や環境に依存する物性値である。 α は正であるため、相当塑性ひずみ範囲が小さいほど、半田バンプの接続寿命は長くなる。一般的に使用される半田(Sn-3Ag-0.5Cu)の場合、 α の値はほぼ2である。

10

【 0 0 2 7 】

図5は半田バンプ37の接続寿命と、第2のシリコンチップ12の厚さとの関係を示すグラフである。図5における縦軸は、第1と第2のシリコンチップ2、12の厚さを同一とした場合の接続寿命を1となるように規格化された接続寿命である。図5に示されるように、第2のシリコンチップ12の厚さが厚い場合、接続寿命が向上する。これは、第1の半導体装置8と第2の半導体装置18の反り変形の差が低減された結果、半田バンプ37への負荷が減少したためである。第1のシリコンチップ2の厚さが190 μ mであり、第2のシリコンチップ12の厚さが300 μ mである場合、第1と第2のシリコンチップ2、12が同じ厚さの場合と比較して、接続寿命はおよそ2倍となる。

【 0 0 2 8 】

20

(製造プロセス)

以下、本実施例における積層型半導体装置の製造プロセスについて説明する。まずシリコンウエハに公知の手段を用いて所望の回路を形成した後、シリコンウエハの裏面を研磨する。2枚のシリコンウエハにおいて研磨量を変えることで、厚さの異なる2枚のシリコンウエハを準備する。それぞれのシリコンウエハをダイシングして、厚さの異なる2種類のシリコンチップを準備する。次に厚い方のシリコンチップ12を、エラストマ14を介してテープ基板13に搭載する。同様に薄い方のシリコンチップ2を、エラストマ4を介してテープ基板3に搭載する。そして、薄い方のシリコンチップ2を搭載したテープ基板3に厚い方のシリコンチップ12を搭載したテープ基板13を積層させる。この状態でリフローすることで、厚いシリコンチップ12を有する第2の半導体装置18が、薄いシリコンチップ2を有する第1の半導体装置8に積層された積層型半導体装置を製造することができる。尚、第2の半導体装置18における第2のシリコンチップ12の厚さが厚ければ、第1及び第2のシリコンチップ2、12の厚さは必要に応じて適切に調節することが出来る。

30

【 0 0 2 9 】

この積層型半導体装置を母基板に実装する場合、第1の半導体装置8におけるテープ基板3と母基板とをリフローによって接続すれば良い。母基板に実装する際のリフローは、第1の半導体装置8と第2の半導体装置18とを積層する際のリフローと同時に実施しても良い。

【 0 0 3 0 】

40

[第2の実施例]

図6は、第2の実施例に係わる積層型半導体装置の模式的な断面図である。本実施例に係わる積層型半導体装置は、第1の半導体装置と3つの第2の半導体装置とが積層されている。第1及び第2の半導体装置の構成は、第1の実施例における構成と同様である。第1の半導体装置は外部接続端子である半田ボール7を有する。3つの第2の半導体装置は、基板間接続端子である半田ボール17を有する。

【 0 0 3 1 】

外部接続端子である半田ボール7の配置は、JEDEC標準規格に準拠している。一方基板間接続端子である半田ボール17は、それぞれの第2の半導体装置におけるテープ基板13の両端部近傍に2列平行に配置されている。また、第2の半導体装置における第2

50

のシリコンチップ 1 2 の厚さは、第 1 の半導体装置における第 1 のシリコンチップ 2 の厚さより厚い。これにより第 1 の実施例と同様に、第 2 の半導体装置の反り変形が低減され、半田ボール 1 7 の接続寿命を延ばすことが出来る。

【 0 0 3 2 】

それぞれの第 2 のシリコンチップ 1 2 の厚さはほぼ同一であることが望ましい。これにより各層における第 2 の半導体装置の反り変形の差を小さくすることが出来る。したがって、半田ボール 1 7 の疲労破壊が低減され、積層型半導体装置の信頼性を向上させることが出来る。

【 0 0 3 3 】

本実施例では、第 2 のシリコンチップ 1 2 の厚さを同一としたが、それぞれの第 2 のシリコンチップ 1 2 の厚さは異なっても良い。第 2 のシリコンチップ 1 2 の厚さが第 1 のシリコンチップ 2 の厚さより厚ければ、各層の半導体装置の反り変形の差を低減することが出来る。

10

【 0 0 3 4 】

また各層における半田ボール 1 7 は、ほぼ同じ位置であることが望ましい。これにより各層の第 2 の半導体装置における反り変形の差を低減することができる。本実施例では、各層における半田ボール 1 7 の位置を同一としたが、これらの位置は異なっても構わない。

【 0 0 3 5 】

以上、本発明の望ましい実施形態について提示し、詳細に説明したが、本発明は上記実施例に限定されるものではなく、要旨を逸脱しない限り、さまざまな変更及び修正が可能であることを理解されたい。例えば上述の実施例では、接続パッドはシリコンチップ 2、1 2 の中央部に配置されているが、接続パッドの配置はこれに限定されない。接続パッドはシリコンチップ 2、1 2 の外周部に配置されていても良い。また、外部接続端子である半田ボール 7 の配置は、J E D E C 標準規格に準拠した配置に限定されない。さらに、使用するシリコンチップ 2、1 2 の種類は特に限定されず、それぞれのシリコンチップ 2、1 2 の種類は、異なるものであっても良い。

20

【 0 0 3 6 】

また第 1 および第 2 の実施例では、内部及び外部接続端子を半田ボール 7、1 7 としたが、本発明はこれに限定されない。すなわち半田ボールの代わりに、一般的な金属バンプ（突起電極）を用いることが出来る。金属バンプの材質は特に限定されず、例えば Cu ポストと半田とを組み合わせた複合材料を用いても良い。

30

【 0 0 3 7 】

本発明の積層型半導体装置は、基板間接続端子を有する第 2 の半導体装置における第 2 の半導体チップの厚さが、外部接続端子を有する第 1 の半導体装置における第 1 の半導体チップの厚さより大きければ、どのようなものでも良い。

【 図面の簡単な説明 】

【 0 0 3 8 】

【 図 1 】 本発明の第 1 の実施例に係わる半導体装置の模式的断面図。

【 図 2 】 (a) は応力解析に用いられた半導体装置の解析モデルの斜視図であり、(b) は (a) の解析モデルの側面図であり、(c) は (a) の解析モデルが有する半田バンプの位置を示す図である。

40

【 図 3 】 (a) は応力解析において温度低下させた場合の解析モデルの斜視図であり、(b) は温度低下させた場合の解析モデルの側面図である。

【 図 4 】 上層のシリコンチップの厚さと半田バンプの相当塑性歪み範囲との関係を示すグラフ。

【 図 5 】 上層のシリコンチップの厚さと半田バンプの接続寿命との関係を示すグラフ。

【 図 6 】 本発明の第 2 の実施例に係わる半導体装置の模式的断面図。

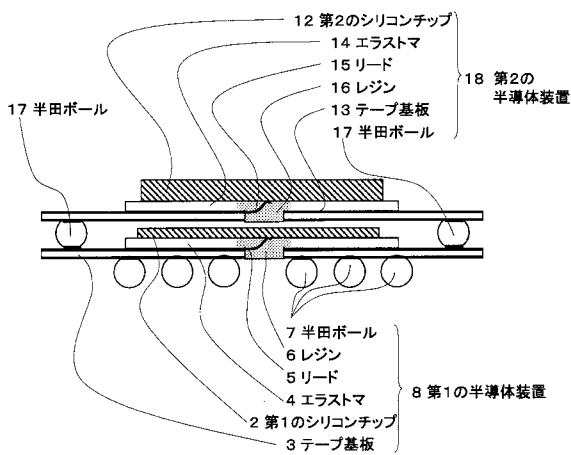
【 符号の説明 】

【 0 0 3 9 】

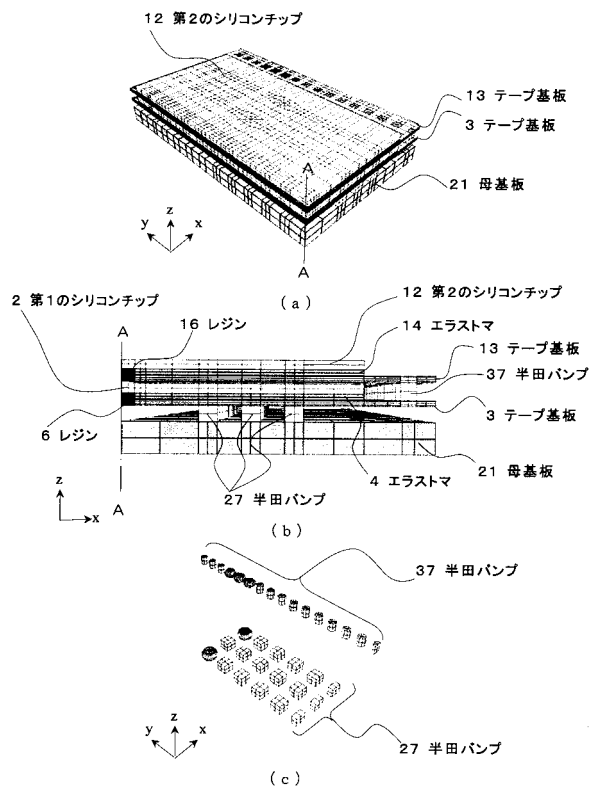
50

- 2 第1のシリコンチップ
- 3、13 テープ基板
- 4、14 エラストマ
- 5、15 リード
- 6、16 レジン
- 7、17 半田ボール
- 8 第1の半導体装置
- 12 第2のシリコンチップ
- 18 第2の半導体装置
- 21 母基板
- 27、37 半田バンプ

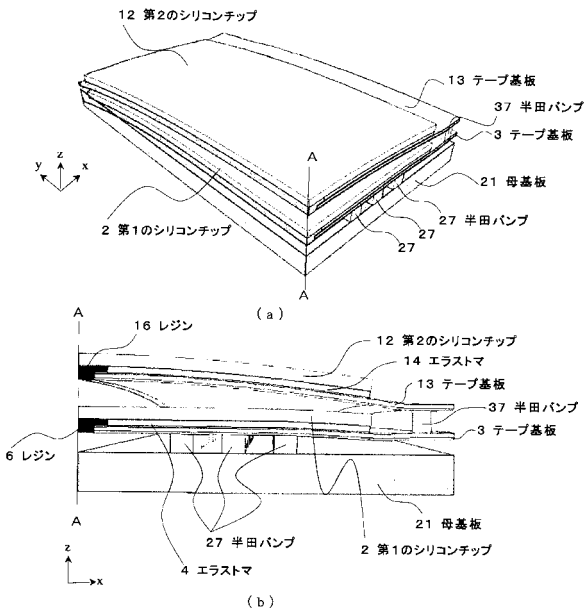
【図1】



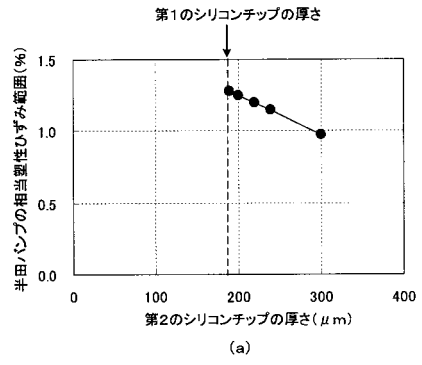
【図2】



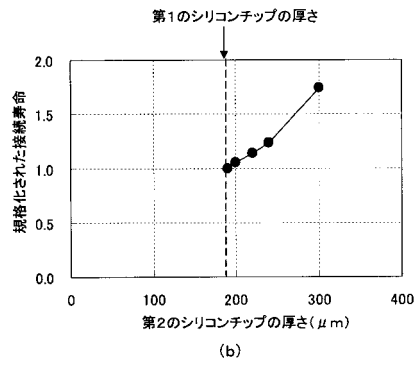
【図3】



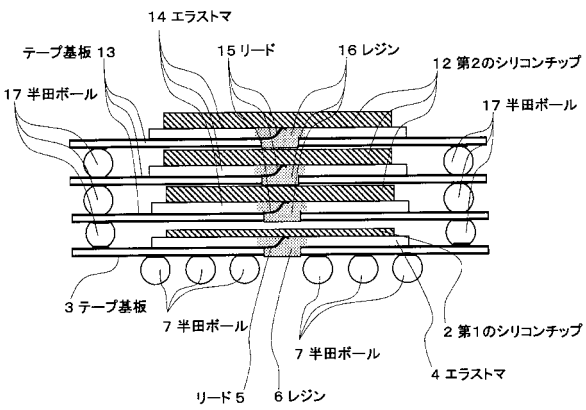
【図4】



【図5】



【図6】



フロントページの続き

- (72)発明者 片桐 光昭
東京都中央区八重洲2-2-1 エルピーダメモリ株式会社内
- (72)発明者 谷江 尚史
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
- (72)発明者 栢森 淳
東京都中央区八重洲2-2-1 エルピーダメモリ株式会社内
- (72)発明者 佐々木 大
東京都中央区八重洲2-2-1 エルピーダメモリ株式会社内
- (72)発明者 守谷 浩志
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

審査官 越本 秀幸

- (56)参考文献 特開2004-273938(JP,A)
特開2007-335907(JP,A)
特開2001-273755(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/10
H01L 25/11
H01L 25/18
H01L 25/065
H01L 25/07