

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009年10月1日(01.10.2009)



(10) 国際公開番号
WO 2009/118917 A1

- (51) 国際特許分類:
G06F 12/02 (2006.01) G06F 12/16 (2006.01)
G06F 12/00 (2006.01)
- (21) 国際出願番号: PCT/JP2008/058888
- (22) 国際出願日: 2008年5月7日(07.05.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-079774 2008年3月26日(26.03.2008) JP
- (71) 出願人 および
(72) 発明者: 鈴木 眞澄(SUZUKI, Masumi) [JP/JP]; 〒4810004 愛知県北名古屋市鹿田花の木30番地1 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR,

CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

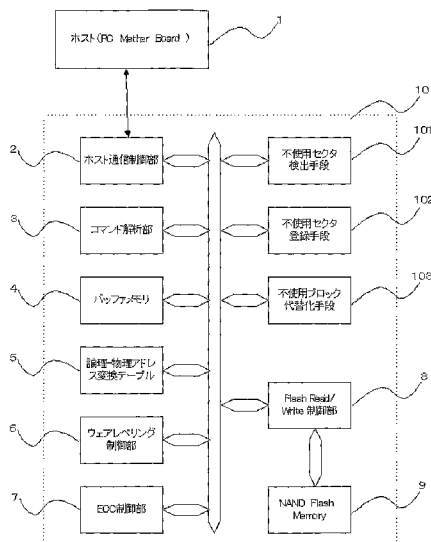
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: STORAGE DEVICE USING FLASH MEMORY

(54) 発明の名称: フラッシュメモリを用いた記憶装置

図 4



- 1 HOST (PC Mother Board)
2 HOST COMMUNICATION CONTROL UNIT
3 COMMAND ANALYZING UNIT
4 BUFFER MEMORY
5 LOGICAL-PHYSICAL ADDRESS CONVERSION TABLE
6 WEAR LEVELING CONTROL UNIT
7 ECC CONTROL UNIT
8 FLASH READ/WRITE CONTROL UNIT
101 MEANS FOR DETECTING SECTOR NOT USED
102 MEANS FOR REGISTERING SECTOR NOT USED
103 MEANS FOR SUBSTITUTING SECTOR NOT USED

(57) Abstract: Provided is a system whose effective endurable number of rewrite times can be drastically improved in a storage device using a flash memory whose rewrite life is restricted. The logical address (LBA) of a sector in which data which is not used as a file system is accumulated is detected. Mapping information on a physical address (PBA) corresponding to the logical address is released. A block in which the mapping information on every logical address and physical address is released out of blocks of the flash memory is deleted and used as an alternative block for wear leveling.

(57) 要約: 書き換え寿命の制限があるフラッシュメモリを使用した記憶装置において、システムの書き換え回数の実効的な寿命を大幅に改善することが可能なシステムを提供する。ファイルシステムとしては使用されていないデータが蓄積されているセクタの論理アドレス(LBA)を検出し、該論理アドレスに対応する物理アドレス(PBA)のマッピング情報を解除し、フラッシュメモリの各ブロックにおいて、全ての論理アドレスと物理アドレスのマッピング情報が解除されたブロックは、消去を行いウェアレベリング用代替ブロックとして使用する。

WO 2009/118917 A1

1

明細書

フラッシュメモリを用いた記憶装置

技術分野

本発明は、不揮発性半導体であるフラッシュメモリを記憶媒体とした記憶装置及びそれを搭載する情報機器に関するものである。

背景技術

情報機器の記憶装置としてはハードディスク（以下HDDという）が最も一般的である。HDDでは書き込むファイルをセクタと呼ぶ記憶単位に分割し、記憶媒体の物理的な位置に対応させて記憶する。すなわちあるファイルの書き換えにおいては基本的に同一位置に書き込みが行われる。

HDDでは、ホストから指示されたセクタが磁気情報を読み取るヘッドが現在位置から離れている場合には、該当記憶エリアまでヘッドを移動させなければいけない（以下シークという）ので、このような場合にはリード／ライトのパフォーマンスが悪くなる。また、ヘッドの移動や磁気ディスクの回転という機械的機構を必要とするので装置の信頼性が劣るという欠点がある。

これに対し半導体メモリ特に電氣的に書き換えが可能な不揮発性メモリであるフラッシュメモリ特にNAND型フラッシュメモリを用いた記憶装置が近年脚光を浴びている。記憶媒体として半導体を使用しているので、機械的機構がなく信頼性に優れており、また、HDDのようにヘッドの移動という行ないがないため、リード／ライトにおけるパフォーマンスの劣化が起き難いという特徴がある。

しかし、NAND型フラッシュメモリはブロックと呼ばれる単位で消去を行うが、このブロックにおいては消去書き込み回数の制限が存在し、通常各ブロックあたり1万回～10万回の消去書き込み回数しか保証されていない。そのためNAND型フラッシュメモリを用いた記憶装置を構築する場合、特定の物理ブロックに書き込みが集中しないような制御（一般に、ウェアレベリング制御とか分散化処理と呼ばれている。）を行っている

このウェアレベリング制御の手法の一つとして、NAND型フラッシュメモリ内にホストから指示されたデータを記憶しておくために使用する領域であるユーザ領域とウェアレベリング用に消去済みブロックとして確保されている代替領域とを用意しておき、ホストから書き換えを行わない物理アドレスのブロックは、そのまま放置しておき、書き換えを行う物理アドレスのブロックのみを書き換えを行う際に代替領域のブロックと交換することにより、ウェアレベリング制御を行うようにした制御がある。

このようなウェアレベリング制御を用いた技術が下記文献1～4にも開示されている。

文献1 日本国特許出願 特開2005-209184

2

文献2 日本国特許出願 特開2007-280329

文献3 日本国特許出願 特開2007-293726

文献4 日本国特許出願 特開2007-323159

このようなウェアレベリング制御を用いた従来技術の概要を図1から図3に示す。

図1は、全体構成図である。

記憶装置10は、ホスト通信部2、コマンド解析部3、バッファメモリ4、論理—物理アドレス変換部5、ウェアレベリング制御部6、ECC制御部7、Flash Read/Write制御部8、NAND Flash Memory9からなる。

ホスト通信部2は、ホスト1との通信を行い、一般にIDEifと呼ばれる仕様を有する。コマンド解析部3は、ホストから指令されたコマンドを解析し、その実行を制御する部分である。

バッファメモリ4は、ホストから送られたデータやホストへ送るデータを一時的に保持しておくための部分である。

論理—物理アドレス変換部5は、ホストからコマンドと共に指示される論理アドレスとNAND Flash Memory9の物理アドレスとの対応関係を示すMAPテーブルを有している。

ウェアレベリング制御部8は、ホスト1からライト命令が来た場合に、どの物理アドレスを割り当てるかを定める機能を有している。

ECC制御部7は、エラー訂正制御を行うものであり、NAND Flash Memory9にデータを書き込んだり、読み出したりする際に、ECCデータの計算を行い、ビットエラーが生じている場合に訂正可能な場合にはエラー訂正を行う機能を有している。

図2は、NAND Flash Memoryの記憶エリアを明示的に図示したものである。

ユーザデータ領域は、ホストから指示されたデータを記憶しておくブロック郡からなる。

不良ブロック領域は、NAND Flash の先天的若しくは後天的に発生した不良ブロック郡である。

コントローラ管理用領域は、NAND Flash Memoryを制御するコントローラが管理用にしようするための各種の情報を記憶しておく領域である。

ウェアレベリング用代替領域は、ホストからデータの書き込み指示がされた場合に既存のユーザデータ領域のブロックと交換され、ホストから指示されたデータを新たに記憶するために使用されるブロック郡である。

ホスト1から記憶装置10のデータをリードする場合は、ホスト通信部2がその指示を受け、

コマンド解析部3がリード命令であることを解析し、論理—物理アドレス変換テーブルに従い、指示された論理アドレスセクタに対応する物理アドレスに変換する。コマンド解析部3は次にFlash Read/Write 制御6を通じて、NAND Flash Memoryからデータをバッファメモリ4へ読み出し、ECC制御部7にてビットエラーが生じていないかどうかを確認する。

ビットエラーが生じていない若しくは訂正可能な範囲であればビットエラーを訂正し、ホスト通信部2を通じてホストへデータを送ることで指示を完了する。

3

ホスト1から記憶装置10へデータをライトする場合は、ホスト通信部2がその指示を受け、コマンド解析部3がライト命令であることを解析し、ホストから受け取った書き込むデータをバッファメモリ4へ一旦書き込む。

論理-物理アドレス変換テーブルに従い、指示された論理アドレスセクタに対応する物理アドレスを算出する。

ウェアレベリング制御部6は、上記既存の物理アドレスに代わり上記論理アドレスに新たに対応する物理ブロックのアドレスをウェアレベリング用代替領域の中のブロック郡から選定する。

次にコマンド解析部3は、Flash Read/Write 制御部8を通じて、既存の物理アドレスの書き換えを行わないデータ部分を新たなブロックに対して、データコピーを行い、書き換えを行うデータ部分をバッファメモリ4からコピーする。

なお、この際にECC制御部7により所定のECC演算が行われその結果も記憶される。

最後に上記既存のデータの記憶された物理ブロックは消去され、ウェアレベリング用代替領域のブロック郡として再利用される。

図3は、上述の書き換え前と書き換え後のNAND Flash Memoryの物理ブロックの状態を示したものである。図の左側の状態が書き換え前の状態であり、セクタ0を書き換えた場合、新たに物理ブロック1が選択され、セクタ0のデータ及び物理ブロック0中の書き帰られないデータであるセクタ1～セクタ255のデータが物理ブロック1に書き込まれ、その後物理ブロック0は消去される。

発明の開示

発明が解決しようとする課題

しかし、上記制御のウェアレベリング用代替領域の物理ブロック数は、フラッシュメモリの発生しうる不良ブロックを代替できる程度の数、つまりフラッシュメモリの初期出荷時に発生しうる最大不良ブロック数（約2%）と書き換え寿命を保証するために発生しうる最大不良ブロック数（約2%）とを足した約4%程度のブロック数であることがほとんどである。そのため、ホストから特定の論理アドレスへの書き込みが集中した場合には、この4%程度の代替領域の物理ブロック間でしかウェアレベリングが行われなため、装置寿命が早く来ってしまうという課題がある。

本発明の目的は、ファイルシステム管理上使用していなユーザ領域の物理ブロックをウェアレベリング用代替領域として使用することにより、ウェアレベリング用代替領域のブロック数を実質的に増加させ、特定の論理アドレスへの書き込みが集中した場合にも、システムの書き換え回数の実効的な寿命を大幅に改善することが可能な記憶装置を提供することにある。

課題を解決するための手段

4

本発明は、ホストシステムからファイルシステムを用いて記憶データの管理をされている記憶装置において、

ファイルシステム管理上利用されていないデータが記憶されているフラッシュメモリの物理ブロックを消去状態にして、論理アドレスと物理アドレスとの対応関係を解除し、当該ブロックをウェアレベリング用に使用することを特徴とする。

具体的には、一の発明として、ブロック単位での書き換えに書き換え回数に寿命の存在するフラッシュメモリを使用した記憶装置であって、

フラッシュメモリ内にホストシステムから指示されたデータを記憶しておくためのユーザ領域と

各ブロックは消去済み状態であり、各ブロックの書き換え回数を平均化するために使用されるブロックの集まりである代替領域と、

ユーザ領域におけるホストシステムから与えられる論理アドレスとフラッシュメモリ内の物理アドレスとの対応関係を管理するアドレス変換テーブルと、

ホストシステムからユーザ領域のデータ書き換え命令に対して、当該データに該当する物理ブロックと代替領域中の物理ブロックとを交換するように上記アドレス管理手段に指示するウェアレベリング制御部とを有した記憶装置において、

ユーザ領域中のファイルシステム上は使用されていないデータが記憶されているセクタ領域を検出する不使用セクタ検出手段と、

その情報をアドレス管理手段に指示し当該論理セクタアドレスと物理セクタアドレスとの対応関係を解除するように指示する不使用セクタ検出手段と、

不使用セクタ検出手段から通知された情報に基づき、論理セクタアドレスと物理セクタアドレスとの対応関係を解除する不使用セクタ登録手段と、

フラッシュメモリの消去単位である物理ブロック中の、全ての論理セクタアドレスと物理セクタアドレスとの対応関係が解除された物理ブロックを消去し代替領域のブロックとして使用可能化する不使用ブロック代替化手段とを有することを特徴とする記憶装置である。また、別の発明としては、フラッシュメモリを使用した記憶装置とそのホストシステムからなる情報装置であって、

ファイルシステムを用いて該記憶装置の記憶データの管理をしている情報装置において、

ファイルシステム管理上利用されていないデータが記憶されている論理セクタを記憶装置に通知する不使用セクタ検出通知手段をホストシステムに有し、かつ、

不使用セクタ通知手段を有するホストシステムから通知された情報に基づき、論理セクタアドレスと物理セクタアドレスとの対応関係を解除する不使用セクタ登録手段と、

フラッシュメモリの消去単位である物理ブロック中の、全ての論理セクタアドレスと物理セクタアドレスとの対応関係が解除された物理ブロックを消去し代替領域のブロックとして使用可能化するブロック代替化手段を有した記憶装置を有することを特徴とする情報装置である。

発明の効果

以上述べたように本発明によれば、初期のウェアレベリング用代替領域を従来例のような全領域の4%程度しかない場合であっても、ファイルシステムが使用していない物理ブロックをウェアレベリング用代替領域化していくので、初期の4%よりも大きくとることができ、ウェアレベリングをより有効に行うことができるので、装置寿命を伸ばすことが可能である。

また、別の効果として、以下の効果もある。

ファイルシステム上にてファイルを削除した場合、通常上記で述べたクラスタのチェーン情報のみを消去するのみであって、実体のデータ部分を消去していないため、従来では、専用のプログラムなどを使用すると消去したはずのファイルを復活することが可能であったため、廃棄パソコンからのデータ復旧による情報漏洩などの問題があった。

そのため、ファイルの実体データを完全に消去するには、別途専用のプログラムを実行して消去を行う必要があった。

本発明によれば、ファイルシステム上からファイルを消去することすなわちクラスタのチェーン情報を消去するのみでも、ファイルの実体データが記憶されている物理ブロックは使用されていない物理ブロックとなり消去されるので、専用のプログラムを実行しなくてもファイルの実体データまで消去できるという効果もある。

図面の簡単な説明

図1は、従来例を示した図である。

図2は、NAND Flash Memory への記憶状態を示す概略図である。

図3は、NAND Flash Memory への物理ブロックでの記憶状態を示す図である。

図4は、本発明の一実施例を示した図である。

図5は、FATファイルシステムの概略を説明した図である。

図6は、FATファイルシステムのMBPを説明した図である。

図7は、FATファイルシステムのBPBを説明した図である。

図8は、FATファイルシステムのFAT Tableを説明した図である。

図9は、FATファイルシステムのディレクトリ情報を説明した図である。

図10は、本発明を実施した場合のNAND Flash Memory への物理ブロックでの記憶状態を示す図である。

図11は、本発明の別の実施例を示した図である。

図12は、本発明の別の実施例を示した図である。

図13は、本発明の別の実施例を示した図である。

符号の説明

- 1 ホスト
- 2 ホスト通信制御部
- 3 コマンド解析部
- 4 バッファメモリ
- 5 論理－物理アドレス変換テーブル
- 6 ウェアレベリング制御部
- 7 ECC制御部
- 8 Flash Read／Write 制御部
- 9 NAND Flash Memory
- 10 記憶装置
- 101 不使用セクタ検出手段
- 102 不使用セクタ登録手段
- 103 不使用ブロック代替化手段
- 104 不使用セクタデータ通知手段
- 105 不使用セクタ検出手段

発明を実施するための最良の形態

以下、本発明の実施形態を図面に関連付けて説明する。

実施例 1

図 4 は本発明の記憶装置の一実施例の構成図である。

ホスト 1 及び記憶装置 10 内の不使用セクタ検出手段 101、不使用セクタ登録手段 102、不使用ブロック代替化手段 103 以外は、従来例図 1 で示したものと同一である。

また、ホスト 1 からのリード／ライト時の動作も従来例で示したものと同一である。

不使用セクタ検出手段 101 は、NAND Flash Memory 9 におけるユーザデータ領域内の実質使用されていないセクタを検出するものである。

不使用セクタ登録手段 102 は、不使用セクタ検出手段 101 により検出された不使用セクタの情報を保持しておくものである。

不使用ブロック代替化手段 103 は、不使用セクタ登録手段 102 に保持された情報から NAND Flash Memory 9 の該当物理ブロックの全領域が該当している場合に、その物理ブロックを消去し、ウェアレベリング用代替ブロックとして使用可能な状態にする機能を有する。

次に、ホスト 1 のオペレーティングシステム（以下 OS と言う。）にての管理方法について説明するとともに、不使用セクタ検出手段 101 が不使用セクタを検出する方法について説明する。

図 5 は、記憶装置の管理によく使用されるフォーマット形式である FAT フォーマットを

行った場合の論理アドレスとその内容の関係を示した図である。

ここでLBAは論理アドレスのことであり、LBA 0 から開始される。

図 6 は、このLBA 0 であるMBRの詳細を示した図である。

アドレス 1 BDh から 1 6 BYTE ごとに各パーティションの情報が記載される。

この 1 6 BYTE 中のオフセット 0 4 h にフォーマット形式に関する情報が、オフセット 0 8 h に各パーティションの開始位置であるBPBのアドレス情報が記憶される。

図 7 は、パーティションの開始セクタであるBPBの詳細を示した図である。

0 Dh バイト目にOSが管理する単位であるクラスタのサイズの情報が、また、FATテーブルのサイズや個数、ルートディレクトリのサイズ情報が記憶されている。

図 8 はFATテーブルの最初のセクタの詳細を示した図である。

周知のように、FATテーブルは、クラスタのチェーン情報のみからなる。

図 9 はディレクトリ情報の詳細を示した図である。

ディレクトリ情報は、3 2 バイトからなり、オフセット 1 Ah に実体データが記憶されているスタートクラスタの情報が記憶されている。

以上のように、上記各情報を解析すれば、使用されていないクラスタすなわち使用されていない論理アドレスセクタ (LBA) が分かるので、不使用セクタ検出手段 1 0 1 は、使用されていないLBAを検出することができる。

図 1 0 は、上記のようにして不使用セクタを検出した場合のNAND Flash Memoryの物理ブロックの状態を示した図である。

図中左側の図は、本発明を実施する前の状態である。

上記にて示したように、本例では、最初のクラスタであるクラスタ 0 x 0 0 0 2 はLBA 5 9 9 から始まり、クラスタサイズは 0 x 2 0 (3 2 セクタ) である。

図 8 のFATテーブルで示されているように、本例では、クラスタ 0 x 0 0 1 C (2 8) までデータが記憶され、それ以外のクラスタにはデータがない状態となっている。

ここで、クラスタ 0 x 0 0 1 C (2 8) はLBA ~LBA 1 4 6 2 となる。

本発明を実施すると図中の右側のように、使用していない論理セクタのみからなる物理ブロックは消去済み状態となり、消去済み物理ブロックは格段に増える。

実施例 2

図 1 1 は、別の実施例を示したものである。

不使用セクタデータ通知手段 1 0 4 以外は、上述の実施例と同じである。

不使用セクタ検出手段 1 0 1 で検出され、論理セクタアドレスと物理セクタアドレスとの対応関係が解除された論理セクタに対してホスト 1 がリード命令を発行する場合も想定されるが、不使用セクタデータ通知手段 1 0 4 は、このような物理セクタアドレスが解除された論理セクタアドレスに対してリード命令が発行された場合に、ダミーデータ (例えば全て FFh のデータ) を返すようにする機能を有する。

このようにすれば、物理セクタアドレスとの対応がとられている／いないに関係なく、全

論理セクタ中のどの論理セクタに対してリード命令が発行されてもデータをホストに返すことができる。

実施例 3

図 1 2 は、さらに別の実施例を示したものである。

本実施例では、ホスト 1 が不使用セクタ検出通知手段 1 0 5 を有し、記憶装置 1 0 は上述した不使用セクタ検出手段 1 0 1 を有していない。

不使用セクタ検出通知手段 1 0 5 が検出する不使用セクタは、上述と同じ方法で検出し、検出した不使用セクタ情報を記憶装置 1 0 に通知する。

記憶装置 1 0 は、ホスト 1 から不使用セクタ情報を受け取り、その後上述したのと同様に不使用セクタ登録手段 1 0 2 にて、不使用セクタ情報を保持し、不使用ブロック代替化手段 1 0 3 において、その情報から NAND Flash Memory 9 の該当物理ブロックの全領域が該当している場合に、その物理ブロックを消去し、ウェアレベリング用代替ブロックとして使用可能な状態にする。

このようにホスト 1 と記憶装置 1 0 とで機能を分担することにより、記憶装置 1 0 の負担を軽くしたり、種々のファイルシステムに容易に対応することが可能となる。

実施例 4

図 1 3 は、さらに別の実施例を示したものである。

不使用セクタデータ通知手段 1 0 4 以外は、図 1 2 で説明したものと同一である。

不使用セクタデータ通知手段 1 0 4 は、図 1 1 で説明したように、論理セクタアドレスと物理セクタアドレスとの対応関係が解除された論理セクタに対してホスト 1 がリード命令を発行する場合も想定されるが、不使用セクタデータ通知手段 1 0 4 は、このような物理セクタアドレスが解除された論理セクタアドレスに対してリード命令が発行された場合に、ダミーデータ（例えば全て FFh のデータ）を返すようにする機能を有する。

このようにすれば、物理セクタアドレスとの対応がとられている／いないに関係なく、全論理セクタ中のどの論理セクタに対してリード命令が発行されてもデータをホストに返すことができる。

産業上の利用可能性

コンピュータ関連産業において利用できるものである。

請求の範囲

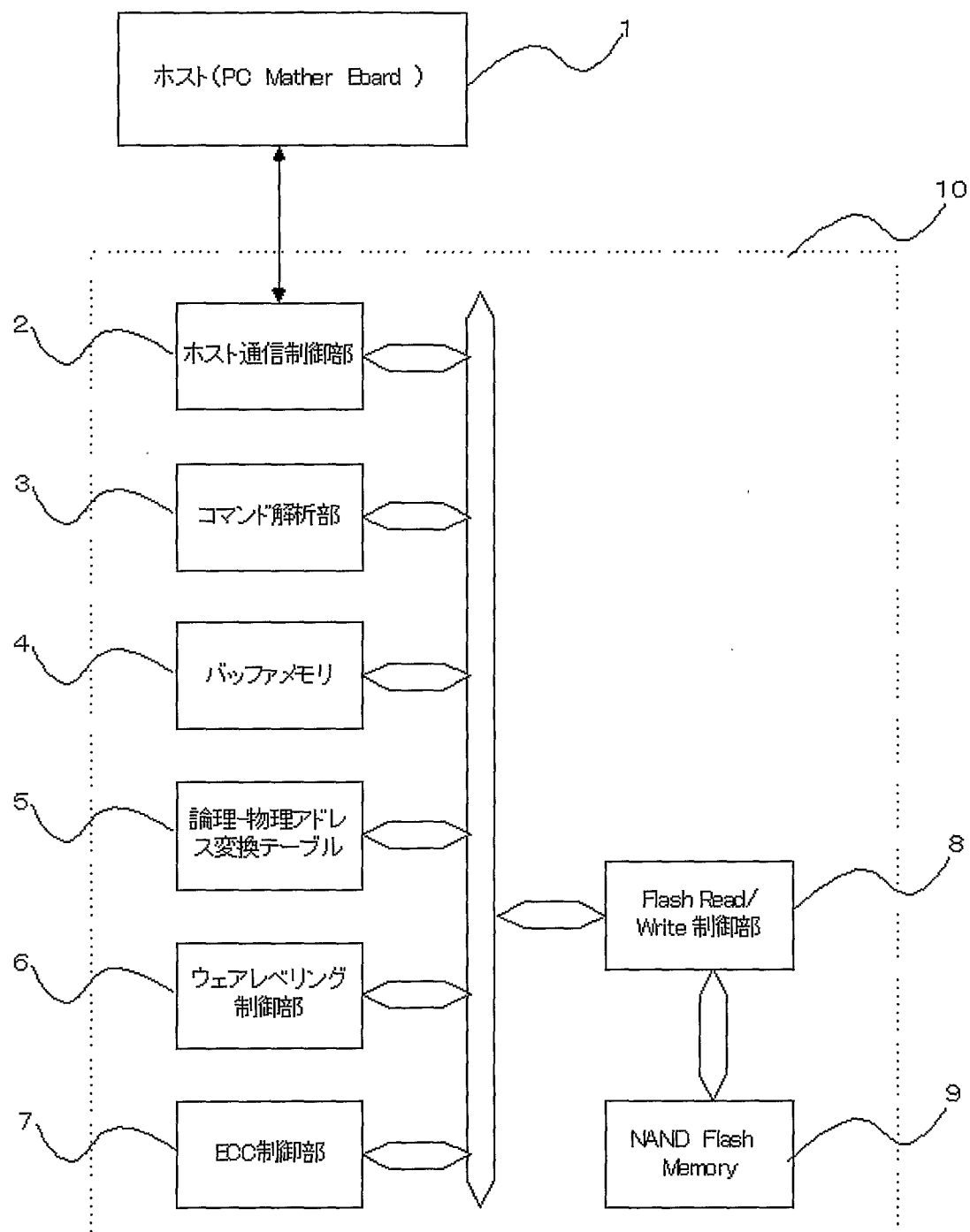
1. フラッシュメモリを使用した記憶装置であって、ホストシステムからファイルシステムを用いて記憶データの管理をされている記憶装置において、ファイルシステム管理上利用されていないデータが記憶されているフラッシュメモリの物理ブロックを消去状態にして、論理アドレスと物理アドレスとの対応関係を解除し、当該ブロックをウェアレベリング用に使用することを特徴とする記憶装置。
2. ブロック単位での書き換えに書き換え回数に寿命の存在するフラッシュメモリを使用した記憶装置であって、フラッシュメモリ内にホストシステムから指示されたデータを記憶しておくためのユーザ領域と各ブロックは消去済み状態であり、各ブロックの書き換え回数を平均化するために使用されるブロックの集まりである代替領域と、ユーザ領域におけるホストシステムから与えられる論理アドレスとフラッシュメモリ内の物理アドレスとの対応関係を管理するアドレス変換テーブルと、ホストシステムからユーザ領域のデータ書き換え命令に対して、当該データに該当する物理ブロックと代替領域中の物理ブロックとを交換するように上記アドレス管理手段に指示するウェアレベリング制御部とを有した記憶装置において、ユーザ領域中のファイルシステム上は使用されていないデータが記憶されているセクタ領域を検出する不使用セクタ検出手段と、その情報をアドレス管理手段に指示し当該論理セクタアドレスと物理セクタアドレスとの対応関係を解除するように指示する不使用セクタ検出手段と、不使用セクタ検出手段から通知された情報に基づき、論理セクタアドレスと物理セクタアドレスとの対応関係を解除する不使用セクタ登録手段と、フラッシュメモリの消去単位である物理ブロック中の、全ての論理セクタアドレスと物理セクタアドレスとの対応関係が解除された物理ブロックを消去し代替領域のブロックとして使用可能化する不使用ブロック代替化手段とを有する記憶装置。
3. 請求項1又は請求項2記載の記憶装置において更に、論理セクタアドレスと物理セクタアドレスとの対応関係を解除された論理セクタアドレスに対してホストシステムからリード命令が指示された場合には、特定のデータをホストシステムに返す不使用セクタデータ通知手段を有することを特徴とする請求項1又は請求項2記載の記憶装置。

10.

4. フラッシュメモリを使用した記憶装置とそのホストシステムからなる情報装置であつて、ファイルシステムを用いて該記憶装置の記憶データの管理をしている情報装置において、ファイルシステム管理上利用されていないデータが記憶されている論理セクタを記憶装置に通知する不使用セクタ検出通知手段をホストシステムに有し、かつ、不使用セクタ通知手段を有するホストシステムから通知された情報に基づき、論理セクタアドレスと物理セクタアドレスとの対応関係を解除する不使用セクタ登録手段と、フラッシュメモリの消去単位である物理ブロック中の、全ての論理セクタアドレスと物理セクタアドレスとの対応関係が解除された物理ブロックを消去し代替領域のブロックとして使用可能化するブロック代替化手段を有した記憶装置を有することを特徴とする情報装置。
5. 請求項4に記載の記憶装置において更に、論理セクタアドレスと物理セクタアドレスとの対応関係を解除された論理セクタアドレスに対してホストシステムからリード命令が指示された場合には、特定のデータをホストシステムに返す不使用セクタデータ通知手段を記憶装置に有することを特徴とする請求項4記載の情報装置。

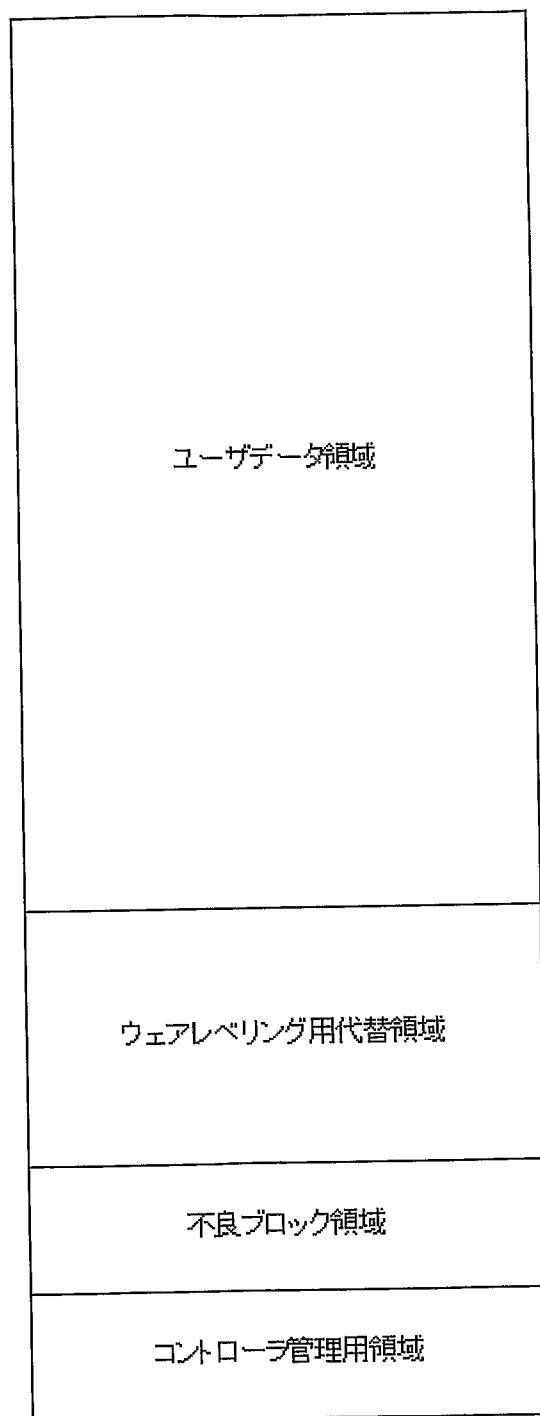
1 / 13

図 1



2 / 13

図 2



3 / 13

図 3

書き換え前の状態		書き換え後の状態	
ブロック0	Secter0～Secter255	ブロック0	消去済みブロック
ブロック1	消去済みブロック	ブロック1	Secter0～Secter255
ブロック2	Secter256～Secter511	ブロック2	Secter256～Secter511
ブロック3	Secter512～Secter767	ブロック3	Secter512～Secter767
ブロック4	不良ブロック	ブロック4	不良ブロック
ブロック5	Secter768～Secter1023	ブロック5	Secter768～Secter1023
ブロック6	Secter1024～Secter1279	ブロック6	Secter1024～Secter1279
ブロック7	Secter1280～Secter1535	ブロック7	Secter1280～Secter1535
ブロック8	Secter1536～Secter1791	ブロック8	Secter1536～Secter1791
ブロック9	消去済みブロック	ブロック9	消去済みブロック
ブロック10	消去済みブロック	ブロック10	消去済みブロック
ブロック11	Secter1792～Secter2047	ブロック11	Secter1792～Secter2047
ブロック12	Secter2047～Secter2303	ブロック12	Secter2047～Secter2303
ブロック13	Secter2304～Secter2560	ブロック13	Secter2304～Secter2560
	⋮		⋮
ブロック1018	Secter249856～Secter250111	ブロック1018	Secter249856～Secter250111
ブロック1019	Secter250112～Secter250367	ブロック1019	Secter250112～Secter250367
ブロック1020	Secter250368～Secter250623	ブロック1020	Secter250368～Secter250623
ブロック1021	Secter250624～Secter250879	ブロック1021	Secter250624～Secter250879
ブロック1022	消去済みブロック	ブロック1022	消去済みブロック
ブロック1023	コントローラ管理用データ	ブロック1023	コントローラ管理用データ

4 / 13

図 4

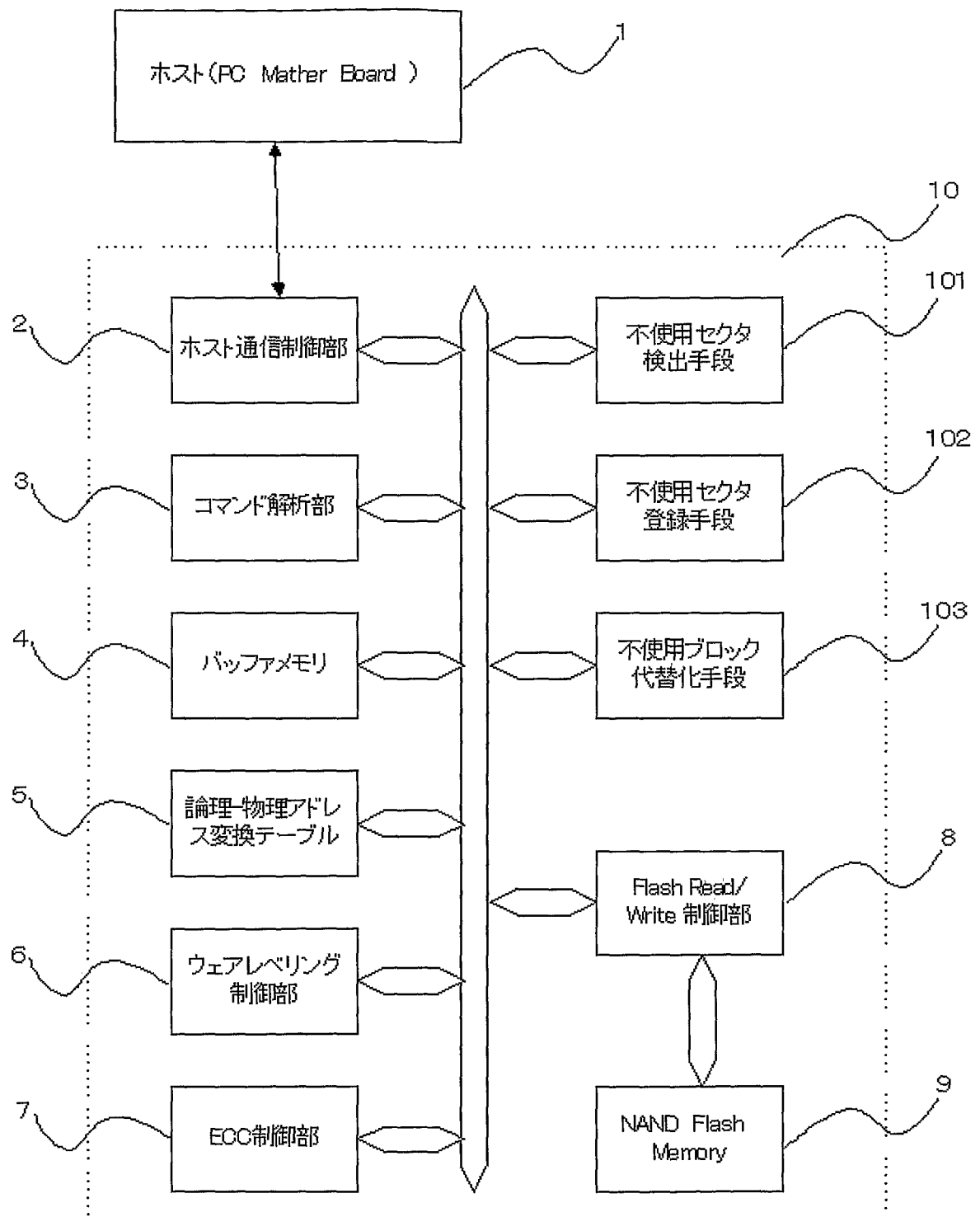


図 5

LBA 0	MBR(Master Boot Recode)
LBA 1	不可視セクタエリア
LBA 62	
LBA 63	BPB (BIOS Parameter Block)
LBA 64	予約セクタエリア
LBA 65	FATテーブル1
LBA 315	
LBA 316	FATテーブル2
LBA 566	
LBA 567	ルートディレクトリ情報エリア
LBA 598	
LBA 599	データエリア

図 6

Sector(0)	
000000000	33 C0 8E D0 BC 00 7C FB - 50 07 50 1F FC BE 1B 7C
~	
000000180	00 00 00 8B FC 1E 57 8B - F5 CB 00 00 00 00 00 00
000000190	00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 00 00
0000001A0	00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 00 00
0000001B0	00 00 00 00 00 00 00 00 - 1D 61 C9 7B 00 00 80 01
0000001C0	01 00 06 1F FF F8 3F 00 - 00 00 A1 48 1F 00 00 00
0000001D0	00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 00 00
0000001E0	00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 00 00
0000001F0	00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 55 AA
partitionTable 仕様 (抜粋)	
Offset: 00h, Size: 1(byte) - bootDescriptor	
Offset: 01h, Size: 3(byte) - firstPartitionSector	
Offset: 04h, Size: 1(byte) - fileSystemDescriptor	
01h: FAT12,	
04h: FAT16 (less than 32MB),	
05h: 拡張 DOS パーティション,	
06h: FAT16 (more 32MB),	
07h: NTFS	
0Bh: FAT32 (more 2GB),	
0Ch: FAT32 Int32h 拡張,	
0Eh: FAT16 Int32h 拡張,	
0Fh: 拡張 DOS パーティションの Int32h 拡張	
Offset: 05h, Size: 3(byte) - lastPartitionSector	
Offset: 08h, Size: 4(byte) - firstSectorNumbers	
Offset: 0Ch, Size: 4(byte) - numberOfSectors	

図 7

Sector(63)	
000007E00	EB 3C 90 4D 53 44 4F 53 - 35 2E 30 00 02 20 02 00
000007E10	02 00 02 00 00 F8 FB 00 - 3F 00 20 00 3F 00 00 00
000007E20	A1 48 1F 00 80 00 29 06 - 44 A9 F8 4E 4F 20 4E 41
000007E30	4D 45 20 20 20 20 46 41 - 54 31 36 20 20 20 33 C9
000007E40	8E D1 BC F0 7B 8E D9 B8 - 00 20 8E C0 FC BD 00 7C
000007E50	38 4E 24 7D 24 8B C1 99 - E8 3C 01 72 1C 83 EB 3A
000007E60	66 A1 1C 7C 26 66 3B 07 - 26 8A 57 FC 75 06 80 CA
000007E70	02 88 56 02 80 C3 10 73 - EB 33 C9 8A 46 10 98 F7
～	
000007FF0	72 74 0D 0A 00 00 00 00 - 00 00 00 AC CB D8 55 AA
BPB パラメータ仕様 (抜粋)	
Offset: 0Bh, Size: 2(byte) - 論理ドライブの1セクタあたりのバイト数	
Offset: 0Dh, Size: 1(byte) - 1クラスタあたりのセクタ数	
Offset: 0Eh, Size: 2(byte) - 予約セクタ数	
Offset: 10h, Size: 1(byte) - FAT の数	
Offset: 11h, Size: 2(byte) - ルートディレクトリエントリの最大数	
Offset: 16h, Size: 2(byte) - FAT のセクタ数	
Offset: 1Ch, Size: 4(byte) - 不可視セクタ数	

图 8

Sector(65)															
000027800	F8	FF	FF	FF	03	00	04	00	-	05	00	06	00	07	00
000027810	09	00	0A	00	0B	00	0C	00	-	0D	00	0E	00	0F	00
000027820	11	00	12	00	13	00	14	00	-	15	00	16	00	17	00
000027830	19	00	1A	00	1B	00	1C	00	-	FF	FF	00	00	00	00
000027840	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027850	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027860	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027870	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027880	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027890	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
0000278A0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
0000278B0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
0000278C0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
0000278D0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
0000278E0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
0000278F0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027900	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027910	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027920	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027930	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027940	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027950	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027960	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027970	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027980	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
000027990	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
0000279A0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
0000279B0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
0000279C0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
0000279D0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00
0000279E0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00

図 9

Sector(567)

000046E00	58	20	20	20	20	20	20	20	-	42	20	20	20	10	86	9A	52
000046E10	3A	38	3A	38	00	00	24	64	-	2B	38	02	00	F6	8A	06	00
000046E20	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046E30	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046E40	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046E50	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046E60	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046E70	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046E80	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046E90	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046EA0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046EB0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046EC0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046ED0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046EE0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046EF0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046F00	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046F10	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046F20	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046F30	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046F40	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046F50	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046F60	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046F70	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046F80	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046F90	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046FA0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046FB0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046FC0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046FD0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00
000046FE0	00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00

ディレクトリー情報/パラメータ仕様 (抜粋)

Offset: 00h, Size: 8(byte) - ファイル名

Offset: 08h, Size: 3(byte) - 拡張子

Offset: 0Eh, Size: 1(byte) - 属性

Offset: 1Ah, Size: 2(byte) - スタートクラスタ

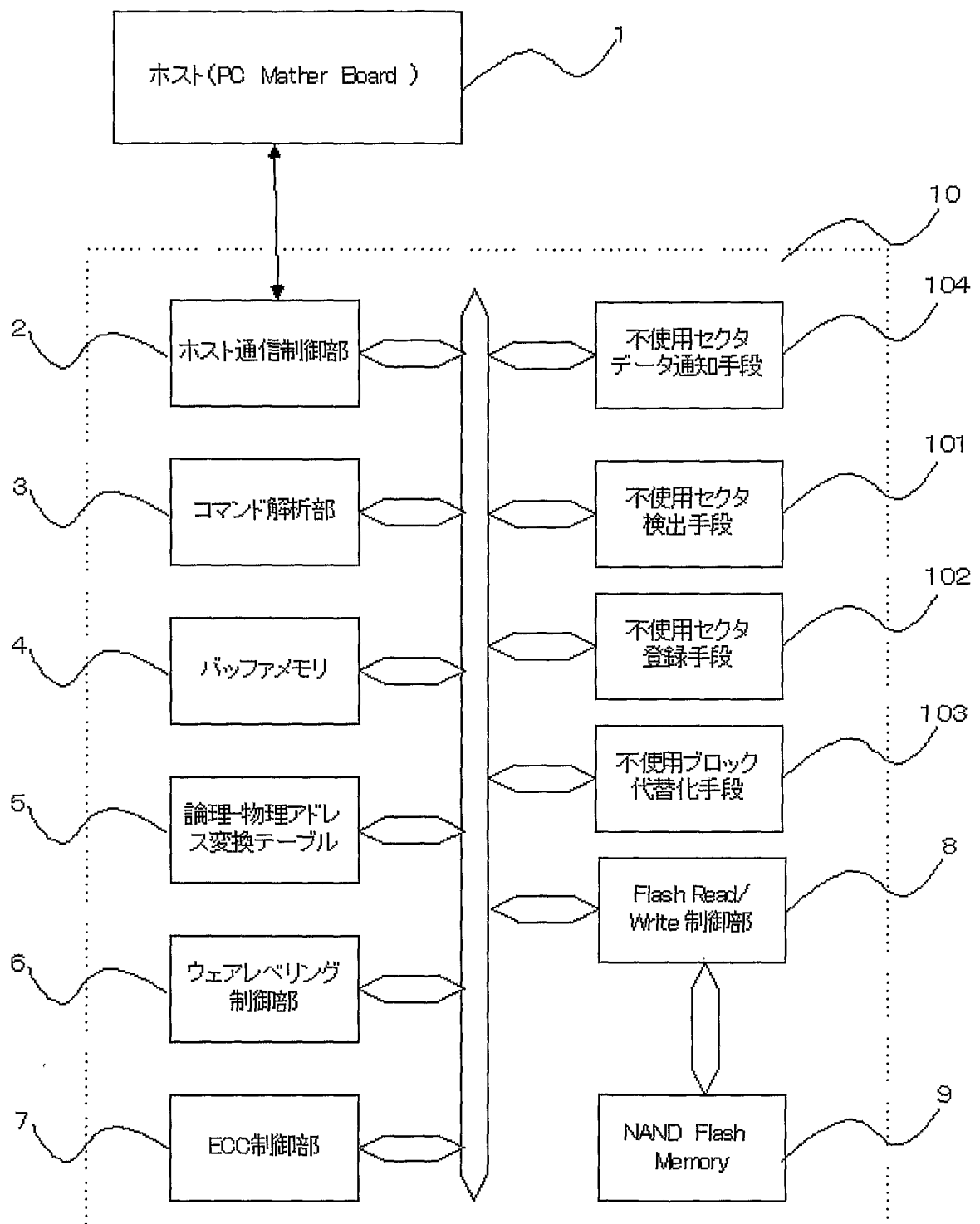
10/13

図10

本発明実施前の状態		本発明実施後の状態	
ブロック0	Sector0~Sector255	ブロック0	Sector0~Sector255
ブロック1	消去済みブロック	ブロック1	消去済みブロック
ブロック2	Sector256~Sector511	ブロック2	Sector256~Sector511
ブロック3	Sector512~Sector767	ブロック3	Sector512~Sector767
ブロック4	不良ブロック	ブロック4	不良ブロック
ブロック5	Sector768~Sector1023	ブロック5	Sector768~Sector1023
ブロック6	Sector1024~Sector1279	ブロック6	Sector1024~Sector1279
ブロック7	Sector1280~Sector1535	ブロック7	Sector1280~Sector1535
ブロック8	Sector1536~Sector1791	ブロック8	消去済みブロック
ブロック9	消去済みブロック	ブロック9	消去済みブロック
ブロック10	消去済みブロック	ブロック10	消去済みブロック
ブロック11	Sector1792~Sector2047	ブロック11	消去済みブロック
ブロック12	Sector2048~Sector2303	ブロック12	消去済みブロック
ブロック13	Sector2304~Sector2560	ブロック13	消去済みブロック
	⋮		⋮
ブロック1018	Sector248656~Sector250111	ブロック1018	消去済みブロック
ブロック1019	Sector250112~Sector250367	ブロック1019	消去済みブロック
ブロック1020	Sector250368~Sector250623	ブロック1020	消去済みブロック
ブロック1021	Sector250624~Sector250879	ブロック1021	消去済みブロック
ブロック1022	消去済みブロック	ブロック1022	消去済みブロック
ブロック1023	コントローラ管理用データ	ブロック1023	コントローラ管理用データ

11 / 13

図 11



12 / 13

図 1 2

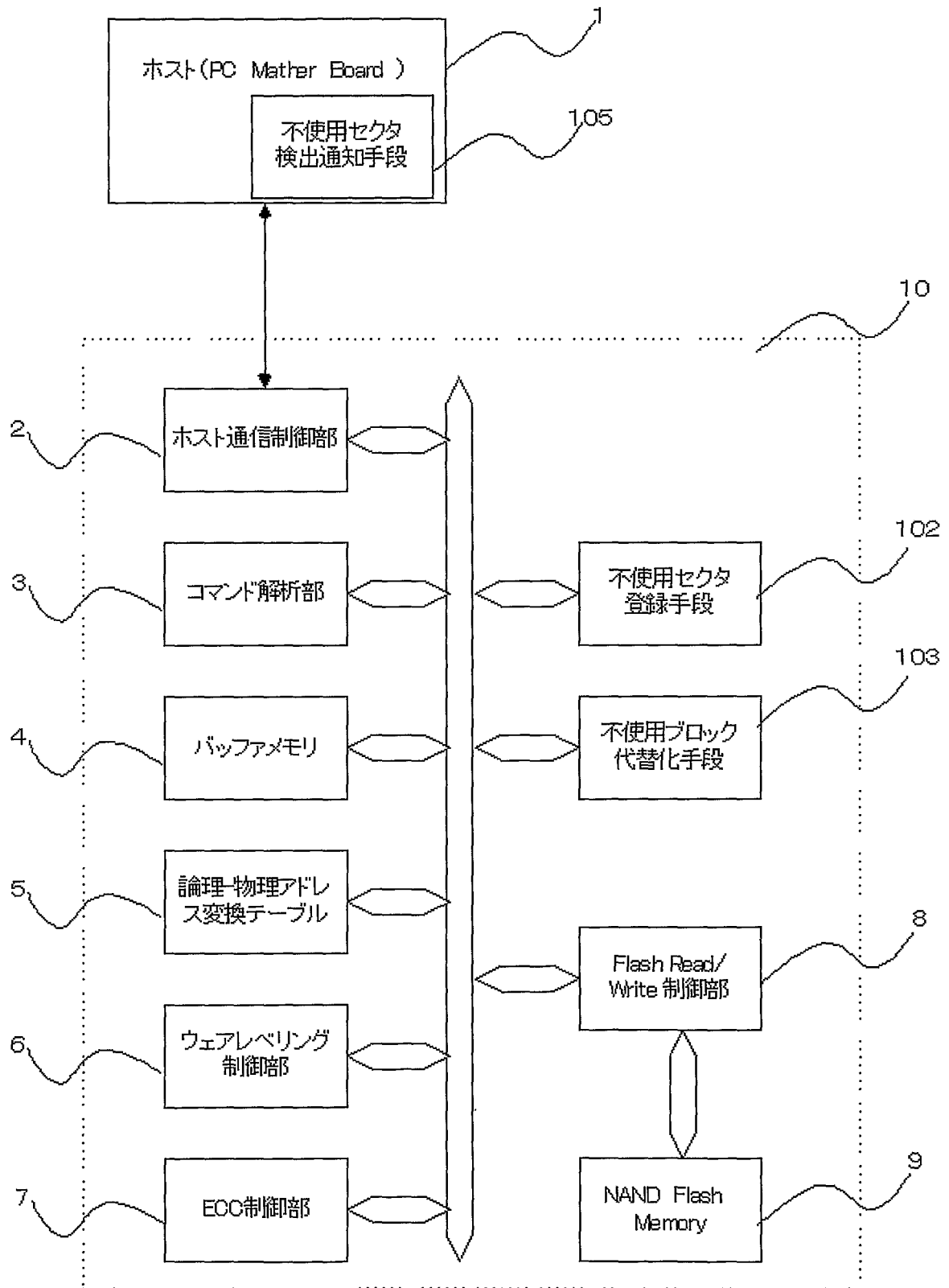
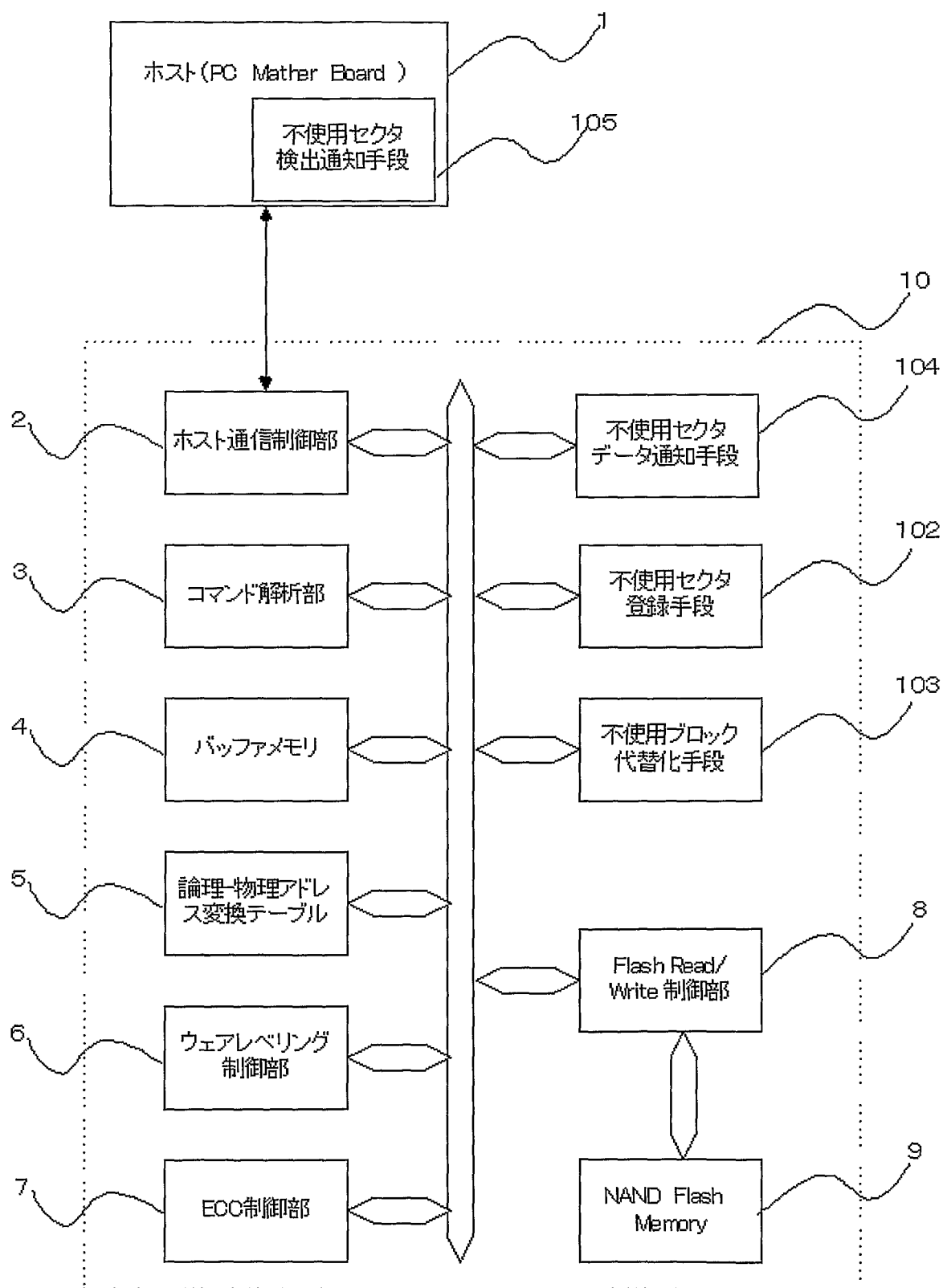


図 13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/058888

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/02(2006.01)i, G06F12/00(2006.01)i, G06F12/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/02, G06F12/00, G06F12/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-310477 A (Renesas Technology Corp.), 04 November, 2004 (04.11.04), Full text; all drawings & US 2004/0202024 A1 & CN 1536579 A	1, 2 3-5
Y	WO 2004/077447 A1 (Fujitsu Ltd.), 10 September, 2004 (10.09.04), Full text; all drawings & US 2005/0166005 A1	3, 5
Y	JP 2007-517335 A (SanDisk Corp.), 28 June, 2007 (28.06.07), Full text; all drawings (particularly, Par. No. [0025]; Fig. 2) & US 2005/0144360 A1 & EP 1758027 A2 & CN 1914689 A	4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 June, 2008 (02.06.08)

Date of mailing of the international search report
10 June, 2008 (10.06.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/058888

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-208352 A (Fujitsu Ltd.), 25 July, 2003 (25.07.03), Full text; all drawings (Family: none)	1-5
A	JP 2006-235960 A (Fujitsu Ltd.), 07 September, 2006 (07.09.06), Full text; all drawings (Family: none)	1-5
A	JP 2007-505415 A (Hyperstone AG.), 08 March, 2007 (08.03.07), Full text; all drawings & EP 1665053 A & WO 2005/026963 A1 & DE 10341618 A & CN 1849590 A	1-5

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G06F12/02(2006.01)i, G06F12/00(2006.01)i, G06F12/16(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G06F12/02, G06F12/00, G06F12/16			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 0 8 年 日本国実用新案登録公報 1 9 9 6 - 2 0 0 8 年 日本国登録実用新案公報 1 9 9 4 - 2 0 0 8 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	JP 2004-310477 A（株式会社ルネサステクノロジ）2004.11.04, 全文, 全図 & US 2004/0202024 A1 & CN 1536579 A	1, 2	
Y		3-5	
Y	WO 2004/077447 A1（富士通株式会社）2004.09.10, 全文, 全図 & US 2005/0166005 A1	3, 5	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 0 2 . 0 6 . 2 0 0 8		国際調査報告の発送日 1 0 . 0 6 . 2 0 0 8	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 田中 秀人 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 6	5 N 9 0 6 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2007-517335 A (サンディスク コーポレーション) 2007.06.28, 全文, 全図 (特に、段落【0025】, 第2図) & US 2005/0144360 A1 & EP 1758027 A2 & CN 1914689 A	4
A	JP 2003-208352 A (富士通株式会社) 2003.07.25, 全文, 全図 (ファミリーなし)	1-5
A	JP 2006-235960 A (富士通株式会社) 2006.09.07, 全文, 全図 (ファミリーなし)	1-5
A	JP 2007-505415 A (ハイパーストーン・アクチエンゲゼルシャフト) 2007.03.08, 全文, 全図 & EP 1665053 A & WO 2005/026963 A1 & DE 10341618 A & CN 1849590 A	1-5