



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년03월08일

(11) 등록번호 10-1600539

(24) 등록일자 2016년02월29일

(51) 국제특허분류(Int. Cl.)

G11C 16/12 (2006.01) G11C 16/04 (2006.01)

G11C 16/10 (2006.01) G11C 16/34 (2006.01)

(21) 출원번호 10-2009-0030008

(22) 출원일자 2009년04월07일

심사청구일자 2014년04월07일

(65) 공개번호 10-2010-0111532

(43) 공개일자 2010년10월15일

(56) 선행기술조사문헌

US20070097747 A1

US6366496 B1

KR1020080085158 A

KR100763363 B1

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

권오석

경기도 용인시 기흥구 농서로 84 (농서동)

최기환

경기 성남시 분당구 수내로 201, 414동 302호 (분당동, 셋별마을삼부아파트)

(74) 대리인

특허법인 고려

전체 청구항 수 : 총 10 항

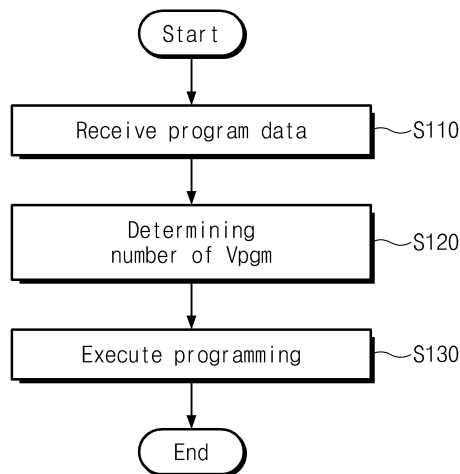
심사관 : 한선경

(54) 발명의 명칭 불휘발성 메모리 장치의 프로그램 방법

(57) 요약

적어도 하나의 제 1 논리 상태를 갖는 메모리 셀들을 프로그램하여, 적어도 두 개의 제 2 논리 상태들을 갖도록 하는, 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 프로그램 방법은, 프로그램 전압을 선택 워드 라인에 제공하고, 그리고 적어도 두 개의 제 2 논리 상태들에 대응하는 검증 전압들을 선택 워드 라인에 제공하는 것을 포함하고, 프로그램 전압을 선택 워드 라인에 제공하는 것은 각각의 제 1 논리 상태 그리고 각각의 제 2 논리 상태 사이의 문턱 전압의 차이에 따라, 선택 워드 라인에 제공되는 프로그램 전압의 수를 달리하는 것을 포함한다.

대표도 - 도11



명세서

청구범위

청구항 1

적어도 하나의 제 1 논리 상태를 갖는 메모리 셀들을 프로그램하여, 적어도 두 개의 제 2 논리 상태들을 갖도록 프로그램하는 불휘발성 메모리 장치의 프로그램 방법에 있어서:

프로그램 전압을 선택 워드 라인을 통해 상기 메모리 셀들에 제공하고; 그리고

상기 적어도 두 개의 제 2 논리 상태들에 대응하는 검증 전압들을 상기 선택 워드 라인을 통해 상기 메모리 셀들에 제공하는 것을 포함하고,

상기 프로그램 전압을 상기 선택 워드 라인을 통해 상기 메모리 셀들에 제공할 때에, 상기 적어도 하나의 제 1 논리 상태의 문턱 전압과 상기 적어도 두 개의 제 2 논리 상태들 각각의 문턱 전압의 차이에 따라, 상기 선택 워드 라인을 통해 상기 메모리 셀들에 제공되는 상기 프로그램 전압의 수가 달라지는 프로그램 방법.

청구항 2

제 1 항에 있어서,

상기 프로그램 전압을 상기 선택 워드 라인을 통해 상기 메모리 셀들에 제공할 때에, 상기 적어도 하나의 제 1 논리 상태의 문턱 전압과 상기 적어도 두 개의 제 2 논리 상태들 각각의 문턱 전압의 차이가 기준 값보다 클 때, 적어도 두 개의 프로그램 전압들이 상기 선택 워드 라인을 통해 상기 메모리 셀들에 제공되는 프로그램 방법.

청구항 3

제 1 항에 있어서,

상기 프로그램 전압을 상기 선택 워드 라인을 통해 상기 메모리 셀들에 제공하는 것은,

상기 적어도 하나의 제 1 논리 상태가 소거 상태를 포함하고, 상기 적어도 두 개의 제 2 논리 상태들이 소거 상태 및 프로그램 상태를 포함할 때, 하나의 프로그램 전압을 상기 선택 워드 라인을 통해 상기 메모리 셀들에 제공하는 것을 포함하는 프로그램 방법.

청구항 4

제 1 항에 있어서,

상기 프로그램 전압을 상기 선택 워드 라인을 통해 상기 메모리 셀들에 제공하는 것은,

상기 적어도 하나의 제 1 논리 상태가 소거 상태 및 제 1 프로그램 상태를 포함하고, 상기 적어도 두 개의 제 2 논리 상태들이 소거 상태 및 제 2 내지 제 4 프로그램 상태를 포함할 때, 제 1 및 제 2 프로그램 전압을 상기 선택 워드 라인을 통해 상기 메모리 셀들에 순차적으로 제공하는 것을 포함하는 프로그램 방법.

청구항 5

제 4 항에 있어서,

상기 제 1 프로그램 전압은 상기 적어도 하나의 제 1 논리 상태 중 소거 상태를 갖는 메모리 셀들을 상기 제 2 프로그램 상태로 프로그램하는 프로그램 방법.

청구항 6

제 5 항에 있어서,

상기 제 2 프로그램 전압은 상기 제 1 프로그램 상태를 갖는 메모리 셀들을 상기 제 3 또는 제 4 프로그램 상태로 프로그램하는 프로그램 방법.

청구항 7

제 1 항에 있어서,

상기 프로그램 전압을 상기 선택 워드 라인을 통해 상기 메모리 셀들에 제공하는 것은,

상기 적어도 하나의 제 1 논리 상태는 소거 상태 및 제 1 내지 제 3 프로그램 상태를 포함하고, 상기 적어도 두 개의 제 2 논리 상태들은 소거 상태 및 제 4 내지 제 10 프로그램 상태를 나타낼 때, 하나의 프로그램 전압을 상기 선택 워드 라인을 통해 상기 메모리 셀들에 제공하는 것을 포함하는 프로그램 방법.

청구항 8

제 1 항에 있어서,

프로그램 페일된 메모리 셀들이 존재하면, 상기 프로그램 전압의 레벨을 증가시키고; 그리고

상기 레벨이 증가된 프로그램 전압을 상기 선택 워드 라인을 통해 상기 메모리 셀들에 제공하는 것을 더 포함하는 프로그램 방법.

청구항 9

불휘발성 메모리 장치의 프로그램 방법에 있어서:

최하위 비트(Least Significant Bit)로부터 n-1 (n은 자연수) 번째 비트를 메모리 셀들에 프로그램하고; 그리고

최하위 비트로부터 n 번째 비트를 상기 메모리 셀들에 프로그램하는 것을 포함하고,

상기 n-1 번째 비트의 프로그램 시에 상기 메모리 셀들의 문턱 전압은 제 1 변화량 만큼 변화하고,

상기 n 번째 비트의 프로그램 시에 상기 메모리 셀들의 문턱 전압은 제 2 변화량 만큼 변화하고,

상기 제 1 및 제 2 변화량에 따라, 하나의 프로그램 루프에서, 상기 n-1 번째 비트를 프로그램하는 프로그램 전압의 수 및 상기 n 번째 비트를 프로그램하는 프로그램 전압의 수가 달라지는 프로그램 방법.

청구항 10

제 9 항에 있어서,

상기 제 1 변화량이 상기 제 2 변화량보다 미리 설정된 값 이상 크면, 상기 n-1 번째 비트를 프로그램하는 프로그램 전압의 수는 상기 n 번째 비트를 프로그램하는 프로그램 전압의 수보다 많은 프로그램 방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 더 상세하게는 불휘발성 메모리 장치의 프로그램 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치(semiconductor memory device)는 데이터를 저장해 두고 필요할 때 꺼내어 읽어볼 수 있는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리 장치(Nonvolatile memory device)로 구분된다.

[0003] 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM, DRAM, SDRAM 등이 있다. 불휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터가 소멸하지 않는 메모리 장치이다. 불휘발성 메모리 장치에는 ROM, PROM, EPROM, EEPROM, 플래시 메모리 장치, PRAM, MRAM, RRAM, FRAM 등이 있다. 플래시 메모리 장치는 크게 노어 타입과 낸드 타입으로 구분된다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명의 목적은, 커플링의 영향에 따라 선택 워드 라인에 인가되는 프로그램 전압의 수를 달리하는 프로그램 방법을 제공하는 데에 있다.

과제 해결수단

[0005] 적어도 하나의 제 1 논리 상태를 갖는 메모리 셀들을 프로그램하여, 적어도 두 개의 제 2 논리 상태들을 갖도록 하는 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 프로그램 방법은, 프로그램 전압을 선택 워드 라인에 제공하고; 그리고 상기 적어도 두 개의 제 2 논리 상태들에 대응하는 검증 전압들을 상기 선택 워드 라인에 제공하는 것을 포함하고, 상기 프로그램 전압을 상기 선택 워드 라인에 제공하는 것은 각각의 제 1 논리 상태 그리고 각각의 제 2 논리 상태 사이의 문턱 전압의 차이에 따라, 상기 선택 워드 라인에 제공되는 상기 프로그램 전압의 수를 달리하는 것을 포함한다.

[0006] 실시 예로서, 상기 프로그램 전압을 상기 선택 워드 라인에 제공하는 것은 각각의 제 1 논리 상태 및 각각의 제 2 논리 상태 사이의 문턱 전압의 차이가 기준 값보다 크면, 적어도 두 개의 프로그램 전압들을 상기 선택 워드 라인에 제공하는 것을 포함한다.

[0007] 실시 예로서, 상기 적어도 하나의 제 1 논리 상태가 소거 상태를 포함하고, 상기 적어도 두 개의 제 2 논리 상태들이 소거 상태 및 프로그램 상태를 포함할 때, 상기 프로그램 전압을 상기 선택 워드 라인에 제공하는 것은 하나의 프로그램 전압을 상기 선택 워드 라인에 제공하는 것을 포함한다.

[0008] 실시 예로서, 상기 적어도 하나의 제 1 논리 상태가 소거 상태 및 제 1 프로그램 상태를 포함하고, 상기 적어도 두 개의 제 2 논리 상태들이 소거 상태 및 제 2 내지 제 4 프로그램 상태를 포함할 때, 상기 프로그램 전압을 상기 선택 워드 라인에 제공하는 것은 제 1 및 제 2 프로그램 전압을 상기 선택 워드 라인에 순차적으로 제공하는 것을 포함한다.

[0009] 실시 예로서, 상기 제 1 프로그램 전압은 상기 적어도 하나의 제 1 논리 상태 중 소거 상태를 갖는 메모리 셀들을 상기 제 2 프로그램 상태로 프로그램하기 위해 제공된다.

[0010] 실시 예로서, 상기 제 2 프로그램 전압은 상기 제 1 프로그램 상태를 갖는 메모리 셀들을 상기 제 3 또는 제 4 프로그램 상태로 프로그램하기 위해 제공된다.

[0011] 실시 예로서, 상기 적어도 하나의 제 1 논리 상태는 소거 상태 및 제 1 내지 제 3 프로그램 상태를 포함하고, 상기 적어도 두 개의 제 2 논리 상태들은 소거 상태 및 제 4 내지 제 10 프로그램 상태를 나타낼 때, 상기 프로그램 전압을 상기 선택 워드 라인에 제공하는 것은 하나의 프로그램 전압을 상기 선택 워드 라인에 제공하는 것을 포함한다.

[0012] 실시 예로서, 프로그램 페일된 메모리 셀들이 존재하면, 상기 프로그램 전압의 레벨을 증가시키고; 그리고 상기 레벨이 증가된 프로그램 전압을 상기 선택 워드 라인에 제공하는 것을 더 포함한다.

[0013] 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 프로그램 방법은, 최하위 비트(Least Significant Bit)로부터 $n-1$ (n 은 자연수) 번째 비트를 메모리 셀들에 프로그램하고; 그리고 최하위 비트로부터 n 번째 비트를 상기 메모리 셀들에 프로그램하는 것을 포함하고, 상기 $n-1$ 번째 비트의 프로그램 시에 상기 메모리 셀들의 문턱 전압은 제 1 변화량 만큼 변화하고, 상기 n 번째 비트의 프로그램 시에 상기 메모리 셀들의 문턱 전압은 제 2 변화량 만큼 변화하고, 상기 제 1 및 제 2 변화량에 따라, 하나의 프로그램 루프에서, 상기 $n-1$ 번째 비트를 프로그램하기 위해 제공되는 프로그램 전압의 수 및 상기 n 번째 비트를 프로그램하기 위해 제공되는 프로그램 전압의 수를 달리하는 것을 포함한다.

[0014] 실시 예로서, 상기 제 1 변화량이 상기 제 2 변화량보다 미리 설정된 값 이상 크면, 상기 $n-1$ 번째 비트를 프로그램하기 위한 프로그램 전압의 수는 상기 n 번째 비트를 프로그램하기 위한 프로그램 전압의 수보다 많다.

효과

[0015] 본 발명에 따르면, 커플링의 영향이 기준 값보다 강한 프로그램 시의 프로그램 전압의 수는, 커플링의 영향이 기준 값보다 약한 프로그램 시의 프로그램 전압의 수보다 많다. 따라서, 커플링의 영향 및 프로그램 시간이 감소된다.

발명의 실시를 위한 구체적인 내용

- [0016] 적어도 하나의 제 1 논리 상태를 갖는 메모리 셀들을 프로그램하여, 적어도 두 개의 제 2 논리 상태들을 갖도록 하는, 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 프로그램 방법은, 프로그램 전압을 선택 워드 라인에 제공하고, 그리고 적어도 두 개의 제 2 논리 상태들에 대응하는 검증 전압들을 선택 워드 라인에 제공하는 것을 포함하고, 프로그램 전압을 선택 워드 라인에 제공하는 것은 각각의 제 1 논리 상태 그리고 각각의 제 2 논리 상태 사이의 문턱 전압의 차이에 따라, 선택 워드 라인에 제공되는 프로그램 전압의 수를 달리하는 것을 포함한다.
- [0017] 본 발명의 다른 실시 예에 따른 불휘발성 메모리 장치의 프로그램 방법은, 최하위 비트(Least Significant Bit)로부터 n-1 (n은 자연수) 번째 비트를 메모리 셀들에 프로그램하고, 그리고 최하위 비트로부터 n 번째 비트를 메모리 셀들에 프로그램하는 것을 포함하고, n-1 번째 비트의 프로그램 시에 메모리 셀들의 문턱 전압은 제 1 변화량 만큼 변화하고, n 번째 비트의 프로그램 시에 상기 메모리 셀들의 문턱 전압은 제 2 변화량 만큼 변화하고, 제 1 및 제 2 변화량에 따라, n-1 번째 비트를 프로그램하기 위한 프로그램 전압의 수 및 n 번째 비트를 프로그램하기 위한 프로그램 전압의 수를 달리하는 것을 포함한다.
- [0018] 이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.
- [0019] 도 1은 본 발명의 실시 예에 따른 메모리 시스템(10)을 보여주는 블록도이다. 도 1을 참조하면, 본 발명의 실시 예에 따른 메모리 시스템(10)은 컨트롤러(100) 및 불휘발성 메모리 장치(200)를 포함한다.
- [0020] 컨트롤러(100)는 호스트(Host) 및 불휘발성 메모리 장치(200)에 연결된다. 컨트롤러(100)는 불휘발성 메모리 장치(200)로부터 읽은 데이터를 호스트(Host)에 전달하고, 호스트(Host)로부터 전달되는 데이터를 불휘발성 메모리 장치(200)에 저장하도록 구성된다.
- [0021] 컨트롤러(100)는 램, 프로세싱 유닛, 호스트 인터페이스, 그리고 메모리 인터페이스와 같은 잘 알려진 구성 요소들을 포함할 것이다. 램은 프로세싱 유닛의 동작 메모리로서 이용될 것이다. 프로세싱 유닛은 컨트롤러(100)의 제반 동작을 제어할 것이다.
- [0022] 호스트 인터페이스는 호스트(Host) 및 컨트롤러(100) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함할 것이다. 예시적으로, 컨트롤러(100)는 USB, MMC, PCI-E, ATA(Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI, ESDI, 그리고 IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(호스트)와 통신하도록 구성될 것이다.
- [0023] 메모리 인터페이스는 불휘발성 메모리 장치(200)와 인터페이스할 것이다. 컨트롤러(100)는 오류 정정 블록을 추가적으로 포함할 수 있다. 오류 정정 블록은 불휘발성 메모리 장치(200)로부터 읽어진 데이터의 오류를 검출하고, 정정할 것이다.
- [0024] 불휘발성 메모리 장치(200)는 데이터를 저장하기 위한 메모리 셀 어레이, 메모리 셀 어레이에 데이터를 기입 및 독출하기 위한 읽기/쓰기 회로, 외부로부터 전달되는 어드레스를 디코딩하여 읽기/쓰기 회로에 전달하는 어드레스 디코더, 플래시 메모리 장치(200)의 제반 동작을 제어하기 위한 제어 로직 등을 포함할 것이다. 본 발명의 실시 예에 따른 불휘발성 메모리 장치(200)는 도 2를 참조하여 더 상세하게 설명된다.
- [0025] 컨트롤러(100) 및 불휘발성 메모리 장치(200)는 하나의 반도체 장치로 집적될 수 있다. 예시적으로, 컨트롤러(100) 및 불휘발성 메모리 장치(200)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 것이다. 예를 들면, 컨트롤러(100) 및 불휘발성 메모리 장치(200)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM/SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD), 유니버설 플래시 기억장치(UFS) 등을 구성할 것이다.
- [0026] 다른 예로서, 컨트롤러(100) 및 불휘발성 메모리 장치(200)는 하나의 반도체 장치로 집적되어 반도체 디스크/드라이브(SSD, Solid State Disk/Drive)를 구성할 것이다. 메모리 시스템(10)이 반도체 디스크(SSD)로 이용되는 경우, 메모리 시스템(10)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선될 것이다.
- [0027] 다른 예로서, 메모리 시스템(10)은 컴퓨터, 휴대용 컴퓨터, UMPC, 워크스테이션, 넷북(net-book), PDA, 포터블(portable) 컴퓨터, 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), 디지털 카메라(digital camera), 디지털 음성 녹음기/재생기(digital audio

recorder/player), 디지털 정지/동 영상 녹화기/재생기(digital picture/video recorder/player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, 또는 반도체 드라이브(SSD, Solid State Drive) 또는 메모리 카드와 같은 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나에 적용될 것이다.

- [0028] 다른 예로서, 불휘발성 메모리 장치(200) 또는 메모리 시스템(10)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 불휘발성 메모리 장치(200) 또는 메모리 시스템(10)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지가 되어 실장될 것이다.
- [0029] 이하에서, 간결한 설명을 위하여, 낸드 플래시 메모리 장치의 예를 참조하여, 본 발명의 기술적 사상이 설명된다. 그러나, 본 발명의 기술적 사상은 낸드 플래시 메모리 장치에 한정되지 않는다. 예시적으로, 본 발명의 기술적 사상은 ROM, PROM, EPROM, EEPROM, 플래시 메모리 장치, PRAM, MRAM, RRAM, FRAM 등을 포함하는 불휘발성 메모리 장치에 응용 및 적용될 수 있다.
- [0030] 도 2는 도 1의 불휘발성 메모리 장치(200)를 보여주는 블록도이다. 도 2를 참조하면, 본 발명의 실시 예에 따른 불휘발성 메모리 장치(200)는 메모리 셀 어레이(210), 어드레스 디코더(220), 읽기/쓰기 회로(230), 데이터 입출력 회로(240), 그리고 제어 로직(250)을 포함한다.
- [0031] 메모리 셀 어레이(210)는 워드 라인들(WL)을 통해 어드레스 디코더(220)에 연결되고, 비트 라인들(BL)을 통해 읽기/쓰기 회로(230)에 연결된다. 메모리 셀 어레이(210)는 복수의 메모리 셀들을 포함한다. 예시적으로, 메모리 셀들의 행들은 워드 라인들(WL)에 연결되고, 메모리 셀들의 열들은 비트 라인들(BL)에 연결될 것이다. 예시적으로, 메모리 셀들은 셀 당 하나 또는 그 이상의 비트를 저장할 것이다. 메모리 셀 어레이(210)는 도 3을 참조하여 더 상세하게 설명된다.
- [0032] 어드레스 디코더(220)는 워드 라인들(WL)을 통해 메모리 셀 어레이(210)에 연결된다. 어드레스 디코더(220)는 제어 로직(250)의 제어에 응답하여 동작한다. 어드레스 디코더(220)는 외부로부터 어드레스(ADDR)를 전달받는다. 예시적으로, 어드레스(ADDR)는 도 1의 컨트롤러(100)로부터 전달될 것이다.
- [0033] 어드레스 디코더(220)는 전달된 어드레스(ADDR) 중 행 어드레스를 디코딩하여 워드 라인들(WL)을 선택한다. 어드레스 디코더(220)는 전달된 어드레스(ADDR) 중 열 어드레스를 디코딩하여, 읽기/쓰기 회로(230)에 전달한다. 예시적으로, 어드레스 디코더(220)는 행 디코더, 열 디코더, 어드레스 버퍼 등과 같이 잘 알려진 구성 요소들을 포함할 것이다.
- [0034] 읽기/쓰기 회로(230)는 비트 라인들(BL)을 통해 메모리 셀 어레이(210)에 연결되고, 데이터 라인들(DL)을 통해 데이터 입출력 회로(240)에 연결된다. 읽기/쓰기 회로(230)는 제어 로직(250)의 제어에 응답하여 동작한다. 읽기/쓰기 회로(230)는 어드레스 디코더(220)로부터 전달되는 디코딩된 열 어드레스에 응답하여 비트 라인들(BL)을 선택한다.
- [0035] 예시적으로, 읽기/쓰기 회로(230)는 데이터 입출력 회로(240)로부터 전달되는 데이터를 메모리 셀 어레이(210)에 저장할 것이다. 다른 예로서, 읽기/쓰기 회로(230)는 메모리 셀 어레이(210)로부터 읽어지는 데이터를 데이터 입출력 회로(240)에 전달할 것이다. 다른 예로서, 읽기/쓰기 회로(230)는 메모리 셀 어레이(210)의 제 1 저장 영역으로부터 읽어지는 데이터를, 메모리 셀 어레이(210)의 제 2 저장 영역에 저장할 것이다. 예를 들면, 읽기/쓰기 회로(230)는 카피-백(copy-back) 동작을 수행할 것이다.
- [0036] 예시적으로, 읽기/쓰기 회로(230)는 페이지 버퍼, 열 선택 회로 등과 같이 잘 알려진 구성 요소들을 포함할 것이다. 다른 예로서, 읽기/쓰기 회로(230)는 감지 증폭기, 쓰기 드라이버, 열 선택 회로 등과 같이 잘 알려진 구성 요소들을 포함할 것이다.
- [0037] 데이터 입출력 회로(240)는 데이터 라인들(DL)을 통해 읽기/쓰기 회로(230)에 연결된다. 데이터 입출력 회로(240)는 제어 로직(250)의 제어에 응답하여 동작한다. 데이터 입출력 회로(240)는 외부와 데이터(DATA)를 교환한다. 예시적으로, 데이터 입출력 회로(240)는 도 1의 컨트롤러(100)와 데이터를 교환할 것이다. 외부로부터 전

달되는 데이터(DATA)는 데이터 라인들(DL)을 통해 읽기/쓰기 회로(230)에 전달될 것이다. 읽기/쓰기 회로로부터 전달되는 데이터(DATA)는 외부로 출력될 것이다. 예시적으로, 데이터 입출력 회로(240)는 데이터 버퍼 등과 같이 잘 알려진 구성 요소를 포함할 것이다.

- [0038] 제어 로직(250)은 어드레스 디코더(220), 읽기/쓰기 회로(230), 그리고 데이터 입출력 회로(240)에 연결된다. 제어 로직(250)은 플래시 메모리 장치(200)의 제반 동작을 제어한다. 제어 로직(250)은 외부로부터 전달되는 제어 신호(CTRL)에 응답하여 동작한다. 예시적으로, 제어 신호(CTRL)는 도 1의 컨트롤러(100)로부터 전달될 것이다. 제어 로직(250)은 프로그램 제어부(251)를 포함한다. 프로그램 제어부(251)는 메모리 셀 어레이(210)에 대한 프로그램 동작을 제어하도록 구성된다. 프로그램 제어부(251)의 동작은 도 4 내지 11을 참조하여 더 상세하게 설명된다.
- [0039] 도 2에서, 프로그램 제어부(251)는 제어 로직(250)의 구성 요소인 것으로 도시되어 있다. 그러나, 프로그램 제어부(251)는 제어 로직(250)의 구성 요소인 것으로 한정되지 않는다. 예시적으로, 프로그램 제어부(251)는 제어 로직(250)과 별도의 기능 블록을 형성할 수 있음이 이해될 것이다.
- [0040] 예시적으로, 프로그램 제어부(251)는 디지털 회로, 아날로그 회로, 또는 디지털 및 아날로그 회로들이 결합된 형태의 하드 웨어로 구현될 것이다. 다른 예로서, 프로그램 제어부(251)는 불휘발성 메모리 장치(200)에서 구동되는 소프트웨어의 형태로 구현될 것이다. 다른 예로서, 프로그램 제어부(251)는 하드 웨어 및 소프트웨어가 조합된 형태로 구현될 수 있음이 이해될 것이다.
- [0041] 도 3은 도 2의 메모리 셀 어레이(210)를 보여주는 회로도이다. 예시적으로, 메모리 셀 어레이(210)는 복수의 메모리 블록들을 포함할 것이다. 간결한 설명을 위하여, 메모리 셀 어레이(210)의 하나의 메모리 블록이 도 3에 도시되어 있다. 예시적으로, 낸드 플래시 메모리 장치의 메모리 셀 어레이의 하나의 메모리 블록이 도 3에 도시되어 있다. 그러나, 본 발명의 실시 예에 따른 불휘발성 메모리 장치(200)는 낸드 플래시 메모리 장치에 한정되지 않음이 이해될 것이다.
- [0042] 도 3을 참조하면, 복수의 메모리 셀이 직렬 연결되어 스트링 구조를 형성한다. 메모리 셀 어레이(210)는 메모리 셀들이 직렬 연결되어 형성되는 복수의 스트링들을 포함한다. 메모리 셀들의 스트링 및 대응하는 비트 라인 사이에 스트링 선택 트랜지스터(SST)가 연결된다. 메모리 셀들의 스트링 및 공통 소스 라인(CSL) 사이에 접지 선택 트랜지스터(GST)가 연결된다.
- [0043] 메모리 셀들의 행들은 워드 라인들(WL1~WLn)에 연결된다. 예시적으로, 메모리 셀들(MC1~MCm)을 포함하는 행은 워드 라인(WL2)에 연결된다. 스트링 선택 트랜지스터들(SST)은 스트링 선택 라인(SSL)에 연결된다. 접지 선택 트랜지스터들(GST)은 접지 선택 라인(GSL)에 연결된다. 워드 라인들(WL1~WLn), 접지 선택 라인(GSL), 그리고 스트링 선택 라인(SSL)은 도 2의 어드레스 디코더(220)에 연결될 것이다. 메모리 셀들의 열들은 비트 라인들(BL1~BLm)에 연결된다. 예시적으로, 메모리 셀들의 열들에 연결된 스트링 선택 트랜지스터들(SST)에 비트 라인들이 연결된다. 비트 라인들(BL1~BLm)은 도 2의 읽기/쓰기 회로(230)에 연결될 것이다.
- [0044] 예시적으로, 메모리 셀들(MC1~MCm)은 셀 당 3 개의 비트를 저장할 수 있는 것으로 가정하자. 이때, 메모리 셀들(MC1~MCm)에 저장되는 최하위 비트들(LSB, Least significant Bits)은 최하위 페이지를 형성할 것이다. 메모리 셀들(MC1~MCm)에 저장되는 중간 비트들(CSB, Central Significant Bits)은 중간 페이지를 형성할 것이다. 메모리 셀들(MC1~MCm)에 저장되는 최상위 비트들(MSB, Most Significant Bits)은 최상위 페이지를 형성할 것이다.
- [0045] 예시적으로, 워드 라인(WL2)에 연결된 메모리 셀들(MC1~MCm)이 프로그램을 위해 선택된 것으로 가정하자. 예시적으로, 도 3에 도시된 바와 같이, 메모리 셀(MC1)에 "111"이, 메모리 셀(MC2)에 "011"이, 메모리 셀(MC3)에 "110"이, 메모리 셀(MC4)에 "010"이, 메모리 셀(MC5)에 "100"이, 메모리 셀(MC6)에 "000"이, 메모리 셀(MC7)에 "101"이, 메모리 셀(MC8)에 "001"이 프로그램되는 것으로 가정하자.
- [0046] 도 4는 셀 당 3 개의 비트를 저장하는 메모리 셀 어레이(210)의 페이지들을 보여주는 블록도이다. 간결한 설명을 위하여, 도 4에서, 메모리 셀들은 생략되어 있다. 도 3 및 4를 참조하면, 워드 라인(WL1)에 연결된 메모리 셀들은 3 개의 페이지들(LSB1, CSB1, MSB1)을 형성한다. 워드 라인(WL2)에 연결된 메모리 셀들은 3 개의 페이지들(LSB2, CSB2, MSB2)을 형성한다. 워드 라인(WL3)에 연결된 메모리 셀들은 3 개의 페이지들(LSB3, CSB3, MSB3)을 형성한다. 워드 라인(WLn)에 연결된 메모리 셀들은 3 개의 페이지들(LSBn, CSBn, MSBn)을 형성한다.
- [0047] 본 발명의 실시 예에 따른 불휘발성 메모리 장치(200)는 셀 당 3 개의 비트를 저장하는 것으로 한정되지 않는다. 예시적으로, 본 발명의 실시 예에 따른 불휘발성 메모리 장치(200)는 셀 당 p (p는 자연수) 비트를 저장할 수 있도록 구성될 것이다. 이때, 하나의 워드 라인에 연결된 메모리 셀들은 p 개의 페이지를 형성할 수 있

음이 이해될 것이다.

[0048] 도 5는 메모리 셀들(MC1~MCm)에 최하위 비트(LSB)를 프로그램하는 방법을 설명하기 위한 다이어그램이다. 도 3 내지 5를 참조하면, 최하위 비트(LSB)를 프로그램하기 전에, 메모리 셀들(MC1~MCm)은 적어도 하나의 논리 상태(E1)를 가질 것이다. 예시적으로, 메모리 셀들(MC1~MCm)은 소거 상태(E1)를 가질 것이다. 예시적으로, 소거 상태(E1)를 갖는 메모리 셀들의 문턱 전압의 평균값은 전압(VTE)인 것으로 가정하자.

[0049] 최하위 비트(LSB)가 프로그램된 메모리 셀들은 적어도 두 개의 논리 상태들(L1, L2)을 가질 것이다. 예시적으로, 메모리 셀들(MC1~MCm)은 소거 상태(L1) 및 프로그램 상태(L2)를 가질 것이다. 소거 상태(L1)는 최하위 비트 "1"을, 프로그램 상태(L2)는 최하위 비트 "0"을 나타낼 것이다. 예시적으로, 도 3을 참조하여 설명된 바와 같이, 메모리 셀들(MC1, MC2, MC7, MC8)이 소거 상태(L1)로 프로그램되고, 메모리 셀들(MC3~6)이 프로그램 상태(L2)로 프로그램될 것이다. 최하위 비트 "0"을 프로그램하기 위해, 검증 전압(VL1)이 이용될 것이다. 예시적으로, 소거 상태(L1)의 메모리 셀들의 문턱 전압의 평균값은 전압(VTL1)인 것으로 가정하자. 예시적으로, 프로그램 상태(L2)의 메모리 셀들의 문턱 전압의 평균값은 전압(VTL2)인 것으로 가정하자.

[0050] 표 1은 최하위 비트(LSB)가 프로그램된 메모리 셀들(MC1~MCm)을 나타낸다.

표 1

	MC1	MC2	MC3	MC4	MC5	MC6	MC7	MC8
LSB	1	1	0	0	0	0	1	1

[0052] 이하에서, 메모리 셀들의 문턱 전압의 변화량은, 프로그램되는 메모리 셀들의 문턱 전압의 변화량의 평균값을 나타낼 것이다. 예시적으로, 소거 상태(E1)로부터 최하위 비트(LSB)의 논리 상태(L2)로 프로그램되는 메모리 셀들(MC1, MC2, MC7, MC8)의 문턱 전압의 변화량은 전압(VTL2) 및 전압(VTE)의 차이(VTL2-VTE)인 것으로 이해될 수 있다.

[0053] 도 6은 도 5의 최하위 비트(LSB) 프로그램 시의 프로그램 전압 및 검증 전압을 보여주는 다이어그램이다. 도 6에서, 가로 축은 시간(T)을 나타내며, 세로 축은 전압(V)의 레벨을 나타낸다. 도 3 내지 6을 참조하면, 프로그램 전압으로서, 프로그램 시작 전압(VPL1)이 선택 워드 라인(WL2)에 제공될 것이다. 이후에, 검증 전압(VL1)이 선택 워드 라인(WL2)에 제공될 것이다.

[0054] 프로그램 페일된 메모리 셀이 존재하면, 프로그램 전압의 레벨은 레벨(VPL1)로부터 레벨(VPL2)로, 전압 레벨($\Delta V1$)만큼 증가될 것이다. 그리고, 증가된 프로그램 전압(VPL2)이 선택 워드 라인(WL2)에 제공될 것이다. 이후에, 검증 전압(VL1)이 선택 워드 라인(WL2)에 제공될 것이다.

[0055] 프로그램 페일된 메모리 셀이 존재하면, 프로그램 전압의 레벨은 레벨(VPL2)로부터 레벨(VPL3)으로, 전압 레벨($\Delta V2$)만큼 증가될 것이다. 그리고, 증가된 프로그램 전압(VPL3)이 선택 워드 라인(WL2)에 제공될 것이다. 이후에, 검증 전압(VL1)이 선택 워드 라인(WL2)에 제공될 것이다.

[0056] 선택 워드 라인에 프로그램 전압을 인가하는 것과 검증 전압을 인가하는 것은 하나의 프로그램 루프를 형성할 것이다. 프로그램 루프가 반복될 때마다, 프로그램 전압은 미리 설정된 값 만큼 증가될 것이다. 즉, 증가형 스텝 펄스 프로그램(ISPP, Incremental Step Pulse Program)이 수행될 것이다. 메모리 셀들(MC1~MCm)이 모두 프로그램 패스될 때까지, 또는 프로그램 루프가 미리 설정된 수 만큼 수행될 때까지, 프로그램 루프는 반복될 것이다. 예시적으로, 도 6에서, 프로그램 전압의 레벨이 레벨(VPLk)에 도달할 때까지, 프로그램 루프가 반복되는 것으로 도시되어 있다.

[0057] 최하위 비트(LSB)의 논리 상태(L2)로 프로그램될 메모리 셀들이 프로그램 패스되면, 프로그램 동작은 종료된다. 즉, 논리 상태(L2)로 프로그램 패스된 메모리 셀들에서, 커플링은 발생되지 않을 것이다.

[0058] 도 7은 중간 비트(CSB) 프로그램 방법을 설명하기 위한 다이어그램이다. 도 3, 4, 그리고 7을 참조하면, 프로그램되기 전의 메모리 셀들(MC1~MCm)은 적어도 하나의 논리 상태를 가질 것이다. 예를 들면, 메모리 셀들(MC1~MCm)은 소거 상태(L1) 및 프로그램 상태(L2)를 가질 것이다. 즉, 메모리 셀들(MC1~MCm)은 최하위 비트(LSB) 데이터를 저장하고 있을 것이다. 중간 비트(CSB)가 프로그램되면, 메모리 셀들(MC1~MCm)은 적어도 두 개의 논리 상태들을 가질 것이다. 예를 들면, 메모리 셀들(MC1~MCm)은 소거 상태(C1) 및 프로그램 상태들(C2~C4)을 가질 것이다.

[0059] 최하위 비트(LSB)의 논리 상태(L1, 최하위 비트 "1")로부터 프로그램되는 메모리 셀들은, 중간 비트(CSB)의 논리 상태(C1, 중간 비트 "1") 또는 중간 비트(CSB)의 논리 상태(C2, 중간 비트 "0")를 갖도록 프로그램될 것이다. 메모리 셀들이 최하위 비트(LSB)의 논리 상태(L1)로부터 중간 비트(CSB)의 논리 상태(C1)로 프로그램될 때, 해당 메모리 셀들의 문턱 전압은 유지될 것이다. 메모리 셀들이 최하위 비트(LSB)의 논리 상태(L1)로부터 중간 비트(CSB)의 논리 상태(C2)로 프로그램될 때, 해당 메모리 셀들의 문턱 전압의 변화량은 전압(VTC2) 및 전압(VTL1)의 차이(VTC2-VTL1)로 나타내어질 것이다.

[0060] 최하위 비트(LSB)의 논리 상태(L2, 최하위 비트 "0")로부터 프로그램되는 메모리 셀들은, 중간 비트(CSB)의 논리 상태(C3, 중간 비트 "0") 또는 중간 비트(CSB)의 논리 상태(C4, 중간 비트 "1")를 갖도록 프로그램될 것이다. 메모리 셀들이 최하위 비트(LSB)의 논리 상태(L2)로부터 중간 비트(CSB)의 논리 상태(C3)로 프로그램될 때, 해당 메모리 셀들의 문턱 전압의 변화량은 전압(VTC3) 및 전압(VTL2)의 차이(VTC3-VTL2)로 나타내어질 것이다. 메모리 셀들이 최하위 비트(LSB)의 논리 상태(L2)로부터 중간 비트(CSB)의 논리 상태(C4)로 프로그램될 때, 해당 메모리 셀들의 문턱 전압의 변화량은 전압(VTC4) 및 전압(VTL2)의 차이(VTC4-VTL2, 또는 $\Delta VT1$)로 나타내어질 것이다.

[0061] 중간 비트(CSB) 프로그램 시의 메모리 셀들(MC1~MCm)의 문턱 전압 변화량을 비교하면, 메모리 셀들(MC1~MCm)이 최하위 비트(LSB)의 논리 상태(L2)로부터 중간 비트(CSB)의 논리 상태(C4)로 프로그램될 때, 문턱 전압의 변화량($\Delta VT1$)이 가장 크다. 즉, 중간 비트(CSB) 프로그램 시에, 최하위 비트(LSB)의 논리 상태(L2)로부터 중간 비트(CSB)의 논리 상태(C4)로 프로그램되는 메모리 셀들로부터의 커플링의 영향이 가장 클 것이다.

[0062] 예시적으로, 도 3을 참조하여 설명된 바와 같이, 메모리 셀들(MC1~MC4)은 중간 비트(CSB) "1"을 갖도록 프로그램될 것이다. 메모리 셀들(MC5~MC6)은 중간 비트(CSB) "0"을 갖도록 프로그램될 것이다. 표 2는 최하위 비트(LSB) 및 중간 비트(CSB)가 프로그램된 메모리 셀들의 상태를 나타낸다.

표 2

[0063]

	MC1	MC2	MC3	MC4	MC5	MC6	MC7	MC8
LSB	1	1	0	0	0	0	1	1
CSB	1	1	1	1	0	0	0	0

[0064] 예시적으로, 하나의 프로그램 전압을 이용하여 중간 비트(CSB) 프로그램 동작을 수행하는 것으로 가정하자. 최하위 비트(LSB)의 논리 상태로부터 중간 비트(CSB)의 논리 상태(C1)로 프로그램되는 메모리 셀들(MC1, MC2)은 프로그램 금지될 것이다. 나머지 메모리 셀들(MC3~MC8)은 프로그램 전압에 의해 프로그램될 것이다. 예를 들면, 메모리 셀들(MC3~MC8)은 ISPP에 의해 프로그램될 것이다.

[0065] 메모리 셀의 제어 게이트에 인가되는 전압으로부터 해당 메모리 셀의 문턱 전압 및 해당 메모리 셀의 채널 전압을 감한 값에 따라, 해당 메모리 셀이 프로그램될 것이다. 즉, 하나의 프로그램 전압이 인가될 때, 메모리 셀의 문턱 전압이 낮을수록, 해당 메모리 셀이 프로그램되는 속도가 빠를 것이다.

[0066] 도 7에 도시된 바와 같이, 최하위 비트(LSB)의 논리 상태(L1)에 대응하는 메모리 셀들의 문턱 전압은, 최하위 비트(LSB)의 논리 상태(L2)에 대응하는 메모리 셀들의 문턱 전압보다 낮다. 따라서, 논리 상태(L1)로부터 프로그램되는 메모리 셀들의 문턱 전압이, 논리 상태(L2)로부터 프로그램되는 메모리 셀들의 문턱 전압보다 빠르게 상승할 것이다.

[0067] 따라서, 최하위 비트(LSB)의 논리 상태(L1)로부터 중간 비트(CSB)의 논리 상태(C2)로 프로그램되는 메모리 셀들(MC7, MC8)이 다른 메모리 셀들(MC3~MC6)보다 먼저 프로그램 패스될 것이다. 이후에, 프로그램 패스된 메모리 셀들(MC7, MC8)은 프로그램 금지될 것이다.

[0068] 이후에, 논리 상태(C3)로 프로그램되는 메모리 셀들(MC5, MC6)이 프로그램 패스되고, 프로그램 금지될 것이다. 이후에, 논리 상태(C4)로 프로그램되는 메모리 셀들(MC3, MC4)이 프로그램 패스될 것이다.

[0069] 즉, 중간 비트(CSB)의 논리 상태(C2)로 프로그램되는 메모리 셀들(MC7, MC8)이 프로그램 패스된 후에, 중간 비트(CSB)의 논리 상태들(C3, C4)로 프로그램될 메모리 셀들(MC3~MC6)에 대한 프로그램 동작이 더 수행된다. 따라서, 논리 상태(C2)로 프로그램된 메모리 셀들(MC7, MC8)은 논리 상태(C3, C4)로 프로그램되는 메모리 셀들(MC3~MC6)로부터 커플링의 영향, 더 상세하게는 F-poly 커플링의 영향을 받을 것이다.

- [0070] 최하위 비트(LSB)의 논리 상태(L2)로부터 중간 비트(CSB)의 논리 상태(C3)로 프로그램되는 메모리 셀들(MC5, MC6)의 문턱 전압의 변화량(ΔV_{T1})은, 인접 메모리 셀들(MC1~MC4, MC7~MCm)에 커플링, 더 상세하게는 F-poly 커플링을 유발할 것이다. 최하위 비트(LSB)의 논리 상태(L2)로부터 중간 비트(CSB)의 논리 상태(C4)로 프로그램되는 메모리 셀들(MC3, MC4)의 문턱 전압의 변화량(ΔV_{T1})은, 인접 메모리 셀들(MC1, MC2, MC5~MCm)에 커플링, 더 상세하게는 F-poly 커플링을 유발할 것이다.
- [0071] 예시적으로, 중간 비트(CSB)의 논리 상태(C2)로 프로그램된 메모리 셀들의 문턱 전압은, 논리 상태들(C3, C4)로 프로그램되는 메모리 셀들로부터의 F-poly 커플링에 의해 상승할 것이다. 예시적으로, 논리 상태(C3)로 프로그램된 메모리 셀들의 문턱 전압은, 논리 상태(C4)로 프로그램되는 메모리 셀들로부터의 F-poly 커플링에 의해 상승할 것이다. 예시적으로, 중간 비트(CSB) 프로그램 시에, 논리 상태(C4)로 프로그램되는 메모리 셀들로부터 논리 상태(C2)로 프로그램된 메모리 셀들에 전달되는 커플링의 영향이 가장 클 것이다. 커플링의 영향에 의해, 논리 상태들(C2, C3)로 프로그램된 메모리 셀들이 프로그램 교란될 수 있음이 이해될 것이다.
- [0072] 커플링의 영향에 의한 프로그램 교란을 방지하기 위하여, 본 발명의 실시 예에 따른 플래시 메모리 장치는 적어도 두 개의 프로그램 전압들을 이용하여 중간 비트(CSB) 프로그램을 수행할 것이다.
- [0073] 도 8은 도 7의 중간 비트(CSB) 프로그램 시의 프로그램 전압들 및 검증 전압들을 보여주는 다이어그램이다. 도 8에서, 가로 축은 시간(T)을 나타내며, 세로 축은 전압(V)의 레벨을 나타낼 것이다.
- [0074] 도 3, 4, 7 및 8을 참조하면, 두 개의 프로그램 시작 전압들(VPCA1, VPCB1)이 프로그램 전압으로서 선택 워드 라인(WL2)에 제공된다. 그리고, 검증 전압들(VC1~VC3)이 선택 워드 라인(WL2)에 제공된다. 검증 전압(VC1)은 논리 상태(C2)로 프로그램되는 메모리 셀들의 패스 여부를 판별하기 위하여 이용될 것이다. 검증 전압(VC2)은 논리 상태(C3)로 프로그램되는 메모리 셀들의 패스 여부를 판별하기 위하여 이용될 것이다. 검증 전압(VC3)은 논리 상태(C4)로 프로그램되는 메모리 셀들의 패스 여부를 판별하기 위하여 이용될 것이다. 이후에, 프로그램 전압들(VPCA1, VPCB1)의 레벨이 상승되고, 프로그램 루프가 반복될 것이다. 즉, ISPP 프로그램이 수행될 것이다.
- [0075] 메모리 셀들(MC1~MCm)이 모두 프로그램 패스될 때까지, 또는 미리 설정된 수의 프로그램 루프가 수행될 때까지, 프로그램 동작이 반복될 것이다. 예시적으로, 도 6에서, 프로그램 전압들의 레벨들이 각각 VPCAk 및 VPCBk 에 도달할 때까지, 프로그램 루프가 반복되는 것으로 도시되어 있다. 상술한 바와 같이, 선택 워드 라인(WL2)에 제공되는 프로그램 전압들 및 검증 전압들은 하나의 프로그램 루프를 형성할 것이다.
- [0076] 예시적으로, 프로그램 전압들(VPCA1~VPCAk)은 메모리 셀들을 논리 상태(C2)로 프로그램하기 위해 이용될 것이다. 예를 들면, 프로그램 전압들(VPCA1~VPCAk)이 선택 워드 라인(WL2)에 제공될 때, 메모리 셀들(MC7, MC8)은 프로그램될 것이다. 그리고, 프로그램 전압들(VPCA1~VPCAk)이 선택 워드 라인(WL2)에 제공될 때, 메모리 셀들(MC3~MC6)은 프로그램 금지될 것이다.
- [0077] 예시적으로, 프로그램 전압들(VPCB1~VPCBk)은 메모리 셀들을 논리 상태들(C3, C4)로 프로그램하기 위해 이용될 것이다. 예를 들면, 프로그램 전압들(VPCB1~VPCBk)이 선택 워드 라인(WL2)에 제공될 때, 메모리 셀들(MC3~MC6)은 프로그램될 것이다. 그리고, 프로그램 전압들(VPCB1~VPCBk)이 선택 워드 라인(WL2)에 제공될 때, 메모리 셀들(MC7, MC8)은 프로그램 금지될 것이다.
- [0078] 예시적으로, 프로그램 전압(VPCB1~VPCBk 중 하나)은 논리 상태(C3)를 프로그램하기 위해 요구되는 레벨 및 논리 상태(C4)를 프로그래하기 위해 요구되는 레벨 사이의 레벨을 가질 것이다. 예시적으로, 프로그램 전압(VPCB1~VPCBk 중 하나)이 선택 워드 라인(WL2)에 인가될 때, 논리 상태(C3)로 프로그램될 메모리 셀들(MC5, MC6)에 대응하는 비트 라인들(BL5, BL6)에 양의 전압이 바이어스될 것이다. 비트 라인들(BL5, BL6)에 바이어스되는 양의 전압은, 메모리 셀들(MC5, MC6)을 프로그램 금지하기 위한 전압보다 낮은 레벨을 가질 것이다. 즉, 메모리 셀들(MC5, MC6)은 비트 라인들(BL5, BL6)에 바이어스되는 양의 전압으로 인해 프로그램 금지되지 않을 것이다.
- [0079] 비트 라인들(BL5, BL6)에 양의 전압이 바이어스되면, 메모리 셀들(MC5, MC6)의 채널 또한 양의 전압으로 바이어스될 것이다. 메모리 셀들(MC5, MC6)의 제어 게이트 전압과 채널 전압의 차이는 해당 프로그램 전압(VPCB1~VPCBk 중 하나)의 레벨보다 작을 것이다. 즉, 메모리 셀들(MC5, MC6)에서, 해당 프로그램 전압(VPCB1~VPCBk 중 하나)에 의한 프로그램 효과는 감소될 것이다. 따라서, 메모리 셀들(MC5, MC6)을 논리 상태(C3)로 프로그램하기 위해 요구되는 프로그램 전압의 레벨보다 높은 레벨의 프로그램 전압(VPCB1~VPCBk 중 하나)으로 인해, 해당 메모리 셀들(MC5, MC6)이 과프로그램되는 것이 방지될 것이다.

- [0080] 논리 상태(C4)로 프로그램될 메모리 셀들(MC3, MC4)에 대응하는 비트 라인들(BL3, BL4)에 접지 전압(Vss)이 바이어스될 것이다. 즉, 메모리 셀들(MC3, MC4)은 대응하는 프로그램 전압(VPBC1~VPBCk 중 하나)에 의해 프로그램 될 것이다.
- [0081] 중간 비트(CSB) 프로그램 동작 시에, 최하위 비트(LSB)의 논리 상태(L1)를 갖는 메모리 셀들의 문턱 전압은 프로그램 전압(VPCA1~VPCAk 중 하나)에 의해 증가될 것이다. 최하위 비트(LSB)의 논리 상태(L2)를 갖는 메모리 셀들의 문턱 전압은 프로그램 전압(VPCB1~VPCBk 중 하나)에 의해 증가할 것이다. 하나의 프로그램 루프 동안, 메모리 셀들을 논리 상태(C2)로 프로그램하기 위한 프로그램 전압(VPCA1~VPCAk 중 하나) 및 논리 상태(C3, C4)로 프로그램하기 위한 프로그램 전압(VPCB1~VPCBk 중 하나)이 순차적으로 인가된다. 그리고, 하나의 프로그램 루프 동안 인가되는 제 1 프로그램 전압(VPCA1~VPCAk 중 하나)의 레벨은 제 2 프로그램 전압(VPCB1~VPCBk 중 하나)의 레벨보다 낮다.
- [0082] 즉, 하나의 프로그램 루프에서, 최하위 비트(LSB)의 논리 상태(L1)로부터 중간 비트(CSB)의 논리 상태(C2)로 프로그램되는 메모리 셀들의 문턱 전압이, 제 1 프로그램 전압(VPCA1~VPCAk 중 하나)에 의해 상승한다. 또한, 해당 프로그램 루프에서, 최하위 비트(LSB)의 논리 상태(L1)로부터 중간 비트(CSB)의 논리 상태들(C3, C4)로 프로그램되는 메모리 셀들의 문턱 전압도 제 2 프로그램 전압(VPCB1~VPCBk 중 하나)에 의해 상승한다.
- [0083] 도 7에 도시된 바와 같이, 최하위 비트(LSB)의 논리 상태(L1)로부터 프로그램되는 메모리 셀들의 문턱 전압의 평균값(VTL1)이, 논리 상태(L2)로부터 프로그램되는 메모리 셀들의 문턱 전압의 평균값(VTL2)보다 높다. 하나의 프로그램 루프에서, 논리 상태(L1)로부터 프로그램되는 메모리 셀들에 제공되는 제 1 프로그램 전압(VPCA1~VPCAk 중 하나)의 레벨은, 논리 상태(L2)로부터 프로그램되는 메모리 셀들에 제공되는 제 2 프로그램 전압(VPCB1~VPCBk 중 하나)보다 높다. 따라서, 논리 상태(L1)로부터 프로그램되는 메모리 셀들의 문턱 전압의 상승치는, 논리 상태(L2)로부터 프로그램되는 메모리 셀들의 문턱 전압의 상승치와 유사할 것이다. 따라서, 논리 상태(C2)로 프로그램되는 메모리 셀들(MC7, MC8) 및 논리 상태들(C3, C4)로 프로그램되는 메모리 셀들(MC3~MC6)은 유사한 시기에 프로그램 완료될 것이다.
- [0084] 예를 들면, 메모리 셀들(MC7, MC8)이 논리 상태(C2)로 프로그램 완료되고, 메모리 셀들(MC5, MC6)이 논리 상태(C3)로 프로그램 완료되고, 그리고 메모리 셀들(MC3, MC4)이 논리 상태(C4)로 프로그램 완료될 것이다.
- [0085] 다른 예로서, 메모리 셀들(MC5, MC6)이 논리 상태(C3)로 프로그램 완료되고, 메모리 셀들(MC7, MC8)이 논리 상태(C2)로 프로그램 완료되고, 그리고 메모리 셀들(MC3, MC4)이 논리 상태(C4)로 프로그램 완료될 것이다.
- [0086] 다른 예로서, 메모리 셀들(MC5, MC6)이 논리 상태(C3)로 프로그램 완료되고, 메모리 셀들(MC3, MC4)이 논리 상태(C4)로 프로그램 완료되고, 그리고 메모리 셀들(MC7, MC8)이 논리 상태(C2)로 프로그램 완료될 것이다.
- [0087] 메모리 셀들(MC3~MCm)이 비슷한 시기에 프로그램 완료되면, 프로그램 완료된 메모리 셀들의 문턱 전압이, 프로그램되는 메모리 셀들로부터의 커플링으로 인해 상승하는 정도가 감소될 것이다. 즉, 본 발명의 실시 예에 따른 플래시 메모리 장치(200)는, 중간 비트(CSB) 프로그램의 하나의 프로그램 루프에서, 적어도 두 개의 프로그램 전압들을 선택 워드 라인(WL2)에 제공한다. 따라서, 커플링의 영향이 감소된다. 중간 비트(CSB) 프로그램의 하나의 프로그램 루프에서, 선택 워드 라인(WL2)에 제공되는 프로그램 전압들의 수는 두 개보다 많을 수 있음이 이해될 것이다.
- [0088] 도 9는 최상위 비트(MSB) 프로그램 방법을 설명하기 위한 다이어그램이다. 도 3, 4, 그리고 9를 참조하면, 프로그램되기 전의 메모리 셀들(MC1~MCm)은 적어도 하나의 논리 상태를 가질 것이다. 예를 들면, 메모리 셀들(MC1~MCm)은 소거 상태(C1) 및 프로그램 상태들(C2~C4)를 가질 것이다. 즉, 메모리 셀들(MC1~MCm)은 최하위 비트(LSB) 및 중간 비트(CSB) 데이터를 저장하고 있을 것이다. 최상위 비트(MSB)가 프로그램되면, 메모리 셀들(MC1~MCm)은 적어도 두 개의 논리 상태들을 가질 것이다. 예를 들면, 메모리 셀들(MC1~MCm)은 소거 상태(M1) 및 프로그램 상태들(M2~M8)을 가질 것이다.
- [0089] 예시적으로, 최상위 비트(MSB)의 논리 상태(M1)의 문턱 전압의 평균값은 전압(VTM1)인 것으로 가정하자. 논리 상태(M2)의 문턱 전압의 평균값은 전압(VTM2)인 것으로 가정하자. 논리 상태(M3)의 문턱 전압의 평균값은 전압(VTM3)인 것으로 가정하자. 논리 상태(M4)의 문턱 전압의 평균값은 전압(VTM4)인 것으로 가정하자. 논리 상태(M5)의 문턱 전압의 평균값은 전압(VTM5)인 것으로 가정하자. 논리 상태(M6)의 문턱 전압의 평균값은 전압(VTM6)인 것으로 가정하자. 논리 상태(M7)의 문턱 전압의 평균값은 전압(VTM7)인 것으로 가정하자. 논리 상태(M8)의 문턱 전압의 평균값은 전압(VTM8)인 것으로 가정하자.

[0090] 중간 비트(CSB)의 논리 상태(C1, 최하위 비트 "1" 및 중간 비트 "1")로부터 프로그램되는 메모리 셀들은, 최상위 비트(MSB)의 논리 상태(M1, 최상위 비트 "1") 또는 최상위 비트(MSB)의 논리 상태(M2, 최상위 비트 "0")를 갖도록 프로그램될 것이다. 메모리 셀들이 중간 비트(CSB)의 논리 상태(C1)로부터 최상위 비트(CSB)의 논리 상태(M1)로 프로그램될 때, 해당 메모리 셀들의 문턱 전압은 유지될 것이다. 메모리 셀들이 중간 비트(CSB)의 논리 상태(C1)로부터 최상위 비트(MSB)의 논리 상태(M2)로 프로그램될 때, 해당 메모리 셀들의 문턱 전압의 변화량은 전압(VTM2) 및 전압(VTC1)의 차이(VTM2-VTC1)로 나타내어질 것이다.

[0091] 중간 비트(CSB)의 논리 상태(C2, 최하위 비트 "1" 및 중간 비트 "0")로부터 프로그램되는 메모리 셀들은, 최상위 비트(MSB)의 논리 상태(M3, 최상위 비트 "0") 또는 최상위 비트(MSB)의 논리 상태(M4, 최상위 비트 "1")를 갖도록 프로그램될 것이다. 메모리 셀들이 중간 비트(CSB)의 논리 상태(C2)로부터 최상위 비트(MSB)의 논리 상태(M3)로 프로그램될 때, 해당 메모리 셀들의 문턱 전압의 변화량은 전압(VTM3) 및 전압(VTC2)의 차이(VTM3-VTC2)로 나타내어질 것이다. 메모리 셀들이 중간 비트(CSB)의 논리 상태(C2)로부터 최상위 비트(MSB)의 논리 상태(M4)로 프로그램될 때, 해당 메모리 셀들의 문턱 전압의 변화량은 전압(VTM4) 및 전압(VTC2)의 차이(VTM4-VTC2, 또는 $\Delta VT2$)로 나타내어질 것이다.

[0092] 중간 비트(CSB)의 논리 상태(C3, 최하위 비트 "0" 및 중간 비트 "0")로부터 프로그램되는 메모리 셀들은, 최상위 비트(MSB)의 논리 상태(M5, 최상위 비트 "1") 또는 최상위 비트(MSB)의 논리 상태(M6, 최상위 비트 "0")를 갖도록 프로그램될 것이다. 메모리 셀들이 중간 비트(CSB)의 논리 상태(C3)로부터 최상위 비트(MSB)의 논리 상태(M5)로 프로그램될 때, 해당 메모리 셀들의 문턱 전압의 변화량은 전압(VTM5) 및 전압(VTC3)의 차이(VTM5-VTC3)로 나타내어질 것이다. 메모리 셀들이 중간 비트(CSB)의 논리 상태(C3)로부터 최상위 비트(MSB)의 논리 상태(M6)로 프로그램될 때, 해당 메모리 셀들의 문턱 전압의 변화량은 전압(VTM6) 및 전압(VTC3)의 차이(VTM6-VTC3, 또는 $\Delta VT3$)로 나타내어질 것이다.

[0093] 중간 비트(CSB)의 논리 상태(C4, 최하위 비트 "0" 및 중간 비트 "1")로부터 프로그램되는 메모리 셀들은, 최상위 비트(MSB)의 논리 상태(M7, 최상위 비트 "0") 또는 최상위 비트(MSB)의 논리 상태(M8, 최상위 비트 "1")를 갖도록 프로그램될 것이다. 메모리 셀들이 중간 비트(CSB)의 논리 상태(C4)로부터 최상위 비트(MSB)의 논리 상태(M7)로 프로그램될 때, 해당 메모리 셀들의 문턱 전압의 변화량은 전압(VTM7) 및 전압(VTC4)의 차이(VTM7-VTC4)로 나타내어질 것이다. 메모리 셀들이 중간 비트(CSB)의 논리 상태(C4)로부터 최상위 비트(MSB)의 논리 상태(M8)로 프로그램될 때, 해당 메모리 셀들의 문턱 전압의 변화량은 전압(VTM8) 및 전압(VTC4)의 차이(VTM8-VTC4, 또는 $\Delta VT4$)로 나타내어질 것이다.

[0094] 예시적으로, 도 3을 참조하여 설명된 바와 같이, 메모리 셀들(MC1, MC3, MC5, MC7)은 최상위 비트(MSB) "1"을 갖도록 프로그램될 것이다. 메모리 셀들(MC2, MC4, MC6, MC8)은 최상위 비트(CSB) "0"을 갖도록 프로그램될 것이다. 표 3은 최하위 비트(LSB), 중간 비트(CSB), 그리고 최상위 비트(MSB)가 프로그램된 메모리 셀들의 상태를 나타낸다.

표 3

[0095]

	MC1	MC2	MC3	MC4	MC5	MC6	MC7	MC8
LSB	1	1	0	0	0	0	1	1
CSB	1	1	1	1	0	0	0	0
MSB	1	0	1	0	1	0	1	0

[0096] 중간 비트(CSB)의 논리 상태(C2)로부터 프로그램되는 메모리 셀들의 문턱 전압의 변화량들 중 큰 값은 $\Delta VT2$ 이다. 중간 비트(CSB)의 논리 상태(C3)로부터 프로그램되는 메모리 셀들의 문턱 전압의 변화량들 중 큰 값은 $\Delta VT3$ 이다. 중간 비트(CSB)의 논리 상태(C4)로부터 프로그램되는 메모리 셀들의 문턱 전압의 변화량들 중 큰 값은 $\Delta VT4$ 이다.

[0097] 최상위 비트(MSB) 프로그램 시의 메모리 셀들의 문턱 전압의 변화량($\Delta VT2$, $\Delta VT3$, 또는 $\Delta VT4$)은, 중간 비트(CSB) 프로그램 시의 메모리 셀들의 문턱 전압의 변화량($\Delta VT1$)보다 작다. 즉, 최상위 비트(MSB) 프로그램시의 커플링의 영향은 중간 비트(CSB) 프로그램 시의 커플링의 영향보다 작을 것이다.

[0098] 최상위 비트(MSB) 프로그램 시의 문턱 전압의 변화량이 미리 설정된 값보다 적으면, 즉 커플링의 영향이 미리 설정된 양 보다 적으면, 최상위 비트(MSB) 프로그램의 하나의 프로그램 루프에서, 선택 워드 라인(WL2)에 하나의 프로그램 전압을 제공하여 프로그램하는 것이 가능하다. 즉, 문턱 전압의 변화량이 미리 설정된 값보다 적으

면, 하나의 프로그램 루프에서 선택 워드 라인에 제공되는 프로그램 전압의 수를 감소시키는 것이 가능하다.

- [0099] 도 10은 도 9의 최상위 비트(MSB) 프로그램 시의 프로그램 전압들 및 검증 전압들을 보여주는 다이어그램이다. 도 10에서, 가로 축은 시간(T)을 나타내며, 세로 축은 전압(V)을 나타낸다.
- [0100] 도 3, 4, 9 및 10을 참조하면, 프로그램 시작 전압(VPM1)이 프로그램 전압으로서 선택 워드 라인(WL2)에 제공된다. 그리고, 검증 전압들(VM1~VM7)이 선택 워드 라인(WL2)에 제공된다. 검증 전압(VM1)은 논리 상태(M2)로 프로그램되는 메모리 셀들의 패스 여부를 판별하기 위하여 이용될 것이다. 검증 전압(VM2)은 논리 상태(M3)로 프로그램되는 메모리 셀들의 패스 여부를 판별하기 위하여 이용될 것이다. 검증 전압(VM3)은 논리 상태(M4)로 프로그램되는 메모리 셀들의 패스 여부를 판별하기 위하여 이용될 것이다. 검증 전압(VM4)은 논리 상태(M5)로 프로그램되는 메모리 셀들의 패스 여부를 판별하기 위하여 이용될 것이다. 검증 전압(VM5)은 논리 상태(M6)로 프로그램되는 메모리 셀들의 패스 여부를 판별하기 위하여 이용될 것이다. 검증 전압(VM6)은 논리 상태(M7)로 프로그램되는 메모리 셀들의 패스 여부를 판별하기 위하여 이용될 것이다. 검증 전압(VM7)은 논리 상태(M8)로 프로그램되는 메모리 셀들의 패스 여부를 판별하기 위하여 이용될 것이다. 이후에, ISPP 프로그램이 수행될 것이다.
- [0101] 메모리 셀들(MC1~MCm)이 모두 프로그램 패스될 때까지, 또는 미리 설정된 수의 프로그램 루프가 수행될 때까지, 프로그램 동작이 반복될 것이다. 예시적으로, 도 10에서, 프로그램 전압들의 레벨이 VPMk 에 도달할 때까지, 프로그램 루프가 반복되는 것으로 도시되어 있다. 상술한 바와 같이, 선택 워드 라인(WL2)에 제공되는 프로그램 전압들 및 검증 전압들은 하나의 프로그램 루프를 형성할 것이다.
- [0102] 메모리 셀들(MC1~MCm)은 프로그램 전압들(VPM1~VPMk)에 의해 프로그램될 것이다. 예시적으로, 프로그램 상태(M1)로 프로그램될 메모리 셀(MC1)을 제외한 메모리 셀들(MC2~MCm)은 프로그램 가능한 상태로 설정될 것이다. 프로그램 전압이 인가되면, 메모리 셀(MC2)의 문턱 전압이 논리 상태(C1)로부터 논리 상태(M2)로 증가할 것이다. 메모리 셀(MC8)의 문턱 전압이 논리 상태(C2)로부터 논리 상태(M3)로 증가할 것이다. 메모리 셀(MC7)의 문턱 전압이 논리 상태(C2)로부터 논리 상태(M4)로 증가할 것이다. 메모리 셀(MC5)의 문턱 전압이 논리 상태(C3)로부터 논리 상태(M5)로 증가할 것이다. 메모리 셀(MC6)의 문턱 전압이 논리 상태(C3)로부터 논리 상태(M6)로 증가할 것이다. 메모리 셀(MC4)의 문턱 전압이 논리 상태(C4)로부터 논리 상태(M7)로 증가할 것이다. 메모리 셀(MC3)의 문턱 전압이 논리 상태(C4)로부터 논리 상태(M8)로 증가할 것이다.
- [0103] 도 5 및 6을 참조하여 설명된 바와 같이 하나의 프로그램 루프에서 하나의 프로그램 전압이 제공되면, 문턱 전압이 낮은 메모리 셀들로부터 문턱 전압이 높은 메모리 셀들의 순서로 프로그램 패스될 것이다.
- [0104] 메모리 셀(MC2)의 문턱 전압이 검증 전압(VM1)에 도달하면, 메모리 셀(MC2)은 프로그램 패스될 것이다. 메모리 셀(MC2)이 프로그램 패스된 후 다른 메모리 셀들의 프로그램 동작이 수행되면, 메모리 셀(MC2)에 커플링이 유발될 것이다. 메모리 셀(MC2)이 프로그램 패스된 후의 프로그램 동작에 의한 문턱 전압의 변화량은 전압들(ΔVT_2 , ΔVT_3 , ΔVT_4)일 것이다. 즉, 프로그램 패스된 메모리 셀(MC2)에 전달되는 커플링의 영향은, 문턱 전압의 변화량들(ΔVT_2 , ΔVT_3 , ΔVT_4)에 대응할 것이다.
- [0105] 메모리 셀(MC8)의 문턱 전압이 검증 전압(VM2)에 도달하면, 메모리 셀(MC8)은 프로그램 패스될 것이다. 프로그램 패스된 메모리 셀(MC2)에 전달되는 커플링의 영향은, 문턱 전압의 변화량들(ΔVT_3 , ΔVT_4)에 대응할 것이다. 메모리 셀(MC7)의 문턱 전압이 검증 전압(VM3)에 도달하면, 메모리 셀(MC7)은 프로그램 패스될 것이다. 프로그램 패스된 메모리 셀(MC2)에 전달되는 커플링의 영향은, 문턱 전압의 변화량들(ΔVT_3 , ΔVT_4)에 대응할 것이다.
- [0106] 메모리 셀(MC5)의 문턱 전압이 검증 전압(VM4)에 도달하면, 메모리 셀(MC5)은 프로그램 패스될 것이다. 프로그램 패스된 메모리 셀(MC2)에 전달되는 커플링의 영향은, 문턱 전압의 변화량들(ΔVT_4)에 대응할 것이다. 메모리 셀(MC6)의 문턱 전압이 검증 전압(VM5)에 도달하면, 메모리 셀(MC6)은 프로그램 패스될 것이다. 프로그램 패스된 메모리 셀(MC2)에 전달되는 커플링의 영향은, 문턱 전압의 변화량들(ΔVT_4)에 대응할 것이다.
- [0107] 메모리 셀(MC4)의 문턱 전압이 검증 전압(VM6)에 도달하면, 메모리 셀(MC4)은 프로그램 패스될 것이다. 메모리 셀(MC3)의 문턱 전압이 검증 전압(VM7)에 도달하면, 메모리 셀(MC4)은 프로그램 패스될 것이다.
- [0108] 도 7 및 8을 참조하여 설명된 중간 비트(CSB) 프로그램 시의 문턱 전압 변화량(ΔVT_4)과 비교하면, 최상위 비트(MSB) 프로그램 시의 문턱 전압 변화량(ΔVT_2 , ΔVT_3 , ΔVT_4)이 더 작다. 즉, 최상위 비트(MSB) 프로그램 시의 커플링의 영향이, 중간 비트(CSB) 프로그램 시의 커플링의 영향보다 작다. 따라서, 최상위 비트(MSB) 프로그램 동작 시에, 하나의 프로그램 루프에서 하나의 프로그램 전압을 제공하여 프로그램 동작을 수행하여도, 최상위 비트(MSB) 프로그램 동작 시에, 커플링에 의한 프로그램 교란이 방지/감소될 수 있음이 이해될 것이다.

- [0109] 상술한 바와 같이, 하나의 프로그램 루프에서 제공되는 하나의 프로그램 전압에 의하여, 메모리 셀들(MC1-MC8)이 적어도 하나의 논리 상태들(C1-C4)로부터 적어도 두 개의 논리 상태들(M1-M8)로 프로그램된다.
- [0110] 도 8을 참조하여 설명된 프로그램 방법은, 하나의 프로그램 루프에서 적어도 두 개의 프로그램 전압(예를 들면, 제 1 및 제 2 프로그램 전압)을 선택 워드 라인(WL2)에 제공한다. 제 1 프로그램 전압이 인가될 때, 메모리 셀들은 논리 상태(C2)로 프로그램된다. 이때, 논리 상태(C3, C4)로 프로그램될 메모리 셀들을 프로그램 금지하기 위한 바이어스 시간이 요구될 것이다. 제 2 프로그램 전압이 인가될 때, 메모리 셀들은 논리 상태들(C3, C4)로 프로그램된다. 이때, 논리 상태(C2)로 프로그램될 메모리 셀들을 프로그램 금지하기 위한 바이어스 시간이 요구될 것이다.
- [0111] 즉, 도 8을 참조하여 설명된 프로그램 방법에 따르면, 메모리 셀들을 논리 상태들(C1-C4)로 프로그램하기 위하여, 하나의 프로그램 루프에서 적어도 두 개의 프로그램 전압들을 제공하는 것이 요구된다. 반면, 도 10을 참조하여 설명된 프로그램 방법에 따르면, 메모리 셀들을 논리 상태들(M1-M8)로 프로그램하기 위하여, 하나의 프로그램 루프에서 하나의 프로그램 전압을 제공하는 것이 요구된다. 도 10을 참조하여 설명된 프로그램 방법의 프로그램 속도가, 도 8을 참조하여 설명된 프로그램 방법의 프로그램 속도보다 높음이 이해될 것이다. 또한, 앞서 설명된 바와 같이, 도 8을 참조하여 설명된 프로그램 방법의 커플링 감소 효과가, 도 10을 참조하여 설명된 프로그램 방법의 커플링 감소 효과보다 높음이 이해될 것이다.
- [0112] 본 발명의 실시 예에 따른 불휘발성 메모리 장치는, 프로그램 동작 시의 메모리 셀들의 문턱 전압의 변화량(즉, 커플링의 영향)에 따라, 하나의 프로그램 루프에서 선택 워드 라인에 제공되는 프로그램 전압의 수를 가변한다. 따라서, 도 8을 참조하여 설명된 중간 비트(CSB) 프로그램과 같이, 문턱 전압의 변화량(즉, 커플링의 영향)이 기준 값보다 높은 경우, 커플링의 영향을 감소시키기 위한 프로그램 동작이 수행된다. 예시적으로, 도 7 및 8을 참조하여 설명된 프로그램 동작이 수행될 것이다. 예시적으로, 하나의 프로그램 루프에서, 선택 워드 라인에 적어도 두 개의 프로그램 전압들이 제공될 것이다.
- [0113] 도 9 및 10을 참조하여 설명된 최상위 비트(MSB) 프로그램과 같이, 문턱 전압의 변화량(즉, 커플링의 영향)이 기준 값보다 낮은 경우, 프로그램 속도를 향상시키기 위한 프로그램 동작이 수행된다. 예시적으로, 도 9 및 10을 참조하여 설명된 프로그램 동작이 수행될 것이다. 예시적으로, 하나의 프로그램 루프에서 선택 워드 라인에 제공되는 프로그램 전압의 수가 감소될 것이다.
- [0114] 도 5 및 6을 참조하여 설명된 최하위 비트(LSB) 프로그램과 같이, 워드 라인 방향으로의 커플링이 존재하지 않으면, 프로그램 속도를 향상시키기 위한 프로그램 동작이 수행된다. 예시적으로, 하나의 프로그램 루프에서, 선택 워드 라인에 제공되는 프로그램 전압의 수는 하나로 설정될 것이다.
- [0115] 예시적으로, 문턱 전압의 변화량과 비교되는 기준 값은, 프로그램 교란이 발생하는 정도에 따라 결정될 것이다. 예시적으로, 프로그램 속도를 향상시키기 위한 프로그램 동작이, 기본적인 프로그램 동작으로 설정될 것이다. 프로그램 속도를 향상시키기 위한 프로그램 동작 시에, 커플링의 영향에 의해 읽기 오류가 발생될(예를 들면, 미리 설정된 비트 수 이상 읽기 오류가 발생될) 때의 문턱 전압의 변화량(즉, 커플링의 영향)이 기준 값으로 설정될 것이다.
- [0116] 예시적으로, 기준값은 패키지 전의 테스트를 통해 검출되고, 불휘발성 메모리 장치(200)에 저장될 것이다. 예시적으로, 기준 값은 패키지 후의 테스트를 통해 검출되고, 불휘발성 메모리 장치(200)에 저장될 것이다. 예시적으로, 기준 값은 플래시 메모리 장치(200)의 테스트 모드 시에 검출되어 갱신될 것이다.
- [0117] 예시적으로, 검출된 기준값에 따라, 하나의 프로그램 루프에서 선택 워드 라인에 제공되는 프로그램 전압들의 수가 설정될 것이다. 예시적으로, 메모리 셀들의 최하위 비트(LSB)로부터 n-1 (n은 양의 정수) 번째 비트의 프로그램의 하나의 프로그램 루프에서 선택 워드 라인에 제공될 프로그램 전압들의 수가 설정될 것이다. 즉, 본 발명의 실시 예에 따른 플래시 메모리 장치(200)는, 선택 페이지의 프로그램 시의 커플링의 영향에 따라, 해당 페이지의 프로그램 동작을 조절하는 것이 가능하다.
- [0118] 도 11은 본 발명의 실시 예에 따른 플래시 메모리 장치(200)의 프로그램 동작을 설명하기 위한 순서도이다. 도 11을 참조하면, S110 단계에서, 플래시 메모리 장치(200)는 프로그램 데이터를 수신한다. 예시적으로, 프로그램 데이터는 도 1의 컨트롤러(100)로부터 제공될 것이다.
- [0119] S120 단계에서, 프로그램 전압의 수가 결정된다. 예시적으로, 프로그램 제어부(251)는 수신된 프로그램 데이터의 프로그램 시의 문턱 전압의 변화량(즉, 커플링의 영향)을 기준 값과 비교할 것이다. 프로그램 제어부(251)는

비교 결과에 따라, 수신된 프로그램 데이터의 프로그램 시의 하나의 프로그램 루프에서 선택 워드 라인에 제공될 프로그램 전압들의 수를 결정할 것이다.

- [0120] 예시적으로, 문턱 전압의 변화량(즉, 커플링의 영향)이 기준 값보다 크면, 도 7 및 8을 참조하여 설명된 바와 같이, 커플링을 감소시키기 위한 프로그램 동작이 수행될 것이다. 즉, 프로그램 동작 시의 하나의 프로그램 루프에서, 적어도 두 개의 프로그램 전압들이 선택 워드 라인에 제공될 것이다.
- [0121] 예시적으로, 문턱 전압의 변화량(즉, 커플링의 영향)이 기준 값보다 작으면, 도 9 및 10을 참조하여 설명된 바와 같이, 프로그램 속도를 향상시키기 위한 프로그램 동작이 수행될 것이다. 즉, 프로그램 동작 시의 하나의 프로그램 루프에서, 선택 워드 라인에 제공되는 프로그램 전압들의 수가 감소된다. 예를 들면, 프로그램 동작 시의 하나의 프로그램 루프에서, 적어도 하나의 프로그램 전압이 선택 워드 라인에 제공될 것이다.
- [0122] 다른 예로서, 프로그램 제어부(251)는, 메모리 셀들의 최하위 비트(LSB)로부터 몇 번째 비트에 프로그램 데이터가 저장되는지에 따라, 미리 설정된 프로그램 동작을 수행할 것이다. 예시적으로, 도 9 및 10을 참조하여 설명된 바와 같이, 문턱 전압의 변화량(즉, 커플링의 영향)이 기준 값보다 적은 비트의 프로그램 시에, 도 9 및 10을 참조하여 설명된 바와 같은 프로그램 동작이 수행되도록 설정될 것이다. 예시적으로, 도 7 및 8을 참조하여 설명된 바와 같이, 문턱 전압의 변화량(즉, 커플링의 영향)이 기준 값보다 큰 비트의 프로그램 시에, 도 7 및 8을 참조하여 설명된 바와 같은 프로그램 동작이 수행되도록 설정될 것이다.
- [0123] 예시적으로, 프로그램 제어부(251)는 최하위 페이지, 중간 페이지, 그리고 최상위 페이지의 프로그램 동작을 달리하도록 설정될 것이다. 예를 들면, 프로그램 제어부(251)는 최하위 페이지, 중간 페이지, 그리고 최상위 페이지의 프로그램 시에, 하나의 프로그램 루프에서 제공되는 프로그램 전압들의 수를 달리하도록 설정될 것이다.
- [0124] 상술한 바와 같이, 본 발명의 실시 예에 따른 플래시 메모리 장치(200)는, 커플링의 영향의 크기에 따라, 커플링을 감소시키기 위한 프로그램 동작 및 프로그램 속도를 향상시키기 위한 프로그램 동작을 선택적으로 수행하는 것이 가능하다.
- [0125] 상술한 실시 예에서, 셀 당 3 비트를 저장하는 플래시 메모리 장치의 예를 참조하여, 본 발명의 기술적 사상이 설명되었다. 그러나, 본 발명의 기술적 사상은 셀 당 3 비트를 저장하는 플래시 메모리 장치로 한정되지 않음이 이해될 것이다. 예시적으로, 본 발명의 기술적 사상은, 셀 당 n (은 양의 정수) 비트를 저장하는 메모리 장치에 적용 및 응용될 수 있음이 이해될 것이다. 예시적으로, 본 발명의 기술적 사상은, ROM, PROM, EPROM, EEPROM, 플래시 메모리 장치, PRAM, MRAM, RRAM, FRAM 등을 포함하는 불휘발성 메모리 장치에 응용 및 적용될 수 있다.
- [0126] 도 12는 도 1의 메모리 시스템(10)을 포함하는 컴퓨팅 시스템(300)의 실시 예를 보여주는 블록도이다. 도 12를 참조하면, 본 발명의 실시 예에 따른 컴퓨팅 시스템(300)은 중앙 처리 장치(310), 램(320, RAM, Random Access Memory), 사용자 인터페이스(330), 전원(340), 그리고 메모리 시스템(10)을 포함한다.
- [0127] 메모리 시스템(10)은 시스템 버스(350)를 통해, 중앙처리장치(310), 램(320), 사용자 인터페이스(330), 그리고 전원(340)에 전기적으로 연결된다. 사용자 인터페이스(330)를 통해 제공되거나, 중앙 처리 장치(310)에 의해서 처리된 데이터는 메모리 시스템(10)에 저장된다. 메모리 시스템(10)은 컨트롤러(100) 및 불휘발성 메모리 장치(200)를 포함한다.
- [0128] 메모리 시스템(10)이 반도체 디스크 장치(SSD)로 장착되는 경우, 컴퓨팅 시스템(300)의 부팅 속도가 획기적으로 빨라질 수 있다. 도면에 도시되지 않았지만, 본 발명에 따른 시스템은 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor) 등을 더 포함할 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 이해될 것이다.
- [0129] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 자명하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

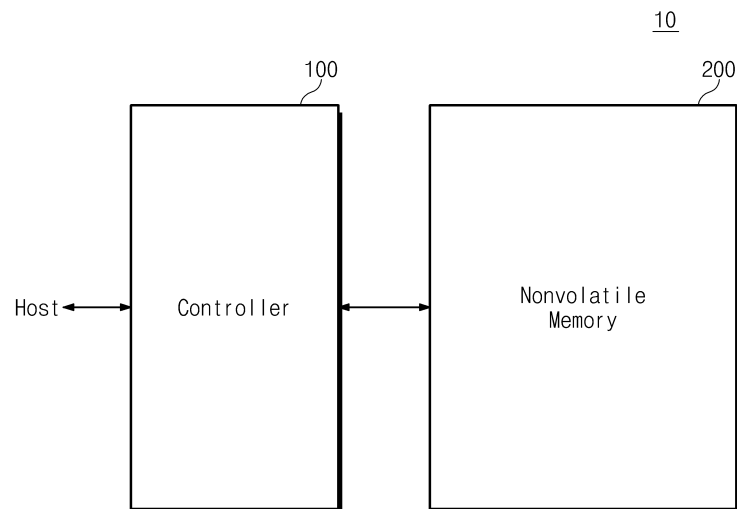
도면의 간단한 설명

- [0130] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.
- [0131] 도 2는 도 1의 플래시 메모리 장치를 보여주는 블록도이다.

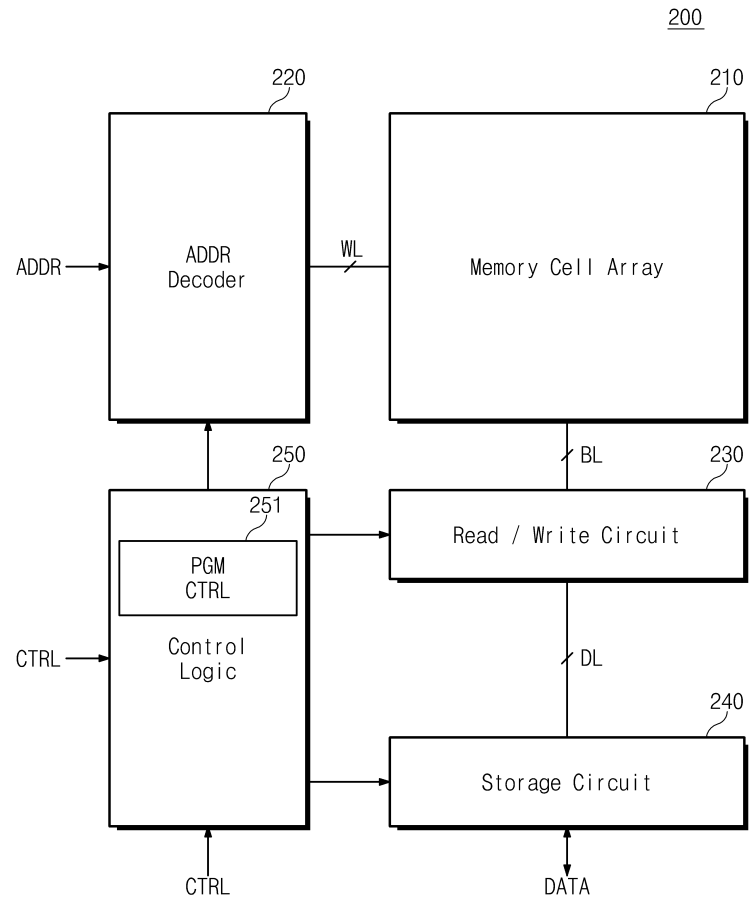
- [0132] 도 3은 도 2의 메모리 셀 어레이를 보여주는 회로도이다.
- [0133] 도 4는 셀 당 3 개의 비트를 저장하는 메모리 셀 어레이의 페이지들을 보여주는 블록도이다.
- [0134] 도 5는 메모리 셀들에 최하위 비트를 프로그램하는 방법을 설명하기 위한 다이어그램이다.
- [0135] 도 6은 도 5의 최하위 비트 프로그램 시의 프로그램 전압 및 검증 전압을 보여주는 다이어그램이다.
- [0136] 도 7은 중간 비트 프로그램 방법을 설명하기 위한 다이어그램이다.
- [0137] 도 8은 도 7의 중간 비트 프로그램 시의 프로그램 전압들 및 검증 전압들을 보여주는 다이어그램이다.
- [0138] 도 9는 최상위 비트 프로그램 방법을 설명하기 위한 다이어그램이다.
- [0139] 도 10은 도 9의 최상위 비트 프로그램 시의 프로그램 전압들 및 검증 전압들을 보여주는 다이어그램이다.
- [0140] 도 11은 본 발명의 실시 예에 따른 플래시 메모리 장치의 프로그램 동작을 설명하기 위한 순서도이다.
- [0141] 도 12는 도 1의 메모리 시스템을 포함하는 컴퓨팅 시스템의 실시 예를 보여주는 블록도이다.

도면

도면1

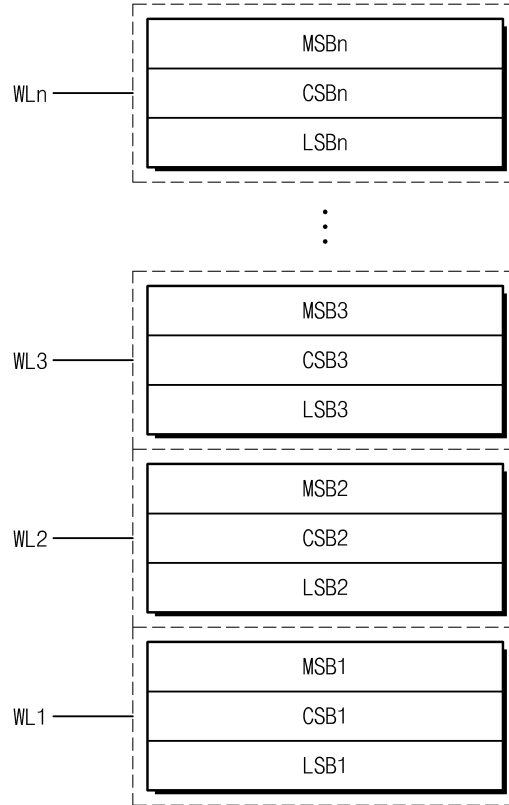


도면2

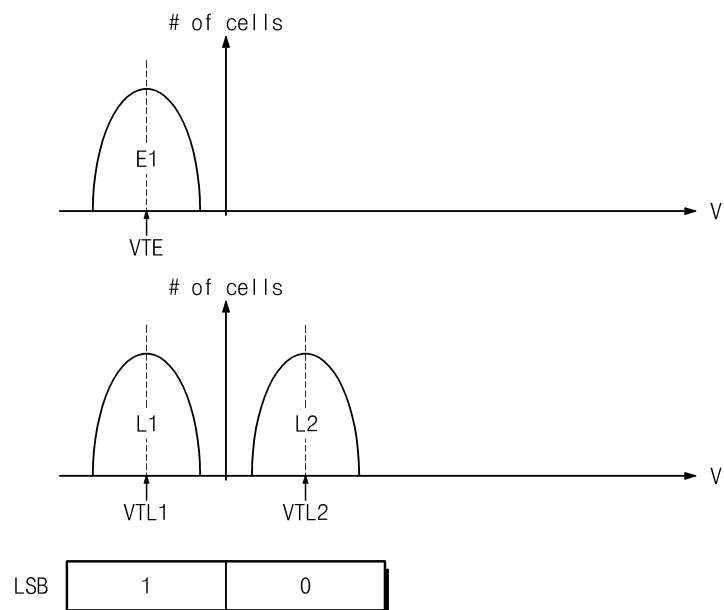


도면4

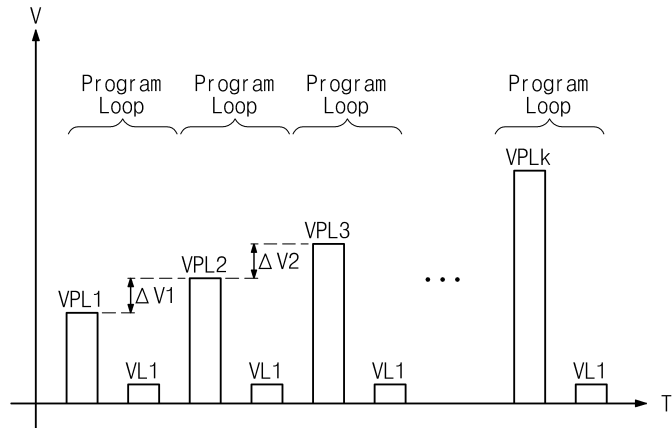
210



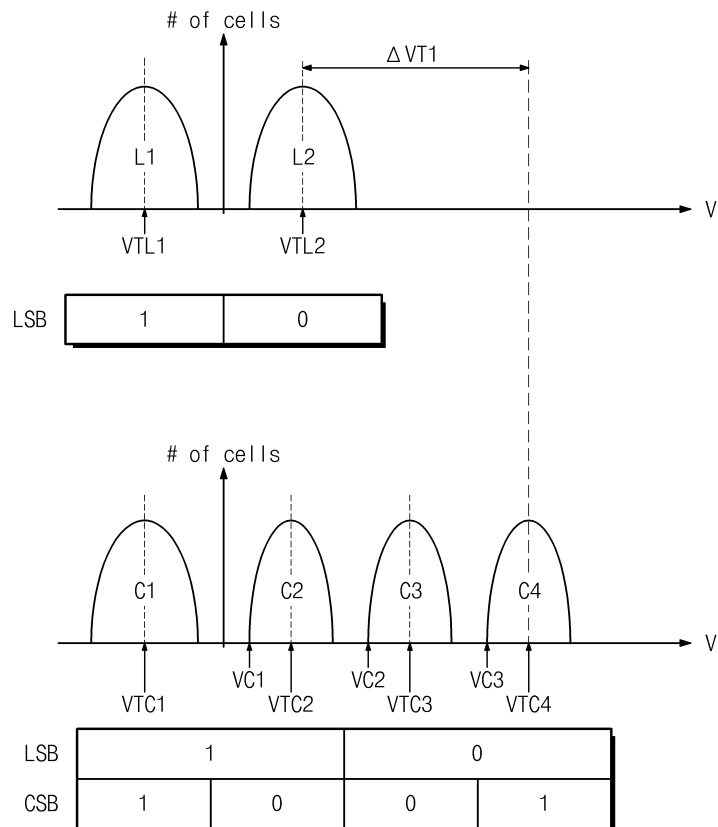
도면5



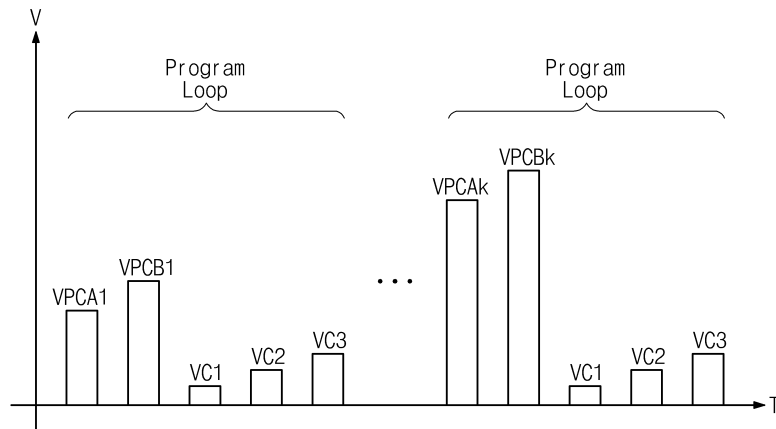
도면6



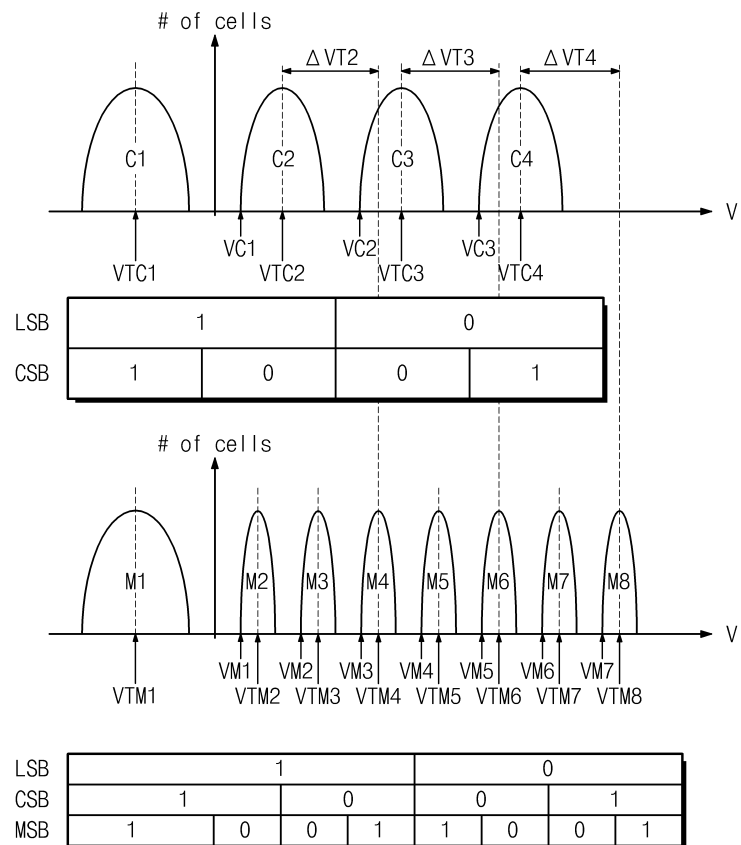
도면7



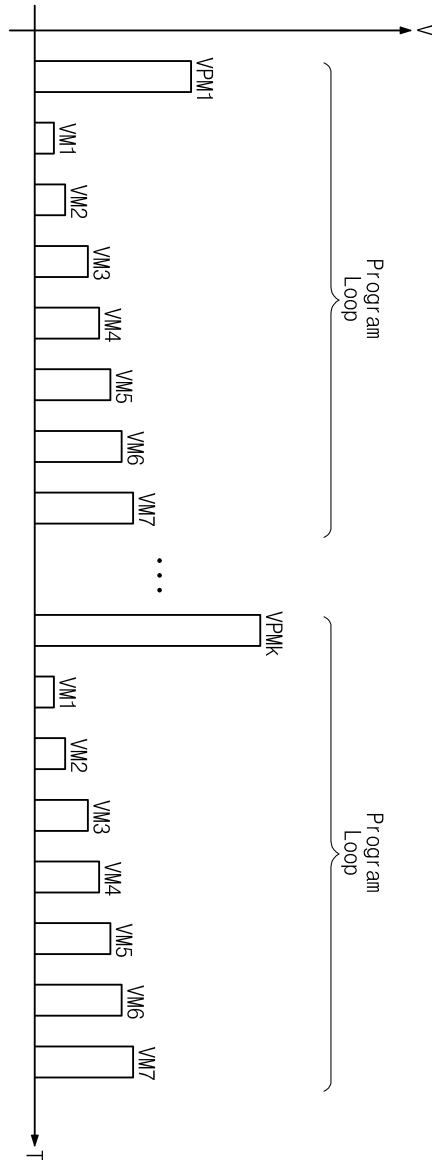
도면8



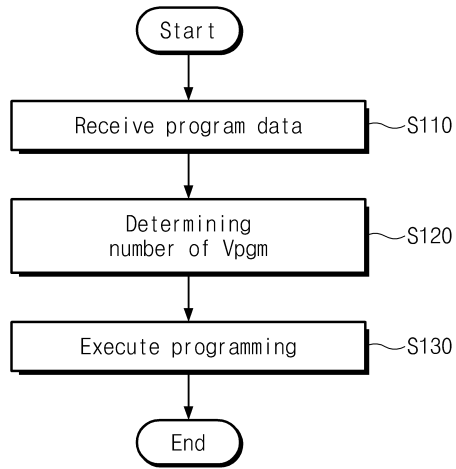
도면9



도면10



도면11



도면12

