

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-65813

(P2008-65813A)

(43) 公開日 平成20年3月21日(2008.3.21)

(51) Int.Cl.
G06F 11/00 (2006.01)F I
G06F 9/06 630Aテーマコード (参考)
5B176

審査請求 未請求 請求項の数 4 O L 外国語出願 (全 14 頁)

(21) 出願番号 特願2007-186456 (P2007-186456)
 (22) 出願日 平成19年7月18日 (2007.7.18)
 (31) 優先権主張番号 11/458, 316
 (32) 優先日 平成18年7月18日 (2006.7.18)
 (33) 優先権主張国 米国 (US)

(71) 出願人 500575824
 ハネウェル・インターナショナル・インコーポレーテッド
 アメリカ合衆国ニュージャージー州07962-2245, モーリスタウン, コロンビア・ロード 101, ビー・オー・ボックス 2245
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100140109
 弁理士 小野 新次郎
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男

最終頁に続く

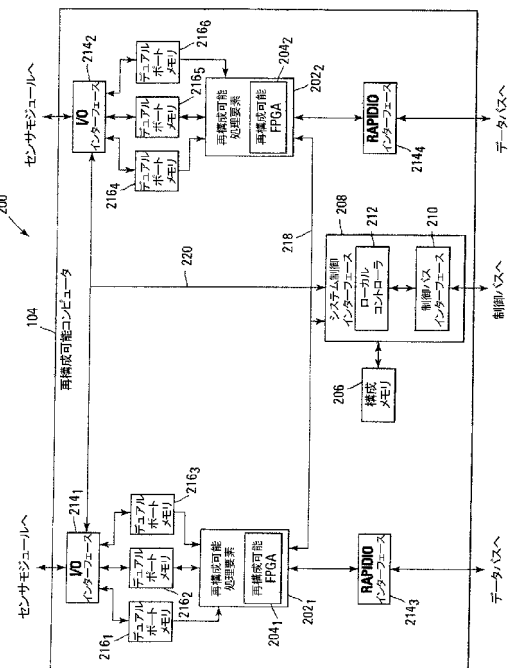
(54) 【発明の名称】 再構成可能処理要素用のローカルコントローラ

(57) 【要約】

【課題】再構成可能コンピュータを提供する。

【解決手段】このコンピュータは、コントローラ208と、コントローラに通信可能に結合された少なくとも1つの再構成可能処理要素202とを含み、コントローラは、前記複数の各再構成可能処理要素の各構成の少なくとも第1部分を読み取り、前記再構成可能処理要素の前記構成の前記第1部分は、前記第1部分が最後に検査されてから変化している場合に、前記再構成可能処理要素の前記各構成の少なくとも一部をリフレッシュするように動作可能である。コントローラは、前記構成の前記第1部分について生成された巡回冗長コード(CRC)を使用して、前記第1部分は、前記第1部分が最後に検査されてから変化しているか否かを決定する。コントローラに通信可能に結合された構成メモリ206をさらに含む。

【選択図】図2



【特許請求の範囲】

【請求項 1】

コントローラ(208)と、

前記コントローラに通信可能に結合された少なくとも1つの再構成可能処理要素(202)とを含み、

前記コントローラは、前記複数の各再構成可能処理要素の各構成の少なくとも第1部分を読み取り、前記再構成可能処理要素の前記構成の前記第1部分は、前記第1部分が最後に検査されてから変化している場合に、前記再構成可能処理要素の前記各構成の少なくとも一部をリフレッシュするように動作可能である、再構成可能コンピュータ(104)。

10

【請求項 2】

前記コントローラは、前記構成の前記第1部分について生成された巡回冗長コード(CRC)を使用して、前記第1部分は、前記第1部分が最後に検査されてから変化しているか否かを決定する、請求項1に記載の再構成可能コンピュータ。

【請求項 3】

前記構成の前記第1部分の前記CRCを生成する、前記コントローラに通信可能に結合されたCRCジェネレータ(306)をさらに含む、請求項2に記載の再構成可能コンピュータ。

【請求項 4】

前記コントローラに通信可能に結合された構成メモリ(206)をさらに含む、請求項1に記載の再構成可能コンピュータ。

20

【発明の詳細な説明】

【技術分野】

【0001】

関連出願

本願は、参照によって本明細書に組み込まれ、本明細書で'888出願とも称する、2004年7月23日に出願した、本願の譲受人に譲渡された同時係属の米国特許出願第10/897888号、名称「RECONFIGURABLE COMPUTING ARCHITECTURE FOR SPACE APPLICATIONS(再構成可能コンピューティングアーキテクチャスペースアプリケーション)」に関連する。

30

【0002】

宇宙応用の1タイプでは、宇宙空間内を移動するデバイスが、地球に置かれたデバイスにデータを送信する。宇宙空間内を移動するデバイスを、本明細書では「スペースデバイス」とも称する。スペースデバイスの例には、限定なしに、衛星および宇宙ビークルが含まれる。地球に置かれたデバイスを、本明細書では「地上デバイス」とも称する。地上デバイスの例が、ミッション管制センタである。スペースデバイスから地上デバイスに送信されるデータを、本明細書では「ダウンストリームデータ」または「ペイロードデータ」とも称する。ペイロードデータの例には、限定なしに、スペースデバイス内またはスペースデバイス上に含まれる1つまたは複数のセンサまたは他の科学機器から入手された科学データが含まれる。

40

【0003】

いくつかのアプリケーションでは、スペースデバイスによって収集され、スペースデバイスから地上デバイスに送信されるペイロードデータの量は、スペースデバイスと地上デバイスとの間の通信リンクの物理的限界に達し、あるいはそれを超えることさえある。スペースデバイスから地上デバイスに通信されるペイロードデータの量を減らす手法の1つが、スペースデバイスで実行される処理の量を増やすことである。言い換えると、スペースデバイスは、そうでなければダウンストリームデータに含まれるはずの生のペイロードデータを処理する。通常、結果の処理済みデータは、サイズにおいて生のペイロードデータよりかなり小さい。そのような処理からの結果のデータが、その後、スペースデバイスから地上デバイスへダウンストリームデータとして送信される。

50

【 0 0 0 4 】

スペースデバイスで生のペイロードデータを処理する1つの形では、特定用途向け集積回路 (ASIC) を使用する。特定用途向け集積回路は、効率的ではあるが、通常は、ミッション固有であり、限られたスケーラビリティ、アップグレード可能性、および再構成可能性を有する。生のペイロードデータを処理するもう1つの形では、アンチヒューズフィールドプログラマブルゲートアレイ (FPGA) を利用する。そのような手法は、通常、実施コストを下げ、実施時間を減らす。またアンチヒューズFPGAは、通常、放射に対する高い度合の許容量を示す。しかし、アンチヒューズFPGAは、通常、再プログラム可能 (すなわち、再構成可能) ではない。その結果、あるアプリケーションのために構成されたアンチヒューズFPGAは、別のアプリケーションのために再構成可能ではない。

10

【 0 0 0 5 】

そのような生ペイロードデータを処理するもう1つの形は、再プログラム可能FPGAを利用する。しかし、再プログラム可能FPGAは、通常、シングルイベントアップセットに影響されやすい。シングルイベントアップセット (SEU) は、エネルギー粒子が高速で高い運動エネルギーでFPGA (またはサポートする) デバイスを貫通する時に発生する。たとえば、エネルギー粒子は、宇宙空間内で太陽放射または背景放射から生じるイオン、電子、または陽子とすることができる。エネルギー粒子は、デバイス内の電子と相互作用する。そのような相互作用は、FPGA内のトランジスタの状態を反転させる可能性がある。すなわち、エネルギー粒子は、トランジスタの状態を論理「0」から論理「1」にまたは論理「1」から論理「0」に変化させる。これを、本明細書では「ビットフリップ」とも称する。エネルギー粒子とFPGAデバイス内の電子との相互作用は、デバイスへの過渡電流を誘導する可能性もある。

20

【特許文献1】米国特許出願第10/897888号

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

ペイロードデータアプリケーションは、大量の通信干渉と共に動作し続ける。現在の監視技法は、再プログラム可能FPGAが最小回復時間以内に回復するのを制限する。1つまたは複数のシングルイベントアップセットからの回復時間は、特に大量の放射に影響されやすい動作環境で、クリティカルである。

30

【課題を解決するための手段】

【 0 0 0 7 】

一実施形態で、再構成可能コンピュータを提供する。このコンピュータは、コントローラと、コントローラに通信可能に結合された少なくとも1つの再構成可能処理要素とを含む。コントローラは、複数の各再構成可能処理要素の各構成の少なくとも第1部分を読み取り、再構成可能処理要素の構成の第1部分は、第1部分が最後に検査されてから変化している場合に、再構成可能処理要素の各構成の少なくとも一部をリフレッシュするように動作可能である。

【発明を実施するための最良の形態】

40

【 0 0 0 8 】

図1は、'888出願で説明された、宇宙ペイロード処理システム100の実施形態のブロック図である。システム100の実施形態は、たとえば、衛星および宇宙ビークルなどのスペースデバイス内での使用に適切である。システム100は、センサモジュール102₁から102₂を含む。センサモジュール102₁から102₂のそれぞれは、システム100によって処理される生ペイロードデータの供給源である。しかし、他の実施形態では、生ペイロードデータの他の供給源が使用されることを理解されたい。

【 0 0 0 9 】

センサモジュール102₁から102₂のそれぞれは、センサ103₁から103₂を含む。

50

ら 103₂₋₂ を含む。一実施形態で、センサ 103₁₋₁ から 103₂₋₂ は、能動センサおよび / または受動センサを含む。センサ 103₁₋₁ から 103₂₋₂ のそれぞれは、センサ 103 に関連する物理的属性または物理的条件を示す信号を生成する。センサモジュール 102₁₋₁ から 102₂₋₂ は、適当なサポート機能性 (図示せず) を含み、このサポート機能性は、たとえば、アナログ - デジタル変換を実行し、センサデータをシステム 100 の他の部分に供給するのに必要な入出力インターフェースを駆動する。説明を単純にするために、合計 4 つのセンサモジュール 102₁₋₁ から 102₂₋₂ および 4 つのセンサ 103₁₋₁ から 103₂₋₂ が図 1 に示されていることに留意されたい。しかし、システム 100 の他の実施形態では、異なる個数のセンサモジュール 101 およびセンサ 103 (たとえば、1 つまたは複数のセンサモジュールおよび 1 つまたは複数のセンサ) が使用されることを理解されたい。

【0010】

たとえば、一実施形態で、センサモジュール 102₁₋₁ から 102₂₋₂ のそれぞれは、電荷結合素子 (CCD) センサまたは相補型金属酸化物半導体 (CMOS) センサのアレイなどの光学センサのアレイを含む。もう 1 つの実施形態では、赤外線センサのアレイが使用される。光学センサのアレイは、そのような実施形態で、システム 100 内の後続画像処理に使用される画素画像データを生成する。他の実施形態では、他のタイプのセンサが使用される。

【0011】

センサモジュール 102₁₋₁ から 102₂₋₂ によって出力されるデータは、システム 100 によって処理される生センサデータを含む。より具体的に言うと、センサモジュール 102₁₋₁ から 102₂₋₂ によって出力されるセンサデータは、再構成可能コンピュータ 104₁ から 104_N によって処理される。たとえば、センサモジュール 102₁₋₁ から 102₂₋₂ が生画像データを出力する一実施形態では、再構成可能コンピュータ 104₁ から 104₂ が、RICE 圧縮、エッジ検出、または宇宙データシステム諮問委員会 (CCSDS) プロトコル通信など、1 つまたは複数の画像処理動作を実行する。

【0012】

処理されたセンサデータは、次に、バックエンドプロセッサ 106₁ および 106₂ に供給される。バックエンドプロセッサ 106₁ および 106₂ は、再構成可能コンピュータ 104₁ および 104₂ によって実行される高水準制御および通信処理の入力として、処理されたセンサデータを受け取る。システム 100 に示された実施形態では、バックエンドプロセッサ 106₂ は、適当なダウンストリームパケットを組み立て、このダウンストリームパケットは、通信リンク 108 を介して地上デバイス 110 に送信される。このダウンストリームパケットの少なくとも一部は、再構成可能コンピュータ 104₁ および 104₂ から受け取られた処理されたセンサデータ (またはその処理されたセンサデータから導出されたデータ) を含む。システム 100 の各種の構成要素内および間のペイロード関連データの通信を、本明細書では、「データ経路」において発生するとも称する。説明を単純にするために、合計 2 つの再構成可能コンピュータ 104₁ および 104₂ と 2 つのバックエンドプロセッサ 106₁ および 106₂ が図 1 に示されていることに留意されたい。しかし、システム 100 の他の実施形態では、異なる個数の再構成可能コンピュータ 104 およびバックエンドプロセッサ 106 (たとえば、1 つまたは複数の再構成可能コンピュータおよび 1 つまたは複数のバックエンドプロセッサ) が使用されることを理解されたい。

【0013】

システム 100 は、システムコントローラ 112 をまた含む。システムコントローラ 112 は、システム 100 の各種の構成要素の動作を監視し、制御する。たとえば、システムコントローラ 112 は、再構成可能コンピュータ 104₁ および 104₂ の構成および再構成を管理する。システムコントローラ 112 は、さらに、1 つまたは複数のプログラム可能再構成リフレッシュインターバルおよびプログラム可能再構成リードバックインタ

ーバルを制御する責務を負う。システム 100 の各種の構成要素内および間における制御データの通信を、本明細書では、「制御経路」において発生すると称する。

【0014】

再構成可能コンピュータ 104₁ および 104₂ は、構成され、再構成されることができる。たとえば、再構成可能コンピュータ 104₁ および 104₂ は、実行時に構成され、再構成されることができる。すなわち、再構成可能コンピュータ 104₁ および 104₂ によって実行される処理は、システム 100 が展開されている間（たとえば、システム 100 が宇宙空間内にある間）に変更される。一実施形態で、再構成可能コンピュータ 104₁ および 104₂ のそれぞれは、1 つまたは複数の再構成可能処理要素を使用して実現される。1 つのそのような実施形態を、以下に図 2 に関してさらに詳細に説明する。

10

【0015】

一実施形態において、再構成可能コンピュータ 104₁ および 104₂ の再構成可能性は、再構成可能コンピュータ 104₁ および 104₂ のそれぞれによって実行される処理における問題を修正するか、その処理に追加機能を追加するのに使用される。たとえば、システム 100 が展開されている間に、再構成可能コンピュータ 104₁ の新しい構成データが、地上デバイス 110 から通信リンク 108 を介してシステム 100 に通信される。再構成可能コンピュータ 104₁ は、この新しい構成データを使用して、再構成可能コンピュータ 104₁（すなわち、それ自体）を再構成する。

【0016】

さらに、再構成可能コンピュータ 104₁ および 104₂ の再構成可能性は、再構成可能コンピュータ 104₁ および 104₂ が、時分割の基礎で、複数の処理モードのうちの 1 つで動作することを可能にする。たとえば、1 つの使用シナリオでは、再構成可能コンピュータ 104₂ が、各日の第 1 部分中に第 1 処理モードで動作し、同日の第 2 部分中に第 2 処理モードで動作するように構成される。この方法で、複数の処理モードが、同一の再構成可能コンピュータ 104₂ を用いて実現され、そのような複数の処理モードを実施するのに使用されるリソース（たとえば、コスト、電力、および空間）の量を減らす。

20

【0017】

システム 100 では、再構成可能コンピュータ 104₁ および 104₂ のそれぞれとバックエンドプロセッサ 106₁ および 106₂ のそれぞれとが、別々の基板上で実現される。別々の基板のそれぞれは、周辺機器相互接続（PCI）バスまたはコンパクト PCI（cPCI）バスなどの制御バス 114 を介して制御情報を互いに通信する。制御バス 114 は、たとえば、各基板を相互接続するバックプレーン 116 において実現される。図 1 に示されたシステム 100 の例の実施形態では、基板のうちの少なくともいくつかは、1 つまたは複数のデータバス 118（たとえば、RAPIDIO（登録商標）相互接続プロトコルをサポートする 1 つまたは複数のバス）を介して互いに通信する。そのような実施態様では、センサモジュール 102₁₋₁ から 102₂₋₂ は、1 つまたは複数のメザニンボード上で実現される。各メザニンボードは、PCI Mezzanine Card（PMC）インターフェースなどの適当な入出力インターフェースを使用して、対応する再構成可能コンピュータ基板に接続される。

30

【0018】

図 2 は、スペースデバイス 200 でのペイロード処理に使用される再構成可能コンピュータ 104 の実施形態のブロック図である。図示の再構成可能コンピュータ 104 の実施形態は、'888 出願で説明された再構成可能処理要素（RPE）に似た、RPE 202₁ および 202₂ を含む。'888 出願で同様に注記されているように、再構成可能コンピュータ 104 の実施形態は、図 1 に関して上述したシステム 100 によりまたはシステム 100 と共に使用に適切である。再構成可能コンピュータ 104 の他の実施形態および実施態様が、他の方法で（たとえば、複数の RPE 202 を用いて）実現されることを理解されたい。

40

【0019】

RPE 202₁ および 202₂ は、以下に詳細に述べるように適当なプログラミング

50

論理（本明細書では「FPGA構成」または「構成」とも称する）をロードすることによってプログラムされる再構成可能FPGA 204₁および204₂を含む。各RPE 202₁および202₂は、1つまたは複数のペイロード処理動作を実行するように構成される。再構成可能コンピュータ104は、入出力（I/O）インターフェース214₁および214₂をまた含む。この2つのI/Oインターフェース214₁および214₂のそれぞれは、図1の各センサモジュール102に結合され、このセンサモジュール102は、この再構成可能処理要素202によって処理される生ペイロードデータを受け取る。

【0020】

I/Oインターフェース214₁および214₂とRPE 202₁および202₂とは、一連のデュアルポートメモリデバイス216₁から216₆を用いて互いに結合される。これは、1つまたは複数のSEUに、より影響されやすい、マルチドロップバス（または他の相互接続構造）を使用する必要をなくす。デュアルポートメモリデバイス216₁から216₃の第1グループのそれぞれは、第1ポートをI/Oインターフェース214₁に結合される。I/Oインターフェース214₁は、メモリデバイス216₁から216₃の各第1ポートを使用して、メモリデバイス216₁から216₃のそれぞれからデータを読み取り、これらにデータを書き込む。RPE 202₁は、メモリデバイス216₁から216₃の各第2ポートに結合される。RPE 202₁は、メモリデバイス216₁から216₃の各第2ポートを使用して、メモリデバイス216₁から216₃のそれぞれからデータを読み取り、これらにデータを書き込む。3つのデュアルポートメモリデバイス216₄から216₆の第2グループのそれぞれは、第1ポートをI/Oインターフェース214₂に結合される。I/Oインターフェース214₂は、メモリデバイス216₄から216₆の各第1ポートを使用して、メモリデバイス216₄から216₆のそれぞれからデータを読み取り、データを書き込む。RPE 202₂は、メモリデバイス216₄から216₆の各第2ポートに結合される。RPE 202₂は、メモリデバイス216₄から216₆の各第2ポートを使用して、メモリデバイス216₄から216₆のそれぞれからデータを読み取り、データを書き込む。

【0021】

この例の実施形態では、I/Oインターフェース214₃および214₄は、RAPID I/Oインターフェースである。RAPID I/Oインターフェース214₃および214₄のそれぞれは、RAPID I/O相互接続プロトコルをサポートする図1のバックプレーン116における1つまたは複数のデータバス118を介して、各バックエンドプロセッサ106に結合される。RPE 202₁から202₂のそれぞれは、図1の1つまたは複数のバックエンドプロセッサ106と通信するために、RAPID I/Oインターフェース214₃および214₄のそれぞれの1つに結合される。

【0022】

再構成可能コンピュータ104は、さらに、システム制御インターフェース208を含む。システム制御インターフェース208は、構成バス218を介してRPE 202₁から202₂のそれぞれに結合される。システム制御インターフェース208は、システムバス220を介してI/Oインターフェース214₁および214₂のそれぞれにも結合される。システム制御インターフェース208は、図1のシステムコントローラ112がそれによってRPE 202₁から202₂ならびにI/Oインターフェース214₁および214₂に結合された1つまたは複数のI/Oデバイスと通信する（すなわち、これらを監視し、制御する）インターフェースを提供する。システム制御インターフェース208は、制御バスインターフェース210を含む。制御バスインターフェース210は、システム制御インターフェース208を図1の制御バス114に結合する。システム制御インターフェース208およびシステムコントローラ112は、制御バス114を介して通信する。一実施態様で、制御バスインターフェース210は、cPCIインターフェースを含む。

【0023】

10

20

30

40

50

システム制御インターフェース 208 は、ローカルコントローラ 212 をまた含む。ローカルコントローラ 212 は、図 1 のシステムコントローラ 112 の管理下で各種の制御動作を実行する。ローカルコントローラ 212 は、以下に図 3 に関してさらに詳細に説明する各種の F P G A 構成管理動作を実行する。ローカルコントローラ 212 によって実行される構成管理動作は、構成メモリ 206 から F P G A 構成を読み取ること、再構成可能 F P G A 204₁ および 204₂ のそれぞれにその F P G A 構成をロードすることを含む。1 つまたは複数の F P G A 構成が、構成メモリ 206 に記憶される。一実施態様において、構成メモリ 206 は、フラッシュランダムアクセスメモリ (フラッシュ R A M) およびスタティックランダムアクセスメモリ (S R A M) のうちの 1 つを使用して実現される。他の実施形態では、1 つまたは複数の F P G A 構成が、異なる位置 (たとえば、システムコントローラ 112 に含まれるメモリデバイス) に記憶される。ローカルコントローラ 212 によって実行される構成管理動作は、S E U 軽減をまた含む。S E U 軽減の例は、F P G A 構成の周期的なリフレッシュおよび / またはイベントトリガされるリフレッシュならびに / あるいは F P G A 構成のリードバックおよび比較を含む。一実施形態で、本明細書で (および下の図 4 に関して) 説明する S E U 軽減は、少なくとも 1 つの実質的な S E U を維持する R P E 202₁ および 202₂ のそれぞれについてローカルコントローラ 212 によって実行される。

【0024】

図 2 に示された例の実施形態では、システム制御インターフェース 208 および構成メモリ 206 は、放射線硬化構成要素を使用して実現され、再構成可能処理要素 202₁ および 202₂ (再構成可能 F P G A 204₁ および 204₂ を含む) と、I / O インターフェース 214₁ から 214₄ と、デュアルポートメモリデバイス 216₁ から 216₆ とは、必ずしも放射線硬化されていない民生品利用 (C O T S) 構成要素を使用して実現される。C O T S 構成要素は、より安価であり、より柔軟であり、プログラムするのがより簡単である。通常、データ経路において実行される処理は、ミッションごとにまたはアプリケーションごとに、制御バスにおいて実行される処理よりかなり大きく変化する。C O T S 構成要素を使用することは、再構成可能コンピュータ 104 を、再構成不可能なアンチヒューズ F P G A または A S I C などの放射線硬化構成要素より効率的に (時間、コスト、電力、および / または空間に関して) 実現することを可能にする。さらに、S E U 軽減技法をシステム制御インターフェース 208 に組み込むことによって、三重モジュラ冗長性などの冗長性に基づく S E U 軽減技法が、不要になる。これは、C O T S 構成要素を用いる所与のスペースアプリケーションに使用される再構成可能コンピュータ 104 を実施するのに必要なリソース (たとえば、時間、コスト、電力、および / または空間) の量を減らす。

【0025】

図 3 は、再構成可能コンピュータの構成インターフェース 300 の実施形態のブロック図である。構成インターフェース 300 は、ローカルコントローラ 212、構成メモリ 206、制御バスインターフェース 210、および構成バス 218 を含む。構成メモリ 206、制御バスインターフェース 210、および構成バス 218 は、図 2 に関して上述している。ローカルコントローラ 212 は、内部バスコントローラ 302 と、R P E C R C ジェネレータ 306₁ および 306₂ と、R P E インターフェースコントローラ 308₁ および 308₂ とを含む。ローカルコントローラ 212 の他の実施形態および実施態様が、他の方法により (たとえば、複数の R P E C R C ジェネレータ 306 および複数の R P E インターフェースコントローラ 308 を用いて) 実現されることを理解されたい。内部バスコントローラは、さらに、内部アービタ 304 を含む。内部バスコントローラ 302 は、各コア相互インターフェース 320₁ および 320₂ によって R P E C R C ジェネレータ 306₁ および 306₂ のそれぞれに直接に結合される。コア相互インターフェース 320₁ および 320₂ は、内部双方向通信インターフェースである。内部アービタ 304 は、それぞれアービタインターフェース 322₁ および 322₂ によって R P E インターフェースコントローラ 308₁ および 308₂ のそれぞれに直接に結合される。ア

10

20

30

40

50

ービタインターフェース 3 2 2₁ および 3 2 2₂ は、内部双方向通信インターフェースである。内部アービタ 3 0 4 は、ローカルコントローラ 2 1 2 においてコア相互通信が同時に発生するのを防ぎ、この同時発生は、不正な動作をもたらす可能性がある。R P E C R C ジェネレータ 3 0 6₁ および 3 0 6₂ のそれぞれは、それぞれ C R C インターフェース 3 2 4₁ および 3 2 4₂ によって R P E インターフェースコントローラ 3 0 8₁ および 3 0 8₂ に直接に結合される。C R C インターフェース 3 2 4₁ および 3 2 4₂ は、内部双方向通信インターフェースである。

【 0 0 2 6 】

内部バスコントローラ 3 0 2 は、構成メモリアンターフェース 3 1 6 によって構成メモリ 2 0 6 (図 2 に示されている) に結合される。構成メモリアンターフェース 3 1 6 は、構成要素間双方向通信インターフェースである。内部バスコントローラ 3 0 2 は、コントローラ論理インターフェース 3 1 8 によって制御バスインターフェース 2 1 0 (図 2 に示されている) にも結合される。コントローラ論理インターフェース 3 1 8 は、構成要素間双方向通信インターフェースである。一実施態様において、コントローラ論理インターフェース 3 1 8 は、W I S H B O N E インターフェース、c P C I インターフェース、または類似物のうちの 1 つである。R P E インターフェースコントローラ 3 0 8₁ および 3 0 8₂ のそれぞれは、図 2 の R P E 2 0 2₁ および 2 0 2₂ と通信するために、構成バス 2 1 8 に結合される。R P E インターフェースコントローラ 3 0 8₁ および 3 0 8₂ のそれぞれは、さらに、リードバックコントローラ 3 1 0₁ および 3 1 0₂ と、アービタ 3 1 2₁ および 3 1 2₂ と、構成コントローラ 3 1 4₁ および 3 1 4₂ とを含み、これらの各動作は、以下にさらに説明される。一実施態様において、内部アービタ 3 0 4 とアービタ 3 1 2₁ および 3 1 2₂ のそれぞれは、2 インターフェース、回転アービトレーション状態マシンである。他の実施態様が可能である。

【 0 0 2 7 】

動作において、R P E 2 0 2₁ から 2 0 2₂ の各構成データの完全な組または部分的な組が、内部バスコントローラ 3 0 2 によって構成メモリ 2 0 6 から取り出される。この例の実施形態では、システムコントローラ 1 1 2 (図 1 の) が、構成データの完全な組または部分的な組のどちらを分析しなければならないかを決定する。システム制御インターフェース 2 0 8 は、5 0 M H z クロックレート (最大) で動作することができ、バースト読取 (リードバック) 動作中またはバースト書込 (構成) 動作中に、すべてのクロックの立ち上がりエッジに 1 つのデータ転送 (たとえば、1 つのデータフレームまたは 1 バイト) を完了する。一実施態様で、ローカルコントローラ 2 1 2 は、1 0 M H z のクロックレートで動作する。内部アービタ 3 0 4 は、各 R P E インターフェースコントローラ 3 0 8₁ および 3 0 8₂ が再構成可能コンピュータ 1 0 4 の動作の割り込みを引き起こさずに構成データを受け取る順序を決定する。

【 0 0 2 8 】

R P E インターフェースコントローラ 3 0 8₁ および 3 0 8₂ のそれぞれは、構成データを受け取ったならば、リードバックコントローラ 3 1 0₁ および 3 1 0₂ は、構成データのリードバック動作を制御する。構成データのすべてのリードバック動作について、R P E C R C ジェネレータ 3 0 6₁ および 3 0 6₂ のそれぞれは、構成データの完全な組または部分的な組に対して C R C を実行する。C R C は、同一の構成データの以前のリードバック以降にいずれかの構成データビットが変化した (すなわち、1 つまたは複数の S E U に起因して破壊された) か否かを決定する。リードバック C R C 計算が、記憶された C R C と一致しない場合、ローカルコントローラ 2 1 2 は、自動再構成モードに入る。図 3 の例の実施形態では、C R C エラーに因る自動再構成は、最高優先順位である。さらに、ローカルコントローラ 2 1 2 は、S E U 統計を収集するための C R C エラーカウントレジスタを提供する。

【 0 0 2 9 】

ローカルコントローラ 2 1 2 は、アービタ 3 1 2₁ および 3 1 2₂ を介して優先順位および順序をインターリーブすることによるリードバック動作および再構成 (リフレッシュ

10

20

30

40

50

）動作のインターリーブをサポートする。アービタ $3\ 1\ 2_1$ および $3\ 1\ 2_2$ は、それぞれ、R P E C R Cジェネレータ $3\ 0\ 6_1$ （ $3\ 0\ 6_2$ ）と構成コントローラ $3\ 1\ 4_1$ （ $3\ 1\ 4_2$ ）との間の構成データのアービトレーションの責任を負う。構成コントローラ $3\ 1\ 4_1$ および $3\ 1\ 4_2$ のそれぞれは、内部レジスタファイル（図示せず）から1つまたは複数の入力要求を取り込み、どの動作を実行すべきかをデコードする。構成コントローラ $3\ 1\ 4_1$ （ $3\ 1\ 4_2$ ）は、実行が望まれる動作を識別し、ローカルコントローラ $2\ 1\ 2$ 内のサポートする論理によってトランザクションが実行されることを要求する。

【0030】

構成コントローラ $3\ 1\ 4_1$ および $3\ 1\ 4_2$ のそれぞれは、適当なデータ信号および制御信号を内部的に多重化するために動作モードを選択する。すべての必要な入力が受け取られたならば、構成コントローラ $3\ 1\ 4_1$ （ $3\ 1\ 4_2$ ）は、どの特定の要求を実行するかを判断する。その特定の要求が許可されたならば、構成コントローラ $3\ 1\ 4_1$ （ $3\ 1\ 4_2$ ）は、その要求を完了するためのアクセスに関するアクセス要求をアービタ $3\ 1\ 2_1$ （ $3\ 1\ 2_2$ ）に発行する。各要求は、どの単一のインターフェースも構成バス $2\ 1\ 8$ にアクセスする要求を拒絶されないようにするために、優先順位エンコードされ、公平なアービトレーション方式で実現される。構成コントローラ $3\ 1\ 4_1$ および $3\ 1\ 4_2$ のそれぞれは、サイクルごとの基礎で、構成バス $2\ 1\ 8$ にインターフェースする能力を、ローカルコントローラ $2\ 1\ 2$ 用のソフトウェア命令の組に与える。具体的に言うと、アクセス要求を受け取った時に、構成コントローラ $3\ 1\ 4_1$ （ $3\ 1\ 4_2$ ）は、構成データを構成メモリ $2\ 0\ 6$ から構成バス $2\ 1\ 8$ に出力する。

【0031】

ローカルコントローラ $2\ 1\ 2$ および制御バスインターフェース $2\ 1\ 0$ は、1つまたは複数の独立の構成バス（たとえば、R P E インターフェースコントローラ $3\ 0\ 8_1$ および $3\ 0\ 8_2$ ）を提供する。一実施態様で、R P E インターフェースコントローラ $3\ 0\ 8_1$ および $3\ 0\ 8_2$ は、R P E $2\ 0\ 2_1$ および $2\ 0\ 2_2$ のそれぞれに関する同時のリードバックおよびC R C 検査をもたらす。その後、R P E $2\ 0\ 2_1$ （ $2\ 0\ 2_2$ ）の1構成の同時リードバックが、R P E $2\ 0\ 2_2$ （ $2\ 0\ 2_1$ ）が再構成されている間に行われる。さらに、ローカルコントローラ $2\ 1\ 2$ は、1つまたは複数のプログラム可能な再構成リフレッシュインターバルレートおよびリードバックインターバルレートを提供する。ローカルコントローラ $2\ 1\ 2$ は、バースト読取アクセスおよびバースト書込アクセスをもサポートする。一実施態様では、待ち状態が、バックツータック読取／書込動作中およびバックツータック書込／読取動作中に挿入される。R P E $2\ 0\ 2_1$ および $2\ 0\ 2_2$ の完全な再構成および部分的再構成は、最小限の動作サイクル数の中で行われ、以前の（すなわち、ソフトウェアに基づく）S E U 軽減動作よりかなり高速である。

【0032】

図4は、少なくとも2つの再構成可能処理要素を制御する方法400を示す流れ図である。図4に示された例の実施形態では、方法400は、それぞれ図1および2のシステム100および再構成可能コンピュータ104を使用して実現される。具体的に言うと、方法400の少なくとも一部は、システム制御インターフェース208のローカルコントローラ $2\ 1\ 2$ によって実現される。しかし、他の実施形態では、方法400は、他の形で実現される。

【0033】

ブロック404で、リフレッシュインターバル値を確立（または調整）したならば、方法400は、シングスイベントアップセットの発生に起因する可能な破壊について、各使用可能R P E の構成を監視するプロセスを開始する。方法400の主機能は、最小量の動作サイクル以内にR P E の破壊された構成を自動的に再構成することである。一実施態様で、方法400は、宇宙ペイロード処理アプリケーションのオペラビリティを維持するための完全なまたは部分的なリフレッシュまたは再構成の完了時間を実質的に改善する。

【0034】

リフレッシュインターバルレートが、以前のレベルまたはデフォルトレベルから変更さ

10

20

30

40

50

れたか否かに関する決定を行う（ブロック 4 0 6 で検査される）。この決定は、上で図 1 に関して説明したシステムコントローラ 1 1 2 内で行われる。リフレッシュインターバルレベルが変化している場合には、システムコントローラ 1 1 2 は、ブロック 4 0 8 でリフレッシュインターバルレベルをローカルコントローラ 2 1 2 に転送し、ブロック 4 1 0 に進む。リフレッシュインターバルレベルが変化していない場合、またはリフレッシュインターバルレベルが（静的な）所定のレベルで固定されている場合には、方法 4 0 0 は、ブロック 4 1 0 で継続する。ブロック 4 1 0 では、現在のリフレッシュインターバルが経過したか否かに関する決定を行う。リフレッシュインターバルが経過するまでは、ブロック 4 1 0 に関連する処理を繰り返す。

【 0 0 3 5 】

ブロック 4 1 2 では、方法 4 0 0 は、リードバック動作を実行することによって、R P E（ここでは「現在の」R P E と称する）の構成状況を評価し始める。そのような実施形態の一実施態様では、リードバック動作は、現在の R P E の R P E インターフェースコントローラ 3 0 8 によって実行される。ローカルコントローラ 2 1 2 は、現在の R P E の再構成可能 F P G A の現在の構成を読み取り、読み取られた構成の少なくとも一部を、現在の構成に関連する良いことがわかっている値と比較する。読み取られた値が、良いことがわかっている値と一致しない場合には、現在の R P E の構成は、破壊されていると考えられる。一実施態様では、そのようなリードバック動作は、現在の R P E の F P G A の構成の各バイト（またはデータの他の単位）を読み取ること、そのバイトを構成メモリ 2 0 6 に記憶された対応する構成の対応するバイトと比較することによって実行される。言い換えると、ローカルコントローラ 2 1 2 は、バイトごとの比較を実行する。もう 1 つの実施態様では、1 つまたは複数の C R C（または他の誤り訂正コード）値を、各 R P E C R C ジェネレータによって現在の R P E の F P G A の現在の構成について計算する。

【 0 0 3 6 】

現在の R P E の構成が破壊されている（ブロック 4 1 4 で検査される）場合に、方法 4 0 0 は、ブロック 4 1 6 で、現在の R P E 2 0 2 の完全なまたは部分的な再構成（リフレッシュ）を開始する。完全な再構成または部分的再構成のどちらを実行するかに関する決定は、図 1 のシステムコントローラ 1 1 2 によって行われる。ブロック 4 1 2 で実行されたリードバック動作が、現在の R P E 2 0 2 の構成の破壊を明らかにしない場合には、方法 4 0 0 は、ブロック 4 1 8 に直接に進む。

【 0 0 3 7 】

ブロック 4 1 8 では、方法 4 0 0 は、すべての使用可能な R P E を評価したか否かを決定する。否である場合には、方法 4 0 0 は、ブロック 4 1 2 に戻って、次の使用可能な R P E の構成状況を評価する。すべての使用可能な R P E を評価し終えた時に、方法 4 0 0 は、使用可能な R P E のうちの少なくとも 1 つが、実質的に機能するまで待ち（ブロック 4 2 0 で検査される）、そうなった時には、方法 4 0 0 は、ブロック 4 0 4 に戻る。

【 0 0 3 8 】

図 1 のシステム 1 0 0 での方法 4 0 0 の動作の 1 つの例では、R P E 2 0 2₁ が構成（または再構成）される時に、適当な構成が、構成メモリ 2 0 6 から読み取られ、再構成可能 F P G A 2 0 4₁ にロードされる。類似する動作が、R P E 2 0 2₂ を構成するために行われる。R P E 2 0 2₁ および R P E 2 0 2₂ のそれぞれは、たとえば、図 2 の再構成可能コンピュータ 1 0 4 が最初にブートされる時に、最初のシステムパワーオンの後またはシステムリセットの後に構成される。時分割式の複数の動作モードをサポートする再構成可能コンピュータ 1 0 4 のいくつかの実施形態では、再構成可能コンピュータ 1 0 4 は、再構成可能コンピュータ 1 0 4 の動作モードが変化するたびに、新しい動作モードの構成が構成メモリ 2 0 6 から読み取られ、各 R P E の再構成可能 F P G A にロードされるようになるように構成される。また、そのような例では、R P E 2 0 2₁ および R P E 2 0 2₂ は、1 つまたは複数の S E U 軽減動作の一部として、各再構成可能 F P G A 2 0 4₁ および F P G A 2 0 4₂ の構成が再ロードされる「リフレッシュ」動作を実行するように構成される。

【図面の簡単な説明】

【 0 0 3 9 】

【図 1】宇宙ペイロード処理システムの実施形態を示すブロック図である。

【図 2】スペースデバイスでのペイロード処理に使用される再構成可能コンピュータの実施形態を示すブロック図である。

【図 3】再構成可能コンピュータの構成インターフェースの実施形態を示すブロック図である。

【図 4】少なくとも 2 つの再構成可能処理要素を制御する方法の実施形態を示す流れ図である。

【符号の説明】

10

【 0 0 4 0 】

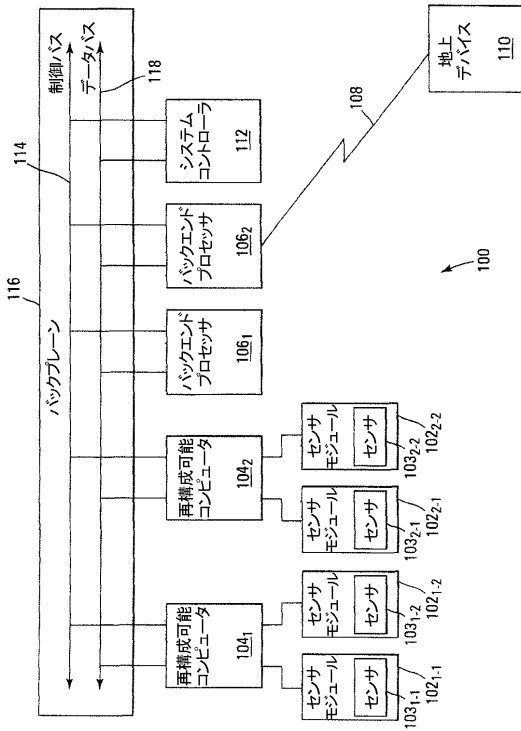
1 0 0 宇宙ペイロード処理システム
 1 0 2₁ - 1 ~ 1 0 2₂ - 2 センサモジュール
 1 0 3₁ - 1 ~ 1 0 3₂ - 2 センサ
 1 0 4₁ ~ 1 0 4_N 再構成可能コンピュータ
 1 0 6₁、1 0 6₂ バックエンドプロセッサ
 1 0 8 通信リンク
 1 1 0 地上デバイス
 1 1 2 システムコントローラ
 1 1 4 制御バス
 1 1 6 バックプレーン
 1 1 8 データバス
 2 0 0 スペースデバイス
 2 0 2₁、2 0 2₂ R P E
 2 0 4₁、2 0 4₂ 再構成可能 F P G A
 2 0 6 構成メモリ
 2 0 8 システム制御インターフェース
 2 1 0 制御バスインターフェース
 2 1 2 ローカルコントローラ
 2 1 4₁、2 1 4₂ 入出力 (I / O) インターフェース
 2 1 4₃、2 1 4₄ R A P I D I O インターフェース
 2 1 6₁ ~ 2 1 6₆ デュアルポートメモリデバイス
 2 1 8 構成バス
 2 2 0 システムバス
 3 0 0 構成インターフェース
 3 0 2 内部バスコントローラ
 3 0 4 内部アービタ
 3 0 6₁、3 0 6₂ R P E C R C ジェネレータ
 3 0 8₁、3 0 8₂ R P E インターフェースコントローラ
 3 1 0₁、3 1 0₂ リードバックコントローラ
 3 1 2₁、3 1 2₂ アービタ
 3 1 4₁、3 1 4₂ 構成コントローラ
 3 1 6 構成メモリインターフェース
 3 1 8 コントローラ論理インターフェース
 3 2 0₁、3 2 0₂ コア相互インターフェース
 3 2 2₁、3 2 2₂ アービタインターフェース
 3 2 4₁、3 2 4₂ C R C インターフェース

20

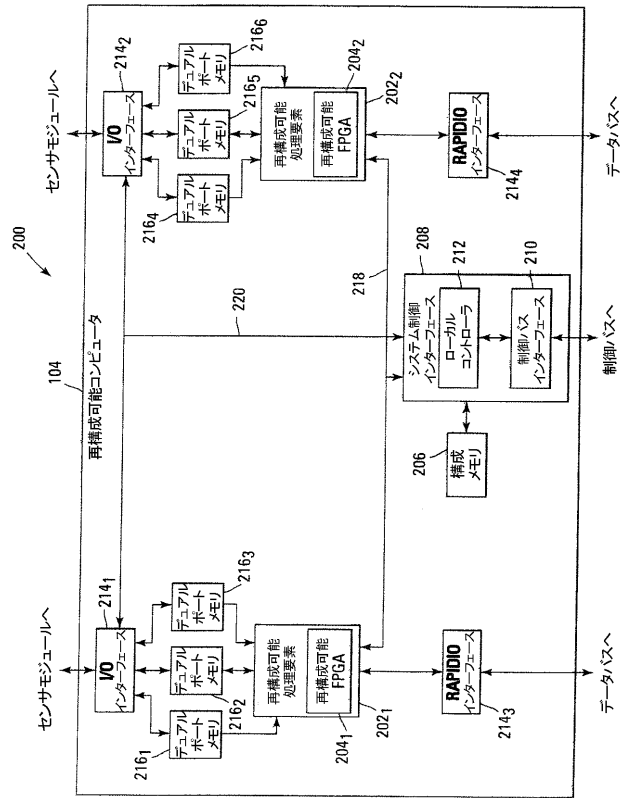
30

40

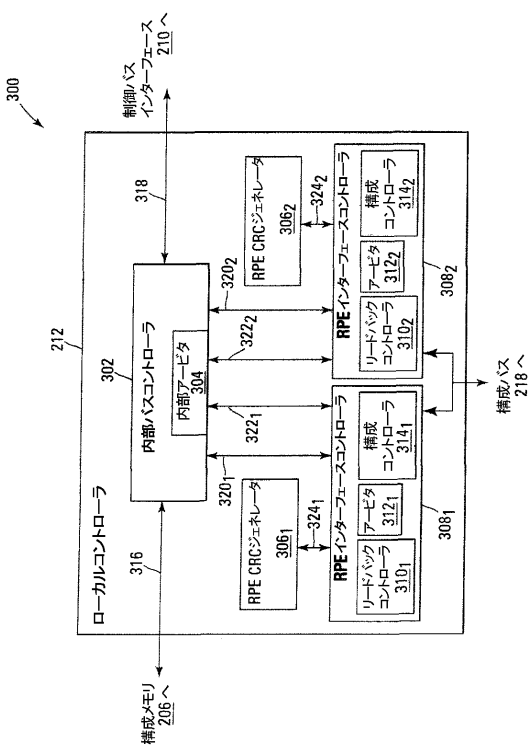
【図 1】



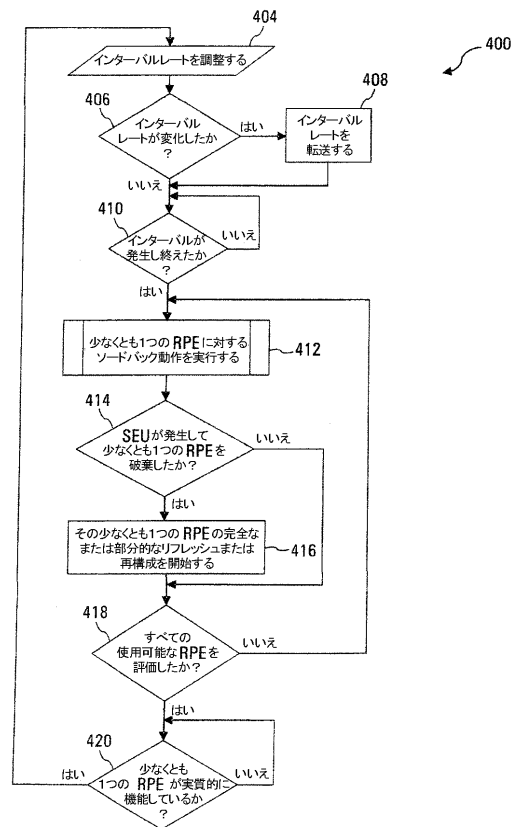
【図 2】



【図 3】



【図 4】



フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100107696

弁理士 西山 文俊

(72)発明者 ジェームズ・イー・ラファーティ

アメリカ合衆国フロリダ州 3 3 7 1 1 - 4 4 4 1 , セント・ピーターズバーグ , フォーティシックス・アベニュー・サウス 3 9 1 3

(72)発明者 ネイサン・ピー・モースリー

アメリカ合衆国オレゴン州 9 7 1 2 4 , ヒルズボロ , ノースウエスト・ソーンクロフト・ドライブ 2 0 6 2 , ナンバー 1 2 1 4

(72)発明者 ジェイソン・シー・ノア

アメリカ合衆国フロリダ州 3 3 7 0 8 , レディントン・ショアーズ , ウォール・ストリート 1 1 4

(72)発明者 ジェレミー・ラモス

アメリカ合衆国フロリダ州 3 3 6 2 6 , タンパ , エデントン・ウェイ 9 4 0 1

(72)発明者 ジェイソン・ウォルタッチ

アメリカ合衆国フロリダ州 3 3 7 0 2 , セント・ピーターズバーグ , エイティエイス・アベニュー・ノースイースト 1 3 0

F ターム(参考) 5B176 CA01 EB03

【外国語明細書】
2008065813000001.pdf