

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 11/401

(11) 공개번호 특1998-077016
(43) 공개일자 1998년11월 16일

(21) 출원번호	특1997-013975
(22) 출원일자	1997년04월 16일
(71) 출원인	현대전자산업 주식회사 김영환
	경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자	이명돈
	경기도 이천시 부발읍 무촌2리 475
(74) 대리인	이권희, 이정훈

심사청구 : 있음

(54) 파이프 카운터

요약

본 발명은 파이프 카운터에 관한 것으로, 특히 디램의 데이터 출력단에 사용되는 파이프 카운터를 링카운터 방식을 적용하여 설계하므로써, 기존의 파이프 카운터와 동일한 기능을 수행하도록 함과 동시에 파이프 카운터 구성에 사용되는 트랜지스터의 갯수를 약 50% 가량 줄여, 카운터의 설계면적 축소 및 전류소모를 감소시켜 경제적인 효과를 수반한다.

대표도

도3

명세서

도면의 간단한 설명

도 1 은 종래 파이프 카운터의 회로도.
도 2 는 도 1의 파이프 카운터 동작 타이밍도.
도 3 은 본 발명에 따른 파이프 카운터 회로도.
도 4 는 도 3의 파이프 카운터 동작 타이밍도.

도면의 주요 부분에 대한 부호의 설명

10, 20, 30 : 플립플롭NAND : 낸드 소자
NOR : 노아 소자 INV : 인버터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 파이프 카운터(pipecounter)에 관한 것으로, 특히 디램의 데이터 출력단에 사용되는 파이프 카운터를 링카운터 방식을 적용하여 설계하므로써, 카운터의 설계면적 축소 및 전류소모를 감소시키면서 기존의 파이프 카운터와 동일한 기능을 수행하도록 한 파이프 카운터에 관한 것이다.

일반적으로 디램의 데이터 출력단에 사용되는 카운터는 주로 파이프 카운터를 사용하고 있는데, 종래 파이프 카운터의 개략적인 블록을 살펴보면 도 1과 같이 도시할 수 있는 바, 컬럼 대기신호(Column Latency : 이하 CL 신호라 칭한다)와, 인버터(INV1)를 통과한 파워신호를 입력받아 노아 연산 후, 각 파이프 카운터 입력단(1, 2, 3)으로 출력하는 노아-소자(NOR1)와; 상기 노아-소자(NOR1)에서 출력된 신호를 입력받아 낸드(NAND11, 21, 31)을 연산을 행한 후, 다수개의 인버터로 이루어진 각 딜레이부(12, 22, 32)를 거쳐 각 파이프 카운터 출력부(4, 5, 6)로 출력하는 각각의 파이프 카운터 입력단(1, 2, 3)과; 상기 각각의 파이프 카운터 입력단(1, 2, 3)에서 입력된 신호에 따라 구동되어 각각의 파이프 카운터 신호(PIPE-CNT0, PIPE-CNT1, PIPE-CNT2)를 출력하는 파이프 카운터 출력부(4, 5, 6)를 포함하여 구성된다.

그리고 리드 모드임을 나타내는 레벨 라스신호(Level Row Address Strobe : 이하 LRAS신호라 칭한다)와, 클럭이 각각의 입력단자로 입력되어 회로를 구동시킨다.

상기 파이프 카운터 출력부(4)는 상기 입력단(1)에서 출력되는 신호에 따라 구동되는 N-모스 트랜지스터

(N41)를 통해 동작을 시작하며, 각 파이프 카운터 입력단(1, 2, 3) 및 각 파이프 카운터 출력부(4, 5, 6)는 동일한 구성을 가진다.

상기와 같이 구성된 종래 파이프 카운터의 동작을 도 2의 타이밍도를 참조하여 설명하면 하기와 같다.

파워 신호(도 2(가))가 '하이' 값이 되고, 이어 LRAS신호(도 2(나))가 '하이' 값으로 입력되면, CL 신호 단자를 통해 입력된 '로우' 값(도 2 (다))과, 인버터(INV1)를 거친 파워 신호 '로우' 값이 노아-소자(NOR1)로 입력된다.

이에 따라 노아-소자(NOR1)에서는 '하이' 값이 출력되고, 이 신호를 일측으로 입력받는 낸드-소자(NAND11)는 '하이' 값을 출력(노드 1)하여 파이프 카운터 출력부(4)내의 N-모스 트랜지스터(N41)를 턴-온시킨다.

이어 상기 N-모스 트랜지스터(N41)의 드레인단에 연결된 노드(노드 2)가 '로우' 값으로 변하고 이에 연결된 P-모스 트랜지스터(P41)가 턴-온되어 파이프 카운터 0 노드(노드 3)의 레벨이 '하이' 레벨로 변하여 클럭(도 2(라))에 따라 파이프 카운터 출력단자로 신호가 출력(도 2 (마))된다.

그 이외의 신호가 입력되면(예 : CL 신호 H, 파워 신호 : L)이 파이프 카운터 회로는 동작을 하지 않게 된다.

그러나 상기와 같이 동작되는 파이프 카운터는 종래 리드 모드시에만 동작을 시키기 위해 회로를 구성함에 있어, 몇가지 문제가 될만한 요소들을 내포하고 있는 바, 이러한 문제는 파워가 온되고, LRAS신호가 '하이' 값이 되면 무조건 동작되도록 구성되어 있는 점이다.

또한 상기 파이프 카운터는 설명된 바와 같이 트랜지스터의 딜레이를 이용하여 구성되므로써, 아주 큰 사이즈의 트랜지스터가 다수개 필요하게 된다.

그리고 상기 딜레이 트랜지스터를 제어하기 위한 제어 트랜지스터가 별도로 필요하다.

이에 따라 각 트랜지스터의 동작 구동에 따른 전류 소모 증가 및 레이-아웃 역시 증가하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명에서는 상기에 기술된 바와 같은 종래 문제점을 감안하여, 기존의 딜레이 트랜지스터를 사용하지 않는 상태에서 파이프 트랜지스터와 동일한 기능을 수행할 수 있는 카운터를 제공하는 것을 목적으로 한다.

상기와 같은 목적을 달성하기 위해 본 발명에서는 카운터 설계시 링카운터의 개념을 응용하여 클럭 입력에 동기된 입력 데이터가 카운터를 차례로 통과하도록 하므로써, 기존의 파이프 카운터의 출력과 동일한 출력이 이루어질 수 있도록 한 것이다.

발명의 구성 및 작용

상기와 같이 동작되는 본 발명의 파이프 카운터 구조는 외부에서 인가되는 클럭과 LRAS신호를 인가받아 파이프 카운터 출력부로 클럭 신호를 인가하는 클럭 입력부와; 컬럼 대기시간(CL) 신호와 파워 신호를 입력받아 파이프 카운터 출력부로 리셋 신호를 인가하는 리셋신호 입력부; 및 다수개의 플립플롭으로 이루어지며, 상기 클럭 입력부와, 리셋신호 입력부에서 인가된 신호를 파이프 카운터 값을 출력하는 파이프 카운터 출력부를 포함하여 구성되는 것을 특징으로 한다.

상술한 목적, 특징 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

도 3 은 본 발명에 의해 구현된 파이프 카운터 회로도, 외부에서 인가되는 클럭(CLK)과 LRAS신호를 인가받아 낸드 연산하는 낸드-소자(NAND1)와; 컬럼 대기시간(CL) 신호와 인버터(INV1)를 통과한 파워(PWRUP) 신호를 입력받아 노아 연산하는 노아 소자(NOR1)와;

상기 낸드 소자(NAND1)에서 출력된 신호와, 이를 반전(INV3)시킨 신호를 각각의 클럭단자(/C, C)로 입력받으며, 리셋단자(/R)로는 상기 노아 소자(NOR1)에서 출력된 신호를 반전시키는 인버터(INV2)를 통과한 신호를 입력받는 다수의 플립플롭(10, 20, 30); 및 상기 제 1 플립플롭(10)의 출력(Q)과 제 2 플립플롭(20)의 출력(Q)을 입력받아 노아 연산하는 노아 소자(NOR2)를 포함하여 구성된다.

여기서 상기 제 1 플립플롭(10)의 입/출력 관계를 보면, 데이터 입력단자(D)로는 상기 노아 게이트(NOR2)에서 출력된 신호를 입력받아 제 1 파이프 카운터 값으로 출력(Q)한다.

제 2 플립플롭(20)은 상기 제 1 플립플롭(10)에서 출력되는 값을 데이터 입력단자(D)로 인가받아 제 2 파이프 카운터 값으로 출력(Q)한다.

제 3 플립플롭(30)은 상기 제 2 플립플롭(20)에서 출력된 값을 데이터 입력단자(D)를 통해 입력받아 제 3 파이프 카운터 값으로 출력(Q)한다.

이와 같이 구성된 본 발명의 링카운터 방식을 이용한 파이프 카운터의 동작과정을 도 4에 도시된 타이밍도를 참조하여 설명한다.

본 발명의 카운터는 파워(PWRUP) 신호가 로우 레벨(0V)이고, CL 신호가 하이 레벨(3.3V)이면 모든 플립플롭(10, 20, 30)들은 동작을 중지하며, 출력은 '0V'가 된다.

반대로 파워 신호가 하이 레벨(3.3V)이고, CL 신호가 로우 레벨(0V)이며, 이때 LRAS신호가 하이 레벨(3.3V)이면 모든 플립플롭(10, 20, 30)들은 입력되는 클럭이 동기되어 도 4에 도시된 제 1, 제 2, 제 3 파이프 카운터 신호와 같은 파형을 출력하게 된다.

이를 상세하게 설명하면, 파워 신호가 로우 레벨(0V)인 경우 상기 노아 소자(NOR1)는 CL 신호에 상관없이 무조건 '0'값을 출력하게 되고, 이 값은 인버터(INV1)를 통해 '1'로 반전(노드 4)된 다음, 각 플립플롭(10, 20, 30)의 리셋단자(/R)로 입력되어 플립플롭의 출력을 제어한다. 즉, 플립플롭들의 출력은 '0V'가 되는 것이다.

또한 파워 신호가 하이 레벨(3.3V)이고, CL 신호 역시 하이 레벨(3.3V)이면 노드 4는 계속 '하이' 상태가 되어 각 플립플롭(10, 20, 30)은 0V 값을 출력한다.

그리고 파워 신호가 하이 레벨이고, CL 신호가 로우 레벨일 경우에는 LRAS신호의 상태에 따라 출력신호가 0 혹은 1로 변하는데, LRAS신호가 로우 레벨인 경우에는 상기 낸드 소자(NAND1)와 인버터(INV3)를 통해 노드 5가 0V가 되어 모든 플립플롭(10, 20, 30)들은 그 전 상태를 유지하는 상태가 된다.

마지막으로 상기와 같은 상태에서 LRAS가 하이 레벨이 될 때 클럭이 정상적으로 입력된다면 노드 4의 전압은 0V, 노드 5로는 클럭 펄스가 연속적으로 입력되게 된다.

이런 상태에서 처음에 모든 플립플롭(10, 20, 30)은 0V를 출력하므로, 상기 노아 소자(NOR2)에서 출력(노드 6)되는 값은 하이레벨로 변한다.

이 값은 클럭이 하이 상태일 때 제 1 플립플롭(10)에 저장되어 있다가 클럭이 로우레벨이 되는 순간 제 1 파이프 카운터 값으로 출력된다.

이에 따라 상기 제 1 파이프 카운터 값을 일측 입력으로 입력하는 노아 소자(NOR2)에서는 다시 로우 레벨 값을 출력하게 된다.

그리고 제 2 플립플롭(20)의 데이터 입력단자(D)로는 상기 제 1 플립플롭(10)의 출력값인 하이레벨 값이 입력되고, 이 값은 클럭이 하이레벨인 동안 저장되어 있다가 다음 클럭의 로우레벨에서 제 2 파이프 카운터 값으로 출력된다.

또한 상기 출력값은 출력과 동시에 제 3 플립플롭(30)의 데이터 입력단자로 입력되고 이 또한 다음 클럭의 하이 레벨동안 저장되어 있다가 클럭이 로우 레벨이 되는 순간 제 3 파이프 카운터 값으로 출력한다.

이상과 같은 상태의 타이밍도가 도 4에 도시되어 있으며, 파워신호(도 4 (가)) '하이' 상태에 있고, CL 신호(도 4 (나))가 '로우' 상태에 있으며, LRAS신호(도 4 (다))가 '하이' 상태에 있을 때, 클럭(도 4 (라))에 맞추어 각 파이프 카운터 값(도 4 (마, 바, 사))이 출력된다.

발명의 효과

이상에서 상세히 설명한 바와 같이 본 발명은 반도체 메모리 소자에서 사용되는 파이프 카운터를 링 카운터 개념을 적용하여, 기존의 파이프 카운터와 동일한 기능을 수행하도록 함과 동시에 파이프 카운터 구성에 사용되는 트랜지스터의 갯수를 약 50% 가량 줄여 설계면적을 축소시켜, 이에 따라 전류 소모를 감소시켜 경제적인 효과를 수반한다.

아울러 본 발명의 바람직한 실시예는 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허 청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1

외부에서 인가되는 클럭과 LRAS신호를 인가받아 파이프 카운터 출력부로 클럭 신호를 인가하는 클럭 입력부와;

컬럼 대기시간(CL) 신호와 파워 신호를 입력받아 파이프 카운터 출력부로 리셋 신호를 인가하는 리셋신호 입력부; 및

다수개의 플립플롭으로 이루어지며, 상기 클럭 입력부와, 리셋신호 입력부에서 인가된 신호를 파이프 카운터 값을 출력하는 파이프 카운터 출력부를 포함하여 구성되는 것을 특징으로 하는 파이프 카운터.

청구항 2

청구항 1에 있어서,

상기 파이프 카운터 출력부는 클럭단자로 상기 클럭 입력부에서 출력된 클럭을 입력받으며, 리셋 단자로는 상기 리셋신호 입력부에서 출력된 리셋신호를 입력받으며, 데이터 단자로는 앞단의 플립플롭에서 출력된 데이터를 입력받는 다수개의 플립플롭이 직렬로 연결되는 구성인 것을 특징으로 하는 파이프 카운터.

청구항 3

청구항 2에 있어서,

상기 다수개의 플립플롭 중 첫번째 플립플롭은 자신의 출력단자에서 출력된 값과, 다음번 플립플롭에서 출력된 값을 노아 연산한 값을 데이터 입력단자로 입력받는 것을 특징으로 하는 파이프 카운터.

도면

도면4

전압 (V)

