【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成17年9月22日(2005.9.22)

【公開番号】特開2000-40098(P2000-40098A)
【公開日】平成12年2月8日(2000.2.8)
【出願番号】特願平10-210030
【国際特許分類第７版】
　Ｇ０６Ｆ　17/50
【ＦＩ】
　Ｇ０６Ｆ　15/60　　６５８Ａ
　Ｇ０６Ｆ　15/60　　６５８Ｕ

【手続補正書】
【提出日】平成17年4月21日(2005.4.21)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】請求項２
【補正方法】変更
【補正の内容】
【請求項２】
　電源電圧が異なるセル毎に、それぞれの電源電圧のベスト条件におけるセル遅延の電源電圧依存係数とワースト条件におけるセル遅延の電源電圧依存係数とに基づいて、最小遅延値および最大遅延値を計算するための最小係数と最大係数とを求めることを特徴とする請求項１記載の半導体集積回路設計方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００２３
【補正方法】変更
【補正の内容】
【００２３】
　この発明に係る半導体集積回路設計方法は、最大遅延値および最小遅延値を計算するための最大係数と最小係数を、電源電圧が異なるセルのそれぞれについて、各電源電圧のベスト条件とワースト条件におけるセル遅延の電源電圧依存係数を用いて求めるようにしたものである。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００７４
【補正方法】変更
【補正の内容】
【００７４】
　この発明によれば、各電源電圧のベスト条件とワースト条件におけるセル遅延の電源電圧依存係数を用いて、それぞれの最大係数と最小係数を求めるように構成したので、電源電圧がセル毎に異なっている場合でも、電源電圧の異なるセル毎に最小係数および最大係数を求めることができ、所望の遅延計算が可能になるという効果がある。